

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4495517号
(P4495517)

(45) 発行日 平成22年7月7日 (2010.7.7)

(24) 登録日 平成22年4月16日 (2010.4.16)

(51) Int.Cl.	F I
HO 2M 1/08 (2006.01)	HO 2M 1/08 3 4 1 B
HO 2M 3/155 (2006.01)	HO 2M 3/155 F
HO 2M 7/12 (2006.01)	HO 2M 7/12 Q
HO 3K 17/687 (2006.01)	HO 3K 17/687 A

請求項の数 42 (全 11 頁)

(21) 出願番号	特願2004-146603 (P2004-146603)	(73) 特許権者	501315784
(22) 出願日	平成16年5月17日 (2004.5.17)		パワー・インテグレーションズ・インコーポレーテッド
(65) 公開番号	特開2005-176586 (P2005-176586A)		アメリカ合衆国・95138・カリフォルニア州・サン ホゼ・ヘリヤー アベニュー・5245
(43) 公開日	平成17年6月30日 (2005.6.30)	(74) 代理人	100064746
審査請求日	平成19年5月17日 (2007.5.17)		弁理士 深見 久郎
(31) 優先権主張番号	10/441,790	(74) 代理人	100085132
(32) 優先日	平成15年5月16日 (2003.5.16)		弁理士 森田 俊雄
(33) 優先権主張国	米国 (US)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】 1つの集積回路を超えてトランジスタのサイズを拡張するための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

第1の集積回路チップ上にあり、2つの出力端子と1つの制御端子を有する第1のパワー・トランジスタと、

前記第1の集積回路チップ上にあり、第1のドライバ回路入力と第1のドライバ回路出力を有する第1のドライバ回路と、

第2の集積回路チップ上にあり、2つの出力端子と1つの制御端子を有する第2のパワー・トランジスタと、

第2の集積回路チップ上にあり、第2のドライバ回路入力と第2のドライバ回路出力を有する第2のドライバ回路とを備え、

前記第1のパワー・トランジスタの2つの出力端子はそれぞれ前記第2のパワー・トランジスタの2つの出力端子に接続し、

第1および第2の前記ドライバ回路入力端は単一の制御信号を受けるように接続し、

前記第1のドライバ回路の出力端は前記第1のパワー・トランジスタの制御端子に接続して前記単一の制御信号で前記第1のパワー・トランジスタを切換え、前記第2のドライバ回路は前記第2のパワー・トランジスタに接続して前記単一の制御信号で前記第2のパワー・トランジスタを切換え、前記単一の制御信号は、前記第1の集積回路チップ上に含まれる制御回路の出力である、集積回路装置。

【請求項 2】

前記第1、第2のドライバ回路が、すべて単一の電源によって給電されるように結合さ

れている、請求項 1 に記載の装置。

【請求項 3】

前記第 1、第 2 のパワー・トランジスタが電界効果トランジスタ (F E T) を含む、請求項 1 に記載の装置。

【請求項 4】

第 1、第 2 のパワー・トランジスタが金属酸化物半導体電界効果トランジスタ (M O S F E T) を含む、請求項 3 に記載の装置。

【請求項 5】

第 1、第 2 のパワー・トランジスタがバイポーラ・トランジスタを含む、請求項 1 に記載の装置。

10

【請求項 6】

前記制御回路が、前記第 1 のパワー・トランジスタを通る電流を検知するために前記第 1 のパワー・トランジスタと結合された電流検知回路を備えており、前記制御回路は前記第 1 のパワー・トランジスタを通る電流と前記第 2 のパワー・トランジスタを通る電流を単一の制御信号を用いて制御するように結合されている、請求項 1 に記載の装置。

【請求項 7】

前記制御回路が、前記第 1 のパワー・トランジスタの温度を検知するために前記第 1 のパワー・トランジスタと結合された温度検知回路を備えており、前記制御回路は前記第 1 と前記第 2 のパワー・トランジスタ内での電力放散を単一の制御信号を用いて制御するように結合されている、請求項 1 に記載の装置。

20

【請求項 8】

前記制御回路が切り替えモード調節器回路を含む、請求項 1 に記載の装置。

【請求項 9】

前記制御回路が力率コントローラ回路を含む、請求項 1 に記載の装置。

【請求項 10】

前記制御回路が増幅器回路を含む、請求項 1 に記載の装置。

【請求項 11】

切り替えモード電源の内部に含まれている、請求項 1 に記載の装置。

【請求項 12】

交流 (A C) から直流 (D C) への電源の内部に含まれている、請求項 1 に記載の装置

30

【請求項 13】

直流 (D C) から D C への電源の内部に含まれている、請求項 1 に記載の装置。

【請求項 14】

力率補正回路の内部に含まれている、請求項 1 に記載の装置。

【請求項 15】

電力増幅器回路の内部に含まれている、請求項 1 に記載の装置。

【請求項 16】

2 つのマスタ・スイッチ端子と 1 つのマスタ制御端子を有するマスタ半導体スイッチと、前記マスタ半導体スイッチの前記マスタ制御端子を駆動するように結合されたマスタ・ドライバ出力とマスタ・ドライバ入力を有するマスタ・ドライバ回路と、さらにマスタ制御信号を出力するように結合されたマスタ制御回路とを含むマスタ集積回路チップと、

40

2 つのスレーブ・スイッチ端子と 1 つのスレーブ制御端子を有するスレーブ半導体スイッチと、スレーブ・ドライバ出力とスレーブ・ドライバ入力を有するスレーブ・ドライバ回路とを含む少なくとも 1 つのスレーブ集積回路チップとを備え、

前記マスタ半導体スイッチの 2 つのマスタ・スイッチ端子は、スレーブ半導体スイッチの 2 つのスレーブ・スイッチ端子に接続しており、

前記マスタ・ドライバ回路のマスタ・ドライバ入力端と前記スレーブ・ドライバ回路のスレーブ・ドライバ入力端はマスタ制御信号を受けるように接続しており、

前記マスタ・ドライバ出力は前記マスタ半導体スイッチのマスタ制御端子を励振して

50

前記マスタ制御信号で前記マスタ半導体スイッチを切換え、

前記スレーブ・ドライバ出力は前記スレーブ半導体スイッチのスレーブ制御端子を励振して前記マスタ制御信号で前記スレーブ半導体スイッチを切換える、集積回路装置。

【請求項 17】

前記マスタ・ドライバ回路と前記スレーブ・ドライバ回路が、すべて単一の電源によって給電されるように結合されている、請求項 16 に記載の装置。

【請求項 18】

前記マスタ半導体スイッチと前記スレーブ半導体スイッチが電界効果トランジスタ (FET) を含む、請求項 16 に記載の装置。

【請求項 19】

前記マスタ半導体スイッチと前記スレーブ半導体スイッチが金属酸化物半導体電界効果トランジスタ (MOSFET) を含む、請求項 18 に記載の装置。

【請求項 20】

前記マスタ制御回路が、前記マスタ半導体スイッチを通る電流を検知するように前記マスタ半導体スイッチと結合された電流検知回路を備えている、請求項 16 に記載の装置。

【請求項 21】

前記マスタ半導体スイッチを通る電流が電流制限しきい値を超えたとき、前記マスタ制御信号を用いて前記マスタ半導体スイッチとスレーブ半導体スイッチをオフにさせるように、前記電流検知回路が前記マスタ制御回路に結合されている、請求項 20 に記載の装置。

【請求項 22】

前記電流検知回路が前記 2 つのマスタ・スイッチ端子に結合されている、請求項 20 に記載の装置。

【請求項 23】

前記電流検知回路が前記マスタ半導体スイッチのオン抵抗の両端の電圧降下を検出するように結合されている、請求項 20 に記載の装置。

【請求項 24】

前記マスタ制御回路が、前記マスタ半導体スイッチの温度を検知するように前記マスタ半導体スイッチと熱的に結合された温度検知回路であって、前記マスタ制御回路に、前記マスタ制御信号を用いて前記マスタ半導体スイッチと前記スレーブ半導体スイッチの電力放散を制御させるように結合した温度検知回路を備えている、請求項 16 に記載の装置。

【請求項 25】

前記マスタ制御回路が切り替えモード調節器回路を含む、請求項 16 に記載の装置。

【請求項 26】

前記マスタ制御回路が力率コントローラ回路を含む、請求項 16 に記載の装置。

【請求項 27】

前記マスタ制御回路がデジタル増幅器回路を含む、請求項 16 に記載の装置。

【請求項 28】

切り替えモード電源の内部に含まれている、請求項 16 に記載の装置。

【請求項 29】

交流 (AC) 対直流 (DC) 電源の内部に含まれている、請求項 16 に記載の装置。

【請求項 30】

直流 (DC) 対 DC 電源の内部に含まれている、請求項 16 に記載の装置。

【請求項 31】

力率補正回路の内部に含まれている、請求項 16 に記載の装置。

【請求項 32】

デジタル・電力増幅器回路の内部に含まれている、請求項 16 に記載の装置。

【請求項 33】

第 1 のパワー・トランジスタと第 2 のパワー・トランジスタを切換える制御信号を第 1 の集積回路チップ内の制御回路で発生するステップと、

10

20

30

40

50

前記第 1 の集積回路チップ内の第 1 のドライバ回路と共に前記制御信号を受信して上記制御信号から第 1 のドライブ信号を発生させるステップと、

前記第 1 の集積回路チップ内の前記第 1 のパワー・トランジスタを前記第 1 のドライブ信号で駆動して前記第 1 のパワー・トランジスタを前記制御信号で切換えるステップと、

第 2 の集積回路チップ内の第 2 のドライバ回路で前記制御信号を受信して、この制御信号から第 2 のドライブ信号を発生させるステップと、

前記第 2 の集積回路チップ内の前記第 2 のパワー・トランジスタを前記第 2 ドライブ信号で駆動し、前記第 2 のパワー・トランジスタを前記制御信号で切換えるステップとを備える、集積回路装置の駆動方法。

【請求項 3 4】

10

前記第 1、第 2 のパワー・トランジスタの対応する出力端子を互いに結合されている、請求項 3 3 に記載の方法。

【請求項 3 5】

前記第 1、第 2 のパワー・トランジスタを単一の電源に結合されている、請求項 3 4 に記載の方法。

【請求項 3 6】

回路の力率を補正するステップをさらに含む、請求項 3 3 に記載の方法。

【請求項 3 7】

前記第 1 のパワー・トランジスタを通る電流を検知するステップをさらに含み、前記制御信号が前記第 1 のパワー・トランジスタを通る電流に応答する、請求項 3 3 に記載の方法。

20

【請求項 3 8】

前記第 1 のパワー・トランジスタの温度を検知するステップをさらに含み、前記制御信号が前記第 1 のパワー・トランジスタの温度に応答する、請求項 3 3 に記載の方法。

【請求項 3 9】

マスタ・パワー・トランジスタと少なくとも 1 つのスレーブ・パワー・トランジスタとを切換える制御信号をマスタ集積回路チップ内の制御回路で発生させるステップと、

前記マスタ集積回路チップ内のマスタ・ドライバ・トランジスタで前記制御信号を受信するステップと、

前記マスタ集積回路チップ内の前記マスタ・パワー・トランジスタを前記マスタ・ドライブ信号で駆動し、前記マスタ・パワー・トランジスタを前記制御信号で切換えるステップと、

30

少なくとも 1 つのスレーブ集積回路チップ内の少なくとも 1 つのスレーブ・ドライバ回路で前記制御信号を受信し、前記制御信号から少なくとも 1 つのスレーブ・ドライブ信号を発生させるステップと、

前記少なくとも 1 つのスレーブ集積回路チップ内の少なくとも 1 つのスレーブ・パワー・トランジスタを少なくとも 1 つのスレーブ・ドライブ信号で駆動して少なくとも 1 つのスレーブ・パワー・トランジスタを前記制御信号で切換えるステップとを備える、集積回路装置の駆動方法。

【請求項 4 0】

40

前記マスタ・パワー・トランジスタおよび前記少なくとも 1 つのスレーブ・パワー・トランジスタの対応する出力端子が互いに結合されている、請求項 3 9 に記載の方法。

【請求項 4 1】

前記マスタ・パワー・トランジスタを通る電流を検知するステップをさらに含み、前記制御信号は前記マスタ・パワー・トランジスタを通る電流に応答する、請求項 3 9 に記載の方法。

【請求項 4 2】

前記マスタ・パワー・トランジスタの温度を検知するステップをさらに含み、前記制御信号が前記マスタ・パワー・トランジスタの温度に応答する、請求項 3 9 に記載の方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、全般的には集積回路に関し、本発明はさらに具体的には、パワー・トランジスタを含む集積回路に関する。

【背景技術】

【0002】

パワー・トランジスタを用いた電子回路は、使用しているパワー・トランジスタの定格またはサイズに応じて設計しなければならない。使用しているパワー・トランジスタのサイズは、パワー・トランジスタ製造者が指定するその電力取り扱い能力に影響を及ぼす。パワー・トランジスタを収容するために使用するパッケージは物理的および経済的制約によってそのサイズが制限されるため、単一のパッケージ内に含めることが可能なパワー・トランジスタのサイズも同様に制限される。したがって、パワー・トランジスタのサイズを必要に応じて効果的に拡大させるためには、パワー・トランジスタを用いる電子回路を、互いに結合された2つ以上のパワー・トランジスタを使用して設計することが一般的である。得られるパワー・トランジスタの組合せは、典型的には、制御回路群からなる単一の制御回路と、パワー・トランジスタを駆動するための単一のドライバ回路とによって制御される。この方式によって結合された2つ以上のパワー・トランジスタを用いる回路では、使用しているパワー・トランジスタの種類の特性に適切なドライバと制御回路の慎重な利用と慎重な回路基板レイアウトが必要である。

【発明の開示】

【発明が解決しようとする課題】

【0003】

制御回路、ドライバ、パワー・トランジスタを一体化させた集積回路が入手可能となっている。こうした集積回路に使用されるパワー・トランジスタのサイズもまた、その集積回路を収容するために使用するパッケージによって制限される。この場合では、一体化したパワー・トランジスタ・ドライバ回路は典型的には一体化したパワー・トランジスタの専用であるため、通常は追加的な外部パワー・トランジスタを結合できず、また必要なドライバ回路の出力にユーザがアクセスする手段が用意されていない。一体化したパワー・トランジスタ・ドライバ回路の出力を利用できる集積回路では、一体化したドライバ回路によって駆動させることができる外部パワー・トランジスタのサイズと数が、この一体化したパワー・トランジスタ・ドライバ回路のサイズによって制限される。

【課題を解決するための手段】

【0004】

パワー・トランジスタのサイズを拡張するための回路を開示する。実施の一態様では、本発明の教示による装置は、第1の集積回路チップ上に第1のパワー・トランジスタを含んでいる。この第1のパワー・トランジスタは、2つの出力端子と1つの制御端子を有している。この装置はまた、第1の集積回路チップ上に第1のドライバ回路を含んでいる。この第1のドライバ回路は、第1のドライバ回路入力と第1のドライバ回路出力を有している。この第1のドライバ回路出力は第1のパワー・トランジスタの制御端子を駆動するように結合されている。この装置はさらに、第2の集積回路チップ上に第2のパワー・トランジスタを含んでいる。この第2のパワー・トランジスタは、2つの出力端子と1つの制御端子を有している。この装置はまた、第2の集積回路チップ上に第2のドライバ回路を含んでいる。この第2のドライバ回路は第2のドライバ回路入力と第2のドライバ回路出力を有している。この第2のドライバ回路出力は第2のパワー・トランジスタの制御端子を駆動するように結合されている。第1のパワー・トランジスタの2つの出力端子は、第2のパワー・トランジスタの2つの出力端子のそれぞれに結合されている。第1、第2のドライバ回路入力はすべて、単一の制御信号によって駆動を受けるように結合されている。本発明の追加的な特徴および利点は、以下に示す詳細な説明および図面から明らかとなる。

【発明を実施するための最良の形態】

【 0 0 0 5 】

詳細な本発明は、限定ではなく一例として添付の図面に示されている。

【 0 0 0 6 】

パワー・トランジスタ（または、半導体スイッチ）のサイズを拡張するための新規の技法を開示する。以下の説明では、本発明に対するより徹底した理解を提供できるように、多くの具体的な詳細を提示している。しかし、本発明を実施するために必ずしもこうした特定の詳細を利用する必要がないことは当業者には明らかであろう。また別の場合、本発明を不明瞭にすることを避けるため、よく知られた材料や方法については詳細に記載していない。

【 0 0 0 7 】

一般に、パワー・トランジスタのサイズを拡張するための簡単かつ新規の技法は、本発明の実施形態に従って、その各々が少なくとも1つのパワー・トランジスタとパワー・トランジスタ・ドライバ回路を含んでいる2つ以上の集積回路チップを互いに結合することによって提供することができる。この集積回路のうちの1つの一部分として制御回路があり、この制御回路は制御信号となる出力を含んでいる。この制御信号は互いに結合された2つ以上の集積回路のパワー・トランジスタ・ドライバ回路の入力となるように結合されている。この方法で2つ以上の集積回路が結合されると、本発明の教示に従ってパワー・トランジスタ・ドライバ回路は必要に応じてそのパワー・トランジスタの範囲全体まで拡張される。

【 0 0 0 8 】

図示のため、図1に、負荷115への共通接続によって2つのパワー・トランジスタ100、101を互いに結合している回路の概要図を表している。パワー・トランジスタ100、101はどの集積回路の一部分でもないため、これらは離散パワー・トランジスタと記載される。このようにして、パワー・トランジスタの実効サイズが拡張される。パワー・トランジスタ100、101の出力端子118、121は互いに結合されている。パワー・トランジスタ100、101の出力端子119、122も互いに結合されている。パワー・トランジスタ100、101の制御端子120、123のそれぞれは、抵抗器102、103によって互いに結合されている。一方、この抵抗器102、103はドライバ回路104のドライバ回路出力109と一緒に結合されている。

【 0 0 0 9 】

図示した例では、ドライバ回路104は電源端子111、接地端子110を有する集積回路106の一部であり、端子124の位置で入力信号114を受け取るように結合されている。集積回路106はさらに制御回路105を含んでいる。制御回路105は、たとえば電力変換回路内のパルス幅変調器（PWM）コントローラや、電子回路内のパワー・トランジスタを制御するために付加される適当なその他任意のコントローラである。

【 0 0 1 0 】

離散パワー・トランジスタを図1に示すように結合される際には、これらのパワー・トランジスタの電気的特性を考慮に入れることが重要である。たとえば、抵抗器102、103を使用してドライバ104の出力とパワー・トランジスタ制御端子120、123の間を結合させることによって、ドライバ104が制御端子120、123をオン、オフに駆動する際にこれがないと発生する可能性がある発振を減少させることが重要である。さらに、接続107、108と接続125、116の物理的な長さの差を最小にすることが重要である。これらの接続は、パワー・トランジスタ100、101をオンにしたりオフにしたりする際の切り替え速度に影響を及ぼす寄生のインダクタンスとキャパシタンスの要素を有している。パワー・トランジスタ100、101に関して確実に効率がよい切り替えを得るには、これらの寄生要素の整合が重要であると共に、回路の物理的なレイアウトでは入念な注意を必要とする。減結合用コンデンサ112の正極端子126と、パワー・トランジスタ100の制御端子120、123と、コンデンサ112の負極端子127への戻り接続116、125との間で形成されるループの物理的な面積をさらに最小限に抑え、これらのループ内の寄生のインダクタンスとキャパシタンスの要素による影響を減ら

10

20

30

40

50

すように整合することが必要である。

【 0 0 1 1 】

上述した物理的なレイアウトの考慮すべき点以外に、駆動回路 1 0 4 の駆動能力によって、図 1 に示すように構成させることができる離散パワー・トランジスタの数が制限される。各離散パワー・トランジスタの制御端子は、その要件に従って電気エネルギーを駆動する必要があり、またパワー・トランジスタのサイズを拡張するように接続が可能な離散パワー・トランジスタの数は、そのドライバ回路 1 0 4 がこの電気エネルギーを送る最大能力によって制限される。

【 0 0 1 2 】

図 2 は、本発明の教示による回路の実施の一形態の全体を表している。図のように、集積回路チップ 2 0 9 はパワー・トランジスタ 2 0 1、ドライバ回路 2 0 3、制御回路 2 0 4 を含んでいる。集積回路チップ 2 0 8 はパワー・トランジスタ 2 0 0 とドライバ回路 2 0 2 を含んでいる。図 1 の構成の場合と同じく、パワー・トランジスタ 2 0 1 の出力端子 2 1 4、2 1 5 は、図のようにパワー・トランジスタ 2 0 0 の出力端子 2 1 0、2 1 1 のそれぞれに結合されている。しかし、制御回路 2 0 4 の制御信号出力 2 2 9 は、図のように、ドライバ回路 2 0 3、2 0 2 の入力に結合されている。ドライバ回路 2 0 3 の出力はパワー・トランジスタ 2 0 1 の制御端子 2 2 3 と結合されており、またドライバ回路 2 0 2 の出力はパワー・トランジスタ 2 0 0 の制御端子 2 2 2 に結合されている。さまざまな実施形態において、パワー・トランジスタ 2 0 0、2 0 1 は、電界効果トランジスタ (F E T)、金属酸化物電界効果トランジスタ (M O S F E T)、バイポーラ・トランジスタ、あるいはその他適当なタイプのデバイスによって実施することができる。

【 0 0 1 3 】

図示した実施形態に表したように、集積回路 2 0 8、2 0 9 の電源端子 2 1 3、2 1 6 のそれぞれは単一の電源 2 2 1 に結合されている。しかし、ドライバ回路 2 0 3 とパワー・トランジスタ 2 0 1 の両方が集積回路チップ 2 0 9 の一部分であることによって、集積回路チップ 2 0 8 に対する電源を、集積回路チップ 2 0 9 の近傍にあるコンデンサ 2 0 6 によって減結合させることができる。一方、ドライバ 2 0 2 とパワー・トランジスタ 2 0 0 の両方が集積回路チップ 2 0 8 の一部分であることによって、集積回路チップ 2 0 8 に対する電源を、集積回路チップ 2 0 8 の近傍にあるコンデンサ 2 0 5 によって減結合させることが可能となる。

【 0 0 1 4 】

これらの減結合用コンデンサ 2 0 5、2 0 6 をそのそれぞれの集積回路チップ 2 0 8、2 0 9 の近傍に配置できることによって、図 1 に関連して上で検討した、それぞれのパワー・トランジスタ 2 0 0、2 0 1 を駆動する際の寄生的影響が低減される。したがって、本発明の教示によれば、集積回路チップ 2 0 8 と 2 0 9 の間の物理的分離は、図 1 の回路における集積回路 1 0 6 とパワー・トランジスタ 1 0 0、1 0 1 との間の物理的分離の場合と比べてあまり重要ではなくなる。その理由は、接続 2 1 7 を通じて結合される制御信号が、典型的には、低電力のデジタル信号であり、このため図 1 の電力がより大きいドライバ回路出力信号 1 0 9 による寄生的影響をより受けにくいいためである。

【 0 0 1 5 】

さらに、本発明の実施形態に従ってパワー・トランジスタとドライバ回路を一体化することは、ドライバ回路のサイズがパワー・トランジスタの範囲に比例して拡張されることを意味している。したがって、本発明の実施形態によれば、図 1 に示す単一の駆動回路 1 0 4 によって駆動を受ける離散パワー・トランジスタを用いて従来から可能であった数と比べてより多くのパワー・トランジスタを結合させることが可能である。

【 0 0 1 6 】

図 2 に示した実施形態はさらに、マスタ半導体スイッチ 2 0 1、マスタ・ドライバ回路 2 0 3 を有するマスタ集積回路チップ 2 0 9 と、スレーブ半導体スイッチ 2 0 0、スレーブ・ドライバ回路 2 0 2 を有するスレーブ集積回路チップ 2 0 8 とを含めるようにしたものを見ることができる。このマスタ・スレーブ式表記は、マスタ集積回路チップ 2 0 9 が

回路 230 内で必要な制御と保護機能のうちの多くまたはすべてを一体化するように設計することが可能であることを示すのに役立つ。

【0017】

たとえば実施の一形態では、マスタ制御回路 204 は、マスタ・スイッチ端子 214 と 215 の間のマスタ半導体スイッチ 201 内を流れる電流を検知するために使用する電流検知回路 231 を含んでいる。このマスタ半導体スイッチが金属酸化物電界効果トランジスタ (MOSFET) である場合、マスタ半導体スイッチ 201 がオン状態にあるときにそのマスタ半導体スイッチ 201 のオン抵抗による両端の電圧降下を検知することによって、たとえばマスタ制御回路 204 の電流検知回路 231 によって電流を検知することができる。マスタ半導体スイッチ 201 のオン抵抗の両端の電圧降下があるしきい値を超えたときに、MOSFET はオフに切り替わるのが通常である。メイン半導体スイッチ 201 で検知した電流は、スレーブ半導体スイッチ 200 内を流れる電流を制御するために使用することができる、その理由は、この両方のスイッチがオンであるときに、マスタ半導体スイッチ 201 内を流れる電流によってスレーブ半導体スイッチ 200 内を流れる電流が表せるためである。

10

【0018】

たとえばマスタ制御回路 204 の電流検知回路 231 がメイン半導体スイッチ 201 をオフにすべきであると判定した場合、制御回路 204 のマスタ制御信号 229 がスレーブ・ドライバ回路 202 によっても受け取られており、したがって、このスレーブ・ドライバ回路 202 によってスレーブ半導体スイッチ 200 がオフにされる。同じ理論は、熱保護などの別の制御機能にも適用することができる。たとえば実施の一形態では、マスタ制御回路 204 はマスタ半導体スイッチ 201 の温度を検知するように熱的に結合された温度検知回路 232 を含んでいる。マスタ制御回路 204 の温度検知回路 232 がマスタ半導体スイッチ 201 の温度が高すぎると判定した場合、マスタ制御信号 229 は、半導体スイッチ 200 と 201 の両方における電力放散を制御するために、マスタとスレーブの両方の半導体スイッチ 200、201 をオフにさせる。

20

【0019】

図 3 は全体として、本発明の教示による回路の別の実施形態を表している。この図示した実施形態では、図 2 に示した回路素子を、図 3 においてブースト変換器回路内に表している。入力交流 (AC) 電源 308、整流器回路 301、ブースト・インダクタ 302、ブースト・ダイオード 303、出力バルク・コンデンサ 307 を備えた変換器の全体構成については当業者によく知られていよう。図示した構成において、この回路は、その要件がこれまた当業者によく知られている PFC 機能を実行するための力率補正 (PFC) コントローラとして構成されている。

30

【0020】

図示した実施形態では、マスタ集積回路チップ 209 に対する入力信号 220 は、PFC 機能を実行するためにマスタ制御回路 204 によって必要な制御信号を提供している抵抗器 304 と 305 を通って流れる電流を組み合わせ得られる。実施の一形態では、直流 (DC) 出力電圧 306 が図の後続の電力変換段に対する入力として用いられるのが一般的である。この電力変換段は例えば、切り替えモード電源とすることも可能である。実施の一形態では、電源 221 は電力変換段から、あるいは単独の補助電源から得られる。別の実施形態では、マスタ制御回路 204 を本発明の教示によって実現することができ、またマスタ制御回路 204 は、切り替えモード調節器、交流 (AC) 対直流 (DC) 電源、電力増幅器、モータ制御回路、アナログやデジタル式の音響増幅器、あるいは適当なタイプのその他回路 (ただしこれらに限らない) を含む別の設計で実施することができることを理解されたい。

40

【0021】

図示した実施形態に表したように、マスタ制御回路 204 の別の端子 310 は抵抗器 309 に結合されており、またこの抵抗器 309 はさらに、帰還 219 または接地に結合されている。実施の一形態では、マスタ制御回路は、マスタ制御回路 204 の電流制限しき

50

い値を制御または調整するために端子 3 1 0 と結合された電流制限調整回路 2 3 3 を含んでいる。マスタ制御信号 2 2 9 はマスタとスレーブの両方のドライバ回路 2 0 3、2 0 4 のそれぞれに加えられるため、この電流制限調整回路 2 3 3 はマスタ集積回路チップ 2 0 9 のマスタ制御回路 2 0 4 内に含めるだけで十分である。

【 0 0 2 2 】

上述した詳細な説明では、本発明についてその特定の例示的实施形態を参照しながら記載してきた。しかし、本発明のより広い精神および趣旨を逸脱することなく、これらに対してさまざまな修正や変更を行うことができることは明らかであろう。たとえば、1つの集積回路を超えるパワー・トランジスタのサイズの拡張は、D C 入力並びに A C 入力の回路で使用することができ、ここで検討した電力増幅器並びに電力変換回路に適用可能である。したがって、本明細書および図面は限定ではなく例示と見るべきである。

10

【図面の簡単な説明】

【 0 0 2 3 】

【図 1】単一のパワー・トランジスタ・ドライバ回路によって駆動を受けるように 2 つのパワー・トランジスタを結合させることによってそのパワー・トランジスタのサイズが拡張された回路の概要図である。

【図 2】複数の集積回路を本発明の教示に従って結合させることによってそのパワー・トランジスタのサイズが拡張された回路の実施の一形態の概要図である。

【図 3】複数の集積回路を本発明の教示に従って結合させることによってそのパワー・トランジスタのサイズが拡張された回路の別の実施形態の概要図である。

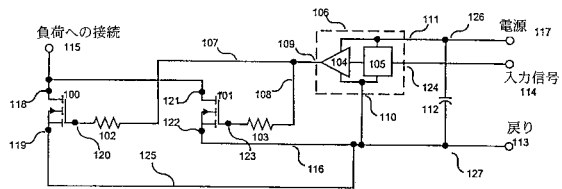
20

【符号の説明】

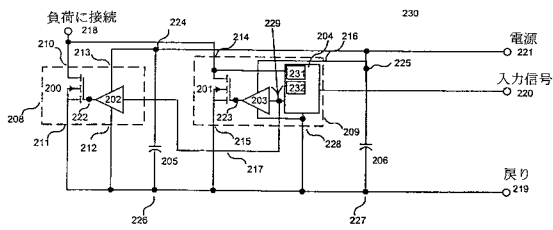
【 0 0 2 4 】

1 0 0、1 0 1 パワー・トランジスタ、1 0 2、1 0 3 抵抗器、1 0 4 ドライバ回路、1 0 5 制御回路、1 0 6 集積回路、1 0 9 ドライバ回路出力、1 1 0 接地端子、1 1 1 電源端子、1 1 2 減結合用コンデンサ、1 1 4 入力信号、1 1 5 負荷への共通接続、1 1 6 戻り接続。

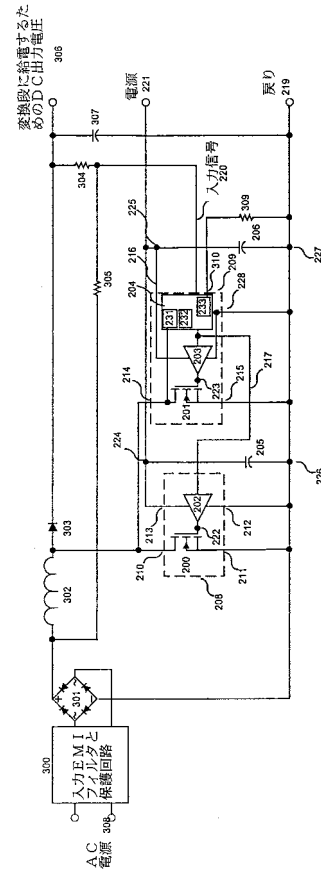
【図 1】



【図 2】



【図 3】



フロントページの続き

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 バル・バラクリッシュマン

アメリカ合衆国・95070・カリフォルニア州・サラトガ・アルバー コート・13917

審査官 杉浦 貴之

(56)参考文献 特開2000-299625(JP,A)

特開2002-369496(JP,A)

特開2000-092820(JP,A)

国際公開第02/063752(WO,A1)

国際公開第02/063765(WO,A1)

特開2003-134797(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/08

H02M 3/155

H02M 7/12

H03K 17/687