

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 98811468.2

[45] 授权公告日 2008 年 4 月 2 日

[11] 授权公告号 CN 100378690C

[22] 申请日 1998.7.7 [21] 申请号 98811468.2

[30] 优先权

[32] 1997. 9. 24 [33] US [31] 08/936,848

[86] 国际申请 PCT/US1998/013886 1998. 7. 7

[87] 国际公布 WO1999/015971 英 1999. 4. 1

[85] 进入国家阶段日期 2000. 5. 24

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 A·H·加夫肯 J·A·本尼特

D·I·波伊斯纳

[56] 参考文献

US5581745 1996. 12. 3

US4811202 1989. 3. 7

US4099231 1978. 7. 4

审查员 马晓亚

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 王忠忠

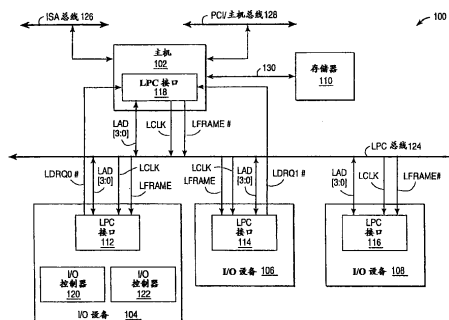
权利要求书 5 页 说明书 25 页 附图 11 页

[54] 发明名称

少引线数总线上的存储器事务处理的系统和方法

[57] 摘要

一种系统，其总线(124)与主机(102)和存储设备(108)耦合。总线(124)可能包含许多通用信号线来传送时分多路复用的地址，数据，和控制信息。存储设备(108)可保存系统启动信息，并通过总线(124)将此信息传达给主机(102)。



1. 一种系统，包含：

一个总线，含有多个通用信号线，以传送时分多路复用的地址、数据和控制信息；

一个存储器设备，与该总线耦合并存储系统启动信息；以及

一个主机，与该总线耦合并通过总线将控制信息写入存储器设备以指示一件存储器事务处理，其中部分系统启动信息在主机和存储器设备之间传送；

其特征在于，存储器设备通过总线给主机提供控制信息以使存储器设备的运行与主机同步化。

2. 权利要求 1 的系统，其特征在于总线还包含一根独立的控制信号线，用于传送表示一件存储器事务处理开始的控制信号。

3. 权利要求 2 的系统，其特征在于独立的控制信号线上的控制信号表示异常中止存储器事务处理。

4. 权利要求 1 的系统，其特征在于总线包含一根独立的时钟信号线，用于传送时钟信号，和其中存储器设备按照该时钟信号同步地与主机传送系统启动信息。

5. 权利要求 1 的系统，其特征在于主机通过总线将控制信息写入存储器设备以表示存储器设备中的存储地址。

6. 权利要求 5 的系统，其特征在于主机通过总线将控制信息写入存储器设备以表示存储器事务处理中将被传送的字节数。

7. 权利要求 1 的系统，其特征在于存储器设备提供控制信息给总线，直到存储器设备准备好数据输出到总线。

8. 权利要求 1 的系统，其特征在于控制信息包含存储器事务处理中的出错标志。

9. 权利要求 1 的系统，其特征在于主机包含处理器。

10. 权利要求 1 的系统，其中主机包含芯片组。

11. 权利要求 1 的系统, 其特征在于该多个通用信号线包含四条通用信号线。

12. 权利要求 1 的系统, 其特征在于系统包含通信系统。

13. 一种系统, 包含:

一个总线, 含有多个通用信号线, 以传送时分多路复用的地址、数据和控制信息;

一个存储器设备, 与该总线耦合并存储系统启动信息; 以及

一个主机, 与该总线耦合并通过总线将第一控制信息写入存储器设备, 以指示存储器事务处理, 其中一部分系统启动信息在主机和存储器设备之间传送, 其中主机通过总线将第二控制信息写入存储器设备, 以表示存储器设备中的存储器地址, 其中主机通过总线将第三控制信息写入存储器设备, 以表示存储器事务处理中将被传送的字节数, 其中主机通过总线将第四控制信息写入存储器设备, 以将对总线的控制移交给存储器设备。

14. 一种系统, 包含:

一个存储器设备, 存储系统启动信息;

一个总线, 含有多个通用信号线, 以传送时分多路复用的地址、数据和控制信息, 其中总线还包含一根独立的控制信号线, 用于传送表示存储器设备低功率模式的控制信号; 和

一个主机, 与该总线耦合并通过总线将第一控制信息写入存储器设备, 以指示一件存储器事务处理, 其中一部分系统启动信息在主机和存储器设备之间传送。

15. 一种通过总线在主机和存储器设备之间执行存储器事务处理的方法, 该总线包含多个通用信号线和一条单独的控制线, 其中存储器设备存储系统启动信息, 该方法包含以下步骤:

声明控制线上的控制信号, 以表示存储器事务处理的开始;

通过该多个通用信号线将第一控制信息从主机写入存储器设备, 以表示该存储器事务处理包括主机将数据单元写入存储器设备;

通过该多个通用信号线将第二控制信息从主机写入存储器设备, 以表示该数据单元将被写入的存储器设备中的地址;

通过该多个通用信号线将第三控制信息从主机写入存储器设备, 以表示将被传送的数据单元的字节数;

通过该通用信号线将该数据单元写入存储器设备;

将对总线的控制移交给存储器设备;

从存储器设备提供第四控制信息给总线, 以表示存储器设备将对总线的控制移交给主机之前的时间长度; 以及

将对总线的控制移交给主机。

16. 如权利要求 15 所述的方法, 其特征在于, 它还包括下列步骤:

将来自主机的设备选择控制信息写到多个通用信号线上; 以及

若设备选择控制信息与存储器设备的标志相匹配, 存储器设备就将数据单元写入存储器设备的存储单元中。

17. 一种通过总线在主机和存储器设备之间执行存储器事务处理的方法, 其总线包含多个通用信号线和一条单独的控制线, 其中存储器设备存储系统启动信息, 该方法包含以下步骤:

声明控制线上的控制信号, 以表示存储器事务处理的开始;

通过该多个通用信号线将第一控制信息从主机写入存储器设备, 以表示该存储器事务处理包括主机往将数据单元写入存储器设备;

通过该多个通用信号线将第二控制信息从主机写入存储器设备, 以表示该数据单元将被写入的存储器设备中的地址;

通过该多个通用信号线将第三控制信息从主机写入存储器设备, 以表示将被传送的数据单元的字节数;

通过通用信号线将数据单元写入存储器设备中; 以及

通过该多个通用信号线将第四控制信息从存储器设备写入主机, 以指定存储器事务中的差错。

18. 如权利要求 17 所述的方法, 其特征在于, 它还包括下列步骤:

将来自主机的设备选择控制信息写到多个通用信号线上; 以及
若设备选择控制信息与存储器设备的标志相匹配, 存储器设备就将数据单元写入存储器设备的存储单元中。

19. 一种通过总线在主机和存储器设备之间执行存储器事务处理的方法, 其总线包含多个传送时分多路复用地址、数据和控制信号的通用信号线和一条单独的控制线, 其中存储器设备存储系统启动信息, 该方法包含以下步骤:

声明控制线上的控制信号, 以表示存储器事务处理的开始;

通过该多个通用信号线将第一控制信息从主机写入存储器设备, 以表示该存储器事务处理包括主机从存储器设备读取数据单元;

通过该多个通用信号线将第二控制信息从主机写入存储器设备, 以表示该数据单元将被读出的存储器设备中的地址;

通过该多个通用信号线将第三控制信息从主机写入存储器设备, 以表示将被读取的数据单元的字节数;

将对总线的控制移交给存储器设备;

通过该多个通用信号线将第四控制信息从存储器设备写入主机, 直到该数据单元准备好从存储器设备读出; 以及

通过该通用信号线将此数据单元从存储器设备读出。

20. 权利要求 19 的方法, 其特征在于第四控制信息包含存储器事务处理中的出错标志。

21. 如权利要求 19 所述的方法, 其特征在于, 它还包括下列步骤:

将来自主机的设备选择控制信息写到多个通用信号线上; 和

若设备选择控制信息与存储器设备的标志相匹配, 则从存储器设备读取数据单元。

22. 一种系统, 包括:

一个总线，该总线具有多个通用信号线，以传送时分多路复用的地址、数据和控制信息；

一个与该总线相耦合的外围设备；以及

一个主机，与总线相耦合，其中该外围设备经过该总线与该主机设备传送等候状态信息。

23.权利要求 22 的系统，其特征在于该外围设备经过该总线与该主机传送出错消息。

少引线数总线上的存储器事务处理的系统和方法

技术领域

本发明涉及计算机系统。更具体而言，本发明涉及计算机系统中少引线数总线上不同类型设备之间的通信。

背景技术

传统老式基础(legacy-based)的计算机系统包含许多外围设备和存储设备，它们通过工业标准体系结构 (ISA) 总线或扩展总线 (X-bus) 与系统的芯片组或处理器通信。系统芯片组或处理器必须包含大量引线 (例如大约 50-70 条引线) 和相关电路来支持 ISA 总线或扩展总线信号，这些信号用于连接芯片组或处理器与老式基础的外围设备，包括输入/输出 (I/O) 或 I/O 控制设备，例如并行端口控制器、串行端口控制器、超级 I/O 控制器、软盘控制器、键盘控制器，与存储设备，例如非易失性存储设备用于存储，例如基本输入输出服务 (BIOS) 信息。

支持 ISA 总线和扩展总线标准所需的大量引线通常会增加整个系统的成本。例如，芯片组或处理器需要较大的封装。较大引线数封装的成本通常比较小引线数封装高，并且在封装组装和系统集成过程中通常对制造质量和可靠性问题更加敏感。而且，较大引线数封装要求印刷电路板 (PCB) 上更大的表面积，在印刷电路板上可实现计算机系统。因此，就希望把计算机系统中的 ISA 总线或扩展总线替换成支持相同类型外围设备，但利用相对较少数量引线或信号线的总线。

ISA 总线和扩展总线标准还限制存储器或 I/O 地址空间大小在 24 位或大约 16 兆字节的存储器或 I/O 地址空间。由于一些处理器和芯片组能支持 32 位或 64 位的地址空间，从前要用别名来把处理器地址空间翻译到 ISA 地址空间。别名会产生相当的额外开销，可给计

算机系统的性能带来负面影响。因此,就希望把 ISA 总线和扩展总线标准替换成支持一种地址空间的总线,这种地址空间与处理器或芯片组地址空间兼容,并且是潜在无限的。

ISA 总线和扩展总线标准还有异步的缺点。这通常对于那些需要产生和响应 ISA 总线和扩展总线信号的元件会增加设计复杂度。因此,就希望把 ISA 总线和扩展总线标准替换成支持元件间同步通信的总线,从而整体上降低总线接口电路的复杂度。

发明内容

描述了一种系统,其总线与主机和存储设备耦合。此总线可能包含许多通用信号线来传送时分多路复用的地址,数据,和控制信息。存储设备可保存系统启动信息,并通过总线将此信息传达给主机。

根据本发明的一个方面,提供一种系统,包含:

一个总线,含有多个通用信号线,以传送时分多路复用的地址,数据,和控制信息;

一个存储设备,与该总线耦合并保存系统启动信息;以及

一个主机,与该总线耦合并通过总线将控制信息写入存储设备以指示一件存储器事务处理,其中部分系统启动信息在主机和存储设备之间交流;

其特征在于,存储设备通过总线给主机提供控制信息以使存储设备的运行与主机同步化。

根据本发明的另一个方面,提供一种系统,包含:

一个总线,含有多个通用信号线,以传送时分多路复用的地址,数据,和控制信息;

一个存储设备,与该总线耦合并存储系统启动信息;以及

一个主机,与该总线耦合并通过总线将第一控制信息写入存储设备,以指示存储器事务处理,其中一部分系统启动信息在主机和存储设备之间交流,其中主机通过总线将第二控制信息写入存

储设备，以表示存储设备中的存储地址，其中主机通过总线将第三控制信息写入存储设备，以表示存储器事务处理中将被传送的字节数，其中主机通过总线将第四控制信息写入存储设备，以将对总线的控制移交给存储设备。

根据本发明的另一个方面，提供一种系统，包含：

一个存储设备，存储系统启动信息；以及

一个总线，含有多个通用信号线，以传送时分多路复用的地址，数据，和控制信息，其中总线还包含一根独立的控制信号线，用于传送表示存储设备低功率状态的控制信号；和

一个主机，与该总线耦合并通过总线将第一控制信息写入存储设备，以指示一件存储器事务处理，其中一部分系统启动信息在主机和存储设备之间交流。

根据本发明的另一个方面，提供一种通过总线在主机和存储设备之间执行存储器事务处理的方法，该总线包含多个通用信号线和一条单独的控制线，其中存储设备存储系统启动信息，该方法包含以下步骤：

声明控制线上的控制信号，以表示存储器事务处理的开始；

通过该多个通用信号线将第一控制信息从主机写入存储设备，以表示该存储器事务处理包括主机写数据单元到存储设备；

通过该多个通用信号线将第二控制信息从主机写入存储设备，以表示该数据单元将被写入的存储设备中的地址；

通过该多个通用信号线将第三控制信息从主机写入存储设备，以表示将被传送的数据单元的字节数；以及

通过该通用信号线将该数据单元写入存储设备，

将对总线的控制移交给存储设备；

从存储设备提供第四控制信息给总线，以表示存储设备将对总线的控制移交给主机之前的时间长度；以及

将对总线的控制移交给主机。

根据本发明的另一个方面，提供一种通过总线在主机和存储设备之间执行存储器事务处理的方法，其总线包含多个通用信号线和一条单独的控制线，其存储设备保存系统启动信息，该方法包含以下步骤：

声明控制线上的控制信号，以表示存储器事务处理的开始；

通过该多个通用信号线将第一控制信息从主机写入存储设备，以表示该存储器事务处理包括主机往存储设备书写入数据单元；

通过该多个通用信号线将第二控制信息从主机写入存储设备，以表示该数据单元将被写入的存储设备中的地址。

通过该多个通用信号线将第三控制信息从主机写入存储设备，以表示将被传送的数据单元的字节数；

通过通用信号线将数据单元写入存储设备中；

通过该多个通用信号线将第四控制信息从存储设备写入主机，以指定存储事务中的差错。

根据本发明的另一个方面，提供一种通过总线在主机和存储设备之间执行存储器事务处理的方法，其总线包含多个传送时分多路复用地址、数据和控制信号的通用信号线和一条单独的控制线，其中存储设备存储系统启动信息，该方法包含以下步骤：

声明控制线上的控制信号，以表示存储器事务处理的开始；

通过该多个通用信号线将第一控制信息从主机写入存储设备，以表示该存储器事务处理包括主机从存储设备读取数据单元；

通过该多个通用信号线将第二控制信息从主机写入存储设备，以表示该数据单元将被读出的存储设备中的地址。

通过该多个通用信号线将第三控制信息从主机写入存储设备，以表示将被读取的数据单元的字节数；

将对总线的控制移交给存储设备；

通过该多个通用信号线将第四控制信息从存储设备写入主机，直到该数据单元准备好从存储设备读出；以及

通过该通用信号线将此数据单元从存储设备读出。

根据本发明的另一个方面，提供一种系统，包括

一个总线，该总线具有多个通用信号线，以传送时分多路复用的地址、数据和控制信息，

一个与该总线相耦合的外围设备；以及

一个主机，与总线相耦合，其中该外围设备经过该总线与该主机交流等候状态信息。

附图说明

本发明的其他特征和优点从附图和下面的详细叙述中会变得明显。

本发明的特征和优点由附图中的例子来阐明，但并不局限于此，图中相似的标号表示相似的元素，其中：

图 1 是含少引线数（LPC）总线的计算机系统的一种实施方案；

图 2 是 LPC 接口的一种实施方案；

图 3 是用于执行存储器和 I/O 事务处理的状态机的一种实施方案；

图 4 是 LPC 存储器读事务处理的一种实施方案；

图 5 是 LPC 存储器写事务处理的一种实施方案；

图 6 是用于执行存储器和 I/O 事务处理的状态机的另一种实施方案；

图 7 是 LPC 存储器读事务处理的另一种实施方案；

图 8 是 LPC 存储器写事务处理的另一种实施方案；

图 9 是存储设备选择办法的一种实施方案；

图 10 是用于存储设备的 LPC 接口的一种实施方案；以及

图 11 是低功率模式工作时序图的一种实施方案。

具体实施方式

公开了一种少引线数（LPC）总线的计算机系统。LPC 总线可以替代计算机系统中的 ISA 总线或扩展总线，并提供主机，例如处

理器或芯片组，与外围设备，例如 I/O 或 I/O 控制设备和存储设备，之间的通信机构。一种实施方案是，LPC 总线可包含通用信号线，它们传送几乎所有的时分多路复用的地址，数据，和控制信息来执行主机和外围设备之间的存储器，I/O，直接存储器存取（DMA），和总线主控器的事务处理。

LPC 总线的一个优点是，它可能只需要相当少的信号线（例如，约 6-8 根信号线）来完成以前由 ISA 总线和扩展总线标准的约 50-70 根信号线完成的所有功能。既然 LPC 总线的信号线数量可以比 ISA 总线和扩展总线标准大大减少，计算机系统的芯片组或处理器上用来支持 LPC 总线所需的引线数也就可以大大减少。类似地，包含在每个外围设备中的 LPC 接口也可只用同样少数量的引线来通过 LPC 总线与芯片组或处理器连接。这可使元件制造商的封装成本降低，计算机系统制造商的系统成本降低。另外，这可能提高质量，并使封装和系统集成更可靠。LPC 总线还可以用来代替其他系统总线以减少与总线耦合的封装的引线数。

LPC 总线的另一个优点是，存储器和/或 I/O 地址空间不再限于通信总线上一定数量的地址线；相反地，LPC 总线可以串行传送所需数量的地址信号来寻址任何地址空间。因此，可避免传统的存储器或 I/O 地址空间的别名。

LPC 总线的另一个优点是，可能用来连接芯片组或处理器和外围设备的 LPC 接口逻辑和/或软件与现有的采用 ISA 总线或扩展总线标准的计算机系统可以是软件兼容的。也就是说，比起 ISA 总线或扩展总线系统来，在 LPC 总线系统上运行操作系统软件或应用程序不需要特殊的驱动程序或配置。

LPC 总线还有另一个优点是，它可以是同步总线，使得主机和外围设备中的 LPC 接口电路通常比异步总线接口设计所需的电路简单。

LPC 总线和相关的支持电路也可包含在其他系统中，包括打印

机，数字摄象机，和通信系统（例如，调制解调器，蜂窝式电话系统，寻呼机，和数字应答系统）。

图 1 是计算机系统 100 的一种实施方案，包含了主机 102，它经由 LPC 总线 124 与外围设备，包括 I/O 或 I/O 控制设备 104 和 106，和存储设备 108 耦合。主机 102 可以是芯片组，处理器，或者任何其他包含了与 LPC 总线 124 接口的智能的控制逻辑。主机 102 还可包含必要的逻辑以便与可选择的 ISA 总线 126 和可选择的 PCI 或主机总线 128 接口。主机 102 通过总线 130 与存储器 110 交流地址，数据，和控制信息，总线 130 可以是局部总线或其他存储器总线。存储器 110 可以是系统 100 的主要的或首要的存储器，例如动态随机存取存储器（DRAM），静态随机存取存储器（SRAM），或任何其他类型的易失性或非易失性的存储器，用来保存，例如，操作系统

统软件，应用程序，或程序数据。

I/O 设备 104 和 106，可以是 I/O 控制设备，可在 I/O 地址空间内寻址，并且控制访问外围元件，例如软盘驱动器，键盘，等等。每个 I/O 设备 104 和 106 可以是，例如，软盘控制器，串行端口控制器，并行端口控制器，红外线（IR）控制器，键盘控制器，声频控制设备，或视频控制设备。I/O 设备 104 可以是超级 I/O 设备，包含 I/O 控制器 120 和 122，它们都可以是，例如，软盘控制器，串行端口控制器，并行端口控制器，红外线（IR）控制器，键盘控制器，声频控制设备，或视频控制设备。

存储设备 108 是可在存储空间内寻址的外围设备。例如，存储设备 108 可包含任何类型的易失性或非易失性存储器，例如 DRAM，SRAM，快速存储器，电可编程只读存储器（EPROM），电可擦除可编程只读存储器（EEPROM），磁存储介质，或光存储介质。存储设备 108 可保存系统启动代码，可管理代码，操作系统数据，应用程序代码，程序数据，或作为主机 102 或 I/O 设备 104 和 106 的便笺式存储器的过程。系统启动程序可包含必要的软件来配置或启动系统 100 中的元件，还可能包含 BIOS 信息。

主机 102 和外围设备 104，106，和 108 均分别包含各自的 LPC 接口 118，112，114，和 116，用于产生 LPC 信号和响应 LPC 总线 124 上的 LPC 信号。这些 LPC 接口可以使系统 100 能通过 LPC 总线 124 执行存储器，I/O，DMA，和总线主控器的事务处理。每个 LPC 总线接口或者有输入或者有输出引线来接收或发送信号 LAD[3: 0]，LCLK，和 LFRAME#。注意磅符号“#”跟在信号名后表示该信号是低电平有效信号。可供选择的实施方案是，低电平有效信号可以改变成高电平有效信号。

LAD[3: 0]信号线是通用信号线，通过 LPC 总线 124 在主机 102 和外围设备 104，106，和 108 之间传送时分多路复用的地址，数据，和控制信息。在任何给定时刻 LAD[3: 0]到底是在传送地址，数据，或控制信息可以通过系统 100 的工作环境来确定，下面将会更详细叙述。尽管 LAD[3: 0]被表示成一条四位的总线，它可包含任何数目的信号线来实现传送时分多路复用的地址，数据，和控制信息的目的。四位半字节大小的总线有利于减少每个 LPC 接口 112-118 所需

的引线数量，和减少主机 102 和外围设备 104, 106, 和 108 的引线数量和封装尺寸。

LCLK 是一个时钟信号，可由 LPC 接口 118 或主机 102 中的其它电路（未示出）产生。可选择地，LCLK 也可由包含晶体或其他计时电路的系统时钟（未示出）产生。一种实施方案是，LCLK 可以是来自 PCI 总线 128 的 PCI 时钟。

LFRAME#是由主机 102 的 LPC 接口 118 产生的，用来表示 LPC 事务处理或周期的开始和/或结束。每个 LPC 接口 112, 114, 和 116, 都可监视或采样 LFRAME#来确定 LPC 事务处理何时开始或结束。例如，当 LFRAME#被主机 102 声明（assert）为（例如，低电平），外围设备 104, 106, 和 108 各自的 LPC 接口 112, 114, 和 116 就会监视 LAD[3: 0]来确定该事务处理或周期是否针对它们。有利的是，当一件事务处理不是针对某台外围设备时，该外围设备可以进入低功率模式，其状态机可从总线上去耦合，和/或选通其时钟。如果 LFRAME#在不止一个 LCLK 周期中被声明，那么在 LFRAME#有效的最后一个 LCLK 周期中，LPC 接口 112, 114, 和 116 可能仅对 LAD[3: 0]上的启动控制信息起反应。表 1 概括了 LFRAME#被声明时 LAD[3: 0]上的启动控制信息的示例定义。

表 1

LAD[3: 0]	功能
0000	事务处理开始
0001	保留
0010	授权总线主控器 0
0011	授权总线主控器 1
0100	保留
1101	存储器读
1110	存储器写
1111	停止/异常中止事务处理

LFRAME#用于异常中止或结束 LPC 事务处理。例如，在 LPC 事务处理中，外围设备 104，106，和 108 各自的 LPC 接口 112，114，和 116 连续监视 LFRAME#。如果 LFRAME#在 LPC 事务处理中被声明，外围设备 104，106，和 108 就会停止驱动 LAD[3: 0]，并异常中止其 LPC 事务处理。一种实施方案是，主机 102 在一定数量的 LCLK 周期（例如，四个时钟周期）中声明 LFRAME#以保证异常中止标志被所有的外围设备识别。在一个或多个这些 LCLK 周期中，主机 102 还可在外围设备 104-108 停止驱动 LAD[3: 0]后在 LAD[3: 0]上驱动预定数据。一种实施方案是，当 LFRAME#被声明为表示异常中止序列时，主机 102 在 LAD[3: 0]上驱动 1111。在异常中止序列结尾，LFRAME#可在新的 LPC 事务处理开始前去声明（deassert）。

另一种可选择的实施方案是，LFRAME#可在任何系统中的任意两台设备（例如，主机和外围设备）之间作为一条独立控制线（除总线之外）上的独立控制信号来传达一件事务处理，例如存储器，I/O，总线主控器，或 DMA 事务处理的开始或异常中止。

LPC 总线 124 还可包含复位信号 LRESET#输入到每个 LPC 接口 112，114，116，和 118，并把 LPC 接口复位到某已知状态（例如，空闲状态）。一种实施方案是，LRESET#可以是与 PCI 总线 128 上的 PCI 复位信号相同的复位信号。

I/O 设备 104 和 106 也可分别含有 DMA 请求信号 LDRQ0#和 LDRQ1#，由单独的控制线接到主机 102 的 LPC 接口 118 上。LDRQ0#

和 LDRQ1# 可用来在执行 DMA 或总线主控器事务处理之前向主机 102 发送编码 DMA 通道请求。每个 I/O 设备都有一个特有的 LDRQ# 信号，这样外围设备 I/O 控制器 120 和 122 在 LDRQ0# 上共享一个 DMA 通道请求。

LPC 总线 124 还可包含低功率或备用信号 LPCPD#，它可由主机 102 通过单独的控制线输出到每个外围设备 104-108。如图 11 所示，主机 102 可能在时刻 t_0 异步声明 LPCPD#（例如，低电平）以使外围设备 104-108 进入低功率模式。当识别出被主机 102 声明的 LPCPD# 时，外围设备 104-108 将会终止任何 LPC 事务处理，并三态或驱动 LDRQ# 信号无效。外围设备 104-108 和/或主机 102 还可三态或驱动 LAD[3:0] 到某已知状态。主机 102 还可在声明 LPCPD# 后驱动 LFRAME# 到某已知状态（高或低电平）。在低功率模式下，LCLK 可在时刻 t_1 被关断，外围设备 104-108 可能关断其状态机和/或其他逻辑。一种实施方案是， t_0 和 t_1 之间的时间差至少为 30 微秒。当退出低功率模式时，LCLK 可在时刻 t_2 异步重新启动，并在 LPCPD# 于时刻 t_3 去声明之前运行一段时间。另一种实施方案是， t_2 和 t_3 之间的时间差至少为 100 微秒。那么从时刻 t_3 到 t_4 ，LRESET# 可被用于复位外围设备 104-108。另一种实施方案是，时刻 t_3 和 t_4 之差至少为 60 微秒。

主机 102 和外围设备 104-108 也可含有在 ISA 或 PCI 总线中使用的附加边带输入和/或输出信号，包括中断信号（例如，SERIRQ 和 SMI#），附加时钟信号（例如，CLKRUN#），和功率管理信号，下面会更详细描述。

在一种实施方案中，通过使用大约 6-9 根信号线，LPC 总线 124 会比传统的 ISA 总线或扩展总线部件或系统节省大量信号和引线数。例如，下列通常可在即插即用设备上找到的 ISA 总线或扩展总线信号可不再需要：D[7:0]，SA[15:0]，DREQ[3:0]，DACK#[3:0]，TC，IOR#，IOW#，IOCHRDY，IOCS16#，和 MEMCS16#。这可使总线，主机，和/或外围设备节省大约 30-40 个信号。一种实施方案是，一台全功能的超级 I/O 外围控制设备，在与 ISA 或扩展总线兼容的情况下，可能需要多达 160 引线的封装，而使用图 1 所示的 LPC 接口可能只需 88 引线（或更少）的封装。

LPC 总线可被 LPC 接口 112-118 用来执行存储器，I/O，DMA，和

总线主控制器事务处理或周期，包括存储器读，存储器写，I/O 读，I/O 写，DMA 读，DMA 写，总线主控制器存储器读，总线主控制器存储器写，总线主控制器 I/O 读，和总线主控制器 I/O 写。事务处理的类型可由循环类型和方向控制信息字段来表示，并由主机 102 或外围设备 104，106，和 108 在 LAD[3: 0]上驱动。表 2 中示出 LAD[3: 1]上循环类型和控制信息编码的一种实施方案。也可能使用相同或其他信号线上的其他编码。

表 2

LAD[3: 1]	事务处理
000	I/O 读
001	I/O 写
010	存储器读
011	存储器写
100	DMA 读
101	DMA 写
110 - 111	保留

图 2 显示了 LPC 接口 200，它是主机 102 的 LPC 接口 118 的一种实施方案。LPC 接口 200 产生和解释 LPC 总线 124 上的地址，数据，和控制信息来执行表 2 中的事务处理。LPC 接口 200 包含存储器和 I/O LPC 控制逻辑 202，可以控制主机 102 和外围设备 104-108 之一之间的存储器读，存储器写，I/O 读，和 I/O 写的 LPC 事务处理。存储器和 I/O LPC 控制逻辑 202 可包含状态机或序列发生器用于对某特定 LPC 事务处理的必要状态排序，并在 LAD[3: 0]，LFRAME#，和/或 LCLK 上产生地址，数据，或控制信息。供给 LAD[3: 0]，LFRAME#，和/或 LCLK 的信息可能被提供给总线 214 以便让逻辑 208 输出到 LPC 总线 124。

一种实施方案是，存储器和 I/O LPC 控制逻辑 202 确定一件 LPC 存储器或 I/O 事务处理可能要求通过与 LPC 译码逻辑 210 交流一个或多个信号 216 来执行。LPC 译码逻辑 210 可接收存储器或 I/O 读或写请求和来自主机 102，ISA 总线 126，或 PCI 或主机总线 128 的相关地址。LPC 译码逻辑把地址译码，并向存储器和 I/O LPC 控制逻辑

202 送出信号来开始一件存储器或 I/O LPC 事务处理。可选择地, LPC 译码逻辑 210 也可位于 LPC 接口 200 外, 但仍在主机 102 内。用于外围设备 104-108 的译码地址范围可被定义, 以使其与从前的 ISA 总线和扩展总线的老式基础的辅助外围设备兼容, 即令 LPC 事务处理软件对操作系统软件和应用软件透明。另一种可选择的实施方案是, 存储器和 I/O LPC 事务处理的控制可能被分成不同的控制电路。

LPC 接口 200 还包含 DMA LPC 控制逻辑 204, 控制主机 102 与 I/O 设备 104 和 106 之一之间的 DMA 读写的 LPC 事务处理。DMA LPC 控制逻辑 204 可包含状态机或序列发生器用于对 DMA LPC 事务处理的必要状态排序, 在 LAD[3: 0], LFRAME#, 和/或 LCLK 上产生地址, 数据, 或控制信息, 并接收 DMA 请求信号 LDRQ0#和 LDRQ1#。供给 LAD[3: 0], LFRAME#, LDRQ0#, LDRQ1#, 和/或 LCLK 的信息可能经由逻辑 208 和总线 214 被提供给或来自 LPC 总线 124。

DMA LPC 控制逻辑 204 可与主机 102 和存储器 110 接口, 经由可能位于主机 102 内的 DMA 控制器 212。DMA LPC 控制逻辑 204 可与 DMA 控制器 212 交流一个或多个信号 218。一种实施方案是, DMA 控制器 212 可包含一个或多个 8237 或与 8237 兼容的 DMA 控制器。DMA 控制器 212 可在主机 102 内代表一个 DMA 通道执行仲裁, 以便让使用该 DMA 通道的 I/O 设备可通过主机 102 与主存储器 110 通信。

LPC 接口 200 还可包含总线主控器 LPC 控制逻辑 206, 控制主机 102 与外围设备 104-108 之间的总线主控器存储器读写的 LPC 事务处理, 和总线主控器 I/O 读写 LPC 事务处理。总线主控器 LPC 控制逻辑 206 可包含状态机或序列发生器用于对总线主控器 LPC 事务处理的必要状态排序, 在 LAD[3: 0], LFRAME#, 和/或 LCLK 上产生地址, 数据, 或控制信息, 并接收 DMA 请求信号 LDRQ0#和 LDRQ1#。供给 LAD[3: 0], LFRAME#, LDRQ0#, LDRQ1#, 和/或 LCLK 的信息可能经由逻辑 208 和总线 214 被提供给或来自 LPC 总线 124。

逻辑 208 可能包含一个或多个缓冲器或收发器来连接 LPC 总线 124 与 LPC 总线 214。可选择地, LPC 接口 200 可能不包含总线 214; 相反地, 逻辑 208 可能直接个别地与存储器和 I/O LPC 控制逻辑 202, DMA LPC 控制逻辑 204, 和总线主控器 LPC 控制逻辑 206 的输入和输出信号相连。在这种可选择的实施方案中, 逻辑 208 可以是选择器

或多路复用器电路，在主机 102 的控制下输出或输入适当的 LPC 信号到或从 LPC 总线 124 和控制逻辑 202，204，和 206。

图 3 是状态图的一种实施方案，可以被一个或多个 LPC 接口 112-118 用来在主机 102 和外围设备 104-108 之间执行存储器和/或 I/O 写或读 LPC 事务处理。例如，图 3 的状态图可被图 2 的存储器和 I/O LPC 控制逻辑 202 的状态机或序列发生器使用。这张状态图实现存储器读，存储器写，I/O 读，和 I/O 写 LPC 事务处理。在其他的实施方案中，分别的状态机可能实现存储器事务处理和 I/O 事务处理。存储器读写 LPC 事务处理将会在图 4 和 5 中示例时序图的辅助下描述。

首先参考图 3 和 4 描述一件示例的存储器读 LPC 事务处理，它由主机 102 从存储设备 108 的一个存储单元读。这件存储器读 LPC 事务处理可以这样实现，例如，由主机 102 从存储设备 108 读取系统启动信息。在状态 302，当 LFRAME# 去声明（例如，为高电平）时，LPC 接口 118 处于空闲状态，没有执行 LPC 事务处理。当主机 102 通过声明 LPC 总线 124 上的 LFRAME#（例如，为低电平）来开始一件 LPC 事务处理（例如，当控制逻辑 202 从 LPC 译码逻辑 210 接收到译码信号，并且主机 102 示意一件存储器读 LPC 事务处理将会发生）时，进程转换到状态 304。主机 102 可能在 LAD[3: 0] 上驱动起始控制信息，表示在周期 T0 中一件 LPC 事务处理的开始。例如，起始控制信息可以是 LAD[3: 0] 上的 0000，如表 1 所示。

接着进程转换到状态 306，在周期 T1 中主机 102 在 LAD[3: 0] 上驱动循环类型和方向控制信息。循环类型和方向控制信息示意图 104-108，该 LPC 事务处理是存储器读事务处理。例如，循环类型和方向控制信息可以是 LAD[3: 1] 上的 010，如表 2 所示。

接着进程转换到状态 308，在 n 个时钟周期 T2 中主机 102 在 LAD[3: 0] 上驱动选出的存储设备 108 中的存储单元地址。该地址可以是系统支持的任意位长，例如图 1 中的系统 100，并在 n 个时钟周期 T2 中发送。一种实施方案是，存储器地址空间可以是 4 千兆字节，需要 32 位存储器地址。在这种实施方案中，地址信息的八个时钟周期由控制逻辑向 LPC 总线 124 提供，从而把地址信息的 8 个半字节（32 位）从主机 102 传送到存储设备 108。地址信息可以这样被提

供,最高有效半字节最先,最低有效半字节最先,或者是存储设备 108 预期的任何次序。

另一种可选择的实施方案是,主机 102 可选择性地在随后的一个周期内在 LAD[3: 0]上驱动长度控制信息。一种实施方案是,长度控制信息表示要从存储设备 108 读取的存储数据的字节数,起始于状态 308 中提供的地址。表 3 提供了 LAD[1: 0]上字节数编码的一种实施方案,随后将在 LAD[3: 0]上传送。也可能使用相同或不同 LAD 信号线上的其他编码。

表 3

LAD[1: 0]	长度
00	8 位 (1 字节)
01	16 位 (2 字节)
10	保留
11	32 位 (4 字节)

另一种实施方案是,长度控制信息可表示 $2^{\text{长度}}$ 个字节的存储数据将从存储设备 108 读取,起始于状态 306 中提供的地址。

接着进程转换到转向 (TAR) 状态 312,在 n 个时钟周期 T4 中把对 LPC 总线 124 的控制从主机 102 移交给存储设备 108。一种实施方案是,状态 312 为两个时钟宽。在第一个时钟周期内,主机 102 可用预定的控制信息 (例如,1111) 驱动 LAD[3: 0]线。在第二个时钟周期内,主机 102 三态 LAD[3: 0]线。这些线上附属的上拉电阻可能较弱,于是它们可保持在逻辑高的状态。在其他的实施方案中,n 可以是一个时钟周期或大于两个时钟周期来使 LAD[3: 0]转向。

接着进程转换到状态 314,这时主机 102 等待 n 个时钟周期 T5,而存储设备 108 在 LAD[3: 0]上驱动带内同步控制信息。带内同步控制信息可用于增加等待状态,直到存储数据准备好被存储设备 108 输出。在这种方式下,不同速度或存取时间的存储设备可以耦合到同一条 LPC 总线上。传统地,专用控制线上的专用控制信号用来表示数据何时准备好 (例如,ISA 总线或扩展总线中的 IOCHRDY)。相反,存储设备 108 可使用 LAD[3: 0]上的带内信号来插入等待状态,而不需要使用额外的专用引线或信号线。

一种实施方案是，同步控制信息字段有两种状态。第一状态驱动 LAD[3: 0]上的第一控制信息（例如，0101 或 0110），同时访问被请求的数据。第二状态驱动 LAD[3: 0]上的第二控制信息来表示数据已准备好输出到 LPC 总线 124（例如，LAD[3: 0]上的 0000）。主机 102 可监视同步控制信息，并确定第二信息何时被发送。于是主机 102 可以知道，由存储设备 108 在随后的时钟周期 T6 中输出的数据将是主机 102 请求的数据。一种实施方案是，第一控制信息用编码（例如，LAD[3: 0]上的 0110）来表示，存储设备 108 可能向 LAD[3: 0]上驱动相对较大数目的等待状态（例如，大约 20+ 个等待状态）。第一控制信息也可用编码（例如，LAD[3: 0]上的 0101）来表示，存储设备 108 可能向 LAD[3: 0]上驱动相对较小数目的等待状态（例如，大约 1-20 个等待状态）。例如（见下面的表 4），存储设备 108 可在大约 1-20 个时钟周期内分别在 LAD[3: 0]上驱动同步信息 0101，然后再分别在 LAD[3: 0]上驱动一个周期的 0000，来表示被请求的数据已经准备好，将会在下一个时钟周期输出。

如果等待状态的数目较大，主机 120 可能决定进入状态 320 来异常中止事务处理。如前所述，主机 102 可通过声明 LFRAME#一个或多个时钟周期，并在 LAD[3: 0]上驱动预定的异常中止控制信息（例如，表 1 中的 1111）来异常中止事务处理。

控制信息的同步字段也可被存储设备 108 用来在 LAD[3: 0]上发送带内出错信息给主机 102 的 LPC 接口 118。出错信息可以在同步时序中的任意时刻发送。例如，在有第一和第二同步控制信息的实施方案中，它可作为第二控制信息发送。出错信息可以表示，例如，被请求数据被某种方式破坏，外围设备不理解请求，作出无效请求，或者请求产生时外围设备正处于掉电模式或处于它未准备好或不能输出数据的另一模式。一种实施方案是，如果出错信息在存储器读事务处理时发出，数据被读出并忽略。

表 4 提供了上面描述的 LAD[3: 0]上的同步控制信息的编码的一种实施方案。也可能使用其他的编码。

表 4

LAD[3: 0]	表示
0000	准备好
0001 - 0100	保留
0101	短等待
0110	长等待
0111 - 1000	保留
1001	DMA 准备好更多信息
1010	错误
1011	保留
1100	没有更多的同步信息准备好
1101 - 1111	保留

可选择的实施方案是，带内同步控制信息可在任意两台设备（例如，主机和外围设备）间使用，通过任意系统中通用的时分多路复用的总线来传递等待状态，出错，或是前面提到的或表 4 中概括的任何其他信息。

当存储设备 108 准备好输出其数据到 LPC 总线 124 时，在提供了适当的同步控制信息于 LAD[3: 0]上（例如，0000）之后，进程转换到状态 316，并保持 n 个时钟周期 T6。在状态 316，主机 102 读取由存储设备 108 向 LAD[3: 0]上提供的数据。存储设备 108 可能以字节的增量在两个时钟周期内向 LAD[3: 0]上驱动数据。一种两字节传送的实施方案是，第一字节可以在前两个时钟周期内输出，第二字节在随后的两个时钟周期内输出。对于每个字节，数据由存储设备 108 输出的方式可以是低半字节先，高半字节先，或任何其他方式。类似地，每组由存储设备 108 输出的字节也可以是低字节先，高字节先，或任何其他方式。

一种实施方案是，多字节读可以通过在状态 316 和 314 之间循环来实现，于是同步控制信息字段被插入到字节中。另一种可选择的实施方案是，多字节的字符组读可以当进程在状态 316 时被读取。另一种可选择的实施方案是，存储设备 108 可在状态 314 向 LAD[3: 0]上驱动 1100 来表示，不会再有同步控制信息夹在数据字节中被传送。还有一种实施方案是，可能不需要特别的同步控制信息来表示

多字节或字符组数据读。

当所有的数据都被主机 102 读取后, 进程转换到 (转向) TAR 状态 318, 在其 n 个时钟周期 $T7$ 中, 对 $LAD[3: 0]$ 的控制可以还给主机 102。与状态 312 一样, 状态 318 可以是两个时钟宽。在第一个时钟周期内, 存储设备 108 可用预定的控制信息 (例如, 1111) 驱动 $LAD[3: 0]$ 线。在第二个时钟周期内, 存储设备 108 可三态 $LAD[3: 0]$ 线。在其他的实施方案中, n 可以是一个时钟周期或大于两个时钟周期来使 $LAD[3: 0]$ 转向。

将参考图 3 和 5 描述一件示例的存储器写 LPC 事务处理, 它由主机 102 写到存储设备 108 的存储单元中。这件存储器写 LPC 事务处理可以这样实现, 例如, 由主机 102 写系统启动信息到存储设备 108。在状态 302, 主机 102 处于空闲状态, 没有执行 LPC 事务处理。当主机 102 声明 LPC 总线 124 上的 $LFRAME\#$ 时, 进程开始一件 LPC 事务处理 (例如, 当控制逻辑 202 从 LPC 译码逻辑 210 接收到译码信号, 并且主机 102 指示一件存储器写 LPC 事务处理将会发生)。然后进程转换到起始状态 304, 主机 102 在 $LAD[3: 0]$ 上驱动起始控制信息, 表示一件 LPC 事务处理的开始。例如, 起始控制信息可以是 0000, 如表 1 所示。接着进程转换到状态 304, 在周期 $T1$ 中向 $LAD[3: 0]$ 上驱动循环类型和方向控制信息来示意外围设备 104-108, 该 LPC 事务处理是存储器写事务处理。例如, 循环类型和方向控制信息可以是 $LAD[3: 1]$ 上的 011, 如表 2 所示。

接着进程转换到状态 308, 在 n 个时钟周期 $T2$ 中主机 102 在 $LAD[3: 0]$ 上驱动选出的存储设备 108 中的存储单元地址。如前所述, 该地址可以是系统支持的任意位长, 例如图 1 中的系统 100, 并在 n 个时钟周期 $T2$ 中发送。地址信息可以这样被提供, 最高有效半字节最先, 最低有效半字节最先, 或是存储设备 108 预期的任何次序。

另一种可选择的实施方案是, 主机 102 然后可在进程的周期 $T3$ 中在 $LAD[3: 0]$ 上驱动长度控制信息。长度控制信息可表示要写到存储设备 108 的存储数据的字节数, 起始于状态 308 中提供的地址。

接着进程转换到状态 310, 在 n 个时钟周期 $T4$ 中主机 102 将适当字节的数据经 $LAD[3: 0]$ 写到存储设备 108。主机 102 可能以字节的增量在两个时钟周期内向 $LAD[3: 0]$ 上驱动数据。例如, 如果此次

传送是 16 位或两字节的传送，那么第一字节可以在前两个时钟周期内输出，第二字节可在随后的两个时钟周期内输出。对于每个字节，数据由主机 102 输出的方式可以是低半字节先，高半字节先，或任何其他方式。类似地，每组由主机 102 输出的字节也可以是低字节先，高字节先，或任何其他方式输出。主机 102 可在状态 310 写一个或多个（字符组）字节的数据。

接着进程转换到转向（TAR）状态 312，在 n 个时钟周期 $T5$ 中把对 LPC 总线 124 的控制移交给存储设备 108。接着进程转换到状态 314，这时主机 102 等待 n 个时钟周期，而存储设备 108 在时钟周期 $T6$ 内向 $LAD[3:0]$ 上驱动带内同步控制信息。一种实施方案是，同步控制信息可以是一个或多个时钟周期，用于确认收到写入存储设备 108 的数据（例如， $LAD[3:0]$ 上的 0000）。同步控制信息也可用于增加等待状态，直到数据已被写入和保存到存储设备 108。在这些等待状态中，存储设备 108 可向 $LAD[3:0]$ 上驱动短等待状态同步控制信息或长等待状态同步控制信息，如表 4 所示。当存储设备 108 已把数据写入被访的存储单元时，存储设备 108 可在 $LAD[3:0]$ 上驱动准备好状态（例如，0000）。

与存储器读 LPC 事务处理一样，存储设备 108 也可经 $LAD[3:0]$ 发送带内出错信息（例如，1010）给主机 102，使用控制信息的同步字段。出错信息可以表示，例如，写事务处理未正确发生或发生了一些其它错误。

接着主机 102 转换到转向（TAR）状态 318，在其 n 个时钟周期 $T7$ 中，对 $LAD[3:0]$ 的控制可以还给主机 102。

图 6 是状态图的另一种实施方案，可以被一个或多个 LPC 接口 112-118 用来在主机 102 和外围设备 104-108 之间执行存储器和/或 I/O 写或读 LPC 事务处理。例如，图 6 的状态图可被图 2 的存储器和 I/O LPC 控制逻辑 202 的状态机或序列发生器使用。这张状态图实现存储器读和存储器写 LPC 事务处理。存储器读写 LPC 事务处理将会在图 7 和 8 中的示例时序图的辅助下描述。

首先参考图 6 和 7 描述一件示例的存储器读 LPC 事务处理，它由主机 102 从存储设备 108 的一个存储单元读。这件存储器读 LPC 事务处理可以这样实现，例如，由主机 102 从存储设备 108 读取系

统启动信息。在状态 602, 当 LFRAME#去声明 (例如, 为高电平) 时, LPC 接口 118 处于空闲状态, 没有执行 LPC 事务处理。当主机 102 通过声明 LPC 总线 124 上的 LFRAME# (例如, 为低电平) 来开始一件 LPC 事务处理 (例如, 当控制逻辑 202 从 LPC 译码逻辑 210 接收到译码信号, 并且主机 102 示意一件存储器读 LPC 事务处理将会发生) 时, 进程转换到状态 604。在周期 T0 中主机 102 可能在 LAD[3: 0] 上驱动起始控制信息来表示一件 LPC 存储器读事务处理的开始。例如, 起始控制信息可以是 LAD[3: 0] 上的 1101, 如表 1 所示。

进程接着转换到设备选择 (IDSEL) 状态 606, 主机 102 在 LAD[3: 0] 上驱动设备选择控制信息来为此次存储器读事务处理选择一台特定的存储设备。一种实施方案是, 耦合到 LPC 总线 124 的存储设备有外部硬连线的或内部基于寄存器的标志。图 9 显示了硬连线的存储设备标志的一种实施方案。存储设备 900 的标志分别是输入端 I0, I1, I2, 和 I3 上的 0000。存储设备 901 的标志分别是输入端 I0, I1, I2, 和 I3 上的 0001。存储设备 915 的标志分别是输入端 I0, I1, I2, 和 I3 上的 1111。可以采用任意数目的硬连线输入来标识或选择任意数目的存储设备, 使用二进制形式或任何其他形式。每个耦合到 LPC 总线 124 上的存储设备比较设备选择控制信息和其硬连线标志来确定此次 LPC 存储器读 (或写) 事务处理是否针对它们。如果此次存储器事务处理不是针对它们, 该存储设备就进入掉电状态 (例如, 空闲状态 602)。

接着进程转换到状态 608, 在 n 个时钟周期 T2 中主机 102 在 LAD[3: 0] 上驱动选出的存储设备 108 中的存储单元地址。该地址可以是系统支持的任意位长, 例如图 1 中的系统 100, 并在 n 个时钟周期 T2 中发送。一种实施方案是, 存储器地址空间可以是 256 千字节, 需要 28 位存储器地址。在这种实施方案中, 地址信息的七个时钟周期由控制逻辑向 LPC 总线 124 提供, 从而把地址信息的 7 个半字节 (28 位) 从主机 102 传送到存储设备 108。地址信息可以这样被提供, 最高有效半字节最先, 最低有效半字节最先, 或者是存储设备 108 预期的任何次序。

接着进程转换到状态 610, 在时钟周期 T3 中主机 102 在 LAD[3: 0] 上驱动长度控制信息。一种实施方案是, 长度控制信息表示要从

存储设备 108 读取的存储数据的字节数，起始于状态 606 中提供的地址。表 6 提供了字节数编码的一种实施方案。另一种实施方案是，长度控制信息可表示 $2^{\text{长度}}$ 个字节的存储数据将从存储设备 108 读取，起始于状态 608 中提供的地址。

一种实施方案是，数据传送可被主机 102 调整对齐于 $2^{\text{长度}}$ 的边界。例如，如果 LAD[3: 0] 上的长度字段等于 0100，那么此次操作就被调整对齐于 16 字节的边界，存储设备 108 应该接收或发送 16 字节的数据，起始于整 16 字节的地址。另一种实施方案是，数据传送可以被调整对齐于表 3 中的长度边界。例如，如果 LAD[3: 0] 上的长度等于 0100，那么此次操作就被调整对齐于 16 位或字边界，存储设备 108 应该接收或发送 16 位的数据，起始于整 16 位或字的地址。

接着进程转换到转向 (TAR) 状态 614，在 n 个时钟周期 T4 中把对 LPC 总线 124 的控制从主机 102 移交给存储设备 108。接着进程转换到状态 616，这时主机 102 等待 n 个时钟周期 T5，而存储设备 108 在 LAD[3: 0] 上驱动带内同步控制信息。正如前面描述的图 3 中的状态 314，同步控制信息可用于向存储器事务处理中增加等待状态。如果等待状态的数目较大，主机 120 可能决定进入状态 622 来异常中止事务处理。如前所述，主机 102 可通过声明 LFRAME# 一个或多个时钟周期，并在 LAD[3: 0] 上驱动预定的异常中止控制信息（例如，表 1 中的 1111）来异常中止事务处理。

正如前面描述的图 3 中的状态 314，控制信息的同步字段也可被存储设备 108 用来在 LAD[3: 0] 上发送带内出错信息给主机 102 的 LPC 接口 118。上面的表 4 提供了上面描述的 LAD[3: 0] 上的同步控制信息的编码的一种实施方案。也可能使用其他的编码。

可选择的实施方案是，带内同步控制信息可在任意两台设备（例如，主机和外围设备）间使用，通过任意系统中通用的时分多路复用的总线来传递等待状态，出错，或是前面提到的或表 4 中概括的任何其他信息。

当存储设备 108 准备好输出其数据到 LPC 总线 124 时，在提供了适当的同步控制信息于 LAD[3: 0] 上（例如，0000）之后，进程转换到状态 618，并保持 n 个时钟周期 T6。在状态 618，主机 102 读取由存储设备 108 向 LAD[3: 0] 上提供的数据。存储设备 108 可能以字

节的增量在两个时钟周期内向 LAD[3: 0] 上驱动数据。对于每个字节，数据由存储设备 108 输出的方式可以是低半字节先，高半字节先，或任何其他方式。类似地，每组由存储设备 108 输出的字节也可以是低字节先，高字节先，或是主机 102 预期的任何其他方式。

一种实施方案是，多字节读可以通过在状态 618 和 616 之间循环来实现，于是同步控制信息字段被插入到字节中。另一种可选择的实施方案是，多字节的字符组读可以当主机 102 处于状态 618 时被读取。在这种可选择的实施方案中，存储设备 108 可在状态 616 时向 LAD[3: 0] 上驱动 1100 来表示，不会再有同步控制信息夹在数据字节中传送。还有一种实施方案是，可能不需要特别的同步控制信息来表示多字节或字符组数据读。

当所有的数据都被主机 102 读取后，进程转换到转向 (TAR) 状态 620，在其 n 个时钟周期 $T7$ 中，对 LAD[3: 0] 的控制可以还给主机 102。与状态 614 一样，状态 620 可以是两个时钟宽。在第一个时钟周期内，存储设备 108 可用预定的控制信息（例如，1111）驱动 LAD[3: 0] 线。在第二个时钟周期内，存储设备 108 可三态 LAD[3: 0] 线。在其他的实施方案中， n 可以是一个时钟周期或大于两个时钟周期来使 LAD[3: 0] 转向。

一件示例的存储器写 LPC 事务处理，由主机 102 写到存储设备 108 的存储单元中，将参考图 6 和 8 进行描述。这件存储器写 LPC 事务处理可以这样实现，例如，由主机 102 写系统启动信息到存储设备 108。在状态 602，主机 102 处于空闲状态，没有执行 LPC 事务处理。当主机 102 声明 LPC 总线 124 上的 LFRAME# 时，进程开始一件 LPC 事务处理（例如，当控制逻辑 202 从 LPC 译码逻辑 210 接收到译码信号，并且主机 102 指示一件存储器写 LPC 事务处理将会发生）。然后进程转换到起始状态 604，在时钟周期 $T0$ 中主机 102 向 LAD[3: 0] 上驱动起始控制信息。该起始驱动信息表示一件存储器写 LPC 事务处理的开始。例如，主机 102 可向 LAD[3: 0] 上驱动起始控制信息 1110，如表 1 所示。进程接着转换到设备选择 (IDSEL) 状态 606 来为此存储器写事务处理标识或选择一台特定的存储设备。

接着进程转换到状态 608，在 n 个时钟周期 $T2$ 中主机 102 向 LAD[3: 0] 上驱动选出的存储设备 108 中的存储单元地址。如前所示，

该地址可以是系统支持的任意位长，例如图 1 中的系统 100，并在 n 个时钟周期 $T2$ 中发送。地址信息可以这样被提供，最高有效半字节最先，最低有效半字节最先，或者是存储设备 108 预期的任何次序。

接着进程转换到状态 610，在时钟周期 $T3$ 中主机 102 向 LAD[3: 0] 上驱动长度控制信息。接着进程转换到状态 612，在 n 个时钟周期 $T4$ 中主机 102 将适当字节的数据经 LAD[3: 0] 写到存储设备 108。主机 102 可能以字节的增量在两个时钟周期内向 LAD[3: 0] 上驱动数据。例如，如果此次传送是 16 位或两字节的传送，那么第一字节可以在前两个时钟周期内输出，第二字节可在随后的两个时钟周期内输出。对于每个字节，数据由主机 102 输出的方式可以是低半字节先，高半字节先，或任何其他方式。类似地，每组由主机 102 输出的字节也可以是低字节先，高字节先，或任何其他方式输出。主机 102 可在状态 612 写一个或多个（字符组）字节的数据。

接着进程转换到转向（TAR）状态 614，在 n 个时钟周期 $T5$ 中把对 LPC 总线 124 的控制移交给存储设备 108。接着进程转换到状态 616，这时主机 102 等待 n 个时钟周期，而在时钟周期 $T6$ 中存储设备 108 向 LAD[3: 0] 上驱动带内同步控制信息。一种实施方案是，同步控制信息可以是一个或多个时钟周期，用于确认收到写入存储设备 108 的数据（例如，LAD[3: 0] 上的 0000）。同步控制信息也可用于增加等待状态，直到数据已被写入和保存到存储设备 108。与存储器读 LPC 事务处理一样，存储设备 108 也可经 LAD[3: 0] 发送带内出错信息（例如，1010）给主机 102，使用控制信息的同步字段。出错信息可以表示，例如，写事务处理未正确发生或发生了一些其它错误。同步控制信息编码的一种实施方案在表 4 中示出。

接着主机 102 转换到转向（TAR）状态 618，在其 n 个时钟周期 $T7$ 中，对 LAD[3: 0] 的控制可以还给主机 102。

图 10 显示了存储设备 1000，是存储设备 108 的一种实施方案。存储设备 1000 包括存储器 1010，可以是存储设备的任何类型，包括易失性和非易失性的存储设备，例如 SRAM，DRAM，EPROM，EEPROM，ROM 等等。存储器 1000 包括实现任何易失性或非易失性存储设备所必要的控制电路和存储元件。一种实施方案是，存储器 1000 是非易失性（例如，快速）存储设备，其控制器与快速存储器单元阵列耦

合，并控制其编程，读取，和擦除。

存储设备 1000 还包括 LPC 接口 116 的一种实施方案，含有 I/O 锁存器 1002，控制逻辑 1004，状态机 1006，和存储器控制逻辑 1008。控制逻辑 1004 接收 LPC 输入信号 LFRAME#，LCLK，和/或 LRESET#，并通过线 1012 上的控制信号提供这些信号的标志给状态机或序列发生器 1006。一种实施方案是，I/O 锁存器 1002 接收和输出地址，控制，和数据信息从和到 LAD[3: 0]。I/O 锁存器 1002 把从 LAD[3: 0] 上接收到的地址，数据，和控制信息经由总线 1014 传送给状态机 1006 和存储器控制逻辑 1008。I/O 锁存器 1002 可以连结从 LAD[3: 0] 上接收到的许多半字节数据。

利用从总线 1014 和线 1012 接收到的地址，数据，和控制信息，状态机 1006 控制存储设备 1000 的 LPC 接口，于是存储设备 1000 可通过 LPC 总线 124 与主机 102 通信，或者可在总线主控器 LPC 事务处理中与 I/O 设备 104 和 1010 通信。状态机 1006 的一种实施方案在图 3 中示出。状态机 1006 的另一种实施方案在图 6 中示出。

状态机 1006 可与存储器控制逻辑 1008 一起工作来提供必要的控制，地址，和数据信息给存储器 1010。存储器控制逻辑 1008 在线 1018 上产生必要的控制信号，在线 1020 上产生必要的地址信号，以及在线 1022 上产生必要的的数据信号，用于存储器 1010 执行写或读事务处理。线 1018 上的控制信号可以包括地址选通（例如，RAS 和/或 CAS），芯片使能或芯片选择信号（例如，CE 和/或 CS），写或读使能信号，复位信号，掉电信号，等等。

当状态机 1006 确定存储器写事务处理要发生时，状态机 1006 可能经由线 1016 来指示，何时地址信息会出现在总线 1014 上，以便让存储器控制逻辑经线 1020 提供给存储器 1010，连同线 1018 上适当的控制信号。接着，状态机 1006 可能通过线 1016 来指示，何时数据信息会出现在总线 1014 上，以便让存储器控制逻辑经线 1022 提供给存储器 1010，连同线 1018 上适当的控制信号。类似地，当状态机 1006 确定存储器读事务处理要发生时，状态机 1006 可能经由线 1016 来指示，何时地址信息会出现在总线 1014 上，以便让存储器控制逻辑经线 1020 提供给存储器 1010，连同线 1018 上适当的控制信号。接着，状态机 1006 可能通过线 1016 来指示，何时被请求

数据应由存储器 1010 经由线 1026 输出到 I/O 锁存器 1002 和 LAD[3:0]。存储器控制逻辑 1008 可能发出一个或多个 I/O 控制信号到线 1024 上来控制 I/O 锁存器 1002 的双向状态。例如,当数据正从存储器 1010 中被读取时,存储器控制逻辑 1008 可能通过线 1024 声明输出使能信号。

在前面的详细说明书中,本发明已经参考其具体的示例实施方案进行了描述。但是,显然可以对其作各种修改和变化而不违反在附加的权利要求中所提出的本发明的实质和范围。于是,说明书和附图应认为是示例性的而不是限定作用。

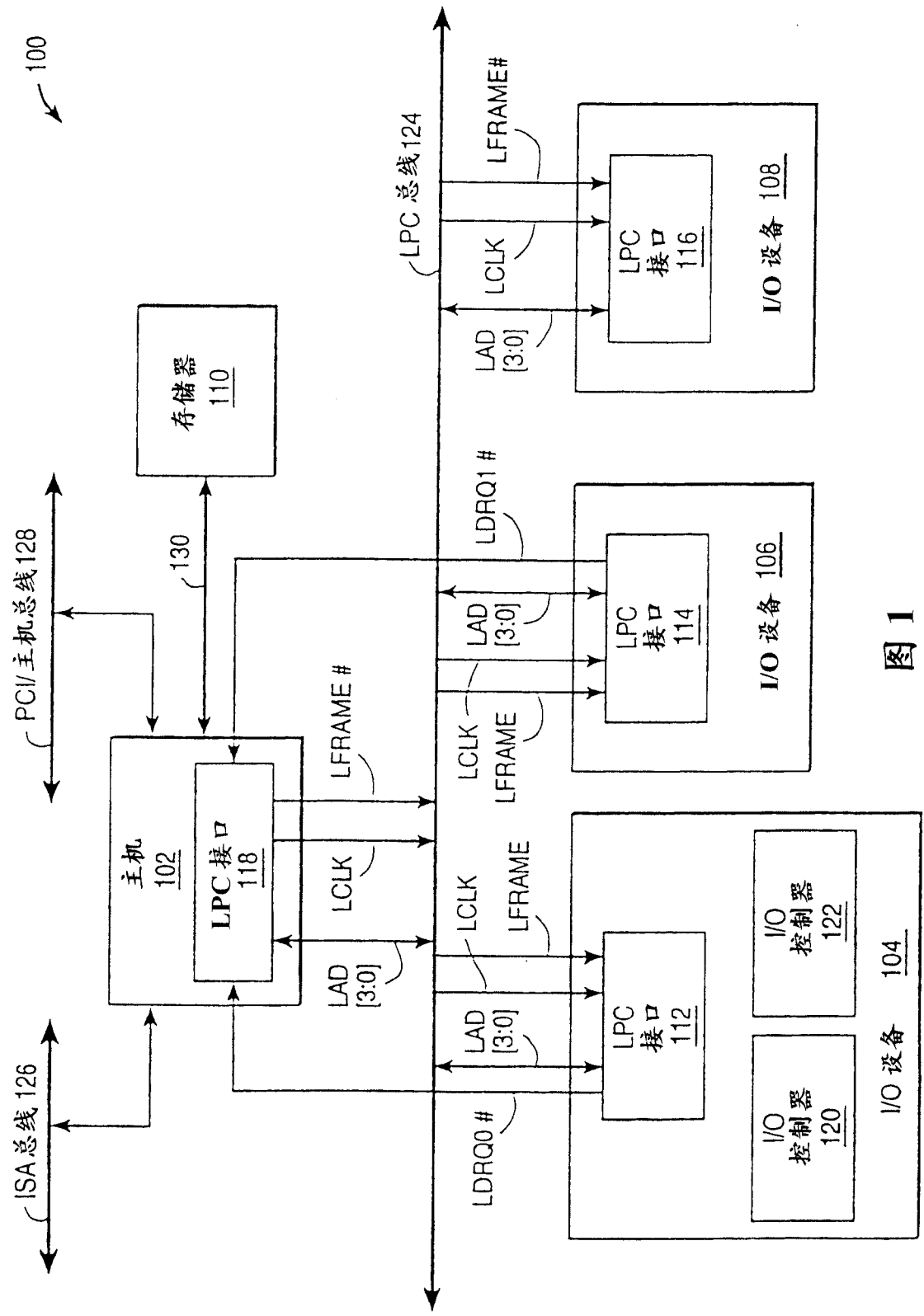


图 1

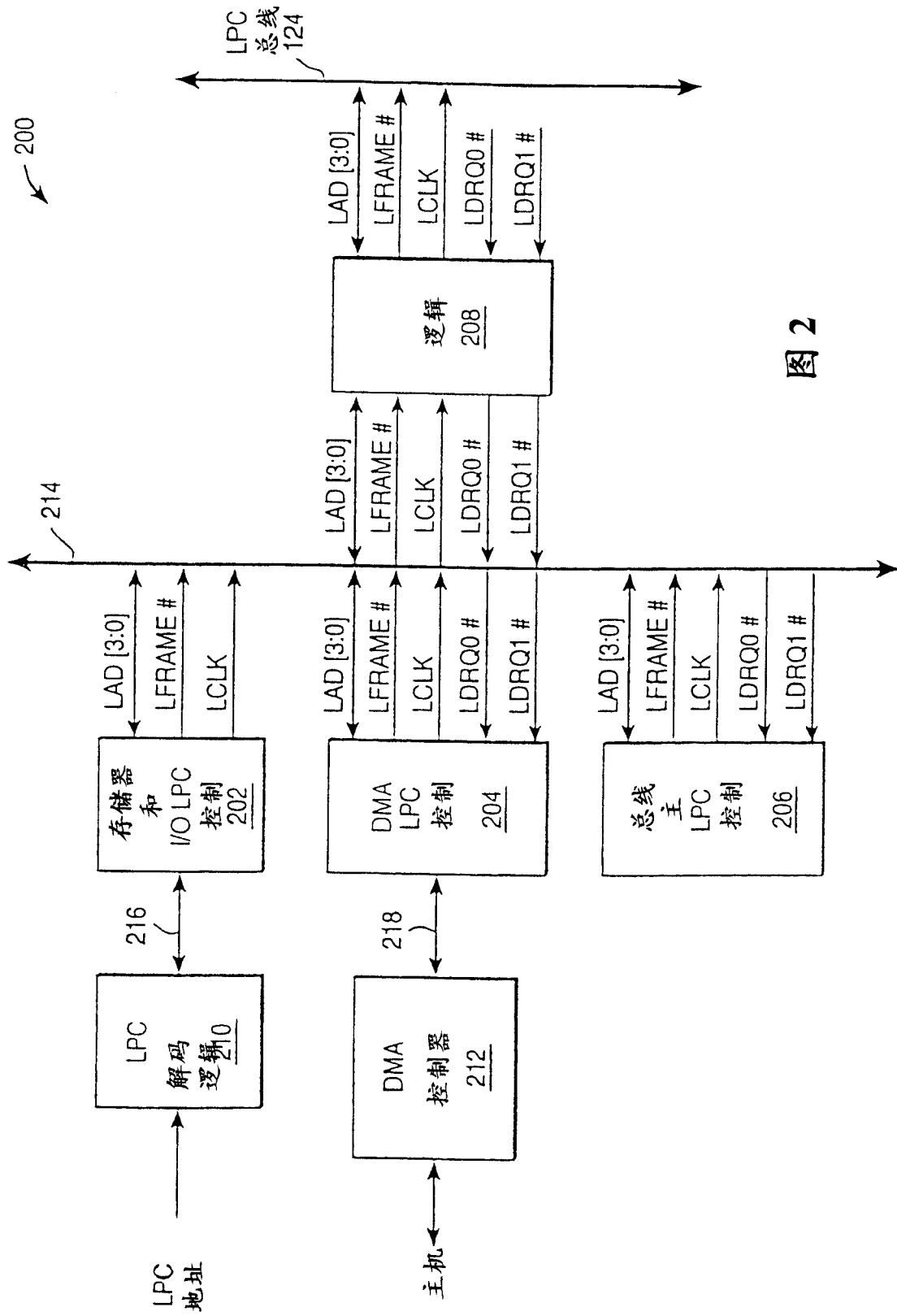


图 2

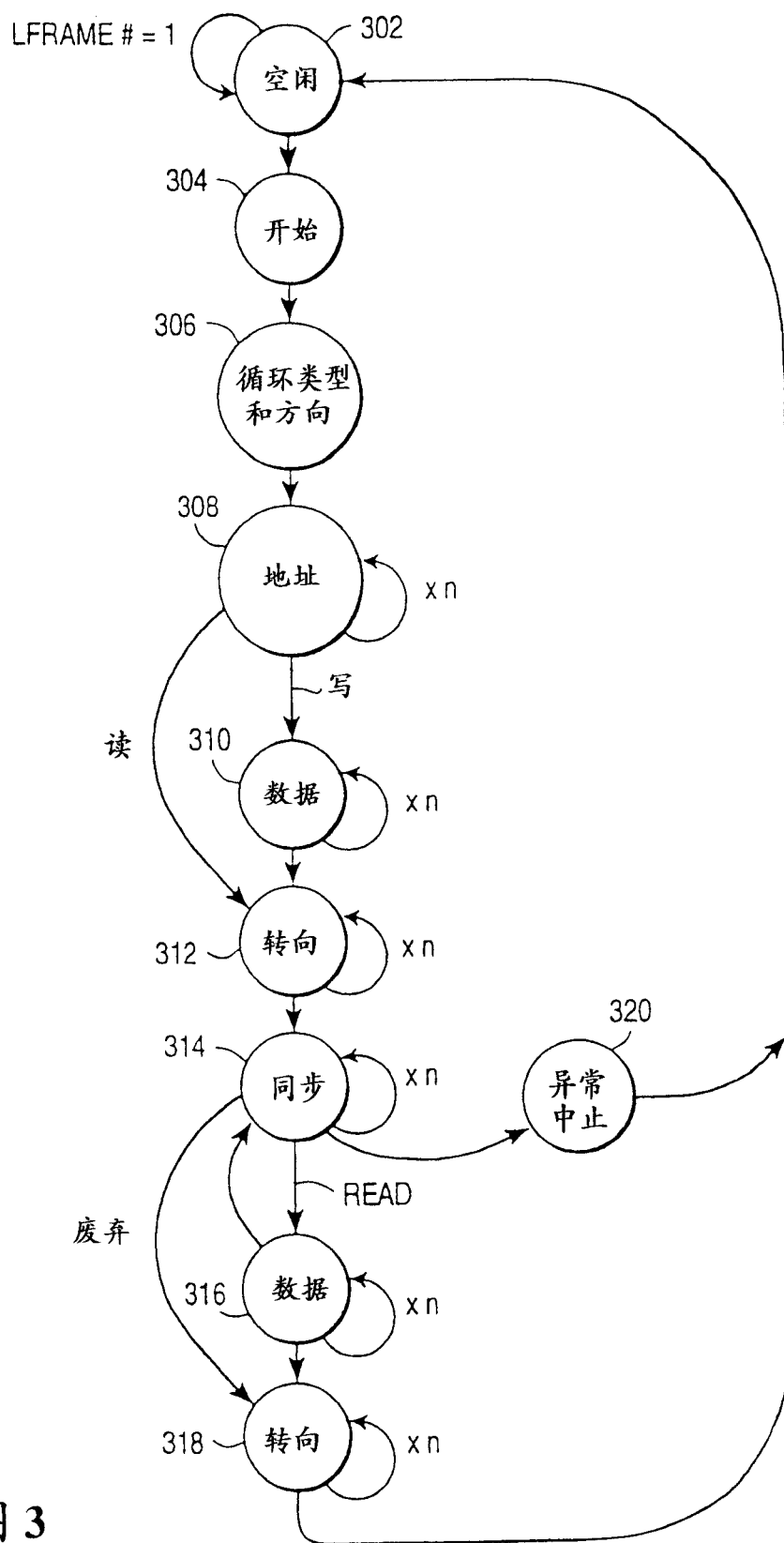


图 3

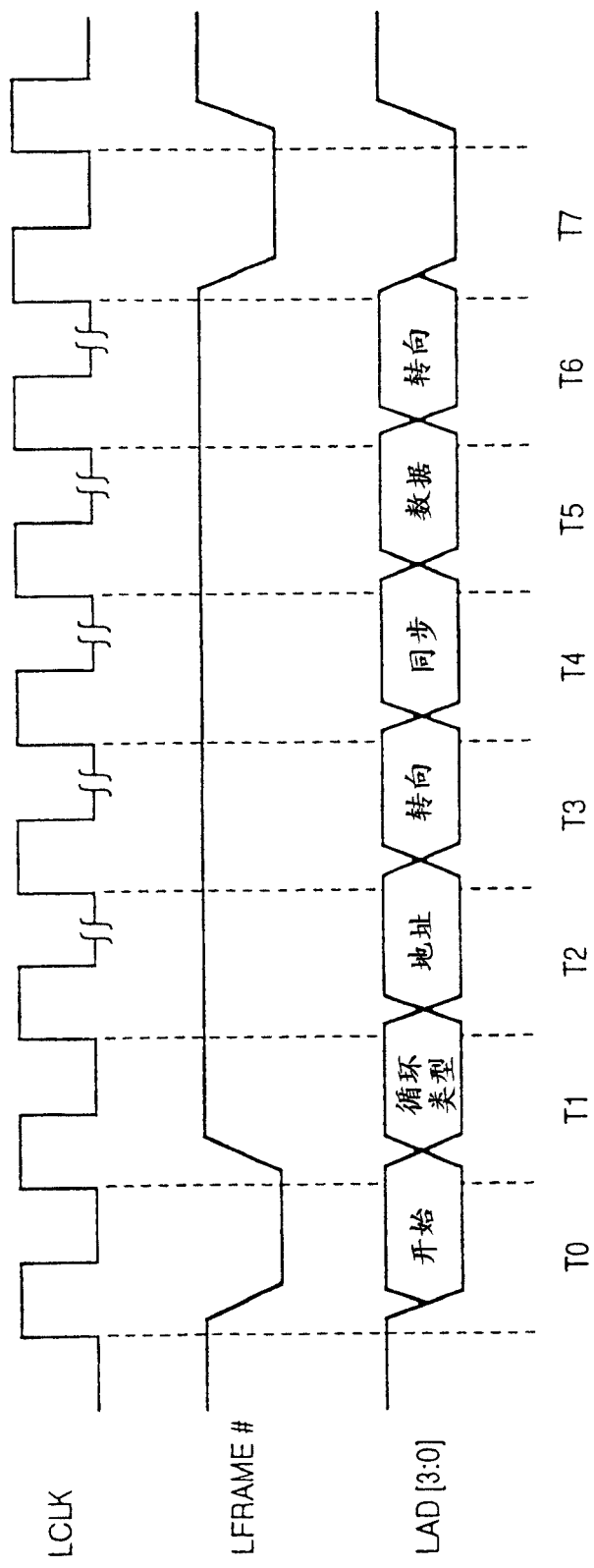


图 4

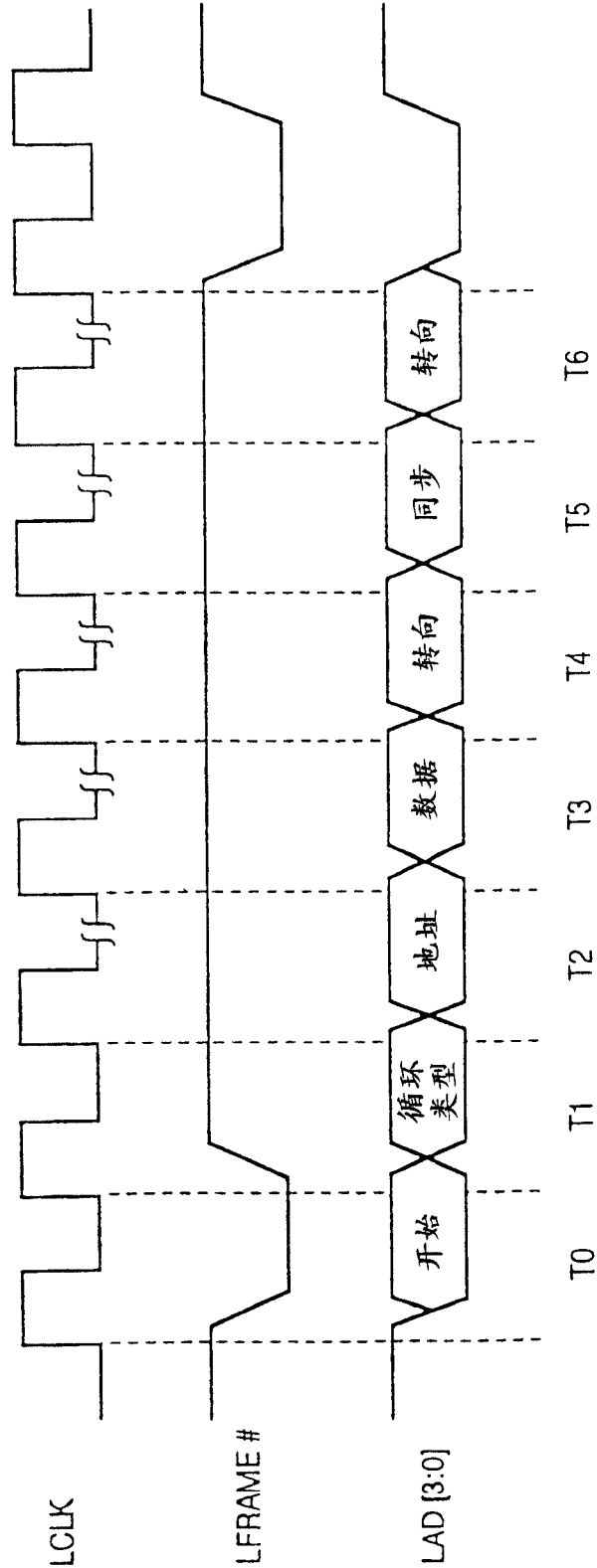


图 5

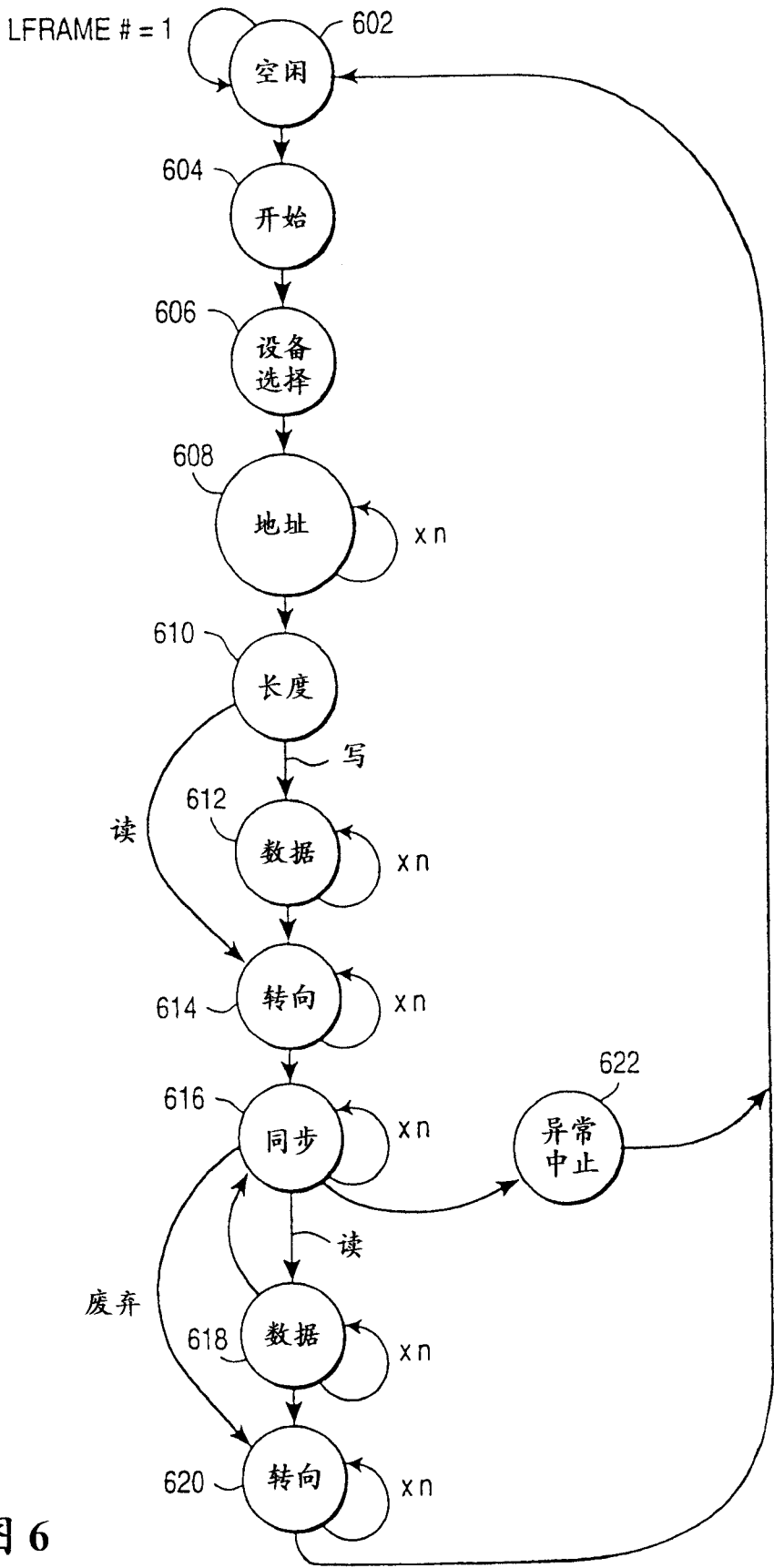


图 6

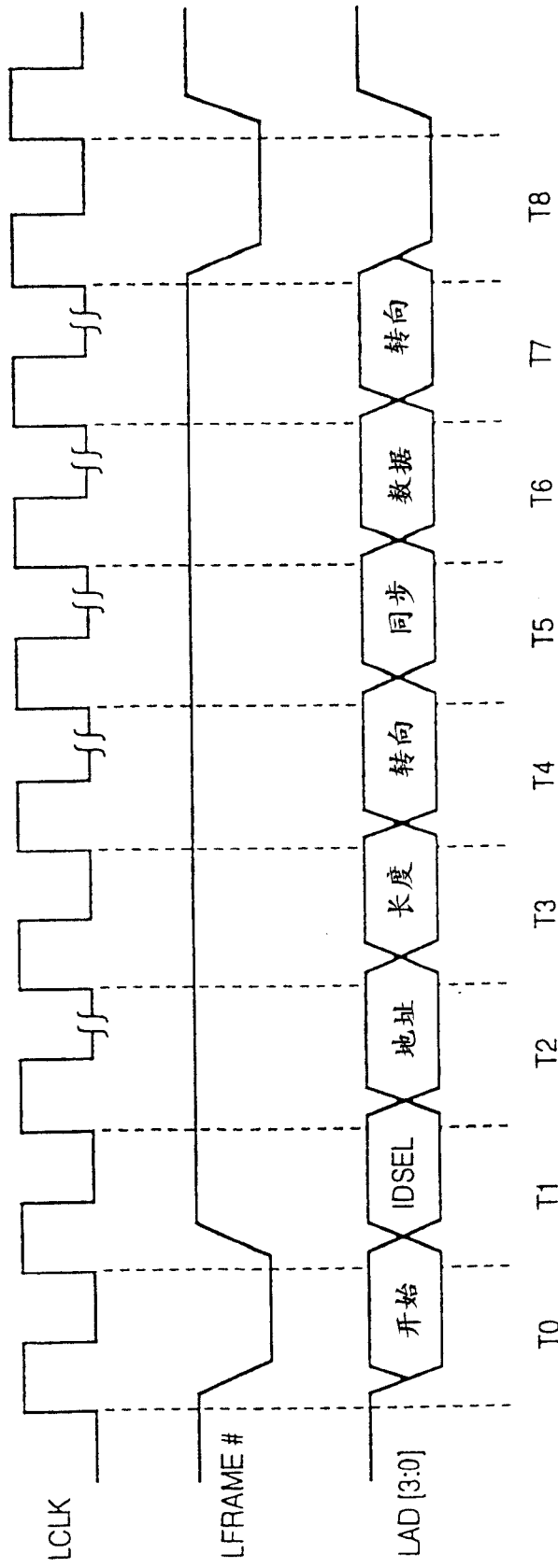


图 7

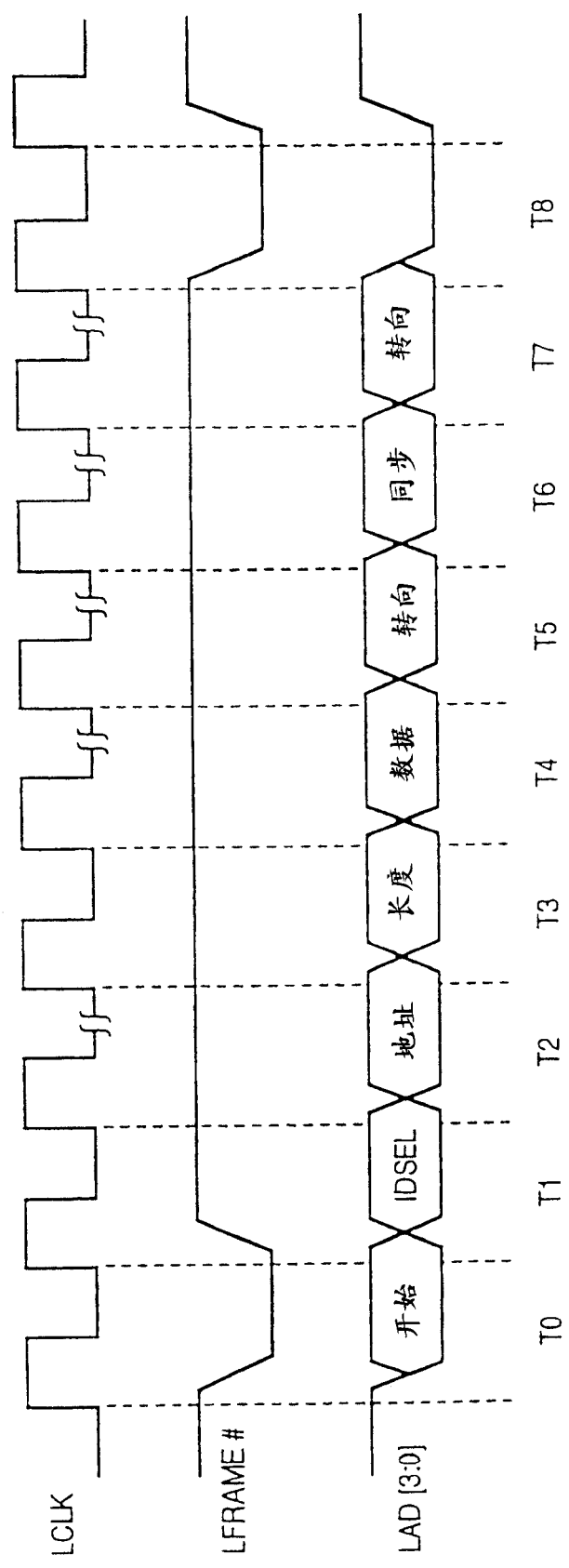


图 8

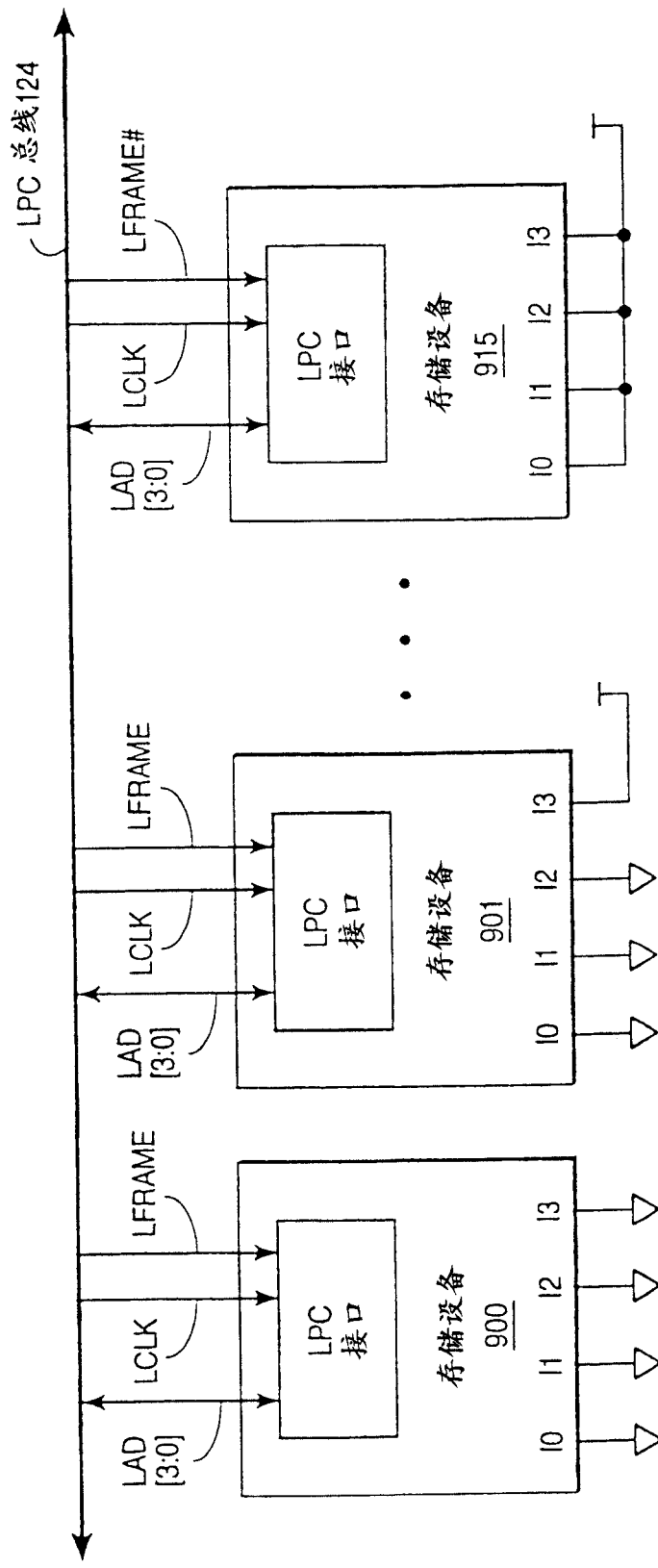


图 9

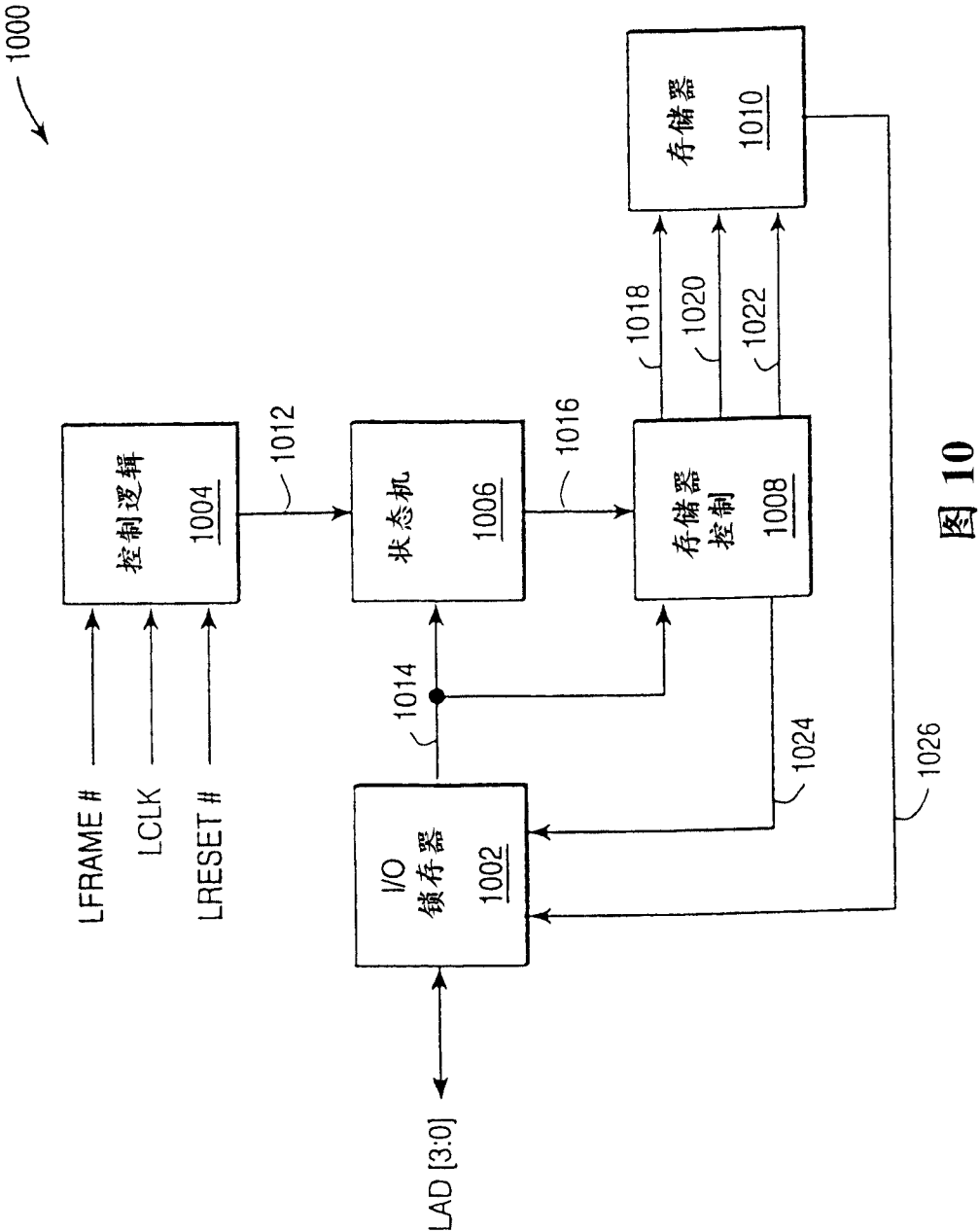


图 10

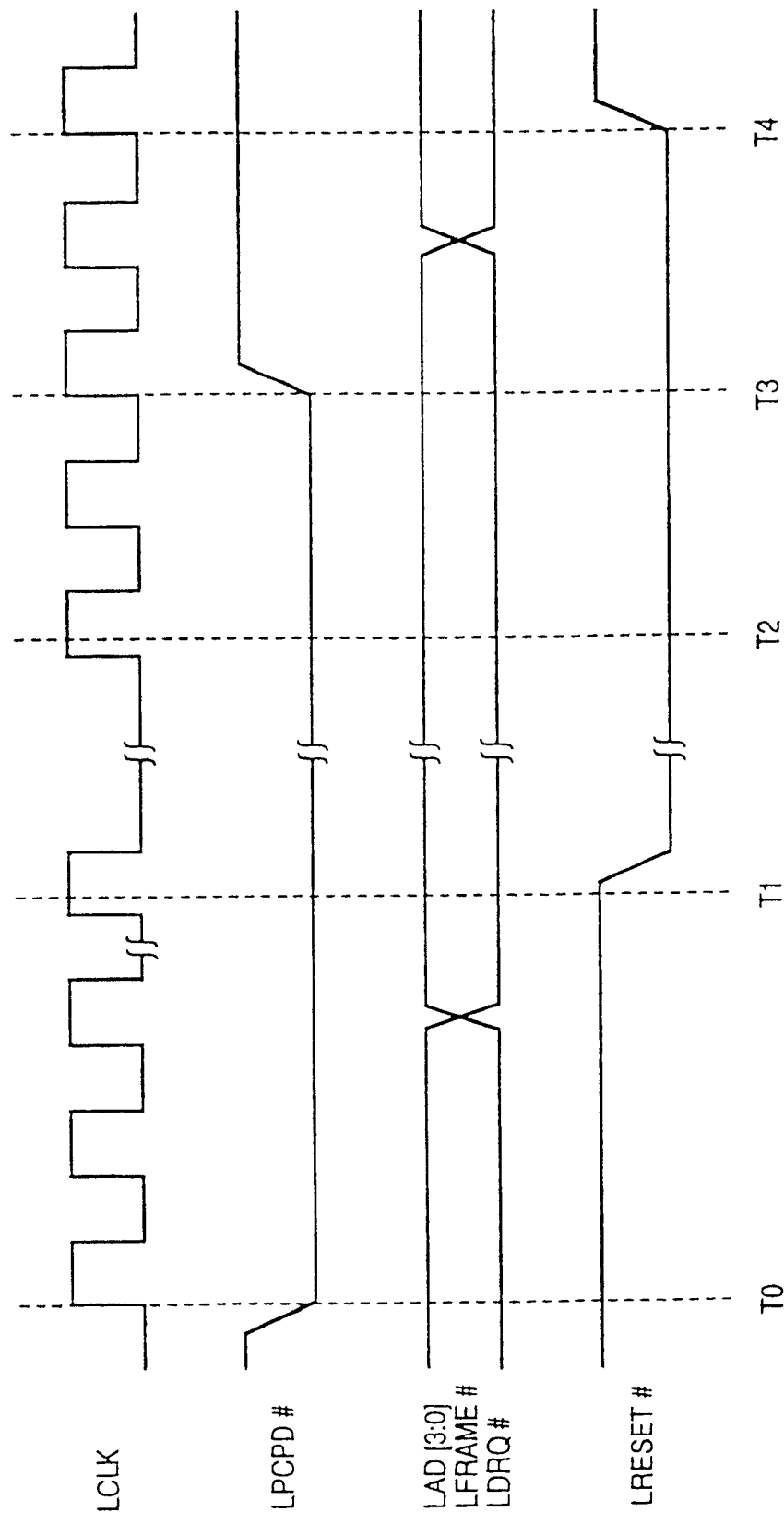


图 11