



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.
H01L 27/146 (2006.01)

(45) 공고일자 2007년01월22일
(11) 등록번호 10-0672687
(24) 등록일자 2007년01월16일

(21) 출원번호 10-2005-0047636
(22) 출원일자 2005년06월03일
심사청구일자 2005년06월03일

(65) 공개번호 10-2006-0126046
(43) 공개일자 2006년12월07일

(73) 특허권자 동부일렉트로닉스 주식회사
서울 강남구 대치동 891-10

(72) 발명자 김승현
경기 포천시 신읍동 114-14

(74) 대리인 강용복
김용인

심사관 : 성백두

전체 청구항 수 : 총 7 항

(54) 씨모스 이미지 센서 및 그 제조방법

(57) 요약

본 발명은 씨모스 이미지 센서의 두께를 감소시켜 감도 특성을 향상시킬 수 있도록 한 씨모스 이미지 센서의 제조방법에 관한 것이다.

본 발명에 따른 씨모스 이미지 센서는 반도체 기판에 일정한 간격을 갖고 형성되는 다수의 포토 다이오드들과, 상기 포토 다이오드에 대응되는 다수의 트렌치(Trench)가 형성된 층간 절연층과, 상기 층간 절연막의 내부에 형성된 상기 각 트렌치에 형성되는 다수의 컬러 필터층과, 상기 각 컬러 필터층에 대응되도록 형성되는 마이크로 렌즈를 포함하여 구성됨을 특징으로 한다.

이러한 구성에 의하여 본 발명은 씨모스 이미지 센서의 두께를 감소시킴으로써 포토 다이오드에 수광되는 빛의 감도 특성을 증가시켜 씨모스 이미지 센서의 성능을 향상시킬 수 있다.

대표도

도 4

특허청구의 범위

청구항 1.

반도체 기판에 일정한 간격을 갖고 형성되는 다수의 포토 다이오드들과,
 상기 반도체 기판 상에 형성되어 상기 포토 다이오드 영역 이외의 영역으로 입사되는 빛을 차단하는 다수의 차광층과,
 상기 포토 다이오드에 대응되는 다수의 트렌치(Trench)가 형성된 층간 절연층과,
 상기 층간 절연막의 내부에 형성된 상기 각 트렌치에 형성되는 다수의 컬러 필터층과,
 상기 다수의 트렌치와 상기 컬러 필터층 사이에 형성되는 보호막과,
 상기 각 컬러 필터층에 대응되도록 형성되는 마이크로 렌즈를 포함하여 구성됨을 특징으로 하는 씨모스 이미지 센서.

청구항 2.

삭제

청구항 3.

제 2 항에 있어서,
 상기 다수의 컬러 필터층은 상기 각 트렌치에 형성된 상기 보호막 상에 형성되는 것을 특징으로 하는 씨모스 이미지 센서.

청구항 4.

제 1 항에 있어서,
 상기 다수의 컬러 필터층과 상기 마이크로 렌즈 사이에 형성되는 평탄화층을 더 포함하여 구성됨을 특징으로 하는 씨모스 이미지 센서.

청구항 5.

반도체 기판에 일정한 간격을 갖는 다수의 포토 다이오드들을 형성하는 단계와,
 상기 반도체 기판 상에 상기 포토 다이오드 영역 이외의 영역으로 입사되는 빛을 차단하는 다수의 차광층을 형성 단계와,
 상기 차광층을 포함한 반도체 기판 전면에 층간 절연막을 형성하는 단계와,
 상기 층간 절연막을 선택적으로 제거하여 상기 포토 다이오드에 대응되게 다수의 트렌치(Trench)를 형성하는 단계와,
 상기 다수의 트렌치의 내부를 포함하는 상기 반도체 기판 전면에 보호막을 형성하는 단계와,
 상기 각 트렌치 내의 보호막 상에 다수의 컬러 필터층을 단계적으로 형성하는 단계와,
 상기 각 컬러 필터층에 대응되도록 마이크로 렌즈를 형성하는 단계를 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 제조방법.

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

제 5 항에 있어서,

평탄화 공정을 이용하여 상기 다수의 컬러 필터층을 평탄화시키는 단계를 더 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 평탄화 공정은 에치 백(Etch Back) 공정 또는 화학 기계적 연마 공정인 것을 특징으로 하는 씨모스 이미지 센서의 제조방법.

청구항 10.

제 5 항에 있어서,

상기 다수의 컬러 필터층과 상기 마이크로 렌즈 사이에 평탄화층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 CMOS 이미지 센서의 제조방법에 관한 것으로서, 특히 씨모스 이미지 센서의 두께를 감소시켜 감도 특성을 향상시킬 수 있도록 한 씨모스 이미지 센서의 제조방법에 관한 것이다.

일반적으로, 이미지 센서(Image Sensor)는 광학적 영상(Optical Image)을 전기적 신호로 변환시키는 반도체 소자로써, 크게, 전하 결합 소자(Charge Coupled Device: CCD)와 씨모스(CMOS; Complementary Metal Oxide Silicon) 이미지 센서로 구분된다.

상기 전하 결합 소자는 빛의 신호를 전기적 신호로 변환하는 복수개의 포토 다이오드(Photo Diode; PD)가 매트릭스 형태로 배열되고, 상기 매트릭스 형태로 배열된 각 수직 방향의 포토 다이오드 사이에 형성되어 상기 각 포토 다이오드에서 생성된 전하를 수직방향으로 전송하는 복수개의 수직 방향 전하 전송 영역(Vertical Charge Coupled Device; VCCD)과, 상기 각 수직 방향 전하 전송 영역에 의해 전송된 전하를 수평방향으로 전송하는 수평방향 전하전송영역(Horizontal Charge Coupled Device; HCCD) 및 상기 수평방향으로 전송된 전하를 센싱하여 전기적인 신호를 출력하는 센스 증폭기(Sense Amplifier)를 구비하여 구성된 것이다.

그러나, 이와 같은 CCD는 구동 방식이 복잡하고, 전력 소비가 클 뿐만 아니라, 다단계의 포토 공정이 요구되므로 제조 공정이 복잡한 단점을 갖고 있다.

또한, 상기 전하 결합 소자는 제어회로, 신호처리회로, 아날로그/디지털 변환회로(A/D converter) 등을 전하 결합 소자 칩에 집적시키기가 어려워 제품의 소형화가 곤란한 단점을 갖는다.

최근에는 상기 전하 결합 소자의 단점을 극복하기 위한 차세대 이미지 센서로서 씨모스 이미지 센서가 주목을 받고 있다.

상기 씨모스 이미지 센서는 제어회로 및 신호처리회로 등을 주변회로로 사용하는 씨모스 기술을 이용하여 단위 화소의 수량에 해당하는 모스 트랜지스터들을 반도체 기판에 형성함으로써 상기 모스 트랜지스터들에 의해 각 단위 화소의 출력을 순차적으로 검출하는 스위칭 방식을 채용한 소자이다.

즉, 상기 씨모스 이미지 센서는 단위 화소 내에 포토 다이오드와 모스 트랜지스터를 형성시킴으로써 스위칭 방식으로 각 단위 화소의 전기적 신호를 순차적으로 검출하여 영상을 구현한다.

상기 씨모스 이미지 센서는 씨모스 제조 기술을 이용하므로 적은 전력 소모, 적은 포토공정 스텝에 따른 단순한 제조공정 등과 같은 장점을 갖는다.

또한, 상기 씨모스 이미지 센서는 제어회로, 신호처리회로, 아날로그/디지털 변환회로 등을 씨모스 이미지 센서 칩에 집적시킬 수가 있으므로 제품의 소형화가 용이하다는 장점을 갖고 있다.

따라서, 상기 씨모스 이미지 센서는 현재 디지털 정지 카메라(Digital Still Camera), 디지털 비디오 카메라 등과 같은 다양한 응용 부문에 널리 사용되고 있다.

한편, CMOS 이미지 센서는 트랜지스터의 개수에 따라 3T형, 4T형, 5T형 등으로 구분된다. 3T형은 1개의 포토 다이오드와 3개의 트랜지스터로 구성되며, 4T형은 1개의 포토 다이오드와 4개의 트랜지스터로 구성된다. 상기 3T형 CMOS 이미지 센서의 단위화소에 대한 등가회로 및 레이아웃(Lay Out)을 살펴보면 다음과 같다.

도 1은 일반적인 3T형 CMOS 이미지 센서의 등가 회로도이고, 도 2는 일반적인 3T형 CMOS 이미지 센서의 단위 화소를 나타낸 레이아웃도이다.

일반적인 3T형 씨모스 이미지 센서의 단위 화소는 도 1에 도시된 바와 같이 1개의 포토 다이오드(PD)와 3개의 NMOS 트랜지스터(T1, T2, T3)로 구성된다. 상기 포토 다이오드(PD)의 캐소드는 제 1 NMOS 트랜지스터(T1)의 드레인 및 제 2 NMOS 트랜지스터(T2)의 게이트에 접속되어 있다.

그리고, 상기 제 1 및 제 2 NMOS 트랜지스터(T1, T2)의 소오스는 모두 기준 전압(VR)이 공급되는 전원선에 접속되어 있고, 제 1 NMOS 트랜지스터(T1)의 게이트는 리셋신호(RST)가 공급되는 리셋선에 접속되어 있다.

또한, 제 3 NMOS 트랜지스터(T3)의 소오스는 상기 제 2 NMOS 트랜지스터의 드레인에 접속되고, 상기 제 3 NMOS 트랜지스터(T3)의 드레인은 신호선을 통하여 판독회로(도면에는 도시되지 않음)에 접속되고, 상기 제 3 NMOS 트랜지스터(T3)의 게이트는 선택 신호(SLCT)가 공급되는 열 선택선에 접속되어 있다.

따라서, 상기 제 1 NMOS 트랜지스터(T1)는 리셋 트랜지스터(Rx)로 칭하고, 제 2 NMOS 트랜지스터(T2)는 드라이브 트랜지스터(Dx), 제 3 NMOS 트랜지스터(T3)는 선택 트랜지스터(Sx)로 칭한다.

일반적인 3T형 CMOS 이미지 센서의 단위 화소는 도 2에 도시한 바와 같이 액티브 영역(1)이 정의되어 액티브 영역(1) 중 폭이 넓은 부분에 1개의 포토 다이오드(2)가 형성되고, 상기 나머지 부분의 액티브 영역(1)에 각각 오버랩되는 제 1 내지 제 3 트랜지스터의 게이트 전극(3, 4, 5)이 형성된다.

즉, 상기 제 1 게이트 전극(3)에 의해 리셋 트랜지스터(Rx)가 형성되고, 상기 제 2 게이트 전극(4)에 의해 드라이브 트랜지스터(Dx)가 형성되며, 상기 제 3 게이트 전극(5)에 의해 선택 트랜지스터(Sx)가 형성된다.

여기서, 상기 각 트랜지스터의 액티브 영역(1)에는 각 게이트 전극(3, 4, 5) 하측부를 제외한 부분에 불순물 이온이 주입되어 각 트랜지스터의 소오스/드레인 영역이 형성된다.

따라서, 상기 리셋 트랜지스터(Rx)와 상기 드라이브 트랜지스터(Dx) 사이의 소오스/드레인 영역에는 전원전압(Vdd)이 인가되고, 상기 셀렉트 트랜지스터(Sx) 일측의 소오스/드레인 영역은 판독회로(도면에는 도시되지 않음)에 접속된다.

이러한, 일반적인 3T형 CMOS 이미지 센서의 단위 화소는 포토 다이오드(PD)의 포토 다이오드 영역에 역바이어스가 인가되면, 공핍층이 생기고 여기서 빛을 수광하여 생기는 전자가 리셋 트랜지스터(Rx)이 턴-오프될 때 드라이브 트랜지스터(Dx)에 포텐셜을 낮추게 된다. 이에 따라, 리셋 트랜지스터(Rx)가 턴-온되었다가 턴-오프될 때부터 계속 상기 포텐셜을 낮추게 되어 전압차이가 발생하게 됨으로써 이를 신호처리로 이용하여 동작하게 된다.

도 3은 종래 기술에 의한 씨모스 이미지 센서를 나타낸 구조 단면도이다.

도 3을 참조하면, 종래 기술에 의한 씨모스 이미지 센서는 반도체 기판(10)의 표면 내에 일정한 간격을 갖고 형성되어 입사되는 광량에 따른 전하를 생성하는 다수의 포토 다이오드 영역(20)들과, 상기 포토 다이오드 영역(20) 사이의 반도체 기판(10) 상에 형성되어 상기 포토 다이오드 영역(20) 이외의 영역으로 빛이 입사되는 것을 방지하기 위한 차광층(30)과, 상기 차광층(30)을 포함한 반도체 기판(10)의 전면에 형성되는 층간 절연층(40)과, 상기 층간 절연층(40) 상에 일정한 간격을 갖고 형성되어 각각 특정의 파장대의 빛을 통과시키는 적색, 녹색 및 청색의 컬러 필터층(50R, 50G, 50B)과, 상기 컬러 필터층(50R, 50G, 50B)을 포함한 반도체 기판(10)의 전면에 형성되는 평탄화층(60)과, 상기 평탄화층(60)상에 일정 곡률을 갖는 볼록 형태로 구성되어 대응하는 컬러 필터층(50R, 50G, 50B)을 투과하여 포토 다이오드 영역(20)으로 빛을 집광하는 마이크로 렌즈(70)를 포함하여 구성된다.

그리고 광을 감지하기 위한 소자로 포토 다이오드 형태가 아니고, 포토 게이트 형태로 구성되는 것도 가능하다.

여기서, 상기 컬러 필터층(50R, 50G, 50B)은 적색(Red), 녹색(Green), 청색(Blue)의 컬러 필터로 구성되며, 상기 각 컬러 필터는 해당 감광성 물질을 도포하고 별도의 마스크를 이용한 사진 식각 공정으로 형성된다.

한편, 상기 R, G, B의 컬러 필터는 서로 일정한 간격을 갖고 형성되어 있다.

또한, 상기 마이크로 렌즈(70)는 집속된 빛의 초점 등의 여러 가지를 고려하여 곡률 및 형성 높이 등이 결정되는데, 감광성 레지스트가 주로 사용되고, 증착 및 패터닝 그리고 리플로우 등의 공정으로 형성된다.

이러한, 종래 기술에 의한 씨모스 이미지 센서는 컬러 필터층(50R, 50G, 50B)를 형성하고, 그 위에 포토 레지스트를 스핀 코팅(Spin Coating)하여 평탄화층(60)을 형성 한 후 마이크로 렌즈(70)를 형성하게 된다. 이에 따라, 씨모스 이미지 센서의 전체 두께가 증가할 수록 마이크로 렌즈(70)를 통해 입사된 빛이 포토 다이오드에 도달하는 경로(100)가 길어지게 되어 감도가 떨어지게 되므로 씨모스 이미지 센서의 성능 저하의 원인이 되고 있다.

또한, 씨모스 이미지 센서는 마이크로 렌즈(70)를 통하여 빛을 수광하고, 수광된 빛이 포토 다이오드 영역(20)으로 얼마나 잘 도달 하느냐에 따라 성능을 좌우하게 된다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래의 씨모스 이미지 센서에 있어서는 다음과 같은 문제점이 있었다.

첫째, 컬러 필터층 상에 형성되는 평탄화층으로 인하여 씨모스 이미지 센서의 전체 두께가 증가함으로써 마이크로 렌즈를 통해 입사 된 빛의 감도가 낮아, 색 재현성이 저하된다.

둘째, 마이크로 렌즈를 통해 입사된 빛이 포토 다이오드에 도달하는 경로가 길기 때문에 감도가 떨어져 성능이 저하된다.

따라서, 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위해 안출한 것으로서, 씨모스 이미지 센서의 두께를 감소시켜 감도 특성을 향상시킬 수 있도록 한 씨모스 이미지 센서 및 그의 제조방법을 제공하는데 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 씨모스 이미지 센서는 반도체 기판에 일정한 간격을 갖고 형성되는 다수의 포토 다이오드들과, 상기 포토 다이오드에 대응되는 다수의 트렌치(Trench)가 형성된 층간 절연층과, 상기 층간 절연층의 내부에 형성된 상기 각 트렌치에 형성되는 다수의 컬러 필터층과, 상기 각 컬러 필터층에 대응되도록 형성되는 마이크로 렌즈를 포함하여 구성됨을 특징으로 한다.

상기 씨모스 이미지 센서는 상기 반도체 기판 상에 형성되어 상기 포토 다이오드 영역 이외의 영역으로 입사되는 빛을 차단하는 다수의 차광층과, 상기 다수의 트렌치와 상기 컬러 필터층 사이에 형성되는 보호막을 더 포함하여 구성됨을 특징으로 한다.

상기 다수의 컬러 필터층은 상기 각 트렌치에 형성된 상기 보호막 상에 형성되는 것을 특징으로 한다.

상기 씨모스 이미지 센서는 상기 다수의 컬러 필터층과 상기 마이크로 렌즈 사이에 형성되는 평탄화층을 더 포함하여 구성됨을 특징으로 한다.

본 발명의 실시 예에 따른 씨모스 이미지 센서의 제조방법은 반도체 기판에 일정한 간격을 갖는 다수의 포토 다이오드들을 형성하는 단계와, 상기 포토 다이오드에 대응되는 다수의 트렌치(Trench)를 포함하는 층간 절연층을 형성하는 단계와, 상기 층간 절연막의 내부의 상기 각 트렌치에 다수의 컬러 필터층을 단계적으로 형성하는 단계와, 상기 각 컬러 필터층에 대응되도록 마이크로 렌즈를 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 씨모스 이미지 센서의 제조방법은 상기 다수의 트렌치를 포함하는 상기 반도체 기판 상에 보호막을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

상기 다수의 컬러 필터층은 상기 각 트렌치에 형성된 상기 보호막 상에 형성되는 것을 특징으로 한다.

상기 씨모스 이미지 센서의 제조방법은 평탄화 공정을 이용하여 상기 다수의 컬러 필터층을 평탄화시키는 단계를 더 포함하는 것을 특징으로 한다.

상기 평탄화 공정은 에치 백(Etch Back) 공정 또는 화학 기계적 연마 공정인 것을 특징으로 한다.

상기 씨모스 이미지 센서의 제조방법은 상기 다수의 컬러 필터층과 상기 마이크로 렌즈 사이에 평탄화층을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

이하 발명의 바람직한 실시 예에 따른 구성 및 작용을 첨부한 도면을 참조하여 설명한다.

도 4는 본 발명의 제 1 실시 예에 따른 씨모스 이미지 센서를 나타내는 단면도이다.

도 4를 참조하면, 본 발명의 제 1 실시 예에 따른 씨모스 이미지 센서는 반도체 기판(110)의 표면 내에 일정한 간격을 갖고 형성되어 입사되는 광량에 따른 전하를 생성하는 다수의 포토 다이오드 영역(120)들과, 상기 포토 다이오드 영역(120) 사이의 반도체 기판(110) 상에 형성되어 상기 포토 다이오드 영역(120) 이외의 영역으로 빛이 입사되는 것을 방지하기 위한 차광층(130)과, 상기 차광층(130)을 포함한 반도체 기판(110)의 전면에 형성되어 다수의 트렌치(Trench)를 포함하는 층간 절연층(140)과, 상기 층간 절연층(140)의 내부에 형성되는 각 트렌치에 형성되는 보호막(142)과, 각 트렌치에 형성된 상기 보호막(142) 상에 형성되어 각각 특성의 파장대의 빛을 통과시키는 적색, 녹색 및 청색의 컬러 필터층(150R, 150G, 150B)과, 상기 컬러 필터층(150R, 150G, 150B) 상에 일정 곡률을 갖는 볼록 형태로 구성되어 대응하는 컬러 필터층(150R, 150G, 150B)을 투과하여 포토 다이오드 영역(120)으로 빛을 집광하는 마이크로 렌즈(170)를 포함하여 구성된다.

도 5a 내지 도 5d는 본 발명의 실시 예에 따른 씨모스 이미지 센서의 제조방법을 단계적으로 나타내는 공정 단면도이다.

먼저, 도 5a에 도시한 바와 같이 반도체 기판(110)의 표면 내에 일정한 간격을 갖는 다수의 포토 다이오드 영역(120)을 형성하고, 상기 포토 다이오드 영역(120)을 포함한 반도체 기판(110)의 전면에 불투명 금속막 예를 들면, 크롬(Cr) 막을 증착한다.

이어, 포토 및 식각 공정을 통해 상기 포토 다이오드 영역(120) 사이의 반도체 기판(110) 상에만 상기 크롬 막이 잔류하도록 선택적으로 패터닝하여 차광층(130)을 형성한다.

그리고 상기 차광층(130)을 포함한 반도체 기판(110)의 전면에 층간 절연층(140)을 형성한다. 여기서, 상기 층간 절연층(140)은 다층으로 형성될 수도 있다.

도 5b에 도시된 바와 같이, 상기 포토 다이오드 영역(120)에 대응되도록 상기 층간 절연층(140)을 선택적으로 식각하여 다수의 트렌치(144, 146, 148)를 형성한다.

도 5c에 도시된 바와 같이 각 트렌치(144, 146, 148)를 포함하는 반도체 기판(110)의 전면에 보호막(142)을 형성한다.

이어서, 상기 보호막(142)이 형성된 각 트렌치(144, 146, 148)의 내부에 가염성 레지스트를 사용하여 도포한 후, 노광 및 현상 공정으로 상기 가염성 레지스트를 패터닝하여 각각의 파장대별로 빛을 필터링하는 컬러 필터층(150R, 150G, 150B)들을 일정한 간격을 갖도록 형성한다.

또한, 상기 컬러 필터층(150R, 150G, 150B)들을 일정한 간격을 갖도록 형성할 경우 상기 컬러 필터층(150R, 150G, 150B)들 간의 단차를 제거하여 평탄화한다. 이때, 컬러 필터층(150R, 150G, 150B)은 에치백(Etch Back) 공정 또는 화학 기계적 연마(Chemical Mechanical Polishing) 공정 등에 의해 평탄화된다.

도 5d에 도시된 바와 같이 평탄화 공정에 의해 평탄화된 상기 컬러 필터층(150R, 150G, 150B) 상에 일정 곡률을 갖는 볼록 형태로 구성되어 대응하는 컬러 필터층(150R, 150G, 150B)을 투과하여 포토 다이오드 영역(120)으로 빛을 집광하는 마이크로 렌즈(170)를 형성한다. 즉, 컬러 필터층(150R, 150G, 150B) 상에 유전체 물질을 증착하고, 포토 및 식각 공정으로 상기 유전체 물질을 선택적으로 제거하여 상기 각 컬러 필터층(150R, 150G, 150B)에 마이크로 렌즈(170)를 형성한다.

한편, 도 6은 본 발명의 제 2 실시 예에 따른 씨모스 이미지 센서를 나타내는 단면도이다.

도 6을 참조하면, 본 발명의 제 2 실시 예에 따른 씨모스 이미지 센서는 반도체 기판(110)의 표면 내에 일정한 간격을 갖고 형성되어 입사되는 광량에 따른 전하를 생성하는 다수의 포토 다이오드 영역(120)들과, 상기 포토 다이오드 영역(120) 사이의 반도체 기판(110) 상에 형성되어 상기 포토 다이오드 영역(120) 이외의 영역으로 빛이 입사되는 것을 방지하기 위한 차광층(130)과, 상기 차광층(130)을 포함한 반도체 기판(110)의 전면에 형성되어 다수의 트렌치(Trench)를 포함하는 층간 절연층(140)과, 상기 층간 절연층(140)의 내부에 형성되는 각 트렌치에 형성되는 보호막(142)과, 각 트렌치에 형성된 상기 보호막(142) 상에 형성되어 각각 특정의 파장대의 빛을 통과시키는 적색, 녹색 및 청색의 컬러 필터층(150R, 150G, 150B)과, 상기 컬러 필터층(150R, 150G, 150B) 상에 형성되는 평탄화층(160)과, 상기 평탄화층(160) 상에 일정 곡률을 갖는 볼록 형태로 구성되어 대응하는 컬러 필터층(150R, 150G, 150B)을 투과하여 포토 다이오드 영역(120)으로 빛을 집광하는 마이크로 렌즈(170)를 포함하여 구성된다.

도 6과 도 5a 내지 도 5c를 결부하여 본 발명의 제 2 실시 예에 따른 씨모스 이미지 센서의 제조방법을 단계적으로 설명하면 다음과 같다.

먼저, 도 5a 및 도 5b에 도시된 바와 같이 반도체 기판(110) 상에 다수의 포토 다이오드 영역(120), 차광층(130) 및 층간 절연층(140)을 형성한 후, 층간 절연막(140)에 다수의 트렌치(144, 146, 148)를 형성한다.

도 5c에 도시된 바와 같이 각 트렌치(144, 146, 148)를 포함하는 반도체 기판(110)의 전면에 보호막(142)을 형성한다.

이어서, 상기 보호막(142)이 형성된 각 트렌치(144, 146, 148)의 내부에 가염성 레지스트를 사용하여 도포한 후, 노광 및 현상 공정으로 상기 가염성 레지스트를 패터닝하여 각각의 파장대별로 빛을 필터링하는 컬러 필터층(150R, 150G, 150B)들을 일정한 간격을 갖도록 형성한다.

그런 다음, 도 6에 도시된 바와 같이 상기 컬러 필터층(150R, 150G, 150B)을 포함하는 반도체 기판(110) 상에 포토 레지스트를 스핀 코팅(Spin Coating)하여 평탄화층(160)을 형성한다. 이때, 평탄화층(160)의 두께는 컬러 필터층(150R, 150G, 150B)들 간의 단차가 줄어들기 때문에 도 3에 도시된 종래의 평탄화층(60)보다 얇게 된다.

이어서, 평탄화층(160) 상에 일정 곡률을 갖는 볼록 형태로 구성되어 대응하는 컬러 필터층(150R, 150G, 150B)을 투과하여 포토 다이오드 영역(120)으로 빛을 집광하는 마이크로 렌즈(170)를 형성한다. 즉, 컬러 필터층(150R, 150G, 150B) 상에 유전체 물질을 증착하고, 포토 및 식각 공정으로 상기 유전체 물질을 선택적으로 제거하여 상기 각 컬러 필터층(150R, 150G, 150B)에 마이크로 렌즈(170)를 형성한다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정하는 것이 아니라 특허 청구범위에 의해서 정해져야 한다.

발명의 효과

이상의 설명에서와 같이 본 발명의 실시 예에 따른 씨모스(CMOS) 이미지 센서 및 그의 제조방법에 있어서는 다음과 같은 효과가 있다.

첫째, 씨모스 이미지 센서의 두께를 감소시킴으로써 포토 다이오드에 수광되는 빛의 감도 특성을 증가시켜 씨모스 이미지 센서의 성능을 향상시킬 수 있다.

둘째, 씨모스 이미지 센서의 감도 특성이 향상되므로 색재현성이 높아져 출력되는 이미지의 화질을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 일반적인 씨모스 이미지 센서의 1 화소의 등가 회로도.

도 2는 일반적인 씨모스 이미지 센서의 1 화소의 레이아웃도.

도 3은 종래 기술에 의한 씨모스 이미지 센서를 나타낸 구조 단면도이다.

도 4는 본 발명의 제 1 실시 예에 따른 씨모스 이미지 센서를 나타낸 구조 단면도.

도 5a 내지 도 5d는 본 발명에 의한 씨모스 이미지 센서의 제조방법을 단계적으로 나타내는 단면도.

도 6은 본 발명의 제 2 실시 예에 따른 씨모스 이미지 센서를 나타낸 구조 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

10, 110 : 반도체 기판 20, 120 : 포토 다이오드 영역

30, 130 : 차광층 40, 140 : 층간 절연막

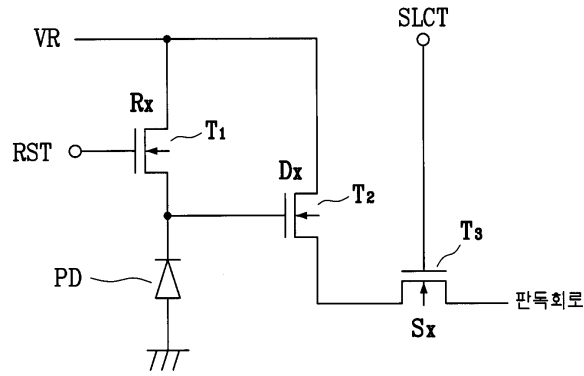
50R, 50G, 50B : 컬러 필터층 60, 160 : 평탄화층

70, 170 : 마이크로 렌즈 142 : 보호막

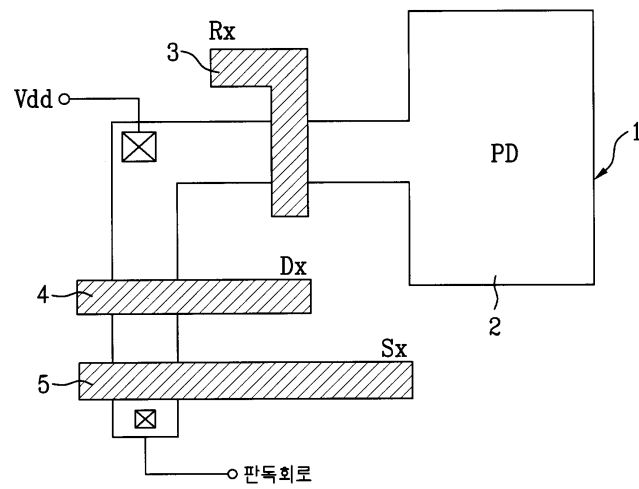
150R, 150G, 150B : 컬러 필터층

도면

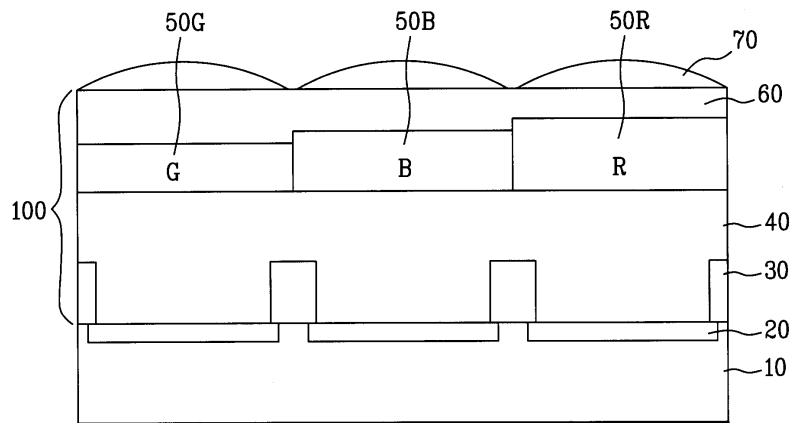
도면1



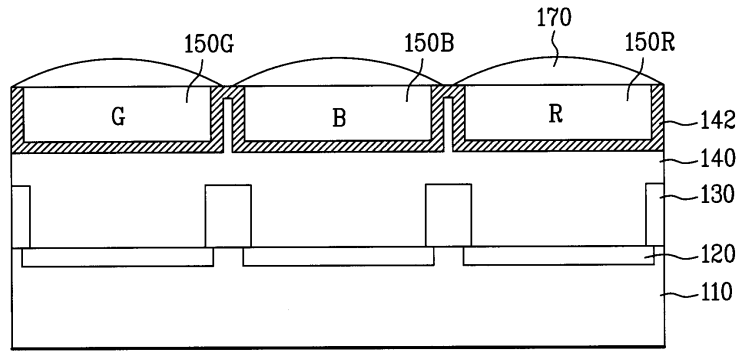
도면2



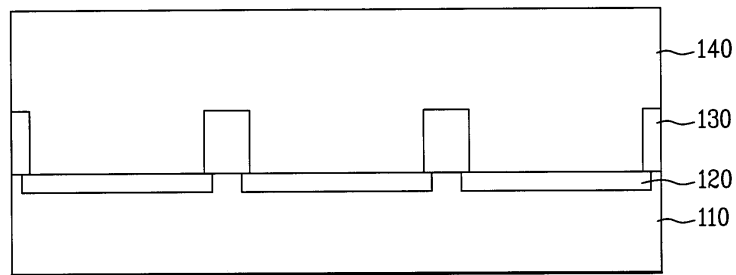
도면3



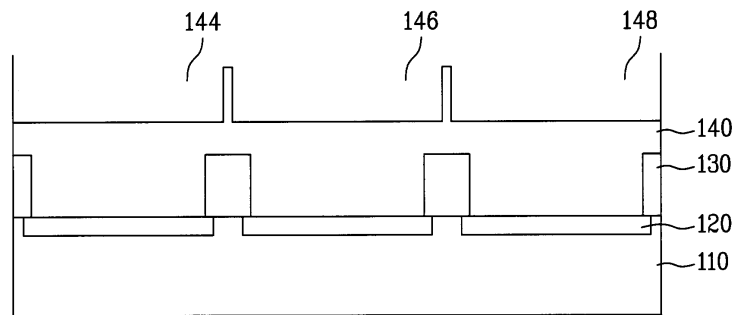
도면4



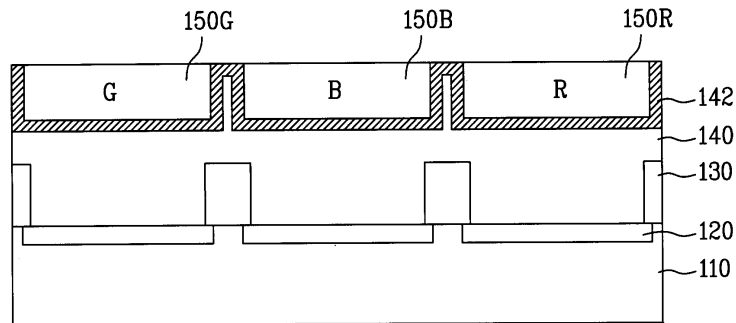
도면5a



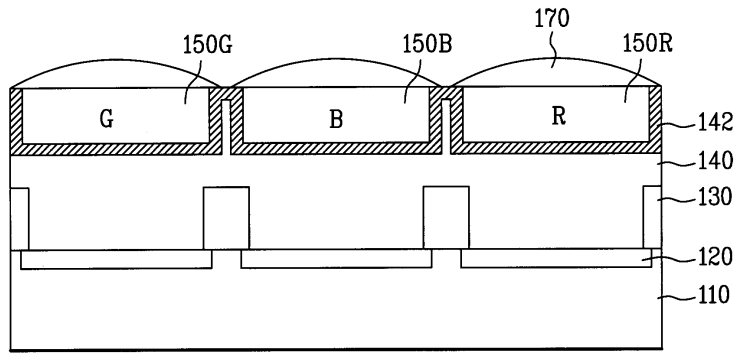
도면5b



도면5c



도면5d



도면6

