

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月3日(03.12.2020)



(10) 国際公開番号

WO 2020/241108 A1

(51) 国際特許分類:

H04N 5/369 (2011.01) H04N 5/351 (2011.01)
H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2020/016736

(22) 国際出願日: 2020年4月16日(16.04.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-099538 2019年5月28日(28.05.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

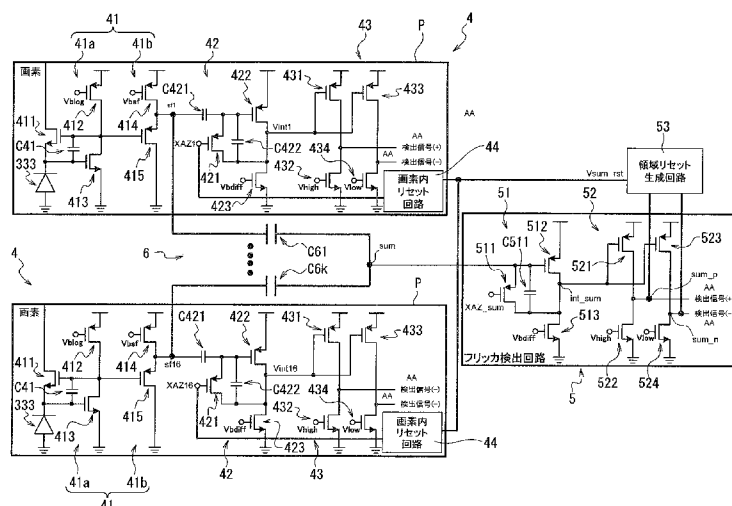
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 朱 弘博(ZHU Hongbo); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 高橋 裕嗣(TAKAHASHI Hirotsugu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 北野 伸(KITANO Shin); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四

(54) Title: SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子



4 Pixel
5 Flicker detection circuit
44 Intra-pixel reset circuit
53 Region reset generation circuit
AA Detection signal

(57) Abstract: The purpose of the present invention is to reduce electricity consumption. This solid-state imaging element comprises: a photoelectric conversion element that photoelectrically converts incident light to generate an electric current; an electric current/voltage conversion unit that converts the electric current input from the photoelectric conversion element to voltage; and an individual subtractor and a shared subtractor that are connected to the electric current/voltage conversion unit and subtract the other voltage from one voltage of voltages input from the electric current/voltage conversion unit at different timings.

(57) 要約: 低消費電力化を図ることを目的とする。固体撮像素子は、入射光を光電変換して電流を生成する光電変換素子と、光電変換素子から入力される電流を電圧に変換する電流電圧変換部と、電流電圧変換部に接続されて異なるタイミングで電流電圧変換部から入力される一方の電圧から他方の電圧を減算する個別減算器及び共用減算器とを備えている。

[続葉有]

丁目3番1号 城山トラストタワー32階 特許
業務法人日栄国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 固体撮像素子

技術分野

[0001] 本開示は、非同期型の固体撮像素子に関する。

背景技術

[0002] 従来より、垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する同期型の固体撮像素子が、撮像装置などにおいて用いられている。この一般的な同期型の固体撮像素子では、同期信号の周期（例えば、 $1/60$ 秒）ごとにしか画像データを取得することができないため、交通やロボットなどに関する分野において、より高速な処理が要求された場合に対応することが困難になる。そこで、画素アドレスごとに、その画素の光量が閾値を超えた旨をアドレスイベントとしてリアルタイムに検出する検出回路を画素毎に設けた非同期型の固体撮像素子が提案されている（例えば、特許文献1参照。）。このように、画素毎にアドレスイベントを検出する固体撮像素子は、DVS（Dynamic Vision Sensor）と呼ばれる。

先行技術文献

特許文献

[0003] 特許文献1：特表2017-535999号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の非同期型の固体撮像素子（すなわち、DVS）では、同期型の固体撮像素子よりも遥かに高速にデータを生成して出力することができる。このため、例えば、交通分野において、人や障害物を画像認識する処理を高速に実行して、安全性を向上させることができる。しかしながら、しかしながら、アドレスイベントの検出回路は、同期型における画素回路よりもトランジスタなどの素子数が多く、消費電力が増大してしまうという問題がある。

[0005] 本開示の目的は、低消費電力化を図ることができる固体撮像素子を提供す

ることにある。

課題を解決するための手段

[0006] 本開示による固体撮像素子は、入射光を光電変換して電流を生成する光電変換素子と、前記光電変換素子から入力される前記電流を電圧に変換する電流電圧変換部と、前記電流電圧変換部に接続されて異なるタイミングで前記電流電圧変換部から入力される一方の電圧から他方の電圧を減算する複数の減算部とを備える。

[0007] 本開示による固体撮像素子は、各々が入射光を光電変換して電流を生成する複数の光電変換素子と、前記複数の光電変換素子のそれぞれに1つずつ接続されて前記光電変換素子から入力される前記電流を電圧に変換する複数の電流電圧変換部と、前記複数の電流電圧変換部に接続されて異なるタイミングで前記電流電圧変換部のそれぞれから入力される一方の電圧に基づく第一電圧から他方の電圧に基づく第二電圧を減算する共用減算部とを備える。

図面の簡単な説明

[0008] [図1]本開示の各実施形態による固体撮像素子を備える撮像装置の一構成例を示すブロック図である。

[図2]本開示の各実施形態による固体撮像素子の積層構造の一例を示す図である。

[図3]本開示の各実施形態による固体撮像素子の一構成例を示すブロック図である。

[図4]本開示の各実施形態による固体撮像素子に設けられた画素の一構成例を示す回路図である。

[図5]本開示の第1－1実施形態による固体撮像素子に設けられたアドレスイベント検出部およびフリッカ検出回路の一構成例を示す回路図である。

[図6]本開示の第1－1実施形態による固体撮像素子のフリッカ検出処理のタイミングチャートの一例を示す図である。

[図7]本開示の第1－1実施形態による固体撮像素子のイベント検出処理のタイミングチャートの一例を示す図である。

[図8]本開示の第1－2実施形態による固体撮像素子に設けられたアドレスイベント検出部およびフリッカ検出回路の一構成例を示す回路図である。

[図9]本開示の第1－2実施形態による固体撮像素子を説明する図であって、フリッカの検出時に量子化器を停止させる停止回路の一構成例を示す回路図である。

[図10]本開示の第1－3実施形態による固体撮像素子に設けられたアドレスイベント検出部およびフリッカ検出回路の一構成例を示す回路図である。

[図11]本開示の第1－4実施形態による固体撮像素子に設けられた画素ブロックを模式的に示す図である。

[図12]本開示の第1－4実施形態による固体撮像素子に設けられたアドレスイベント検出部およびフリッカ検出回路の一構成例を示す回路図である。

[図13]本開示の第1－5実施形態による固体撮像素子に設けられた画素ブロックを模式的に示す図である。

[図14]本開示の第1－5実施形態による固体撮像素子に設けられたアドレスイベント検出部およびフリッカ検出回路の一構成例を示す回路図である。

[図15]本開示の第1－6実施形態による固体撮像素子に設けられた画素ブロック及びフリッカ検出回路を模式的に示す図である。

[図16]本開示の第1－6実施形態による固体撮像素子に設けられたアドレスイベント検出部およびフリッカ検出回路の一構成例を示す回路図である。

[図17]本開示の第1－7実施形態による固体撮像素子に設けられたアドレスイベント検出部およびフリッカ検出回路の一構成例を示す回路図である。

[図18]本開示の第2－1実施形態による固体撮像素子に設けられた低解像度アドレスイベント検出部の一構成例を示す回路図である。

[図19]本開示の第2－2実施形態による固体撮像素子に設けられた低解像度アドレスイベント検出部の一構成例を示す回路図である。

[図20]本開示の第3－1実施形態による固体撮像素子に設けられた重み付け加算及び閾値処理を実行する回路の一構成例を示す図である。

[図21]本開示の第3－1実施形態による固体撮像素子に設けられた画素ブロ

ックの重み付けパターンを模式的に示す図である。

[図22]本開示の第3－2実施形態による固体撮像素子に設けられた重み付け加算及び閾値処理を実行する回路の一構成例を示す図である。

[図23]本開示の第3－2実施形態による固体撮像素子に設けられた画素ブロックの重み付けパターンを模式的に示す図である。

[図24]本開示の第3－3実施形態による固体撮像素子に設けられた重み付け加算及び畳み込み演算を実行する回路の一構成例を示す図である。

[図25]本開示の第3－4実施形態による固体撮像素子に設けられた重み付け加算及び畳み込み演算を実行する回路の一構成例を示す図である。

発明を実施するための形態

[0009] 以下、本開示に係る技術を実施するための形態（以下、「実施形態」と称する）について図面を用いて詳細に説明する。本開示に係る技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。なお、説明は以下の順序で行う。

1. 本開示の撮像装置及び固体撮像素子の全般に関する説明
2. 本開示の第1実施形態（フリッカ抑制）
3. 本開示の第2実施形態（多解像度センサ）
4. 本開示の第3実施形態（重み付け加算及び畳み込み演算）

[0010] 本開示の各実施形態による固体撮像素子の共通する構成及び当該固体撮像素子が用いられる撮像装置の構成について図1から図4を用いて説明する。まず、各実施形態による固体撮像素子が用いられる撮像装置の概略構成について図1を用いて説明する。

[0011] 図1は、本開示の各実施形態における撮像装置100の一構成例を示すブロック図である。

図1に示すように、撮像装置100は、撮像レンズ110、固体撮像素子200、記録部120および制御部130を備える。撮像装置100としては、産業用ロボットに搭載されるカメラや、車載カメラなどが想定される。

[0012] 撮像レンズ 110 は、入射光を集光して固体撮像素子 200 に導くものである。固体撮像素子 200 は、入射光を光電変換して画像データを撮像するものである。固体撮像素子 200 は、撮像した画像データに対して、画像認識処理などの所定の信号処理を画像データに対して実行し、その処理結果とアドレスイベントの検出信号とを示すデータを記録部 120 に信号線 209 を介して出力する。

[0013] 記録部 120 は、固体撮像素子 200 からのデータを記録するものである。制御部 130 は、固体撮像素子 200 を制御して画像データを撮像させるものである。

[0014] 次に、本開示の各実施形態による固体撮像素子 200 について図 2 から図 4 を用いて説明する。

図 2 は、固体撮像素子 200 の積層構造の一例を示す図である。図 2 に示すように、固体撮像素子 200 は、検出チップ 202 と、検出チップ 202 に積層された受光チップ 201 とを備える。検出チップ 202 及び受光チップ 201 は、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu 接合やバンプにより接続することもできる。

[0015] 図 3 は、本開示の各実施形態による固体撮像素子 200 の一構成例を示すブロック図である。図 3 に示すように、固体撮像素子 200 は、駆動回路 211、信号処理部 212、アービタ 213、カラム ADC 220 および画素アレイ部 300 を備える。

[0016] 画素アレイ部 300 には、複数の画素が二次元格子状に配列される。また、画素アレイ部 300 は、それぞれが所定数の画素からなる複数の画素ブロックに分割される。以下、水平方向に配列された画素または画素ブロックの集合を「行」と称し、行に垂直な方向に配列された画素または画素ブロックの集合を「列」と称する。

[0017] 画素のそれぞれは、光電流に応じた電圧のアナログ信号を画素信号として生成する。また、画素のそれぞれは、光電流の変化量が所定の閾値を超えたか否かにより、アドレスイベントの有無を検出する。そして、アドレスイベ

ントが生じた際に画素ブロックは、リクエストをアービタに出力する。画素ブロックは、実施形態ごとに異なる機能を発揮するように構成されている。画素ブロックの機能については後述する。

[0018] 駆動回路 2 1 1 は、画素のそれぞれを駆動して画素信号をカラム A D C 2 2 0 に出力させるものである。

[0019] アービタ 2 1 3 は、それぞれの画素からのリクエストを調停し、調停結果に基づいて応答を画素に送信するものである。応答を受け取った画素は、検出結果を示す検出信号を駆動回路 2 1 1 および信号処理部 2 1 2 に供給する。

[0020] カラム A D C 2 2 0 は、画素ブロックの列ごとに、その列からのアナログの画素信号をデジタル信号に変換するものである。このカラム A D C 2 2 0 は、デジタル信号を信号処理部 2 1 2 に供給する。

[0021] 信号処理部 2 1 2 は、カラム A D C 2 2 0 からのデジタル信号に対し、C D S (Correlated Double Sampling) 処理や画像認識処理などの所定の信号処理を実行するものである。信号処理部 2 1 2 は、処理結果を示すデータと検出信号とを信号線 2 0 9 を介して記録部 1 2 0 に供給する。

[0022] 図 4 は、本開示の各実施形態における画素 P の一構成例を示す回路図である。画素アレイ部 3 0 0 は、 m 行 $\times$ n 列 (m 及び n は自然数) に配列された複数の画素 P を有している。複数の画素 P は、画素アレイ部 3 0 0 において例えばマトリクス状に配列されている。

[0023] 図 4 に示すように、画素 P は、画素信号生成部 3 2 0 と、受光部 3 3 0 と、アドレスイベント検出部 4 とを備える。画素 P の列ごとに、垂直信号線 V S L が配線される。画素 P の列数を n (n は自然数) とすると、 n 本の垂直信号線 V S L が配列される。

[0024] 受光部 3 3 0 は、入射光を光電変換して光電流を生成するものである。受光部 3 3 0 は、駆動回路 2 1 1 の制御に従って、画素信号生成部 3 2 0 およびアドレスイベント検出部 4 のいずれかに光電流を供給する。

[0025] 画素信号生成部 3 2 0 は、光電流に応じた電圧の信号を画素信号 S I G と

して生成するものである。画素信号生成部320は、生成した画素信号SIGを垂直信号線VSLを介してカラムADC220に供給する。

[0026] アドレスイベント検出部4は、受光部330からの光電流の変化量が所定の閾値を越えたか否かにより、アドレスイベントの有無を検出するものである。アドレスイベントは、例えば、光電流の変化量が上限の閾値を越えた（上回った）旨を示すオンイベントと、光電流の変化量が下限の閾値を越えた（下回った）旨を示すオフイベントとで構成される。また、アドレスイベントの検出信号は、例えば、オンイベントの検出結果を示す1ビットと、オフイベントの検出結果を示す1ビットとで構成される。なお、アドレスイベント検出部4は、オンイベントのみを検出することもできる。

[0027] アドレスイベントが発生した際に、アドレスイベント検出部4は、検出信号の送信を要求するリクエストをアービタ213に供給する。そして、リクエストに対する応答をアービタ213から受け取ると、アドレスイベント検出部4は、検出信号を駆動回路211および信号処理部212に供給する。

[0028] 図4に示すように、画素信号生成部320は、リセットトランジスタ321、増幅トランジスタ322、選択トランジスタ323および浮遊拡散層324を備える。受光部330は、アドレスイベント検出部4に接続されている。

[0029] また、受光部330は、転送トランジスタ331、OFG (Over Flow Gate) トランジスタ332及び光電変換素子333を備える。転送トランジスタ331、OFGトランジスタ332及び光電変換素子333は、画素Pごとに配置される。転送トランジスタ331には、駆動回路211（図3参照）により転送信号TRGが供給される。OFGトランジスタ332には、駆動回路211により制御信号OFGが供給される。

[0030] また、リセットトランジスタ321、増幅トランジスタ322および選択トランジスタ323として、例えば、N型のMOS (Metal-Oxide-Semiconductor) トランジスタが用いられる。転送トランジスタ331およびOFGトランジスタ332についても、同様にN型のMOSトランジスタが用いられ

る。

- [0031] また、光電変換素子 333 のそれぞれは、受光チップ 201（図 2 参照）に配置される。光電変換素子 333 以外の素子の全ては、検出チップ 202（図 2 参照）に配置される。
- [0032] 光電変換素子 333 は、入射光を光電変換して電荷を生成するものである。転送トランジスタ 331 は、転送信号 TRG に従って、対応する光電変換素子 333 から浮遊拡散層 324 へ電荷を転送するものである。OFG トランジスタ 332 は、制御信号 OFG に従って、対応する光電変換素子 333 により生成された電気信号をアドレスイベント検出部 4 に供給するものである。ここで、供給される電気信号は、電荷からなる光電流である。
- [0033] 浮遊拡散層 324 は、電荷を蓄積して蓄積した電荷の量に応じた電圧を生成するものである。リセットトランジスタ 321 は、駆動回路 211 からのリセット信号に従って浮遊拡散層 324 の電荷量を初期化するものである。増幅トランジスタ 322 は、浮遊拡散層 324 の電圧を増幅するものである。選択トランジスタ 323 は、駆動回路 211 からの選択信号 SEL に従って、増幅された電圧の信号を画素信号 SIG として垂直信号線 VSL を介してカラム ADC 220（図 3 参照）へ出力するものである。
- [0034] 駆動回路 211 は、制御部 130 によりアドレスイベントの検出開始が指示されると、全ての画素 P の OFG トランジスタ 332 を制御信号 OFG により駆動して光電流を供給させる。これにより、アドレスイベント検出部 4 には、画素 P の受光部 330 の光電流が供給される。
- [0035] そして、ある画素 P においてアドレスイベントが検出されると、駆動回路 211 は、その画素 P の OFG トランジスタ 332 をオフ状態にしてアドレスイベント検出部 4 への光電流の供給を停止させる。次いで駆動回路 211 は、転送信号 TRG により、それぞれの転送トランジスタ 331 を順に駆動して、電荷を浮遊拡散層 324 に転送させる。これにより、画素ブロック 310 内の複数の画素のそれぞれの画素信号が順に出力される。
- [0036] このように、固体撮像素子 200 は、アドレスイベントが検出された画素

Pの画素信号のみをカラムADC220に出力する。これにより、アドレスイベントの有無に関わらず、全画素の画素信号を出力する場合と比較して、固体撮像素子200の消費電力や、画像処理の処理量を低減することができる。

[0037] [第1実施形態]

次に、本開示の第1実施形態による固体撮像素子について図5から図17を用いて説明する。第1実施形態では、第1-1実施形態から第1-7実施形態に分けて、7種類のフリッカ抑制技術について説明する。

[0038] ところで、屋内に設置された照明装置や表示装置などの発光装置が、一定周波数で高速に点滅させるダイナミック点灯（パルス点灯又はデューティ点灯）で駆動されている場合、これらの装置には、フリッカ（細かい明暗（ちらつき））現象が生じる場合がある。固体撮像素子は、屋内で使用された場合、このフリッカ現象に起因する明暗をアドレスイベントとして誤検出する場合がある。これにより、固体撮像素子は、アドレスイベントの検出精度が低下してしまう可能性がある。本実施形態による固体撮像素子は、フリッカ現象に起因するアドレスイベントの検出精度の劣化を抑制できる点に特徴を有している。

[0039] [第1-1実施形態]

図5は、第1-1実施形態による固体撮像素子200に設けられたアドレスイベント検出部4及びフリッカ検出回路5の一構成例を示す回路ブロック図である。なお、図5では、画素Pに設けられた画素信号生成部320、転送トランジスタ331及びOFGトランジスタ332の図示は省略されている。

[0040] 図5に示すように、固体撮像素子200は、複数のアドレスイベント検出部4と、複数のアドレスイベント検出部4に接続された加算部6と、加算部6に接続されたフリッカ検出回路5とを備えている。加算部6及びフリッカ検出回路5に接続されるアドレスイベント検出部4の個数kは、画素アレイ部300に配列された画素Pの総数（ $m \times n$ 個）以下の自然数である。アド

レスイベント検出部4は、画素Pごとに形成されている。このため、本実施形態による固体撮像素子200は、 $(m \times n) / k$ 個の加算部6及びフリッカ検出回路5を備える。

[0041] 図5に示すように、固体撮像素子200に備えられた画素Pのそれぞれに設けられたアドレスイベント検出部4は、同一の構成を有している。アドレスイベント検出部4は、電流電圧変換部41、減算器（個別減算部の一例）430、量子化器（判定部の一例）43及び転送部（不図示）を有している。電流電圧変換部41は、対数変換回路41a及びバッファ回路41bを有している。

[0042] 図5に示すように、固体撮像素子200は、各々が入射光を光電変換して電流を生成する複数（図5では2つ図示されている）の光電変換素子333を備えている。また、固体撮像素子200は、複数の光電変換素子333のそれぞれに1つずつ接続されて光電変換素子333から入力される電流を電圧に変換する複数（図5では2つ図示されている）の電流電圧変換部41を備えている。電流電圧変換部41は、対数変換回路41aと、バッファ回路41bとを有している。電流電圧変換部41は、対数変換回路41aにおいて光電変換素子333から入力される電流（光電流）を、対数出力の電圧値に変換するように構成されている。バッファ回路41bは、ソースフォロア型の構成を有し、インピーダンス変換を行うように構成されている。

[0043] 図5に示すように、固体撮像素子200は、複数の電流電圧変換部41のそれぞれに1つずつ接続されて、接続された電流電圧変換部41から異なるタイミングで電流電圧変換部41から入力される一方の電圧から他方の電圧を減算する個別減算器（個別減算部の一例）42を備えている。個別減算器42は、駆動回路211（図3参照）からの行駆動信号がオン状態からオフ状態に切り替わったタイミングでの電圧との差分の電圧を出力するように構成されている。

[0044] 量子化器43は、2つの閾値を用いて、個別減算器42から入力される電圧信号をデジタル信号に量子化して検出信号（+）及び検出信号（-）とし

て転送部に出力するように構成されている。

[0045] 転送部は、量子化器43から入力される検出信号(+)及び検出信号(-)を信号処理部212等に転送するように構成されている。転送部は、アドレスイベントが検出された際に、検出信号の送信を要求するリクエストをアービタ213に供給する。そして、転送部450は、リクエストに対する応答をアービタ213から受け取ると、検出信号(+)及び検出信号(-)を駆動回路211および信号処理部212に供給する。

[0046] 次に、アドレスイベント検出部4の各構成要素の具体的な構成について説明する。

図5に示すように、電流電圧変換部41を構成する対数変換回路41aは、N型トランジスタ411、N型トランジスタ413、P型トランジスタ412及びコンデンサC41を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。

[0047] N型トランジスタ411のソースは、光電変換素子333のカソードに接続されている。N型トランジスタ411のドレインは、電源端子(不図示)に接続されている。P型トランジスタ412及びN型トランジスタ413は、電源端子と接地端子との間において、直列に接続されている。また、P型トランジスタ412及びN型トランジスタ413の接続点は、N型トランジスタ411のゲートとバッファ回路41bの入力端子とに接続される。また、P型トランジスタ412のゲートには、所定のバイアス電圧 V_{b10g} が印加される。

[0048] N型トランジスタ413のゲートは、光電変換素子333のカソード及びN型トランジスタ411のソースに接続されている。コンデンサC41の一方の電極は、N型トランジスタ413のゲート並びにP型トランジスタ412及びN型トランジスタ413の接続点に接続されている。コンデンサC41の他方の電極は、光電変換素子333のカソード及びN型トランジスタ413のゲートに接続されている。

[0049] N型トランジスタ411および413のドレインは電源側に接続されてお

り、このような回路はソースフォロワと呼ばれる。これらのループ状に接続された2つのソースフォロワにより、受光部330から入力される光電流は、その対数の電圧信号に変換される。また、P型トランジスタ412は、一定の電流をN型トランジスタ413に供給する。コンデンサC41は、N型トランジスタ411及びN型トランジスタ413のそれぞれのゲート電圧を安定化するために設けられている。対数変換回路41aは、コンデンサC41を有していなくてもよい。

[0050] 図5に示すように、バッファ回路41bは、P型トランジスタ414及びP型トランジスタ415を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。P型トランジスタ414及びP型トランジスタ415は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ415のゲートは、対数変換回路41aの出力端子（P型トランジスタ412及びN型トランジスタ413の接続点）に接続されている。P型トランジスタ414及びP型トランジスタ415の接続点は、個別減算器42の入力端子に接続されている。また、P型トランジスタ414のゲートには、所定のバイアス電圧 V_{bsf} が印加される。

[0051] 図5に示すように、個別減算器42は、P型トランジスタ421、P型トランジスタ422、N型トランジスタ423及びコンデンサC422を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。また、個別減算器42は、個別減算器42が接続された電流電圧変換部41に接続される一方の電極と、当該一方の電極に対向して配置された他方の電極とを有する個別コンデンサC421を有している。

[0052] P型トランジスタ422及びN型トランジスタ423は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ422及びN型トランジスタ423の接続部は、量子化器43の入力端子に接続されている。N型トランジスタ423のゲートには、所定のバイアス電圧 V_{bdf} が印加される。

[0053] P型トランジスタ421のソースは、P型トランジスタ422のゲートに

接続されている。P型トランジスタ421のドレインは、P型トランジスタ422及びN型トランジスタ423の接続部に接続されている。P型トランジスタ421のゲートは、画素Pに設けられた画素内リセット回路44の出力端子に接続されている。画素内リセット回路44の詳細については後述する。

[0054] 個別コンデンサC421の一方の電極は、バッファ回路41bの出力端子（P型トランジスタ414及びP型トランジスタ415の接続部）に接続されている。個別コンデンサC421の他方の電極は、P型トランジスタ421のソース及びP型トランジスタ422のゲートに接続されている。

[0055] コンデンサC422の一方の電極は、個別コンデンサC421の他方の電極、P型トランジスタ421のソース及びP型トランジスタ422のゲートに接続されている。コンデンサC422の他方の電極は、P型トランジスタ422及びN型トランジスタ423の接続部及びP型トランジスタ421のドレインに接続されている。

[0056] P型トランジスタ421がオフ状態からオン状態に切り替えられるとともに、N型トランジスタ423がオフ状態からオン状態に切り替えられる。これにより、個別コンデンサC421の一方の電極には、P型トランジスタ421及びN型トランジスタ423の状態が切り替わった時点（タイミング）において電流電圧変換部41から入力される電圧（一方の電圧の一例）が印加される。これに対し、個別コンデンサC421の他方の電極には、接地端子の電圧が印加される。このとき、個別コンデンサC421に蓄積されている電荷 Q_{init} は、個別コンデンサC421の容量を C_1 とすると、次の式（1）により表される。一方、コンデンサC422の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init} = C_1 \times V_{init} \cdots (1)$$

[0057] P型トランジスタ421がオフ状態からオン状態に切り替えられた後の所定時間後に、P型トランジスタ421がオン状態からオフ状態に切り替えられるとともに、N型トランジスタ423がオン状態からオフ状態に切り替え

られる。これにより、個別コンデンサC421には、電流電圧変換部41から入力される電圧に応じた電圧（他方の電圧の一例）が印加される。電流電圧変換部41から入力される電圧を V_{after} とすると、個別コンデンサC421に蓄積される電荷 Q_{after} は、次の式（2）により表される。

$$Q_{after} = C1 \times V_{after} \dots (2)$$

[0058] 一方、コンデンサC422に蓄積される電荷 $Q2$ は、出力電圧を V_{diff_after} とすると、次の式（3）により表される。

$$Q2 = -C2 \times V_{diff_after} \dots (3)$$

[0059] このとき、個別コンデンサC421及びコンデンサC422の総電荷量は変化しない（電荷保存の法則）ため、次の式（4）が成立する。

$$Q_{init} = Q_{after} + Q2 \dots (4)$$

[0060] 式（4）に式（1）から式（3）を代入して変形すると、次の式が得られる。

$$\begin{aligned} V_{diff_after} = \\ - (C1 / C2) \times (V_{diff_after} - V_{init}) \dots \end{aligned} \quad (5)$$

[0061] 式（5）は、電圧信号の減算動作を表し、減算結果の利得は $C1 / C2$ となる。通常、利得を最大化することが望まれるため、個別コンデンサC421の容量 $C1$ を大きく、コンデンサC422の容量 $C2$ を小さく設計することが好ましい。一方、コンデンサC422の容量 $C2$ が小さすぎると、 kT/C ノイズが増大し、ノイズ特性が悪化するおそれがある。このため、コンデンサC422の容量 $C2$ の容量削減は、ノイズを許容することができる範囲に制限される。また、画素Pごとに個別減算器42を含むアドレスイベント検出部4が搭載される。このため、個別コンデンサC421の容量 $C1$ やコンデンサC422の容量 $C2$ には、面積上の制約がある。これらを考慮して、個別コンデンサC421の容量 $C1$ 及びコンデンサC422の容量 $C2$ の値が決定される。

[0062] 図5に示すように、量子化器43は、P型トランジスタ431、N型トラ

ンジスタ432、P型トランジスタ433及びN型トランジスタ434を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。

[0063] P型トランジスタ431及びN型トランジスタ432は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ433及びN型トランジスタ434は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ431のゲート及びP型トランジスタ433のゲートは、個別減算器42の出力端子（P型トランジスタ422及びN型トランジスタ423の接続部）に接続されている。N型トランジスタ432のゲートには、電圧レベルが高レベルの電圧の上限閾値 V_{high} が印加される。N型トランジスタ434のゲートには、電圧レベルが低レベルの電圧の下限閾値 V_{low} が印加される。P型トランジスタ431及びN型トランジスタ432の接続部は、検出信号（+）の出力端子であり、転送部の入力端子に接続されている。P型トランジスタ433及びN型トランジスタ434の接続部は、検出信号（-）の出力端子であり、転送部の他の入力端子に接続されている。

[0064] 量子化器43は、個別減算器42から入力される電圧の電圧値が上限閾値 V_{high} 及び下限閾値 V_{low} の間にある場合（上限閾値 V_{high} 及び下限閾値 V_{low} のいずれも越えない場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（+）と、電圧レベルが接地端子の電圧とほぼ同じレベルの検出信号（-）とを出力する。この場合、量子化器43の出力は「0」となり、アドレスイベント検出部4は、光電変換素子333の受光量に応じたイベントが発生していないことを検出する。

[0065] 量子化器43は、個別減算器42から入力される電圧の電圧値が上限閾値 V_{high} を越えた場合（上限閾値 V_{high} を上回った場合）には、電圧レベルが接地端子とほぼ同じレベルの検出信号（+）と、電圧レベルが接地端子の電圧とほぼ同じレベルの検出信号（-）とを出力する。この場合、量子化器43の出力は「+1」となり、アドレスイベント検出部4は、光電変

換素子 3 3 3 の受光量に応じたオンイベントが発生したことを検出する。

[0066] 量子化器 4 3 は、個別減算器 4 2 から入力される電圧の電圧値が下限閾値 V_{low} を越えた場合（下限閾値 V_{low} を下回った場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（+）と、電圧レベルが電源電圧とほぼ同じレベルの検出信号（-）とを出力する。この場合、量子化器 4 3 の出力は「-1」となり、アドレスイベント検出部 4 は、光電変換素子 3 3 3 の受光量に応じたオフイベントが発生したことを検出する。

[0067] 画素内リセット回路 4 4 は、例えば OR ゲートで構成されている。画素内リセット回路 4 4 は、フリッカ検出回路 5 に設けられた領域リセット生成回路 5 3（詳細は後述する）の出力リセット信号 V_{sum_rst} 及び行駆動信号を論理和して得られる電圧レベルの制御信号を P 型トランジスタ 4 2 1 のゲートに出力するように構成されている。アドレスイベント検出部 4 が通常の動作を実行する場合には、画素内リセット回路 4 4 は、行駆動信号に依存する制御信号を P 型トランジスタ 4 2 1 のゲートに出力する。一方、画素内リセット回路 4 4 は、フリッカ検出回路 5 がフリッカを検出した場合には、出力リセット信号 V_{sum_rst} に依存する制御信号を P 型トランジスタ 4 2 1 のゲートに出力する。これにより、画素内リセット回路 4 4 は、フリッカ検出回路 5 でフリッカが検出されたか否かに応じて適切な制御信号を出力することができる。

[0068] 図 5 に示すように、固体撮像素子 2 0 0 に備えられたフリッカ検出回路 5 は、複数（本例では k 個）の電流電圧変換部 4 1 に接続されて異なるタイミングで電流電圧変換部 4 1 のそれぞれから入力される一方の電圧に基づく第一電圧から他方の電圧に基づく第二電圧を減算する共用減算器 5 1 を有している。フリッカ検出回路 5 は、共用減算器（共用減算部の一例）5 1 での減算結果に基づく第一電圧及び第二電圧の差分が上限閾値 V_{high} 及び下限閾値 V_{low} （いずれも所定の閾値の一例）を越えたか否かを判定する共用判定部 5 2 を有している。フリッカ検出回路 5 は、共用減算器 5 1 での減算結果に基づく当該差分が上限閾値 V_{high} （又は下限閾値 V_{low} ）を越

えたとき、共用判定部52が判定した場合に、複数の光電変換素子333、複数の電流電圧変換部41及び複数の個別減算器42の少なくともいずれか1つの動作をリセットする領域リセット生成回路（リセット部の一例）53を有している。

[0069] 次に、フリッカ検出回路5の各構成要素の具体的な構成について説明する。

図5に示すように、共用減算器51は、P型トランジスタ511、P型トランジスタ512、N型トランジスタ513及びコンデンサC511を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。

[0070] P型トランジスタ512及びN型トランジスタ513は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ512及びN型トランジスタ513の接続部は、共用判定部52の入力端子に接続されている。N型トランジスタ513のゲートには、所定のバイアス電圧 V_{bdi} が印加される。

[0071] P型トランジスタ511のソースは、P型トランジスタ512のゲートに接続されている。P型トランジスタ511のドレインは、P型トランジスタ512及びN型トランジスタ513の接続部に接続されている。P型トランジスタ512のゲートには、領域リセット生成回路53の出力信号や行駆動信号などが印加されるように構成されている。

[0072] コンデンサC511の一方の電極は、P型トランジスタ511のソース及びP型トランジスタ512のゲートに接続されている。コンデンサC511の他方の電極は、P型トランジスタ512及びN型トランジスタ513の接続部及びP型トランジスタ511のドレインに接続されている。共用減算器51の動作は、個別減算器42と同様であるため、説明は省略する。

[0073] 図5に示すように、共用判定部52は、量子化器で構成されている。共用判定部52は、P型トランジスタ521、N型トランジスタ522、P型トランジスタ523及びN型トランジスタ524を有している。これらのトラ

ンジスタとして、例えばMOSトランジスタが用いられる。

[0074] P型トランジスタ521及びN型トランジスタ522は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ523及びN型トランジスタ524は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ521のゲート及びP型トランジスタ523のゲートは、共用減算器51の出力端子（P型トランジスタ512及びN型トランジスタ513の接続部）に接続されている。N型トランジスタ522のゲートには、電圧レベルが高レベルの電圧の上限閾値 V_{high} が印加される。N型トランジスタ524のゲートには、電圧レベルが低レベルの電圧の下限閾値 V_{low} が印加される。P型トランジスタ521及びN型トランジスタ522の接続部は、検出信号（+）の出力端子であり、領域リセット生成回路53の入力端子に接続されている。P型トランジスタ523及びN型トランジスタ524の接続部は、検出信号（-）の出力端子であり、領域リセット生成回路53の他の入力端子に接続されている。

[0075] 共用判定部52は、共用減算器51から入力される電圧の電圧値が上限閾値 V_{high} 及び下限閾値 V_{low} の間にある場合（上限閾値 V_{high} 及び下限閾値 V_{low} のいずれも越えない場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（+）と、電圧レベルが接地端子の電圧とほぼ同じレベルの検出信号（-）とを出力する。詳細は後述するが、共用減算器51から入力される電圧（すなわち、共用減算器51が出力する電圧）は、加算部6で加算された k 個の個別減算器42の出力電圧の総電圧である。このため、共用減算器51の出力電圧が上限閾値 V_{high} 及び下限閾値 V_{low} のいずれも越えない場合、共用判定部52の出力は「0」となり、フリッカ検出回路5は、光電変換素子333が受光する光にフリッカ現象が生じていないことを検出する。

[0076] 共用判定部52は、共用減算器51から入力される電圧の電圧値が上限閾値 V_{high} を越えた場合（上限閾値 V_{high} を上回った場合）には、電圧レベルが接地端子とほぼ同じレベルの検出信号（+）と、電圧レベルが接

地端子の電圧とほぼ同じレベルの検出信号（－）とを出力する。この場合、共用判定部 5 2 の出力は「＋ 1」となり、フリッカ検出回路 5 は、光電変換素子 3 3 3 が受光する光に暗状態から明状態に変化するフリッカ現象が生じていることを検出する。

[0077] 共用判定部 5 2 は、共用減算器 5 1 から入力される電圧の電圧値が下限閾値 V_{low} を越えた場合（下限閾値 V_{low} を下回った場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（＋）と、電圧レベルが電源電圧とほぼ同じレベルの検出信号（－）とを出力する。この場合、共用判定部 5 2 の出力は「－ 1」となり、フリッカ検出回路 5 は、光電変換素子 3 3 3 が受光する光に明状態から暗状態に変化するフリッカ現象が生じていることを検出する。

[0078] 図 5 に示すように、領域リセット生成回路 5 3 は、共用判定部 5 2 が出力する検出信号（＋）及び検出信号（－）が入力されるように構成されている。領域リセット生成回路 5 3 は、検出信号（＋）及び検出信号（－）の電圧レベルに応じて、所定の電圧レベルの出力リセット信号 V_{sum_rst} を出力するように構成されている。領域リセット生成回路 5 3 は例えば、電圧レベルが電源電圧とほぼ同じレベルの検出信号（＋）と、電圧レベルが接地端子の電圧とほぼ同じレベルの検出信号（－）とが入力された場合には、電圧レベルが高レベルの出力リセット信号 V_{sum_rst} を出力する。これにより、画素内リセット回路 4 4 が出力する出力信号は、行駆動信号に依存する制御信号となる。その結果、個別減算器 4 2 に設けられた P 型トランジスタ 4 2 1 は、出力リセット信号 V_{sum_rst} に制御されてオン状態にはならない。

[0079] 一方、領域リセット生成回路 5 3 は例えば、電圧レベルが接地端子とほぼ同じレベルの検出信号（＋）と、電圧レベルが接地端子の電圧とほぼ同じレベルの検出信号（－）とが入力された場合には、電圧レベルが低レベルの出力リセット信号 V_{sum_rst} を出力する。同様に、領域リセット生成回路 5 3 は例えば、電圧レベルが電源電圧とほぼ同じレベルの検出信号（＋）

と、電圧レベルが電源電圧とほぼ同じレベルの検出信号（－）とが入力された場合にも、電圧レベルが低レベルの出力リセット信号 V_{sum_rst} を出力する。これにより、画素内リセット回路 44 が出力する出力信号は、出力リセット信号 V_{sum_rst} に依存する制御信号となる。その結果、個別減算器 42 に設けられた P 型トランジスタ 421 は、出力リセット信号 V_{sum_rst} に制御されてオン状態になる。P 型トランジスタ 421 がオン状態を継続している場合、個別減算器 42 の出力電圧は一定値となって、量子化器 43 において上限閾値 V_{high} 及び下限閾値 V_{low} を越えることはない。その結果、アドレスイベント検出部 4 は、フリッカ現象に基づくアドレスイベントを検出するという誤検出を防止できる。

[0080] 図 5 に示すように、固体撮像素子 200 は、複数（本例では k 個）の電流電圧変換部 41 のそれぞれから出力される電圧を加算する加算部 6 を備えている。加算部 6 は、電流電圧変換部 41 に設けられた個別コンデンサ C_{421} の一方の電極に接続された一方の電極と、当該一方の電極に対向して配置され共用減算器 51 に接続された他方の電極とを有する加算コンデンサ $C_{61} \sim C_{6k}$ （ k は、画素 P の個数）を有している。加算コンデンサ $C_{61} \sim C_{6k}$ のそれぞれの他方の電極は、互いに接続されている。

[0081] 加算コンデンサ $C_{61} \sim C_{6k}$ は、加算コンデンサ $C_{61} \sim C_{6k}$ のそれぞれに接続された個別コンデンサ C_{421} よりも容量が小さく構成されている。このため、加算コンデンサ $C_{61} \sim C_{6k}$ 及び個別コンデンサ C_{421} の一方の電極にそれぞれ電流電圧変換部 41 の出力電圧を V_{out} が印加されたことに伴う他方の電極の電圧変動は、個別コンデンサ C_{421} よりも加算コンデンサ $C_{61} \sim C_{6k}$ の方が小さい。このように、電流電圧変換部 41 の出力電圧を V_{out} に基づく加算コンデンサ $C_{61} \sim C_{6k}$ のそれぞれに電圧変動を個別コンデンサ C_{421} よりも小さくすることにより、固体撮像素子 200 は、アドレスイベント検出部 4 において検出された通常のアドレスイベントをフリッカ現象に起因するアドレスイベントであると誤検出することを防止できる。

[0082] 加算コンデンサC 6 1～C 6 kの他方の電極は、互いに接続されて共通電極を構成している。このため、加算コンデンサC 6 1～C 6 kのそれぞれの一方の電極に印加される電流電圧変換部4 1の出力電圧の変化に起因して加算コンデンサC 6 1～C 6 kの共通電極（すなわちそれぞれの他方の電極）に注入される電荷は、互いに混ざり合っ加算効果を生じる。その結果、加算部6は、加算コンデンサC 6 1～C 6 kのそれぞれに印加される電圧を加算した加算電圧を共用減算器5 1に出力できる。このため、共用減算器5 1は、異なるタイミングで電流電圧変換部のそれぞれから入力される電圧（一方の電圧の一例）に基づく加算電圧（第一電圧の一例）から電圧（他方の電圧の一例）に基づく加算電圧（第二電圧の一例）を減算することができる。これにより、共用減算器5 1は、フリッカ現象に起因するアドレスイベントの検出漏れを防止することができる。

[0083] 本実施形態では、加算コンデンサC 6 1～C 6 kは、例えば互いに同じ容量を有している。これにより、固体撮像素子2 0 0は、1つのフリッカ検出回路5に接続された複数のアドレスイベント検出部4におけるフリッカ現象の検出精度をほぼ同じにすることができる。

[0084] <フリッカ検出回路の動作例>

次に、本実施形態におけるフリッカ検出回路5の動作について図5を参照しつつ図6及び図7を用いて説明する。図6は、フリッカ検出回路5がフリッカを検出した場合のタイミングチャートの一例を示す図である。図7は、フリッカ検出回路5がフリッカを検出しない場合のタイミングチャートの一例を示す図である。図6中及び図7中の左側には、タイミングチャートが示され、図6中及び図7中の右側には、本例における画素ブロックPBが模式的に示されている。

[0085] 図6中及び図7中の右側に示すように、本例では、画素ブロックPBは、4行4列に配列された16個の画素P 1～P 16で構成されている。図6及び図7では、16個の画素Pに対し、図6中及び図7中の左から右かつ上から下に向かって添え字を付している。また、図6及び図7では、理解を容易

にするため、画素ブロックPBの角部に配置された画素Pに対して符号「P1」、「P4」、「P13」及び「P16」が付されている。また、本例では、画素ブロックPBを構成する画素P6にフリッカ検出回路5が設けられている。このため、画素P6は、撮像には寄与しない画素となる。図6及び図7における説明の便宜上、画素P1は図5中の上段に示す画素Pとし、画素P16は図5中の下段に示す画素Pとする。

[0086] 図6中及び図7中に示す「Vs f 1」は、画素P1の個別コンデンサC421の一方の電極と加算部6の加算コンデンサC61の一方の電極との接続ノードs f 1（図5参照）の電圧を示している。図6中及び図7中に示す「Vs f 1 6」は、画素P16の個別コンデンサC421の一方の電極と加算部6の加算コンデンサC616（k = 16）の一方の電極との接続ノードs f 1 6（図5参照）の電圧を示している。図6中及び図7中に示す「Vs u m」は、加算部6の加算コンデンサC61～C65，C67～C616の他方の電極の接続ノードの電圧を示している。

[0087] 図6中及び図7中に示す「V i n t 1」は、画素P1の個別減算器42の出力電圧を示している。図6中及び図7中に示す「V i n t 1 6」は、画素P16の個別減算器42の出力電圧を示している。図6中及び図7中に示す「V i n t _ s u m」は、画素P6に設けられたフリッカ検出回路5の共用減算器51の出力電圧を示している。

[0088] 図6中及び図7中に示す「V s u m _ p」は、フリッカ検出回路5の共用判定部52を構成するP型トランジスタ521及びN型トランジスタ522の接続部である接続ノードs u m _ p（図5参照）の電圧を示している。すなわち、「V s u m _ p」は、共用判定部52が出力する検出信号（+）の電圧を示している。図6中及び図7中に示す「V s u m _ n」は、フリッカ検出回路5の共用判定部52を構成するP型トランジスタ523及びN型トランジスタ524の接続部である接続ノードs u m _ n（図5参照）の電圧を示している。すなわち、「V s u m _ n」は、共用判定部52が出力する検出信号（-）の電圧を示している。図6中及び図7中に示す「V s u m _

rst」は、フリッカ検出回路5に設けられた領域リセット生成回路53が出力する出力リセット信号の電圧を示している。図6中及び図7中に示す「XAZ1-5, 7-16」は、画素P1~P5, P7~P16のそれぞれに設けられたP型トランジスタ421のゲートに印加される電圧を示している。図6中及び図7中に示す「XAZ_sum」は、アドレスイベント検出部4に設けられたP型トランジスタ511のゲートに印加される電圧を示している。

[0089] 図6中及び図7中の横軸は時間を表し、図6中及び図7中の縦軸は電圧を表している。図6及び図7において、左から右に向かって時の経過が表されている。

[0090] (フリッカ現象を検出した場合)

図6に示すように、時刻t1において、画素P1~P5, P7~P16に設けられた光電変換素子333がそれぞれフリッカ現象に基づく光の変化を検知したとする。これにより、電流電圧変換部41の出力電圧が上昇し始めるので、接続ノードsf1, sf16の電圧Vsf1, Vsf16が上昇し始める。図示は省略するが、接続ノードsf2~sf5, sf7~sf15の電圧Vsf2~Vsf5, Vsf7~Vsf15も上昇し始める。さらに、加算部6における接続ノードsumの電圧Vsumも上昇し始める。接続ノードsumの電圧Vsumは、接続ノードsf1~sf5, sf7~sf16の電圧Vsf1~Vsf5, Vsf7~Vsf16を加算した電圧である。このため、電圧Vsumは、電圧Vsf1~Vsf5, Vsf7~Vsf16よりも上昇率が高くなる。

[0091] 一方、画素P1に設けられた個別減算器42の出力電圧Vint1は、電圧Vsf1の上昇に伴って減少する。また、画素P16に設けられた個別減算器42の出力電圧Vint16は、電圧Vsf16の上昇に伴って減少する。画素P16に設けられた個別減算器42の出力電圧Vint1は、電圧Vsf1の上昇に伴って減少する。図示は省略するが、画素P2~P5, P7~P15に設けられた個別減算器42の出力電圧Vint2~Vint5

, $V_{int7} \sim V_{int15}$ も電圧 $V_{sf2} \sim V_{sf5}$, $V_{sf7} \sim V_{sf15}$ の上昇に伴って減少する。さらに、加算部6における接続ノード sum の電圧 V_{sum} の上昇に伴って、共用減算器51の出力電圧 V_{int_sum} も減少し始める。電圧 V_{int_sum} は、電圧 $V_{int1} \sim V_{int5}$, $V_{int7} \sim V_{int16}$ よりも減少率が高くなる。

[0092] 時刻 t_1 から所定時間経過後の時刻 t_2 において、共用減算器51の出力電圧 V_{int_sum} が下限閾値 V_{low} を越えた（下回った）とする。これより、時刻 t_2 において、共用判定部52の検出信号（+）の電圧 V_{sum_p} が低レベルから高レベルに切り替わる。

[0093] 領域リセット生成回路53は、検出信号（-）の電圧 V_{sum_n} の電圧レベルが高レベルに切り替わったことに基づいて、出力リセット信号 V_{sum_rst} の電圧レベルを高レベルから低レベルに切り替える。これにより、画素 $P_1 \sim P_5$, $P_7 \sim P_{16}$ に設けられたそれぞれのP型トランジスタ421のゲートには、電圧レベルが低レベルの制御信号 $XAZ_1 \sim 5$, $7 \sim 16$ が入力され、P型トランジスタ421はオン状態となる。また、出力リセット信号 V_{sum_rst} の電圧レベルの切り替えに同期して、画素 $P_1 \sim P_5$, $P_7 \sim P_{16}$ に設けられたそれぞれのN型トランジスタ423のゲートには、電圧レベルが高レベルの電圧 V_{bdiff} が印加され、N型トランジスタ423はオン状態となる。その結果、画素 $P_1 \sim P_5$, $P_7 \sim P_{16}$ に設けられたそれぞれの個別コンデンサ C_{421} には、時刻 t_2 における電流電圧変換部41の出力電圧 $V_{sf1} \sim V_{sf5}$, $V_{sf7} \sim V_{sf16}$ の電位と接地端子の電位（例えば0V）との電位差に基づく電圧が印加される。個別減算器42の出力電圧 V_{int} は、個別コンデンサ C_{421} に印加される電圧に基づいて上昇する。

[0094] このように、フリッカ検出回路5がフリッカを検出すると、個別減算器42の出力電圧は一定値に固定される。これにより、量子化器43の検出信号（+）は高レベルに固定され、量子化器43の検出信号（-）は低レベルに固定される。その結果、固体撮像素子200は、光電変換素子333がフリ

フリッカ現象に基づく光の変化を検知しても、アドレスイベント検出部4が当該フリッカ現象に起因するアドレスイベントを検出してしまうことを防止できる。

[0095] 時刻 t_2 から所定時間が経過した時刻 t_3 において、共用減算器51に設けられたP型トランジスタ511のゲートには、電圧レベルが低レベルの制御信号 XAZ_sum が入力され、P型トランジスタ511はオン状態となる。また、制御信号 XAZ_sum の電圧レベルの切り替えに同期して、共用減算器51に設けられたN型トランジスタ513のゲートには、電圧レベルが高レベルの電圧 $V_{b d i f f}$ が印加され、N型トランジスタ513はオン状態となる。その結果、共用減算器51に設けられたコンデンサ C_{511} には、時刻 t_3 における加算部6の接続ノード sum の電圧 V_{sum} の電位と接地端子の電位（例えば0V）との電位差に基づく電圧が印加される。共用減算器51の出力電圧 $V_{i n t_sum}$ は、コンデンサ C_{511} に印加される電圧に基づいて上昇する。

[0096] 時刻 t_3 から所定時間が経過した時刻 t_4 において、出力リセット信号 V_{sum_rst} の電圧レベルが低レベルから高レベルに切り替わり、N型トランジスタ423のゲートに印加される電圧 $V_{b d i f f}$ の電圧レベルが高レベルから低レベルに切り替わる。これにより、アドレスイベント検出部4は、イベント検出が可能な状態となる。また、時刻 t_4 において、制御信号 XAZ_sum の電圧レベルが低レベルから高レベルに切り替わり、N型トランジスタ513のゲートに印加される電圧 $V_{b d i f f}$ の電圧レベルが低レベルから高レベルに切り替わる。これにより、フリッカ検出回路5は、フリッカ検出が可能な状態となる。

[0097] （フリッカ現象を検出していない場合）

図7に示すように、時刻 t_1 において、画素 P_1 に設けられた光電変換素子333は、所定の物体の移動などに基づく光の変化を検知し、他の画素 $P_2 \sim P_5$, $P_7 \sim P_{16}$ は、光の変化を検知していないとする。これにより、これにより、画素 P_1 に設けられた電流電圧変換部41の出力電圧が上昇

し始めるので、接続ノード $s f 1$ の電圧 $V s f 1$ が上昇し始める。一方、他の画素 $P 2 \sim P 5$, $P 7 \sim P 16$ における接続ノード $s f 2 \sim s f 5$, $s f 7 \sim s f 16$ の電圧 $V s f 2 \sim V s f 5$, $V s f 7 \sim V s f 16$ (電圧 $V s f 2 \sim V s f 5$, $V s f 7 \sim V s f 15$ は不図示) は、ほとんど上昇しない。加算部 6 における接続ノード $s u m$ の電圧 $V s u m$ は、接続ノード $s f 1$ の電圧 $V s f 1$ が上昇するため、上昇し始める。しかしながら、画素 P の個別コンデンサ $C 4 2 1$ に接続された加算部 6 の加算コンデンサ $C 6 1$ に印加される電圧の電圧値は、接続ノード $s f 1$ の電圧 $V s f 1$ と比較して小さくなる。このため、加算部 6 における接続ノード $s u m$ の電圧 $V s u m$ の上昇率は、接続ノード $s f 1$ の電圧 $V s f 1$ の上昇率と比較して低くなる。

[0098] 時刻 $t 1$ から所定時間経過後の時刻 $t 2$ において、画素 $P 1$ に設けられた電流電圧変換部 4 1 の出力電圧 (すなわち接続ノード $s f 1$ の電圧 $V s f 1$) が、量子化器 4 3 の N 型トランジスタ 4 3 4 のゲートに印加されている下限閾値 $V l o w$ を越えた (下回った) とする。これより、時刻 $t 2$ において、画素 $P 1$ に設けられた個別減算器 4 2 の P 型トランジスタ 4 2 1 のゲートに電圧レベルが低レベルの制御信号 $X A Z 1$ が印加される。また、時刻 $t 2$ において、画素 $P 1$ に設けられた個別減算器 4 2 の N 型トランジスタ 4 2 3 のゲートに印加される電圧 $V b d i f f$ の電圧レベルが低レベルから高レベルに切り替わる。

[0099] 一方、時刻 $t 2$ において、共用減算器 5 1 の出力電圧 $V i n t _ s u m$ は、共用判定部 5 2 に設けられた N 型トランジスタ 5 2 4 のゲートに印加されている下限閾値 $V l o w$ を越えない。これにより、領域リセット生成回路 5 3 は、電圧レベルが高レベルの出力リセット信号 $V s u m _ r s t$ の出力を維持する。

[0100] このため、P 型トランジスタ 4 2 1 及び N 型トランジスタ 4 2 3 は、いずれもオン状態となる。その結果、画素 $P 1$ に設けられた個別コンデンサ $C 4 2 1$ には、時刻 $t 2$ における電流電圧変換部 4 1 の出力電圧 $V s f 1$ の電位と接地端子の電位 (例えば $0 V$) との電位差に基づく電圧が印加される。個

別減算器42の出力電圧 V_{int} は、個別コンデンサC421に印加される電圧に基づいて上昇する。一方、フリッカ検出回路5は、フリッカ検出の待機動作を継続する。

[0101] このように、画素P1～P5、P7～P16に設けられた光電変換素子333が物体の移動などに基づく光の変化を検知しても、フリッカ検出回路5は、当該光の変化をフリッカ現象と判定せずに、フリッカ検出の待機動作を継続できる。これにより、固体撮像素子200は、光電変換素子333が物体の移動などに基づく光の変化を検知した場合に、フリッカ検出回路5が当該光の変化をフリッカ現象に起因するアドレスイベントと検出してしまうことを防止できる。

[0102] 時刻 t_2 から所定時間が経過した時刻 t_3 において、制御信号XAZ1の電圧レベルが低レベルから高レベルに切り替わり、N型トランジスタ423のゲートに印加される電圧 V_{diff} の電圧レベルが低レベルから高レベルに切り替わる。これにより、画素P1に設けられたアドレスイベント検出部4は、時刻 t_2 における電流電圧変換部41の出力電圧（一方の電圧の一例）から、時刻 t_2 とは異なるタイミングで入力される電流電圧変換部41の出力電圧（他方の電圧の一例）を減算することが可能な状態になる。

[0103] <フリッカ検出回路の他の構成例>

本実施形態における固体撮像素子200は、フリッカ検出回路5がフリッカを検出した場合に、アドレスイベント検出部4に設けられた個別減算器42のP型トランジスタ421をオン状態とすることによって、量子化器43の検出信号（+）及び検出信号（-）を一定の電圧に固定するように構成されている。固体撮像素子200は、当該構成に限られず、量子化器43の検出信号（+）及び検出信号（-）を一定の電圧に固定できれば、他の構成を有していてもよい。

[0104] （他の構成例1）

他の構成例1による固体撮像素子200は、フリッカ現象を検知した画素Pを他の画素Pから切り離すように構成される。例えば、固体撮像素子200

0は、光電変換素子333のカソードと対数変換回路41aのN型トランジスタ413のゲートとの間にスイッチを有していてもよい。固体撮像素子200は、当該スイッチをオフ状態とすることにより、光電変換素子333を電流電圧変換部41から切り離すことができる。これにより、アドレスイベント検出部4は、フリッカ現象に基づくアドレスイベントを検出し得ない。その結果、固体撮像素子200は、フリッカ現象の影響を最大限除去することができる。

[0105] (他の構成例2)

他の構成例2による固体撮像素子200は、対数変換回路41aのN型トランジスタ411のドレインと電源端子との間、及びN型トランジスタ411のソースと光電変換素子333のカソードとの間の少なくとも一方にスイッチを有していてもよい。これにより、光電変換素子333への電源の供給を遮断できる。その結果、固体撮像素子200は、フリッカ現象を検出している画素Pがフリッカ現象を検出していない正常な画素Pに影響してしまうことを低減できる。他の構成例2の場合、他の構成例1のように、光電変換素子333のカソードとN型トランジスタ413のゲートとの間にスイッチを設ける必要はない。

[0106] (他の構成例3)

他の構成例3による固体撮像素子200は、電流電圧変換部41の出力を遮断する構成を有している。他の構成例3による固体撮像素子200は、例えばP型トランジスタ414及びN型トランジスタ413の接続部（電流電圧変換部41の出力部）と個別コンデンサC421の一方の電極との間にスイッチを有していてもよい。また、他の構成例3による固体撮像素子200は、P型トランジスタ414のドレインとN型トランジスタ413のドレインとの間にスイッチを有していてもよい。また、他の構成例3による固体撮像素子200は、これらのスイッチの両方を有していてもよい。他の構成例3では、これらのスイッチを受光チップ201ではなく検出チップ202（図2参照）に形成することができる。このため、他の構成例3による固体撮

像素子 200 は、設計自由度の向上を図ることができる。

[0107] (他の構成例 4)

他の構成例 4 による固体撮像素子 200 は、個別減算器 42 を遮断する構成を有している。他の構成例 4 による固体撮像素子 200 は、例えば個別コンデンサ C421 の他方の電極と P 型トランジスタ 421 のソースとの間にスイッチを有していてもよい。他の構成例 4 では、他の構成例 3 と同様に、当該スイッチを受光チップ 201 ではなく検出チップ 202 に形成することができる。このため、他の構成例 4 による固体撮像素子 200 は、設計自由度の向上を図ることができる。

[0108] (他の構成例 5)

他の構成例 5 による固体撮像素子 200 は、量子化器 43 の P 型トランジスタ 431 及び N 型トランジスタ 432 の接続部と転送部との間、及び、量子化器 43 の P 型トランジスタ 433 及び N 型トランジスタ 434 の接続部と転送部との間のそれぞれにスイッチを有していてもよい。これにより、量子化器 43 が出力する検出信号 (+) 及び検出信号 (-) が転送部に転送されなくなる。これにより、他の構成例 5 におけるアドレスイベント検出部 4 は、デジタルの通知機能のみブロックすることができる。その結果、他の構成例 5 による固体撮像素子 200 は、正常な画素 P の動作に対する影響を最小限に抑えることができる。

[0109] (他の構成例 6)

他の構成例 6 による固体撮像素子 200 は、画素 P を短絡する構成を有している。他の構成例 6 による固体撮像素子 200 は例えば、光電変換素子 333 のカソードと接地端子との間にスイッチを有していてもよい。これにより、光電変換素子 333 のカソード及びアノードは同電位となり、光電変換素子 333 が光を受光しても、電流電圧変換部 41 に電流を出力しなくなる。その結果、他の構成例 6 による固体撮像素子 200 は、フリッカ現象を検出している画素 P の正常な画素 P への影響を最大限除去することができる。

[0110] (他の構成例 7)

他の構成例 7 による固体撮像素子 200 は、電流電圧変換部 41 の出力電圧の電圧値を一定値とする構成を有している。他の構成例 7 による固体撮像素子 200 は例えば、対数変換回路 41 a の出力端子と接地端子との間にスイッチを有していてもよい。対数変換回路 41 a の出力端子を接地端子の電位（例えば 0 V）とすることにより、対数変換回路 41 a の出力電圧の対数値が 0 になる。その結果、他の構成例 7 による固体撮像素子 200 は、正常な画素 P の動作に対する影響を最小限に抑えることができる。他の構成例 7 の場合、他の構成例 1 のように、光電変換素子 333 のカソードと N 型トランジスタ 413 のゲートとの間にスイッチを設ける必要はない。

[0111] （他の構成例 8）

他の構成例 8 による固体撮像素子 200 は、電流電圧変換部 41 の出力端子（バッファ回路 41 b の出力端子）と接地端子との間にスイッチを有していてもよい。これにより、個別減算器 42 に入力される電圧は、例えば 0 V に固定されるので、量子化器 43 の検出信号（+）及び検出信号（-）も一定値となる。このため、固体撮像素子 200 は、光電変換素子 333 がフリッカ現象に基づく光を検知しても、アドレスイベント検出部 4 がアドレスイベントを検出することを防止できる。他の構成例 8 では、他の構成例 3 と同様に、当該スイッチを受光チップ 201 ではなく検出チップ 202 に形成することができる。このため、他の構成例 8 による固体撮像素子 200 は、設計自由度の向上を図ることができる。

[0112] （他の構成例 9）

他の構成例 9 による固体撮像素子 200 は、個別減算器 42 に設けられた P 型トランジスタ 421 をオフ状態にし続けることが可能に構成される。他の構成例 9 による固体撮像素子 200 は、P 型トランジスタ 421 のオンオフを切り替えるというデジタル制御によって、正常な画素 P の動作に対する影響を最小限に抑えることができる。また、個別減算器 42 の電流変動を抑えられる。このため、他の構成例 9 による固体撮像素子 200 は、フリッカ現象を検出した画素 P に起因する電源ノイズを抑制することができる。

[0113] (他の構成例 10)

他の構成例 10 による固体撮像素子 200 は、量子化器 43 の P 型トランジスタ 431 及び N 型トランジスタ 432 の接続部と電源端子との間、及び、量子化器 43 の P 型トランジスタ 433 及び N 型トランジスタ 434 の接続部と接地端子との間のそれぞれにスイッチを有していてもよい。これにより、他の構成例 10 による固体撮像素子 200 は、量子化器 43 の P 型トランジスタ 431 及び N 型トランジスタ 432 の接続部を電源端子に短絡し、量子化器 43 の P 型トランジスタ 433 及び N 型トランジスタ 434 の接続部を接地端子に短絡することができる。このため、量子化器 43 が出力する検出信号 (+) は電圧レベルが高レベルの信号となり、量子化器 43 が出力する検出信号 (-) は電圧レベルが低レベルの信号となる。その結果、他の構成例 10 による固体撮像素子 200 は、光電変換素子 333 がフリッカ現象に基づく光を検知しても、アドレスイベント検出部 4 が出力する検出信号 (+) 及び検出信号 (-) は、アドレスイベントを検出していない場合と同じ電圧レベルの信号となる。これにより、他の構成例 10 におけるアドレスイベント検出部 4 は、デジタルの通知機能のみブロックすることができる。その結果、他の構成例 10 による固体撮像素子 200 は、正常な画素 P の動作に対する影響を最小限に抑えることができる。

[0114] [第 1-2 実施形態]

次に、本開示の第 1-2 実施形態による固体撮像素子について図 8 及び図 9 を用いて説明する。本実施形態による固体撮像素子 200 は、フリッカ検出回路 5 がフリッカを検出した場合に、量子化器 43 を停止する点に特徴を有している。図 8 は、本実施形態による固体撮像素子 200 に設けられたアドレスイベント検出部 4 及びフリッカ検出回路 5 の一構成例を示す回路図である。図 8 では、画素 P に設けられた画素信号生成部 320、転送トランジスタ 331 及び OFG トランジスタ 332 の図示は省略されている。図 9 は、フリッカ検出回路 5 がフリッカを検出した場合に量子化器 43 を停止させる停止回路 45a, 45b の一構成例を示す回路図である。

[0115] 図8に示すように、本実施形態による固体撮像素子200に設けられたアドレスイベント検出部4は、フリッカ検出回路5に設けられた共用判定部52に接続された停止回路45a、45bを有している。停止回路45aは、共用判定部52のP型トランジスタ521及びN型トランジスタ522の接続部に接続されている。停止回路45bは、共用判定部52のP型トランジスタ523及びN型トランジスタ524の接続部に接続されている。停止回路45aは、共用判定部52から入力される検出信号(+)に基づいて動作するように構成されている。停止回路45bは、共用判定部52から入力される検出信号(-)に基づいて動作するように構成されている。

[0116] 次に、停止回路45a、45bの具体的な構成について図9を用いて説明する。

図9に示すように、停止回路45aは、量子化器43に設けられたP型トランジスタ431及びN型トランジスタ432の間に設けられている。停止回路45aは、P型トランジスタ451a及びN型トランジスタ452aを有している。P型トランジスタ451aのゲート及びN型トランジスタ452aのゲートは接続されている。P型トランジスタ451aのゲート及びN型トランジスタ452aのゲートは、共用判定部52のP型トランジスタ521及びN型トランジスタ522の接続部に接続されている。これにより、P型トランジスタ451aのゲート及びN型トランジスタ452aのゲートには、共用判定部52から入力される検出信号(+)が印加される。

[0117] P型トランジスタ451aのソースは電源端子に接続されている。P型トランジスタ451aのドレインは、量子化器43に設けられたN型トランジスタ432のドレインに接続されている。N型トランジスタ452aは、P型トランジスタ431及びN型トランジスタ432の間に配置されている。P型トランジスタ431、N型トランジスタ452a及びN型トランジスタ432は、電源端子と接地端子との間において、直列に接続されている。

[0118] 図9に示すように、停止回路45bは、量子化器43に設けられたP型トランジスタ433及びN型トランジスタ434の間に設けられている。停止

回路４５ｂは、Ｎ型トランジスタ４５１ｂ及びＰ型トランジスタ４５２ｂを有している。Ｎ型トランジスタ４５１ｂのゲート及びＰ型トランジスタ４５２ｂのゲートは接続されている。Ｎ型トランジスタ４５１ｂのゲート及びＰ型トランジスタ４５２ｂのゲートは、共用判定部５２のＰ型トランジスタ５２３及びＮ型トランジスタ５２４の接続部に接続されている。これにより、Ｎ型トランジスタ４５１ｂのゲート及びＰ型トランジスタ４５２ｂのゲートには、共用判定部５２から入力される検出信号（－）が印加される。

[0119] Ｎ型トランジスタ４５１ｂのソースは接地端子に接続されている。Ｎ型トランジスタ４５１ｂのドレインは、量子化器４３に設けられたＮ型トランジスタ４３２のドレインに接続されている。Ｐ型トランジスタ４５２ｂは、Ｐ型トランジスタ４３３及びＮ型トランジスタ４３４の間に配置されている。Ｐ型トランジスタ４３３、Ｐ型トランジスタ４５２ｂ及びＮ型トランジスタ４３４は、電源端子と接地端子との間において、直列に接続されている。

[0120] 次に、停止回路４５ａ、４５ｂの動作について説明する。フリッカ検出回路５がフリッカを検出していない場合には、量子化器４３から出力される検出信号（＋）の電圧レベルは高レベルとなる。このため、停止回路４５ａに設けられたＰ型トランジスタ４５１ａはオフ状態となる。一方、停止回路４５ａに設けられたＮ型トランジスタ４５２ａはオン状態となる。このため、量子化器４３に設けられたＰ型トランジスタ４３１及びＮ型トランジスタ４３２はＮ型トランジスタ４５２ａを介して接続される。

[0121] また、フリッカ検出回路５がフリッカを検出していない場合には、量子化器４３から出力される検出信号（－）の電圧レベルは低レベルとなる。このため、停止回路４５ａに設けられたＮ型トランジスタ４５１ｂはオフ状態となる。一方、停止回路４５ｂに設けられたＰ型トランジスタ４５２ｂはオン状態となる。このため、量子化器４３に設けられたＰ型トランジスタ４３３及びＮ型トランジスタ４３４はＰ型トランジスタ４５２ｂを介して接続される。

[0122] フリッカ検出回路５がフリッカを検出していない場合、量子化器４３は、

停止回路45a, 45bを有していないのと等価の回路構成を有するので、個別減算器42から入力される電圧に基づく検出信号(+)及び検出信号(-)を出力することができる。

[0123] 一方、フリッカ検出回路5がフリッカを検出し、共用判定部52の出力電圧が上限閾値V_{high}よりも高い場合には、量子化器43から出力される検出信号(+)の電圧レベルは低レベルとなる。このため、停止回路45aに設けられたP型トランジスタ451aはオン状態となる。一方、停止回路45aに設けられたN型トランジスタ452aはオフ状態となる。このため、量子化器43に設けられたP型トランジスタ431及びN型トランジスタ432はN型トランジスタ452aによって切断(開放)される。また、量子化器43の出力端子に相当するN型トランジスタ432のドレインは、P型トランジスタ451aを介して電源端子に接続される。これにより、量子化器43が出力する検出信号(+)の電圧は高レベルに固定される。

[0124] フリッカ検出回路5がフリッカを検出し、共用判定部52の出力電圧が下限閾値V_{low}よりも低い場合には、量子化器43から出力される検出信号(-)の電圧レベルは高レベルとなる。このため、停止回路45bに設けられたN型トランジスタ451bはオン状態となる。一方、停止回路45bに設けられたP型トランジスタ452bはオフ状態となる。このため、量子化器43に設けられたP型トランジスタ433及びN型トランジスタ434はP型トランジスタ452bによって切断(開放)される。また、量子化器43の出力端子に相当するN型トランジスタ434のドレインは、N型トランジスタ451bを介して接地端子に接続される。これにより、量子化器43が出力する検出信号(-)の電圧は低レベルに固定される。

[0125] フリッカ検出回路5がフリッカを検出している場合、量子化器43は、P型トランジスタ431, 433とN型トランジスタ432, 434とが切断(開放)され、停止状態となる。

[0126] [第1-3実施形態]

次に、本開示の第1-3実施形態による固体撮像素子について図10を用

いて説明する。本実施形態による固体撮像素子200は、フリッカ検出回路5がフリッカを検出した場合に、量子化器43の出力端子を転送部から切断する点に特徴を有している。図10は、本実施形態による固体撮像素子200に設けられたアドレスイベント検出部4及びフリッカ検出回路5の一構成例を示す回路図である。図10では、画素Pに設けられた画素信号生成部320、転送トランジスタ331及びOFGトランジスタ332の図示は省略されている。

[0127] 図10に示すように、本実施形態による固体撮像素子200は、アドレスイベント検出部4に設けられた量子化器43の出力端子と転送部（不図示）との間に接続されたスイッチ回路54a、54bを有している。スイッチ回路54aは、量子化器43の検出信号（+）が出力される出力端子と転送部との間に配置されている。スイッチ回路54bは、量子化器43の検出信号（-）が出力される出力端子と転送部との間に配置されている。

[0128] スイッチ回路54a、54bの制御信号入力端子は、フリッカ検出回路5に設けられた共用判定部52の出力端子に接続されている。より具体的には、スイッチ回路54aの制御信号入力端子は、共用判定部52に設けられたP型トランジスタ521及びN型トランジスタ522の接続部に接続されている。スイッチ回路54bの制御信号入力端子は、共用判定部52に設けられたP型トランジスタ523及びN型トランジスタ524の接続部に接続されている。

[0129] スイッチ回路54aは、電圧レベルが高レベルの制御信号が制御信号入力端子に入力されると閉状態（オン状態）となり、電圧レベルが低レベルの制御信号が制御信号入力端子に入力されると開状態（オフ状態）となる。スイッチ回路54bは、電圧レベルが低レベルの制御信号が制御信号入力端子に入力されると閉状態（オン状態）となり、電圧レベルが高レベルの制御信号が制御信号入力端子に入力されると開状態（オフ状態）となる。

[0130] フリッカ検出回路5がフリッカを検出していない場合には、量子化器43から出力される検出信号（+）の電圧レベルは高レベルとなり、量子化器4

3から出力される検出信号（－）の電圧レベルは低レベルとなる。このため、スイッチ回路54a、54bは閉状態（オン状態）となる。これにより、フリッカ検出回路5がフリッカを検出していない場合には、量子化器43から出力される検出信号（＋）及び検出信号（－）は転送部に入力される。

[0131] 一方、フリッカ検出回路5がフリッカを検出し、共用判定部52の出力電圧が上限閾値 V_{high} よりも高い場合には、量子化器43から出力される検出信号（＋）の電圧レベルは低レベルとなる。このため、スイッチ回路54aは開状態（オフ状態）となる。これにより、フリッカ検出回路5がフリッカを検出し、共用判定部52の出力電圧が上限閾値 V_{high} よりも高い場合には、量子化器43から出力される検出信号（＋）は転送部に入力されない。

[0132] フリッカ検出回路5がフリッカを検出し、共用判定部52の出力電圧が上限閾値 V_{low} よりも低い場合には、量子化器43から出力される検出信号（－）の電圧レベルは高レベルとなる。このため、スイッチ回路54aは開状態（オフ状態）となる。これにより、フリッカ検出回路5がフリッカを検出し、共用判定部52の出力電圧が上限閾値 V_{low} よりも低い場合には、量子化器43から出力される検出信号（－）は転送部に入力されない。

[0133] このように、本実施形態による固体撮像素子200は、フリッカ検出回路5がフリッカを検出している場合、アドレスイベント検出部4の出力電圧が転送部に入力されないようにブロックすることができる。これにより、固体撮像素子200は、フリッカ現象に基づくアドレスイベントの検出を防止することができる。

[0134] [第1－4実施形態]

次に、本開示の第1－4実施形態による固体撮像素子について図11及び図12を用いて説明する。本実施形態による固体撮像素子200は、加算部の加算コンデンサに相当するコンデンサを各画素に分散した構成を有する点に特徴を有している。図11は、本実施形態による固体撮像素子200に設けられた画素ブロックPBを模式的に示す図である。図12は、本実施形態

による固体撮像素子 200 に設けられたアドレスイベント検出部 4 およびフリッカ検出回路 5 の一構成例を示す回路図である。図 12 では、画素 P に設けられた画素信号生成部 320、転送トランジスタ 331 及び OFG トランジスタ 332 の図示は省略されている。

[0135] 図 11 に示すように、本実施形態では、画素ブロック PB は、例えば 8 行 8 列に配列された 64 個の画素 P1 ~ P64 で構成されている。図 11 では、64 個の画素 P に対し、図 11 の左から右かつ上から下に向かって添え字を付している。また、図 11 では、理解を容易にするため、画素ブロック PB の角部に配置された画素 P に対して符号「P1」、「P4」、「P57」及び「P64」が付されている。また、詳細は後述するが、本実施形態では、画素ブロック PB を構成する画素 P37 にはフリッカ検出回路 5 が設けられている。このため、画素 P37 は、撮像及びアドレスイベントの検出には寄与しない画素となる。

[0136] 図 12 に示すように、フリッカ検出回路 5 が設けられていない画素（以下、「通常画素」と称する場合がある）P は、上記第 1-1 実施形態における画素 P に対し、小型コンデンサ C45 及び画素内リセット回路 46 を有している点において異なっている。

[0137] 図 12 に示すように、通常画素に相当する画素 P64 に設けられたアドレスイベント検出部 4 は、上記第 1-1 実施形態における電流電圧変換部 41 と同一構成の電流電圧変換部 41 を有している。また、画素 P64 に設けられたアドレスイベント検出部 4 は、上記第 1-1 実施形態における個別減算器 42 と同一構成の個別減算器 42 を有している。また、画素 P64 に設けられたアドレスイベント検出部 4 は、上記第 1-1 実施形態における量子化器 43 と同一構成の量子化器 43 を有している。

[0138] 画素 P64 に設けられたアドレスイベント検出部 4 は、個別コンデンサ C421 の一方の電極に接続された一方の電極と、当該一方の電極に対向して配置された他方の電極とを有し個別コンデンサ C421 よりも容量が小さい小型コンデンサ C45 を有している。小型コンデンサ C45 は、上記第 1-

1 実施形態における加算部 6 に設けられた加算コンデンサと同様の機能を発揮するようになっている。

[0139] 図 1 2 に示すように、固体撮像素子 2 0 0 は、画素 P 6 4 に設けられた画素内リセット回路 4 6 を備えている。画素内リセット回路 4 6 は、例えば O R ゲートで構成されている。画素内リセット回路 4 6 は、フリッカ検出回路 5 に設けられた領域リセット生成回路 5 5 （詳細は後述する）の出力リセット信号 R S T _ F L 及びアービタリセット信号 R S T _ A R を論理和して得られる電圧レベルの制御信号を P 型トランジスタ 4 2 1 のゲートに出力するように構成されている。アービタリセット信号 R S T _ A R は、アービタ 2 1 3 （図 3 参照）が出力するリセット信号である。

[0140] アドレスイベント検出部 4 が通常の動作を実行する場合には、画素内リセット回路 4 6 は、アービタリセット信号 R S T _ A R に依存する制御信号を P 型トランジスタ 4 2 1 のゲートに出力する。一方、画素内リセット回路 4 6 は、フリッカ検出回路 5 がフリッカを検出した場合には、領域リセット生成回路 5 5 から出力される出力リセット信号 R S T _ F L に依存する制御信号を P 型トランジスタ 4 2 1 のゲートに出力する。これにより、P 型トランジスタ 4 2 1 は、フリッカ検出回路 5 でフリッカが検出されていない場合にはアービタ 2 1 3 によって制御され、フリッカ検出回路 5 でフリッカが検出された場合にはフリッカ検出回路 5 に制御されることになる。

[0141] 図 1 2 では図示が省略されているが、画素ブロック P B を構成する画素 P 1 ~ P 3 6 , P 3 8 ~ P 6 5 は、画素 P 6 4 と同一の構成を有し、同一の機能を発揮するようになっている。このため、画素 P 1 ~ P 3 6 , P 3 8 ~ P 6 4 は、光電変換素子 3 3 3 、電流電圧変換部 4 1 、及び個別減算器 4 2 をそれぞれ有する複数の個別画素の一例に相当する。

[0142] 図 1 2 に示すように、フリッカ検出回路 5 が設けられた画素（以下、「フリッカ監視画素」と称する場合がある）P 3 7 は、通常画素の画素 P 1 ~ P 3 6 , P 3 8 ~ P 6 5 とほぼ同様の構成を有している。すなわち、画素 P 3 7 は、フリッカ検出回路 5 に設けられた共用減算器（共用減算部の一例）5

1を有する共用画素の一例に相当する。また、画素ブロックPBは、共用画素と複数の個別画素とを有する画素ブロックの一例に相当する。

[0143] フリッカ監視画素である画素P37には、入射光を光電変換して電流を生成する光電変換素子333が設けられている。また、画素P37には、光電変換素子333に接続されて光電変換素子333から入力される電流を電圧に変換する電流電圧変換部56が設けられている。電流電圧変換部56は、対数変換回路56aと、バッファ回路56bとを有している。電流電圧変換部56は、対数変換回路56aにおいて光電変換素子333から入力される電流（光電流）を、対数出力の電圧値に変換するように構成されている。バッファ回路56bは、ソースフォロア型の構成を有し、インピーダンス変換を行うように構成されている。

[0144] 図12に示すように、電流電圧変換部56を構成する対数変換回路56aは、N型トランジスタ561、N型トランジスタ563、P型トランジスタ562及びコンデンサC56を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。

[0145] N型トランジスタ561のソースは、光電変換素子333のカソードに接続されている。N型トランジスタ561のドレインは、電源端子（不図示）に接続されている。P型トランジスタ562及びN型トランジスタ563は、電源端子と接地端子との間において、直列に接続されている。また、P型トランジスタ562及びN型トランジスタ563の接続点は、N型トランジスタ561のゲートとバッファ回路56bの入力端子とに接続される。また、P型トランジスタ562のゲートには、所定のバイアス電圧 V_{b10g} が印加される。

[0146] N型トランジスタ563のゲートは、光電変換素子333のカソード及びN型トランジスタ561のソースに接続されている。コンデンサC56の一方の電極は、N型トランジスタ563のゲート並びにP型トランジスタ562及びN型トランジスタ563の接続点に接続されている。コンデンサC56の他方の電極は、光電変換素子333のカソード及びN型トランジスタ5

63のゲートに接続されている。

[0147] N型トランジスタ561, 563のドレインは電源側に接続されており、このような回路はソースフォロワと呼ばれる。これらのループ状に接続された2つのソースフォロワにより、受光部330から入力される光電流は、その対数の電圧信号に変換される。また、P型トランジスタ562は、一定の電流をN型トランジスタ563に供給する。コンデンサC56は、N型トランジスタ561及びN型トランジスタ563のそれぞれのゲート電圧を安定化するために設けられている。対数変換回路56aは、コンデンサC56を有していなくてもよい。

[0148] 図13に示すように、バッファ回路56bは、P型トランジスタ564及びP型トランジスタ565を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。P型トランジスタ564及びP型トランジスタ565は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ565のゲートは、対数変換回路56aの出力端子（P型トランジスタ562及びN型トランジスタ563の接続点）に接続されている。P型トランジスタ564及びP型トランジスタ565の接続点は、共用減算器51の入力端子に接続されている。また、P型トランジスタ564のゲートには、所定のバイアス電圧 V_{bsf} が印加される。

[0149] 図12に示すように、画素P37には、電流電圧変換部56に接続されて電流電圧変換部56から異なるタイミングで電流電圧変換部56から入力される一方の電圧から他方の電圧を減算する共用減算器（共用減算部の一例）51が設けられている。本実施形態における共用減算器51は、専用コンデンサC512を有している点を除いて、上記第1-1実施形態における共用減算器51と同様の構成を有している。

[0150] 共用減算器51は、一方の電極と、当該一方の電極に対向して配置され小型コンデンサC45の他方の電極に接続された他方の電極とを有し個別コンデンサC421よりも容量が小さい専用コンデンサC512を有している。専用コンデンサC512は、個別画素（図14では、画素P1, P45）と

は異なるフリッカ監視画素（画素P 3 7）に設けられている。専用コンデンサC 5 1 2は、フリッカ監視画素（画素P 3 7）に設けられたフリッカ監視専用のコンデンサである。専用コンデンサC 5 1 2は、例えば小型コンデンサC 4 5と同じ容量を有している。専用コンデンサC 5 1 2は、配線F L c o mによって小型コンデンサC 4 5と接続されている。小型コンデンサC 4 5は、共用減算器5 1とは異なる画素に設けられているものの、機能的には共用減算器5 1の一部を構成している。

[0151] 画素P 3 7に設けられた共用判定部5 2は、上記第1－1実施形態における共用判定部5 2と同一の構成を有し、同一の機能を発揮するようになっている。このように、画素P 3 7には、光電変換素子3 3 3、電流電圧変換部5 6、共用減算器5 1及び共用判定部5 2が設けられている。しかしながら、専用コンデンサC 5 1 2の容量が小さいため、画素P 3 7では、物体の移動などに基づくアドレスイベントを検出することはできない。

[0152] 画素P 3 7に設けられたフリッカ検出回路5は、共用減算器5 1での減算結果に基づく第一電圧及び第二電圧の差分が上限閾値V h i g h又は下限閾値V l o w（いずれも所定の閾値の一例）を越えたか否かを判定する共用判定部5 2を有している。画素P 3 7に設けられたフリッカ検出回路5は、共用減算器5 1での減算結果に基づく電圧の差分が上限閾値V h i g h（又は下限閾値V l o w）を越えたとき共用判定部5 2が判定した場合に、複数の光電変換素子3 3 3、複数の電流電圧変換部4 1及び複数の個別減算器4 2の少なくともいずれか1つの動作をリセットする領域リセット生成回路（リセット部の一例）5 5を有している。

[0153] 図1 2に示すように、領域リセット生成回路5 5は、例えばORゲートで構成されている。領域リセット生成回路5 5の入力端子は、共用判定部5 2のP型トランジスタ5 2 1及びN型トランジスタ5 2 2の接続部に接続されている。領域リセット生成回路5 5の否定入力端子は、共用判定部5 2のP型トランジスタ5 2 3及びN型トランジスタ5 2 4の接続部に接続されている。これにより、領域リセット生成回路5 5の入力端子には、共用判定部5

2が出力する検出信号（+）が入力される。一方、領域リセット生成回路55の否定入力端子には検出信号（-）が入力される。

[0154] 領域リセット生成回路55は、検出信号（+）の電圧レベルが高レベル、又は検出信号（-）の電圧レベルが低レベルの場合に、電圧レベルが高レベルの出力リセット信号RST__FLを出力する。領域リセット生成回路55は、検出信号（+）の電圧レベルが低レベル、かつ検出信号（-）の電圧レベルが高レベルの場合に、電圧レベルが低レベルの出力リセット信号RST__FLを出力する。共用判定部52は、フリッカ検出回路5がフリッカを検出していない場合には、検出信号（+）の電圧レベルが高レベル、かつ検出信号（-）の電圧レベルが低レベルの信号を出力する。

[0155] このため、領域リセット生成回路55は、フリッカ検出回路5がフリッカを検出していない場合には、電圧レベルが高レベルの出力リセット信号RST__FLを出力する。これにより、フリッカ検出回路5がフリッカを検出していない場合には、画素内リセット回路46の一方の入力端子には、電圧レベルが高レベルの出力リセット信号RST__FLが入力される。その結果、画素P1～P36，P38～P64に設けられたP型トランジスタ421は、アービタ213によって制御される。一方、領域リセット生成回路55は、フリッカ検出回路5がフリッカを検出した場合には、電圧レベルが低レベルの出力リセット信号RST__FLを出力する。これにより、フリッカ検出回路5がフリッカを検出した場合には、画素内リセット回路46の一方の入力端子には、電圧レベルが低レベルの出力リセット信号RST__FLが入力される。その結果、画素P1～P36，P38～P64に設けられたP型トランジスタ421は、フリッカ検出回路5に制御されることになる。

[0156] 本実施形態による固体撮像素子200は、上記第1－1実施形態における加算部6の加算コンデンサに相当する小型コンデンサC45を、画素ブロックPBを構成する通常画素に有している。また、画素ブロックPBを構成する通常画素のそれぞれに設けられた小型コンデンサC45は、他方の電極同士が接続されてフリッカ検出回路5の共用減算器51のP型トランジスタ5

12のゲートに接続されている。これにより、本実施形態による固体撮像素子200は、上記第1-1実施形態による固体撮像素子200と同様の効果が得られる。

[0157] [第1-5実施形態]

次に、本開示の第1-5実施形態による固体撮像素子について図13及び図14を用いて説明する。本実施形態による固体撮像素子200は、フリッカ監視画素に設けられた光電変換素子333と、通常画素に設けられた光電変換素子333とが接続されている点に特徴を有している。図13は、本実施形態による固体撮像素子200に設けられた画素ブロックPBを模式的に示す図である。図14は、本実施形態による固体撮像素子200に設けられたアドレスイベント検出部4およびフリッカ検出回路5の一構成例を示す回路図である。図14では、画素Pに設けられた画素信号生成部320、転送トランジスタ331及びOFGトランジスタ332の図示は省略されている。

[0158] 図13に示すように、本実施形態では、画素ブロックPBは、例えば8行8列に配列された64個の画素P1~P64で構成されている。図13では、64個の画素Pに対し、図13の左から右かつ上から下に向かって添え字を付している。また、図13では、理解を容易にするため、画素ブロックPBの角部に配置された画素Pに対して符号「P1」、「P4」、「P57」及び「P64」が付されている。また、本実施形態では、上記第1-4実施形態と同様に、画素ブロックPBを構成する画素P37にはフリッカ検出回路5が設けられている。このため、画素P37は、撮像及びアドレスイベントの検出には寄与しない画素となる。このように、画素P37は、フリッカ検出回路5に設けられた共用減算器（共用減算部の一例）51を有する共用画素の一例に相当する。また、画素ブロックPBは、共用画素と複数の個別画素とを有する画素ブロックの一例に相当する。さらに、詳細は後述するが、画素ブロックPBを構成する画素P45に設けられた光電変換素子333は、画素P37に設けられた光電変換素子333と接続されている。

[0159] 図14に示すように、画素P37（共用画素の一例）は、入射光を光電変換して電流を生成する光電変換素子333（共用光電変換素子の一例）と、光電変換素子333から入力される電流を電圧に変換して当該電圧を専用コンデンサC512の一方の電極に出力する電流電圧変換部56（共用電流電圧変換部の一例）とを有している。光電変換素子333は、画素P1～P36、P38～P64（複数の個別画素の一例）のうちの画素P45（1つの個別画素の一例）に設けられた光電変換素子333と接続されている。より具体的には、画素P37に設けられた光電変換素子333のカソードと、画素P45に設けられた光電変換素子333のカソードとが接続されている。

[0160] このように、フリッカ監視画素に設けられた光電変換素子333と通常画素に設けられた光電変換素子333とを接続することにより、画素ブロックPBを構成する全ての画素Pでの検出結果を取得することができる。但し、光電変換素子333が合併されるPD合併用通常画素となる画素P45に設けられた光電変換素子333は、画素P37に設けられた光電変換素子333の影響を受けるため、自己の動作のみに基づく電流を電流電圧変換部41に出力することはできない。

[0161] [第1－6実施形態]

次に、本開示の第1－6実施形態による固体撮像素子について図15及び図16を用いて説明する。本実施形態による固体撮像素子200は、フリッカ検出回路5が画素の配置された領域とは異なる領域に設けられている点に特徴を有している。図15は、本実施形態による固体撮像素子200に設けられた画素ブロックPB及びフリッカ検出回路5の配置関係を模式的に示す図である。図16は、本実施形態による固体撮像素子200に設けられたアドレスイベント検出部4およびフリッカ検出回路5の一構成例を示す回路図である。図16では、画素Pに設けられた画素信号生成部320、転送トランジスタ331及びOFGトランジスタ332の図示は省略されている。

[0162] 図15に示すように、本実施形態では、画素ブロックPBは、例えば16行16列に配列された256個の画素P1～P256で構成されている。図

15では、256個の画素Pに対し、図15の左から右かつ上から下に向かって添え字を付している。また、図15では、理解を容易にするため、画素ブロックPBの角部に配置された画素Pに対して符号「P1」、「P16」、「P241」及び「P256」が付されている。本実施形態では、画素ブロックPBを構成する画素P1～P256には、フリッカ検出回路5が設けられていない。このため、画素ブロックPBを構成する全ての画素P1～P256が撮像及びアドレスイベントの検出に寄与する画素となる。

[0163] 図15に示すように、フリッカ検出回路5は、複数の画素P1～P256（個別画素の一例）が配置された画素領域とは異なる領域に配置されている。すなわち、フリッカ検出回路5に設けられた共用減算器51（図16参照）は、複数の画素P1～P256が配置された画素領域とは異なる領域に配置されている。

[0164] 図16に示すように、本実施形態における画素P1～P256は、上記第1～4実施形態における画素P1～P36、P38～P64と同様の構成を有している。また、フリッカ検出回路5は、領域リセット生成回路が異なる点を除いて、上記第1～1実施形態におけるフリッカ検出回路5と同様の構成を有している。本実施形態におけるフリッカ検出回路5は、上記第1～4実施形態におけるフリッカ検出回路5に設けられ領域リセット生成回路55と同様の構成を有している。

[0165] このように、フリッカ検出回路5は、画素領域とは異なる領域に配置されても、配線FLcomによって画素P1～P256に設けられた小型コンデンサC45と接続されることができる。これにより、本実施形態による固体撮像素子200は、上記第1～4実施形態による固体撮像素子200と同様の効果が得られる。

[0166] [第1～7実施形態]

次に、本開示の第1～7実施形態による固体撮像素子について図17を用いて説明する。本実施形態による固体撮像素子200は、フリッカ監視兼用画素を有している点に特徴を有している。図17は、本実施形態による固体

撮像素子200に設けられたアドレスイベント検出部4およびフリッカ検出回路5の一構成例を示す回路図である。図17では、画素Pに設けられた画素信号生成部320、転送トランジスタ331及びOFGトランジスタ332の図示は省略されている。

[0167] 図17に示すように、本実施形態による固体撮像素子200は、上記第1〜4実施形態におけるフリッカ検出回路5が設けられた画素（フリッカ監視画素）の回路構成に加えて、第一共用スイッチ57a、第二共用スイッチ57b及び大型コンデンサC57が設けられている。より具体的には、固体撮像素子200は、複数の小型コンデンサC45の他方の電極と専用コンデンサC512の他方の電極とを切断可能に設けられた第一共用スイッチ57aを備えている。また、固体撮像素子200は、専用コンデンサC512に並列に接続されて専用コンデンサC512よりも容量が大きい大型コンデンサC57と、大型コンデンサC57に直列に接続され、かつ専用コンデンサC512に並列に接続された第二共用スイッチ57bとを備えている。

[0168] 第一共用スイッチ57a及び第二共用スイッチ57bは、制御信号Mode__ct1によって開閉が制御されるように構成されている。第一共用スイッチ57aの制御信号入力端子は、正論理の端子で構成されているのに対し、第二共用スイッチ57bの制御信号入力端子は、否定入力端子で構成されている。このため、第一共用スイッチ57a及び第二共用スイッチ57bは、開閉が常に逆転した状態となる。つまり、第一共用スイッチ57aが開状態（オフ状態）であると、第二共用スイッチ57bは閉状態（オン状態）となる。一方、第一共用スイッチ57aが閉状態（オン状態）であると、第二共用スイッチ57bは開状態（オフ状態）となる。

[0169] このため、フリッカ検出回路5には、小型コンデンサC45及び大型コンデンサC57のいずれか一方が接続されることになる。そこで、本実施形態では、フリッカ検出モードでは、第一共用スイッチ57aをオン状態、かつ第二共用スイッチ57bをオフ状態とすることにより、複数の通常画素の小型コンデンサC45をフリッカ検出回路5に接続し、フリッカ検出を実行す

る。フリッカ検出が終了した後に、第一共用スイッチ 57a をオフ状態、かつ第二共用スイッチ 57b をオン状態とする。これにより、共用減算器 51 には、大型コンデンサ C 57 が接続されるので、共用減算器 51 の利得が向上する。このため、フリッカ検出回路 5 が設けられた画素 P でも通常画素と同様のアドレスイベントを検出することができるようになる。

[0170] このように、本実施形態による固体撮像素子 200 は、フリッカ検出回路 5 を有する画素がフリッカ監視兼用画素としての機能を発揮することができる。

[0171] 以上説明したように、第 1-1 実施形態から第 1-7 実施形態による固体撮像素子 200 は、複数の画素ごとに 1 つのフリッカ検出回路を備えている。これにより、各実施形態による固体撮像素子 200 は、画素ごとにフリッカ検出回路を設ける場合と比較して、低消費電力化を図ることができる。

[0172] また、第 1-1 実施形態から第 1-7 実施形態による固体撮像素子 200 は、フリッカ現象に起因するアドレスイベントが発生する前に、アドレスイベント検出部 4（例えば個別減算器 42）をリセットすることにより、フリッカ現象に起因するアドレスイベントの発生を抑制することができる。

[0173] [第 2 実施形態]

次に、本開示の第 2 実施形態による固体撮像素子について図 18 及び図 19 を用いて説明する。第 2 実施形態では、第 2-1 実施形態及び第 2-2 実施形態に分けて、2 種類の解像度の変更技術について説明する。

[0174] [第 2-1 実施形態]

図 18 は、第 2-1 実施形態による固体撮像素子 200 もうけられた低解像度アドレスイベント検出部の一構成例を示す回路図である。なお、図 18 では、画素 P に設けられた画素信号生成部 320、転送トランジスタ 331 及び OFG トランジスタ 332 の図示は省略されている。

[0175] 図 18 に示すように、本実施形態による固体撮像素子 200 は、領域リセット生成回路 53 及び画素内リセット回路 44 を有していない点を除いて、上記第 1-1 実施形態による固体撮像素子 200 と同様の構成を有している

。また、本実施形態による固体撮像素子200は、上記第1-1実施形態による領域リセット生成回路53が接続されていない点を除いてフリッカ検出回路5と同様の構成を有する低解像度用系統回路9を備えている。

[0176] 本実施形態による固体撮像素子200は、各々が入射光を光電変換して電流を生成する複数の光電変換素子333と、複数の光電変換素子333のそれぞれに1つずつ接続されて光電変換素子333から入力される電流を電圧に変換する複数の電流電圧変換部41とを備えている。また、固体撮像素子200は、複数の電流電圧変換部41に接続されて異なるタイミングで電流電圧変換部41のそれぞれから入力される一方の電圧に基づく第一電圧から他方の電圧に基づく第二電圧を減算する共用減算器（共用減算部の一例）91を備えている。

[0177] また、固体撮像素子200は、共用減算器91での減算結果に基づく第一電圧及び第二電圧の差分が上限閾値 V_{high} 又は下限閾値 V_{low} （いずれも所定の閾値の一例）を越えたか否かを判定する共用判定部92を備えている。さらに、固体撮像素子200は、複数の電流電圧変換部41のそれぞれから出力される電圧を加算する加算部6を備えている。共用減算器91は、加算部6で加算されて異なるタイミングで入力される一方の加算電圧である第一電圧から他方の加算電圧である第二電圧を減算するように構成されている。

[0178] 図18に示すように、共用減算器91は、P型トランジスタ911、P型トランジスタ912、N型トランジスタ913及びコンデンサC911を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。

[0179] P型トランジスタ912及びN型トランジスタ913は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ912及びN型トランジスタ913の接続部は、共用判定部92の入力端子に接続されている。N型トランジスタ913のゲートには、所定のバイアス電圧 V_{bias} が印加される。

- [0180] P型トランジスタ911のソースは、P型トランジスタ912のゲートに接続されている。P型トランジスタ911のドレインは、P型トランジスタ912及びN型トランジスタ913の接続部に接続されている。
- [0181] コンデンサC911の一方の電極は、P型トランジスタ911のソース及びP型トランジスタ912のゲートに接続されている。コンデンサC911の他方の電極は、P型トランジスタ912及びN型トランジスタ913の接続部及びP型トランジスタ911のドレインに接続されている。共用減算器91の動作は、個別減算器42と同様であるため、説明は省略する。
- [0182] 図18に示すように、共用判定部92は、量子化器で構成されている。共用判定部92は、P型トランジスタ921、N型トランジスタ922、P型トランジスタ923及びN型トランジスタ924を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。
- [0183] P型トランジスタ921及びN型トランジスタ922は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ923及びN型トランジスタ924は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ921のゲート及びP型トランジスタ923のゲートは、共用減算器91の出力端子（P型トランジスタ912及びN型トランジスタ913の接続部）に接続されている。N型トランジスタ922のゲートには、電圧レベルが高レベルの電圧の上限閾値 V_{high} が印加される。N型トランジスタ924のゲートには、電圧レベルが低レベルの電圧の下限閾値 V_{low} が印加される。P型トランジスタ921及びN型トランジスタ922の接続部は、検出信号（+）の出力端子である。P型トランジスタ923及びN型トランジスタ924の接続部は、検出信号（-）の出力端子である。
- [0184] 共用判定部92は、共用減算器91から入力される電圧の電圧値が上限閾値 V_{high} 及び下限閾値 V_{low} の間にある場合（上限閾値 V_{high} 及び下限閾値 V_{low} のいずれも越えない場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（+）と、電圧レベルが接地端子の電圧とほぼ

同じレベルの検出信号（－）とを出力する。共用減算器 9 1 から入力される電圧（すなわち、共用減算器 9 1 が出力する電圧）は、加算部 6 で加算された k 個の個別減算器 4 2 の出力電圧の総電圧である。このため、共用減算器 9 1 の出力電圧が上限閾値 V_{high} 及び下限閾値 V_{low} のいずれも越えない場合、共用判定部 9 2 の出力は「0」となり、低解像度用系統回路 9 は、加算部 6 に接続された複数（本例では k 個）の画素の全ての画素でアドレスイベントが発生していないことを検出する。

[0185] 共用判定部 9 2 は、共用減算器 9 1 から入力される電圧の電圧値が上限閾値 V_{high} を越えた場合（上限閾値 V_{high} を上回った場合）には、電圧レベルが接地端子とほぼ同じレベルの検出信号（＋）と、電圧レベルが接地端子の電圧とほぼ同じレベルの検出信号（－）とを出力する。この場合、共用判定部 9 2 の出力は「+ 1」となり、低解像度用系統回路 9 は、加算部 6 に接続された複数（本例では k 個）の画素のうちの所定数の画素で暗状態から明状態に変化するアドレスイベントが発生したことを検出する。なお、当該所定数は、加算部 6 に設けられた加算コンデンサ $C_{61} \sim C_{6k}$ の容量と個別コンデンサ C_{421} の容量によって異なる。

[0186] 共用判定部 9 2 は、共用減算器 9 1 から入力される電圧の電圧値が下限閾値 V_{low} を越えた場合（下限閾値 V_{low} を下回った場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（＋）と、電圧レベルが電源電圧とほぼ同じレベルの検出信号（－）とを出力する。この場合、共用判定部 9 2 の出力は「－ 1」となり、低解像度用系統回路 9 は、加算部 6 に接続された複数（本例では k 個）の画素のうちの所定数の画素で明状態から暗状態に変化するアドレスイベントが発生したことを検出する。

[0187] 固体撮像素子 2 0 0 は、多画素における光電変換素子 3 3 3 の光電流に基づく電圧を加算部 6 で加算した加算電圧を用いて、1 つの共用減算器 5 1 及び 1 つの共用判定部 5 2 でアドレスイベントが検出されたか否かを判定するように構成されている。また、固体撮像素子 2 0 0 は、画素 P に設けられてアドレスイベントの検出に寄与しない個別減算器 4 2 及び量子化器 4 3 の動

作を停止できるように構成されている。

[0188] これにより、固体撮像素子 200 は、多解像度でのアドレスイベントの検出が不要である場合、低解像度でのアドレスイベントの検出に切り替えとともに、アドレスイベントの検出に寄与しない個別減算器 42 及び量子化器 43 の動作を停止することができる。その結果、固体撮像素子 200 は、低消費電力化を図ることができる。

[0189] [第 2-2 実施形態]

図 19 は、第 2-2 実施形態による固体撮像素子 200 に設けられた低解像度アドレスイベント検出部の一構成例を示す回路図である。なお、図 19 では、画素 P に設けられた画素信号生成部 320、転送トランジスタ 331 及び OFG トランジスタ 332 の図示は省略されている。

[0190] 図 19 に示すように、本実施形態による固体撮像素子 200 は、上記第 2-1 実施形態による固体撮像素子 200 の構成に加えて、スイッチ回路 47 を備えている。より具体的には、固体撮像素子 200 は、複数の電流電圧変換部 41 にそれぞれ接続され、接続された電流電圧変換部 41 から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算器（個別減算部の一例）42 を備えている。複数の個別減算器 42 のそれぞれは、当該個別減算器 42 が接続された電流電圧変換部 41 に接続された一方の電極と、当該一方の電極に対向して配置された他方の電極とを有する個別コンデンサ C421 を備えている。さらに、複数の個別減算器 42 は、個別コンデンサ C421 の他方の電極に接続されて当該個別コンデンサ C421 を当該個別減算器 42 から切り離し可能なスイッチ回路（スイッチの一例）47 を有している。加算部 7 は、個別コンデンサ C421 及びスイッチ回路 47 との接続部に接続されている。加算部 7 は、上記第 2-1 実施形態における加算部 6 と異なり、加算コンデンサを有していない。

[0191] 固体撮像素子 200 は、低解像度で動作する場合には、スイッチ回路 47 を開状態（オフ状態）に切り替える。これにより、個別コンデンサ C421 よりも後段の構成要素を電流電圧変換部 41 から切り離すことができる。共

用減算器 9 1 の入力端子は、複数の画素 P に設けられた個別コンデンサ C 4 2 1 の他方の電極にそれぞれ接続されている。これにより、共用減算器 9 1 は、個別コンデンサ C 4 2 1 及びコンデンサ C 9 1 1 によって所定の利得が得られる。その結果、固体撮像素子 2 0 0 は、複数の電流電圧変換部 4 1 から入力される電圧に基づいて、共用減算器 9 1 及び共用判定部 9 2 によってアドレスイベントが発生したか否かを検出できる。

[0192] このように、固体撮像素子 2 0 0 は、多解像度でのアドレスイベントの検出が不要である場合、スイッチ回路 4 7 を開状態として低解像度でのアドレスイベントの検出に切り替えるとともに、アドレスイベントの検出に寄与しない個別減算器 4 2 及び量子化器 4 3 の動作を停止することができる。その結果、固体撮像素子 2 0 0 は、低消費電力化を図ることができる。

[0193] 以上説明したように、第 2 - 1 実施形態及び第 2 - 2 実施形態による固体撮像素子 2 0 0 は、アドレスイベントの検出に寄与しない個別減算器 4 2 及び量子化器 4 3 の動作を停止することによって、低消費電力化を図ることができる。

[0194] [第 3 実施形態]

次に、本開示の第 3 実施形態による固体撮像素子について図 2 0 から図 2 5 を用いて説明する。第 3 実施形態では、第 3 - 1 実施形態から第 3 - 3 実施形態に分けて、3 種類の重み付け加算の技術について説明する。

[0195] [第 3 - 1 実施形態]

図 2 0 は、第 3 - 1 実施形態による固体撮像素子 2 0 0 に設けられた低解像度アドレスイベント検出部の一構成例を示す回路図である。なお、図 2 0 では、画素 P に設けられた画素信号生成部 3 2 0、転送トランジスタ 3 3 1 及び O F G トランジスタ 3 3 2 の図示は省略されている。

[0196] 図 2 0 に示すように、本実施形態による固体撮像素子 2 0 0 は、領域リセット生成回路 5 3 及び画素内リセット回路 4 4 を有していない点を除いて、上記第 1 - 1 実施形態による固体撮像素子 2 0 0 と同様の構成を有している。また、本実施形態による固体撮像素子 2 0 0 は、上記第 1 - 1 実施形態に

よる領域リセット生成回路53が接続されていない点を除いてフリッカ検出回路5と同様の構成を有する閾値処理回路10を備えている。

[0197] 本実施形態による固体撮像素子200は、各々が入射光を光電変換して電流を生成する複数（本例では4つ）の光電変換素子333と、複数の光電変換素子333のそれぞれに1つずつ接続されて光電変換素子333から入力される電流を電圧に変換する複数の電流電圧変換部41とを備えている。また、固体撮像素子200は、複数（本例では4つ）の電流電圧変換部41に接続されて異なるタイミングで電流電圧変換部41のそれぞれから入力される一方の電圧に基づく第一電圧から他方の電圧に基づく第二電圧を減算する共用減算器（共用減算部の一例）101を備えている。

[0198] また、固体撮像素子200は、共用減算器101での減算結果に基づく第一電圧及び第二電圧の差分が上限閾値V_{high}又は下限閾値V_{low}（いずれも所定の閾値の一例）を越えたか否かを判定する共用判定部102を備えている。さらに、固体撮像素子200は、複数の電流電圧変換部41のそれぞれから出力される電圧を加算する加算部6を備えている。共用減算器101は、加算部6で加算されて異なるタイミングで入力される一方の加算電圧である第一電圧から他方の加算電圧である第二電圧を減算するように構成されている。

[0199] 図20に示すように、共用減算器101は、P型トランジスタ1011、P型トランジスタ1012、N型トランジスタ1013及びコンデンサC1011を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。

[0200] P型トランジスタ1012及びN型トランジスタ1013は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ1012及びN型トランジスタ1013の接続部は、共用判定部102の入力端子に接続されている。N型トランジスタ1013のゲートには、所定のバイアス電圧V_{bdiff}が印加される。

[0201] P型トランジスタ1011のソースは、P型トランジスタ1012のゲー

トに接続されている。P型トランジスタ1011のドレインは、P型トランジスタ1012及びN型トランジスタ1013の接続部に接続されている。

[0202] コンデンサC1011の一方の電極は、P型トランジスタ1011のソース及びP型トランジスタ1012のゲートに接続されている。コンデンサC1011の他方の電極は、P型トランジスタ1012及びN型トランジスタ1013の接続部及びP型トランジスタ1011のドレインに接続されている。共用減算器101の動作は、個別減算器42と同様であるため、説明は省略する。

[0203] 図20に示すように、共用判定部102は、量子化器で構成されている。共用判定部102は、P型トランジスタ1021、N型トランジスタ1022、P型トランジスタ1023及びN型トランジスタ1024を有している。これらのトランジスタとして、例えばMOSトランジスタが用いられる。

[0204] P型トランジスタ1021及びN型トランジスタ1022は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ1023及びN型トランジスタ1024は、電源端子と接地端子との間において、直列に接続されている。P型トランジスタ1021のゲート及びP型トランジスタ1023のゲートは、共用減算器101の出力端子（P型トランジスタ1012及びN型トランジスタ1013の接続部）に接続されている。N型トランジスタ1022のゲートには、電圧レベルが高レベルの電圧の上限閾値 V_{high} が印加される。N型トランジスタ1024のゲートには、電圧レベルが低レベルの電圧の下限閾値 V_{low} が印加される。P型トランジスタ1021及びN型トランジスタ1022の接続部は、検出信号（+）の出力端子である。P型トランジスタ1023及びN型トランジスタ1024の接続部は、検出信号（-）の出力端子である。

[0205] 共用判定部102は、共用減算器101から入力される電圧の電圧値が上限閾値 V_{high} 及び下限閾値 V_{low} の間にある場合（上限閾値 V_{high} 及び下限閾値 V_{low} のいずれも越えない場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（+）と、電圧レベルが接地端子の電圧と

ほぼ同じレベルの検出信号（－）とを出力する。共用減算器 101 から入力される電圧（すなわち、共用減算器 101 が出力する電圧）は、加算部 6 で加算された k 個の個別減算器 42 の出力電圧の総電圧である。このため、共用減算器 101 の出力電圧が上限閾値 V_{high} 及び下限閾値 V_{low} のいずれも越えない場合、共用判定部 102 の出力は「0」となり、閾値処理回路 10 は、加算部 6 に接続された複数（本例では 4 個）の画素の全ての画素でアドレスイベントが発生していないことを検出する。

[0206] 共用判定部 102 は、共用減算器 101 から入力される電圧の電圧値が上限閾値 V_{high} を越えた場合（上限閾値 V_{high} を上回った場合）には、電圧レベルが接地端子とほぼ同じレベルの検出信号（＋）と、電圧レベルが接地端子の電圧とほぼ同じレベルの検出信号（－）とを出力する。この場合、共用判定部 102 の出力は「+1」となり、閾値処理回路 10 は、加算部 6 に接続された複数（本例では 4 個）の画素のうちの所定数の画素で暗状態から明状態に変化するアドレスイベントが発生したことを検出する。なお、当該所定数は、加算部 6 に設けられた加算コンデンサ $C_{61} \sim C_{64}$ の容量と個別コンデンサ C_{421} の容量によって異なる。

[0207] 共用判定部 92 は、共用減算器 91 から入力される電圧の電圧値が下限閾値 V_{low} を越えた場合（下限閾値 V_{low} を下回った場合）には、電圧レベルが電源電圧とほぼ同じレベルの検出信号（＋）と、電圧レベルが電源電圧とほぼ同じレベルの検出信号（－）とを出力する。この場合、共用判定部 92 の出力は「-1」となり、閾値処理回路 10 は、加算部 6 に接続された複数（本例では 4 個）の画素のうちの所定数の画素で明状態から暗状態に変化する光を受光したことを検出する。

[0208] 加算部 6 に設けられた複数（本例では 4 つ）の加算コンデンサ C_{61} , C_{62} , C_{63} , C_{64} は、互いに異なる容量を有している。例えば、加算コンデンサ C_{61} の容量 C_a に対し、加算コンデンサ C_{62} の容量 C_b は容量 C_a の 4 倍であり、加算コンデンサ C_{63} の容量 C_c は容量 C_a の 8 倍であり、加算コンデンサ C_{64} の容量 C_d は容量 C_c の 16 倍であるとする。

[0209] 加算コンデンサの容量が大きいほど、重み付けが大きくなる。このため、図20に示す4個の画素Pに設けられた光電変換素子333のそれぞれが同じ光量の光を受光したとしても、共用減算器51及び共用判定部52におけるアドレスイベントの検出処理において、加算コンデンサC64に接続された画素Pでのアドレスイベントが最も検出されやすく、次に加算コンデンサC63に接続された画素Pでのアドレスイベントが検出されやすく、次に加算コンデンサC62に接続された画素Pでのアドレスイベントが検出されやすく、加算コンデンサC61に接続された画素Pでのアドレスイベントが最も検出されにくくなる。すなわち、加算コンデンサの容量を変更することによって、アドレスイベントの発生の有無を検出するための上限閾値V_{high}及び下限閾値V_{low}の値を変更したことで同等の作用・効果が得られる。

[0210] 図21は、本実施形態による固体撮像素子200に設けられた画素ブロックPBの重み付けパターン例を模式的に示す図である。

図21に示すように、固体撮像素子200は、光電変換素子333及び電流電圧変換部41（図20参照）をそれぞれ有する複数の画素Pで構成された画素ブロックPBを備えている。本実施形態における画素ブロックPBは、8行8列に配列された64個の画素Pで構成されている。画素ブロックPBにおいて、容量が同じ加算コンデンサC61～C64に接続された画素Pが所定パターンに配置されている。本実施形態では例えば、最外周に配列された画素Pには、加算コンデンサC61がそれぞれ接続されている。また例えば、画素ブロックPBの外側から2周目に配列された画素Pには、加算コンデンサC62が接続されている。また例えば、画素ブロックPBの外側から3周目に配列された画素Pには、加算コンデンサC63が接続されている。さらに例えば、画素ブロックPBの最内周に配列された画素Pには、加算コンデンサC64が接続されている。

[0211] このように、固体撮像素子200は、アドレスイベントの検出のしやすさを画素ブロックPB内で変更することができる。これにより、固体撮像素子

200は、画像処理において施される補正パターンを画素ブロックPBに持たせることができる。その結果、固体撮像素子200を備える撮像装置における処理負担が軽減され、固体撮像素子200を含む撮像装置の低消費電力化を図ることができる。

[0212] [第3-2実施形態]

次に、本開示の第3-2実施形態による固体撮像素子について図22及び図23を用いて説明する。本実施形態による固体撮像素子200は、重み付け演算に加えて畳み込み演算も可能な点に特徴を有している。図22は、本実施形態による固体撮像素子200に設けられた重み付け加算及び閾値処理を実行する回路の一構成例を示す図である。なお、図22では、画素Pに設けられた画素信号生成部320、転送トランジスタ331及びOFGトランジスタ332の図示は省略されている。図23は、本実施形態による固体撮像素子200に設けられた画素ブロックPBの重み付けパターンを模式的に示す図である。

[0213] 図22に示すように、本実施形態による固体撮像素子200は、加算部8の構成を除いて、上記第3-1実施形態による固体撮像素子200と同様の構成を有している。固体撮像素子200に備えられた加算部8は、複数の電流電圧変換部41を共用減算器51から個別に切断可能に設けられたスイッチ部81を有している。スイッチ部81は、個別コンデンサC421の一方の電極及び複数の加算コンデンサC81a, C81b, C81ka, C81kbの一方の電極の間に設けられたスイッチ811a, 811b, 811ka, 811kbを有している。また、スイッチ部81は、加算コンデンサC81a, C81b, C81ka, C81kbの他方の電極及び共用減算器51の間に設けられたスイッチ812a, 812b, 812ka, 812kbを有している。スイッチ811a~811kb, 811a~811kbは、例えばMOSトランジスタで構成されている。加算コンデンサC81a, C81b, C81ka, C81kbの容量は、互いに異なっている。

[0214] 固体撮像素子200は、スイッチ811a~811kb, 811a~81

1 k b のオンオフ状態を切り替えることにより、重み付け加算に加えて、畳み込み演算も可能になる。例えば、加算コンデンサ C 8 1 a の容量 C a が加算コンデンサ C 8 1 b の容量 C b の $1/4$ であるとする。スイッチ部 8 1 は、画素 P に設けられた電流電圧変換部 4 1 の出力と共用減算器 5 1 の入力端子との間を以下の 4 つの状態とすることができる。

(A) 切断状態 (スイッチ 8 1 1 a : オフ、スイッチ 8 1 2 a : オフ ;
スイッチ 8 1 1 b : オフ、スイッチ 8 1 2 b : オフ)

(B) 容量 C a で接続
(スイッチ 8 1 1 a : オン、スイッチ 8 1 2 a : オン ;
スイッチ 8 1 1 b : オフ、スイッチ 8 1 2 b : オフ)

(C) 容量 C b で接続
(スイッチ 8 1 1 a : オフ、スイッチ 8 1 2 a : オフ ;
スイッチ 8 1 1 b : オン、スイッチ 8 1 2 b : オン)

(D) 容量 C a + C b で接続
(スイッチ 8 1 1 a : オフ、スイッチ 8 1 2 a : オフ ;
スイッチ 8 1 1 b : オン、スイッチ 8 1 2 b : オン)

[0215] 状態 (B) では、加算部 8 の合成コンデンサは容量 C a となる。状態 (C) では、加算部 8 の合成コンデンサは容量 C b ($= 4 \times C a$) となる。状態 (D) では、加算部 8 の合成コンデンサは容量 C a + C b ($= 8 \times C a$) となる。このように、加算部 8 は、スイッチ部 8 1 を制御することによって、画素ブロック P B を構成する画素 P のそれぞれの重み付けの状態を変更できる。

[0216] 図 2 3 に示すように、重み付けパターンは、中央が最も大きく、当該中央を囲む 2 周目が 2 番目に大きく、当該 2 周目を囲む 3 周目が最も小さいパターンとする。スイッチ部 8 1 を適宜切り替えることにより、図 2 3 中上段の左から右に示すように、8 行 8 列の画素 P で構成された画素ブロック P B 内において、当該重み付けパターンを 1 列ずつ移動させることができる。さらに、スイッチ部 8 1 を適宜切り替えることにより、図 2 3 中下段の左から右

に示すように、8行8列の画素Pで構成された画素ブロックPB内において、当該重み付けパターンを1行ずつ移動させることができる。

[0217] このように、固体撮像素子200は、1行又は1列ずつ重み付けパターンを移動させることにより、畳み込み演算を実行することができる。

[0218] [第3-3実施形態]

次に、本開示の第3-3実施形態による固体撮像素子について図24を用いて説明する。本実施形態による固体撮像素子200は、重み付け演算に加えて畳み込み演算も可能な点に特徴を有している。図24は、本実施形態による固体撮像素子200に設けられた重み付け加算及び閾値処理を実行する回路の一構成例を示す図である。なお、図24では、画素Pに設けられた画素信号生成部320、転送トランジスタ331及びOFGトランジスタ332の図示は省略されている。

[0219] 図24に示すように、本実施形態による固体撮像素子200は、加算部8の構成を除いて、上記第3-2実施形態による固体撮像素子200と同様の構成を有している。固体撮像素子200に備えられた加算部8は、複数の電流電圧変換部41を共用減算器51から個別に切断可能に設けられたスイッチ部81を有している。スイッチ部81は、加算コンデンサC81a, C81b, C81ka, C81kbの他方の電極及び共用減算器51の間に設けられたスイッチ812a, 812b, 812ka, 812kbを有している。スイッチ811a~811kbは、例えばMOSトランジスタで構成されている。加算コンデンサC81a, C81b, C81ka, C81kbの容量は、互いに異なっている。

[0220] 固体撮像素子200は、スイッチ811a~811kbのオンオフ状態を切り替えることにより、重み付け加算に加えて、畳み込み演算も可能になる。例えば、加算コンデンサC81aの容量Caが加算コンデンサC81bの容量Cbの1/4であるとする。スイッチ部81は、画素Pに設けられた電流電圧変換部41の出力と共用減算器51の入力端子との間を以下の4つの状態とすることができる。

(A) 切断状態 (スイッチ 812a : オフ、スイッチ 812b : オフ)

(B) 容量 C_a で接続

(スイッチ 812a : オン、スイッチ 812b : オフ)

(C) 容量 C_b で接続

(スイッチ 812a : オフ、スイッチ 812b : オン)

(D) 容量 $C_a + C_b$ で接続

(スイッチ 812a : オフ、スイッチ 812b : オン)

[0221] 状態 (B) では、加算部 8 の合成コンデンサは容量 C_a となる。状態 (C) では、加算部 8 の合成コンデンサは容量 C_b ($= 4 \times C_a$) となる。状態 (D) では、加算部 8 の合成コンデンサは容量 $C_a + C_b$ ($= 8 \times C_a$) となる。このように、加算部 8 は、スイッチ部 81 を制御することによって、画素ブロック PB を構成する画素 P のそれぞれの重み付けの状態を変更できる。

[0222] 本実施形態による固体撮像素子 200 に備えられた加算部 8 は、加算コンデンサ $C_{81a} \sim C_{81kb}$ と個別コンデンサ C_{421} との間にスイッチを有していない。これにより、本実施形態による固体撮像素子 200 は、上記第 3-1 実施形態による固体撮像素子 200 と比較して、回路規模の削減を図ることができる。

[0223] [第 3-4 実施形態]

次に、本開示の第 3-4 実施形態による固体撮像素子について図 25 を用いて説明する。本実施形態による固体撮像素子 200 は、重み付け演算に加えて畳み込み演算も可能な点に特徴を有している。図 25 は、本実施形態による固体撮像素子 200 に設けられた重み付け加算及び閾値処理を実行する回路の一構成例を示す図である。なお、図 25 では、画素 P に設けられた画素信号生成部 320、転送トランジスタ 331 及び OFG トランジスタ 332 の図示は省略されている。

[0224] 図 25 に示すように、本実施形態による固体撮像素子 200 は、加算部 8 の構成を除いて、上記第 3-2 実施形態及び上記 3-3 実施形態による固体

撮像素子200と同様の構成を有している。固体撮像素子200に備えられた加算部8は、複数の電流電圧変換部41を共用減算器51から個別に切断可能に設けられたスイッチ部81を有している。スイッチ部81は、個別コンデンサC421の一方の電極及び複数の加算コンデンサC81a, C81b, C81ka, C81kbの一方の電極の間に設けられたスイッチ811a, 811b, 811ka, 811kbを有している。スイッチ811a~811kbは、例えばMOSトランジスタで構成されている。加算コンデンサC81a, C81b, C81ka, C81kbの容量は、互いに異なっている。

[0225] 固体撮像素子200は、スイッチ811a~811kbのオンオフ状態を切り替えることにより、重み付け加算に加えて、畳み込み演算も可能になる。例えば、加算コンデンサC81aの容量C_aが加算コンデンサC81bの容量C_bの1/4であるとする。スイッチ部81は、画素Pに設けられた電流電圧変換部41の出力と共用減算器51の入力端子との間を以下の4つの状態とすることができる。

(A) 切断状態（スイッチ811a：オフ、スイッチ811b：オフ）

(B) 容量C_aで接続

（スイッチ811a：オン、スイッチ811b：オフ）

(C) 容量C_bで接続

（スイッチ811a：オフ、スイッチ811b：オン）

(D) 容量C_a+C_bで接続

（スイッチ811a：オフ、スイッチ811b：オン）

[0226] 状態（B）では、加算部8の合成コンデンサは容量C_aとなる。状態（C）では、加算部8の合成コンデンサは容量C_b（=4×C_a）となる。状態（D）では、加算部8の合成コンデンサは容量C_a+C_b（=8×C_a）となる。このように、加算部8は、スイッチ部81を制御することによって、画素ブロックPBを構成する画素Pのそれぞれの重み付けの状態を変更できる。

- [0227] 本実施形態による固体撮像素子200に備えられた加算部8は、加算コンデンサC81a～C81kbと共用減算器51との間にスイッチを有していない。これにより、本実施形態による固体撮像素子200は、上記第3-1実施形態による固体撮像素子200と比較して、回路規模の削減を図ることができる。
- [0228] 以上説明したように、第3-1実施形態から第3-4実施形態による固体撮像素子200は、画像処理において施される補正パターンを画素ブロックPBに持たせることができる。その結果、固体撮像素子200を備える撮像装置における処理負担が軽減され、固体撮像素子200を含む撮像装置の低消費電力化を図ることができる。
- [0229] 上記第1実施形態から上記第3実施形態において、アドレスイベント検出部4をそれぞれ有する複数の画素Pのうちの1つの画素Pに着目すると、図5、図8、図10、図12、図14、図16、図17から図20、図22、図24及び図25に示すように、固体撮像素子200は、入射光を光電変換して電流を生成する光電変換素子333と、光電変換素子333から入力される電流を電圧に変換する電流電圧変換部41とを備えている。固体撮像素子200は、電流電圧変換部41に接続されて異なるタイミングで電流電圧変換部41から入力される一方の電圧から他方の電圧を減算する個別減算器42及び共用減算器51、91、101（複数の減算部の一例）とを備えている。
- [0230] ところで、DVSセンサは、輝度変化情報を検出および出力するセンサである。従来のDVSは、輝度変化情報を画素ごとに検出して画素ごとに出力している。輝度変化情報を画素ごとに検出する構造では、画素領域ごとの輝度変化検出および処理を画素アレイの中で実行することは不可能である。一方、フリッカ抑制や多解像度の対応などの処理能力を画素アレイ領域ごとに実装できると、データ量の削減、電力の低減およびノイズの削減効果を得ることができる。本技術は、DVSの減算部を複数個持つことで、複数のうちの1つの減算部は、従来のDVSの減算部の機能を実現し、残余の減算部は

、画素アレイ領域ごとの情報処理機能として生かすことができる。これにより、本技術の実施形態による固体撮像素子200は、従来のDVSでは不可能な領域ごとの信号処理機能を発揮することが可能になる。

[0231] 個別減算器42及び共用減算器51, 91, 101のうちの個別減算器42（複数の減算部のうちの1つの減算部である特定減算部の一例）は、電流電圧変換部41に接続された一方の電極と、当該一方の電極に対向して配置された他方の電極とを有する個別コンデンサC421を有している。図5、図8、図10、図12、図14、図16、図17から図18、図20、図22、図24及び図25に示すように、個別減算器42及び共用減算器51, 91, 101のうちの共用減算器51, 91, 101（複数の減算部のうちの残余の減算部の少なくとも一部の一例）は、個別コンデンサC421の一方の電極に接続されている。

[0232] 図19に示すように、個別減算器42（複数の減算部のうちの1つの減算部である特定減算部の一例）は、電流電圧変換部41に接続された一方の電極と、当該一方の電極に対向して配置された他方の電極とを有する個別コンデンサC421を有している。共用減算器91（複数の減算部のうちの残余の減算部の少なくとも一部の一例）は、個別コンデンサC421の他方の電極に接続されている。

[0233] 固体撮像素子200は、アドレスイベント検出部4（第一検出部の一例）又はフリッカ検出回路5、低解像度用系統回路9および閾値処理回路10（いずれも第二検出部の一例）の少なくとも一方を備えている。アドレスイベント検出部4は、電流電圧変換部41と、個別減算器42（特定減算部の一例）と、個別減算器42での減算結果に基づく一方の電圧及び他方の電圧の差分が上限閾値V_{high}又は下限閾値V_{low}（いずれも所定の閾値の一例）を越えたか否かを判定する量子化器43（第一判定部の一例）とを有し、光電変換素子333の受光量に応じたアドレスイベントを検出するように構成されている。フリッカ検出回路5、低解像度用系統回路9および閾値処理回路10は、共用減算器51, 91, 101（複数の減算部のうちの残余

の減算部のうちの一の減算部の一例)と、共用減算器51, 91, 101での減算結果に基づく一方の電圧及び他方の電圧の差分が上限閾値V_{high}又は下限閾値V_{low}(いずれも所定の閾値の一例)を越えたか否かを判定する共用判定部52, 92, 102(第二判定部の一例)とを有している。本実施形態では、固体撮像素子200は、アドレスイベント検出部4およびフリッカ検出回路5、アドレスイベント検出部4および低解像度用系統回路9又はアドレスイベント検出部4および閾値処理回路10の両方を備えている。固体撮像素子200は、アドレスイベント検出部4と、光電変換素子333とを有する画素Pを備えている。

[0234] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0235] なお、本開示は以下のような構成もとることができる。

(1)

入射光を光電変換して電流を生成する光電変換素子と、
前記光電変換素子から入力される前記電流を電圧に変換する電流電圧変換部と、
前記電流電圧変換部に接続されて異なるタイミングで前記電流電圧変換部から入力される一方の電圧から他方の電圧を減算する複数の減算部と
を備える固体撮像素子。

(2)

前記複数の減算部のうちの1つの減算部である特定減算部は、前記電流電圧変換部に接続された一方の電極と、該一方の電極に対向して配置された他方の電極とを有するコンデンサを有し、

前記複数の減算部のうちの残余の減算部の少なくとも一部は、前記一方の電極に接続されている

前記(1)に記載の固体撮像素子。

(3)

前記複数の減算部のうちの1つの減算部である特定減算部は、前記電流電

圧変換部に接続された一方の電極と、該一方の電極に対向して配置された他方の電極とを有するコンデンサを有し、

前記複数の減算部のうちの残余の減算部の少なくとも一部は、前記他方の電極に接続されている

前記（１）に記載の固体撮像素子。

（４）

前記電流電圧変換部と、前記特定減算部と、前記特定減算部での減算結果に基づく前記一方の電圧及び前記他方の電圧の差分が所定の閾値を越えたか否かを判定する第一判定部とを有し、前記光電変換素子の受光量に応じたイベントを検出する第一検出部、又は、

前記複数の減算部の残余の減算部のうちの一の減算部と、前記一の減算部での減算結果に基づく前記一方の電圧及び前記他方の電圧の差分が所定の閾値を越えたか否かを判定する第二判定部とを有する第二検出部の少なくとも一方

を備える前記（２）又は（３）に記載の固体撮像素子。

（５）

各々が入射光を光電変換して電流を生成する複数の光電変換素子と、

前記複数の光電変換素子のそれぞれに１つずつ接続されて前記光電変換素子から入力される前記電流を電圧に変換する複数の電流電圧変換部と、

前記複数の電流電圧変換部に接続されて異なるタイミングで前記電流電圧変換部のそれぞれから入力される一方の電圧に基づく第一電圧から他方の電圧に基づく第二電圧を減算する共用減算部と

を備える固体撮像素子。

（６）

前記共用減算部での減算結果に基づく前記第一電圧及び前記第二電圧の差分が所定の閾値を越えたか否かを判定する共用判定部を備える

前記（５）に記載の固体撮像素子。

（７）

前記複数の電流電圧変換部のそれぞれから出力される前記電圧を加算する加算部を備え、

前記共用減算部は、前記加算部で加算されて異なるタイミングで入力される一方の加算電圧である前記第一電圧から他方の加算電圧である前記第二電圧を減算する

前記（６）に記載の固体撮像素子。

（８）

前記複数の電流電圧変換部のそれぞれに１つずつ接続され、接続された前記電流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部を備え、

前記個別減算部は、該個別減算部が接続された前記電流電圧変換部に接続される一方の電極と、該一方の電極に対向して配置された他方の電極とを有する個別コンデンサを有し、

前記加算部は、前記電流電圧変換部に設けられた前記個別コンデンサの一方の電極に接続された一方の電極と、該一方の電極に対向して配置され前記共用減算部に接続された他方の電極とを有する加算コンデンサを有し、

前記（７）に記載の固体撮像素子。

（９）

前記複数の電流電圧変換部にそれぞれ接続され、接続された前記電流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部と、

前記差分が前記閾値を越えたと前記共用判定部が判定した場合に、前記複数の光電変換素子、前記複数の電流電圧変換部及び前記複数の個別減算部の少なくともいずれか１つの動作をリセットするリセット部と

を備える前記（６）から（８）までのいずれか一項に記載の固体撮像素子。

（１０）

前記複数の電流電圧変換部のそれぞれに１つずつ接続され、接続された前

記電流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部と、

前記光電変換素子、前記電流電圧変換部、及び前記個別減算部をそれぞれ有する複数の個別画素と、

前記個別画素とは異なる画素に設けられた専用コンデンサとを備え、

複数の前記個別減算部のそれぞれは、該個別減算部が接続された前記電流電圧変換部に接続された一方の電極と、前記一方の電極に対向して配置された他方の電極とを有する個別コンデンサを有し、

前記複数の個別画素のそれぞれは、前記個別コンデンサの一方の電極に接続された一方の電極と、該一方の電極に対向して配置された他方の電極とを有し前記個別コンデンサよりも容量が小さい小型コンデンサを有し、

前記専用コンデンサは、一方の電極と、該一方の電極に対向して配置され前記小型コンデンサの他方の電極に接続された他方の電極とを有し、前記個別コンデンサよりも容量が小さい

前記（５）又は（６）に記載の固体撮像素子。

（１１）

前記共用減算部での減算結果に基づく前記第一電圧及び前記第二電圧の差分が所定の閾値を越えたか否かを判定する共用判定部と、

前記差分が前記閾値を越えたと前記共用判定部が判定した場合に、前記複数の光電変換素子、前記複数の電流電圧変換部及び前記複数の個別減算部のうちの少なくともいずれか１つの動作をリセットするリセット部と

を備える前記（１０）に記載の固体撮像素子。

（１２）

前記専用コンデンサと前記共用減算部とを有する共用画素と、

前記共用画素と前記複数の個別画素とを有する画素ブロックと

を備える前記（１０）又は（１１）に記載の固体撮像素子。

（１３）

前記共用画素は、入射光を光電変換して電流を生成する共用光電変換素子と、前記共用光電変換素子から入力される前記電流を電圧に変換して該電圧を前記専用コンデンサの一方の電極に出力する共用電流電圧変換部とを有し、

前記共用光電変換素子は、前記複数の個別画素のうちの1つの個別画素に設けられた前記光電変換素子と接続されている

前記（12）に記載の固体撮像素子。

（14）

前記共用減算部は、前記複数の個別画素が配置された画素領域とは異なる領域に配置されている

前記（10）に記載の固体撮像素子。

（15）

複数の前記小型コンデンサの他方の電極と前記専用コンデンサの他方の電極とを切断可能に設けられた第一共用スイッチと、

前記共用コンデンサに並列に接続されて前記共用コンデンサよりも容量が大きい大型コンデンサと、

前記大型コンデンサに直列に接続され、かつ前記共用コンデンサに並列に接続された第二共用スイッチと

を備える前記（10）又は（12）に記載の固体撮像素子。

（16）

前記複数の電流電圧変換部にそれぞれ接続され、接続された前記電流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部を備える

前記（7）に記載の固体撮像素子。

（17）

複数の前記加算コンデンサは、互いに異なる容量を有する

前記（8）に記載の固体撮像素子。

（18）

前記加算部は、前記複数の電流電圧変換部を前記共用減算部から個別に切断可能に設けられたスイッチ部を有し、

前記スイッチ部は、前記個別コンデンサの一方の電極及び複数の前記加算コンデンサの一方の電極の間に設けられたスイッチと、前記加算コンデンサの他方の電極及び前記共用減算部の間に設けられたスイッチとの少なくとも一方を有する

前記（１７）に記載の固体撮像素子。

（１９）

前記光電変換素子及び前記電流電圧変換部をそれぞれ有する複数の画素で構成された画素ブロックを備え、

前記画素ブロックにおいて、容量が同じ前記加算コンデンサに接続された前記画素が所定パターンに配置されている

前記（１７）又は（１８）に記載の固体撮像素子。

符号の説明

- [0236] ４ アドレスイベント検出部
５ フリッカ検出回路
６， ７， ８ 加算部
９ 低解像度用系統回路
１０ 閾値処理回路
４１， ５６ 電流電圧変換部
４１ａ， ５６ａ 対数変換回路
４１ｂ， ５６ｂ バッファ回路
４２ 個別減算器
４３ 量子化器
４４ 画素内リセット回路
４５ａ， ４５ｂ 停止回路
４６ 画素内リセット回路
４７， ５４ａ， ５４ｂ スイッチ回路

- 5 1 共用減算器
- 5 2 共用判定部
- 5 3, 5 5 領域リセット生成回路
- 5 7 a 第一共用スイッチ
- 5 7 b 第二共用スイッチ
- 8 1 スイッチ部
- 1 0 0 撮像装置
- 1 1 0 撮像レンズ
- 1 2 0 記録部
- 1 3 0 制御部
- 2 0 0 固体撮像素子
- 2 0 1 受光チップ
- 2 0 2 検出チップ
- 2 0 9 信号線
- 2 1 1 駆動回路
- 2 1 2 信号処理部
- 2 1 3 アービタ
- 2 2 0 カラム A D C
- 2 3 0 A D C
- 3 0 0 画素アレイ部
- 3 1 0 画素ブロック
- 3 2 0 画素信号生成部
- 3 2 1 リセットトランジスタ
- 3 2 2 増幅トランジスタ
- 3 2 3 選択トランジスタ
- 3 2 4 浮遊拡散層
- 3 3 0 受光部
- 3 3 1 転送トランジスタ

3 3 2 O F G トランジスタ

3 3 3 光電変換素子

4 1 1, 4 1 3, 4 2 3, 4 3 2, 4 3 4, 4 5 1 b, 4 5 2 a, 5 1 3,

5 2 2, 5 2 4, 5 6 1, 5 6 3, 5 6 5 N 型 トランジスタ

4 1 2, 4 1 4, 4 1 5, 4 2 1, 4 2 2, 4 3 1, 4 3 3, 4 5 1 a, 4

5 2 b, 5 1 1, 5 1 2, 5 2 1, 5 2 3, 5 6 2, 5 6 4 P 型 トランジスタ

4 5 0 転送部

8 1 1 a, 8 1 1 b, 8 1 1 k a, 8 1 1 k b, 8 1 2 a, 8 1 2 b, 8 1

2 k a, 8 1 2 k b スイッチ

C 6 1, C 6 2, C 6 3, C 6 4, C 6 5, C 6 7, C 6 8, C 6 9, C 6

k, C 8 1 a, C 8 1, C 8 1 k a, C 8 1 k b, C 6 1 0, C 6 1 1, C

6 1 2, C 6 1 3, C 6 1 4, C 6 1 5, C 6 1 6 加算コンデンサ

C 4 1, C 5 6, C 4 2 2, C 5 1 1 コンデンサ

C 4 5 小型コンデンサ

C 5 7 大型コンデンサ

C 4 2 1 個別コンデンサ

C 5 1 2 専用コンデンサ

請求の範囲

- [請求項1] 入射光を光電変換して電流を生成する光電変換素子と、
前記光電変換素子から入力される前記電流を電圧に変換する電流電圧変換部と、
前記電流電圧変換部に接続されて異なるタイミングで前記電流電圧変換部から入力される一方の電圧から他方の電圧を減算する複数の減算部と
を備える固体撮像素子。
- [請求項2] 前記複数の減算部のうちの1つの減算部である特定減算部は、前記電流電圧変換部に接続された一方の電極と、該一方の電極に対向して配置された他方の電極とを有するコンデンサを有し、
前記複数の減算部のうちの残余の減算部の少なくとも一部は、前記一方の電極に接続されている
請求項1に記載の固体撮像素子。
- [請求項3] 前記複数の減算部のうちの1つの減算部である特定減算部は、前記電流電圧変換部に接続された一方の電極と、該一方の電極に対向して配置された他方の電極とを有するコンデンサを有し、
前記複数の減算部のうちの残余の減算部の少なくとも一部は、前記他方の電極に接続されている
請求項1に記載の固体撮像素子。
- [請求項4] 前記電流電圧変換部と、前記特定減算部と、前記特定減算部での減算結果に基づく前記一方の電圧及び前記他方の電圧の差分が所定の閾値を越えたか否かを判定する第一判定部とを有し、前記光電変換素子の受光量に応じたイベントを検出する第一検出部、又は、
前記複数の減算部の残余の減算部のうちの一の減算部と、前記一の減算部での減算結果に基づく前記一方の電圧及び前記他方の電圧の差分が所定の閾値を越えたか否かを判定する第二判定部とを有する第二検出部の少なくとも一方

を備える請求項2に記載の固体撮像素子。

[請求項5] 各々が入射光を光電変換して電流を生成する複数の光電変換素子と

、

前記複数の光電変換素子のそれぞれに1つずつ接続されて前記光電変換素子から入力される前記電流を電圧に変換する複数の電流電圧変換部と、

前記複数の電流電圧変換部に接続されて異なるタイミングで前記電流電圧変換部のそれぞれから入力される一方の電圧に基づく第一電圧から他方の電圧に基づく第二電圧を減算する共用減算部と

を備える固体撮像素子。

[請求項6] 前記共用減算部での減算結果に基づく前記第一電圧及び前記第二電圧の差分が所定の閾値を越えたか否かを判定する共用判定部を備える請求項5に記載の固体撮像素子。

[請求項7] 前記複数の電流電圧変換部のそれぞれから出力される前記電圧を加算する加算部を備え、

前記共用減算部は、前記加算部で加算されて異なるタイミングで入力される一方の加算電圧である前記第一電圧から他方の加算電圧である前記第二電圧を減算する

請求項6に記載の固体撮像素子。

[請求項8] 前記複数の電流電圧変換部のそれぞれに1つずつ接続され、接続された前記電流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部を備え、

前記個別減算部は、該個別減算部が接続された前記電流電圧変換部に接続される一方の電極と、該一方の電極に対向して配置された他方の電極とを有する個別コンデンサを有し、

前記加算部は、前記電流電圧変換部に設けられた前記個別コンデンサの一方の電極に接続された一方の電極と、該一方の電極に対向して配置され前記共用減算部に接続された他方の電極とを有する加算コン

デンサを有し、

請求項 7 に記載の固体撮像素子。

[請求項9]

前記複数の電流電圧変換部にそれぞれ接続され、接続された前記電流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部と、

前記差分が前記閾値を越えたと前記共用判定部が判定した場合に、前記複数の光電変換素子、前記複数の電流電圧変換部及び前記複数の個別減算部の少なくともいずれか 1 つの動作をリセットするリセット部と

を備える請求項 6 に記載の固体撮像素子。

[請求項10]

前記複数の電流電圧変換部のそれぞれに 1 つずつ接続され、接続された前記電流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部と、

前記光電変換素子、前記電流電圧変換部、及び前記個別減算部をそれぞれ有する複数の個別画素と、

前記個別画素とは異なる画素に設けられた専用コンデンサとを備え、

複数の前記個別減算部のそれぞれは、該個別減算部が接続された前記電流電圧変換部に接続された一方の電極と、前記一方の電極に対向して配置された他方の電極とを有する個別コンデンサを有し、

前記複数の個別画素のそれぞれは、前記個別コンデンサの一方の電極に接続された一方の電極と、該一方の電極に対向して配置された他方の電極とを有し前記個別コンデンサよりも容量が小さい小型コンデンサを有し、

前記専用コンデンサは、一方の電極と、該一方の電極に対向して配置され前記小型コンデンサの他方の電極に接続された他方の電極とを有し、前記個別コンデンサよりも容量が小さい

請求項 5 に記載の固体撮像素子。

- [請求項11] 前記共用減算部での減算結果に基づく前記第一電圧及び前記第二電圧の差分が所定の閾値を越えたか否かを判定する共用判定部と、
前記差分が前記閾値を越えたと前記共用判定部が判定した場合に、前記複数の光電変換素子、前記複数の電流電圧変換部及び前記複数の個別減算部のうちの少なくともいずれか1つの動作をリセットするリセット部と
を備える請求項10に記載の固体撮像素子。
- [請求項12] 前記専用コンデンサと前記共用減算部とを有する共用画素と、
前記共用画素と前記複数の個別画素とを有する画素ブロックと
を備える請求項10に記載の固体撮像素子。
- [請求項13] 前記共用画素は、入射光を光電変換して電流を生成する共用光電変換素子と、前記共用光電変換素子から入力される前記電流を電圧に変換して該電圧を前記専用コンデンサの一方の電極に出力する共用電流電圧変換部とを有し、
前記共用光電変換素子は、前記複数の個別画素のうちの1つの個別画素に設けられた前記光電変換素子と接続されている
請求項12に記載の固体撮像素子。
- [請求項14] 前記共用減算部は、前記複数の個別画素が配置された画素領域とは異なる領域に配置されている
請求項10に記載の固体撮像素子。
- [請求項15] 複数の前記小型コンデンサの他方の電極と前記専用コンデンサの他方の電極とを切断可能に設けられた第一共用スイッチと、
前記共用コンデンサに並列に接続されて前記共用コンデンサよりも容量が大きい大型コンデンサと、
前記大型コンデンサに直列に接続され、かつ前記共用コンデンサに並列に接続された第二共用スイッチと
を備える請求項10に記載の固体撮像素子。
- [請求項16] 前記複数の電流電圧変換部にそれぞれ接続され、接続された前記電

流電圧変換部から異なるタイミングで入力される一方の電圧から他方の電圧を減算する個別減算部を備える

請求項 7 に記載の固体撮像素子。

[請求項17] 複数の前記加算コンデンサは、互いに異なる容量を有する

請求項 8 に記載の固体撮像素子。

[請求項18] 前記加算部は、前記複数の電流電圧変換部を前記共用減算部から個別に切断可能に設けられたスイッチ部を有し、

前記スイッチ部は、前記個別コンデンサの一方の電極及び複数の前記加算コンデンサの一方の電極の間に設けられたスイッチと、前記加算コンデンサの他方の電極及び前記共用減算部の間に設けられたスイッチとの少なくとも一方を有する

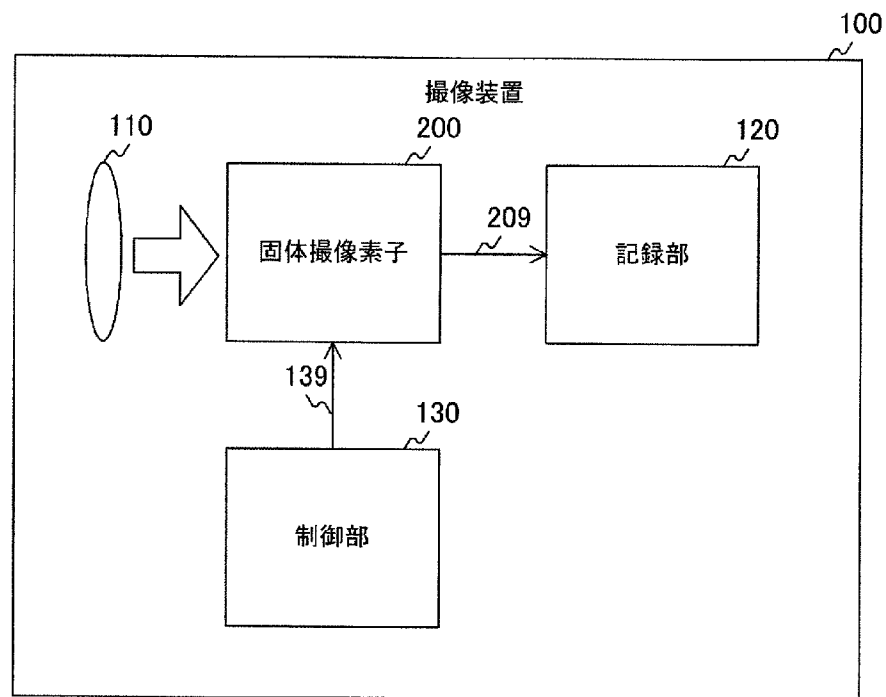
請求項 1 7 に記載の固体撮像素子。

[請求項19] 前記光電変換素子及び前記電流電圧変換部をそれぞれ有する複数の画素で構成された画素ブロックを備え、

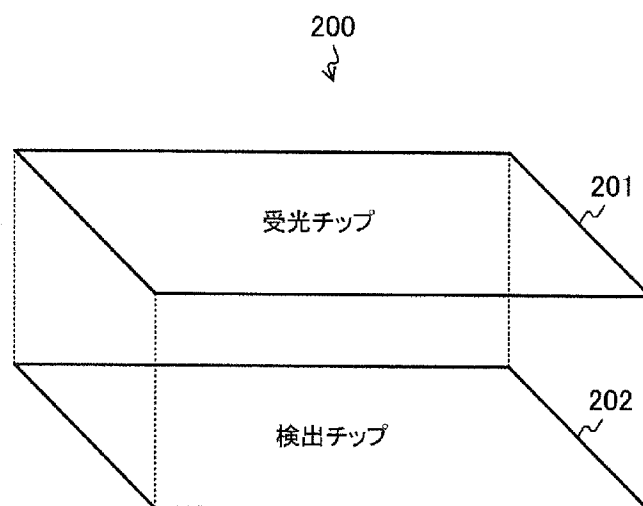
前記画素ブロックにおいて、容量が同じ前記加算コンデンサに接続された前記画素が所定パターンに配置されている

請求項 1 7 に記載の固体撮像素子。

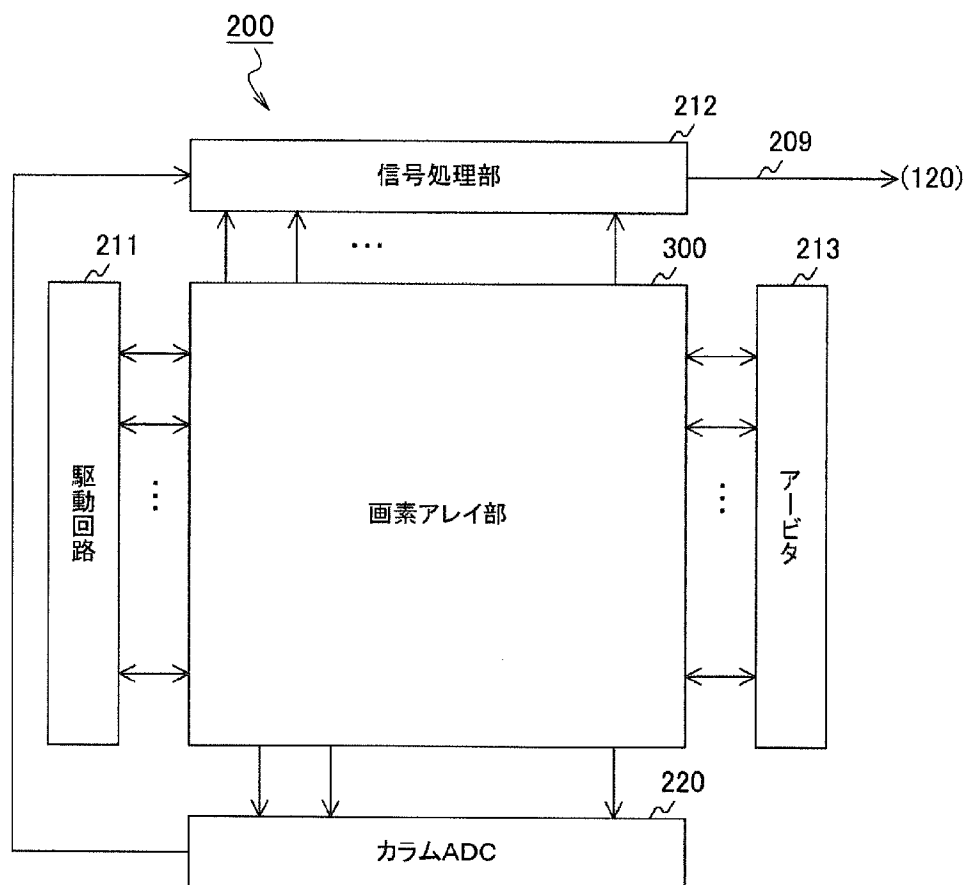
[図1]



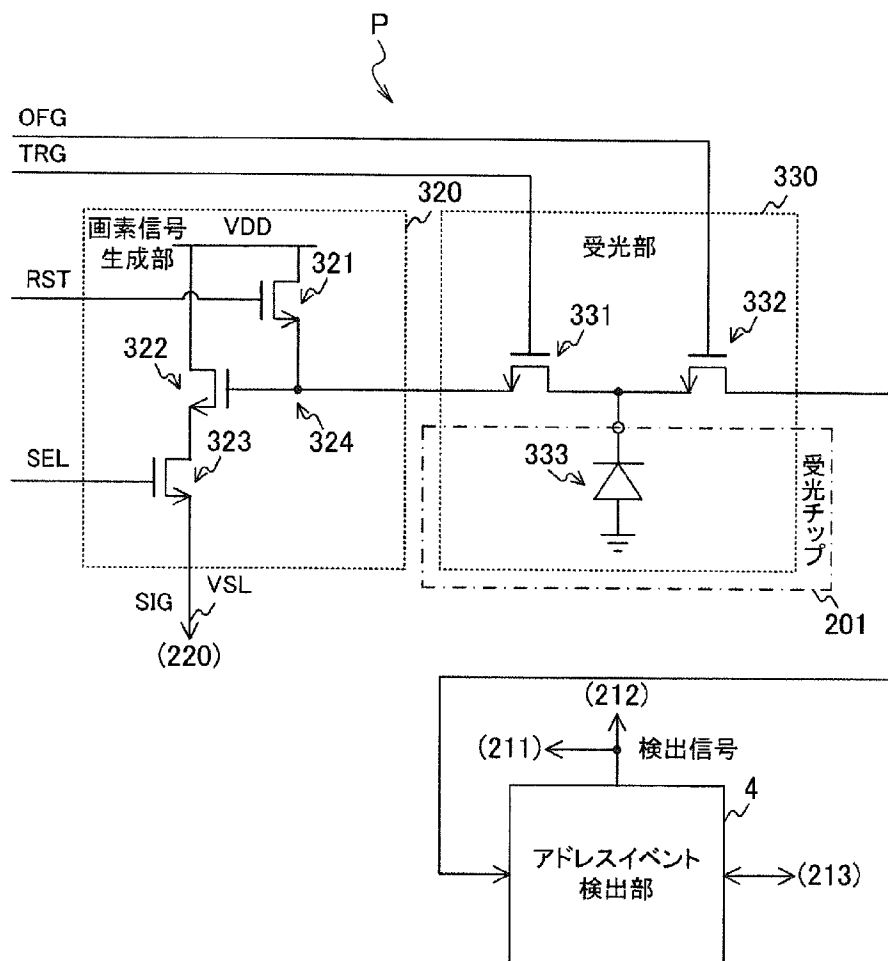
[図2]



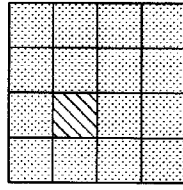
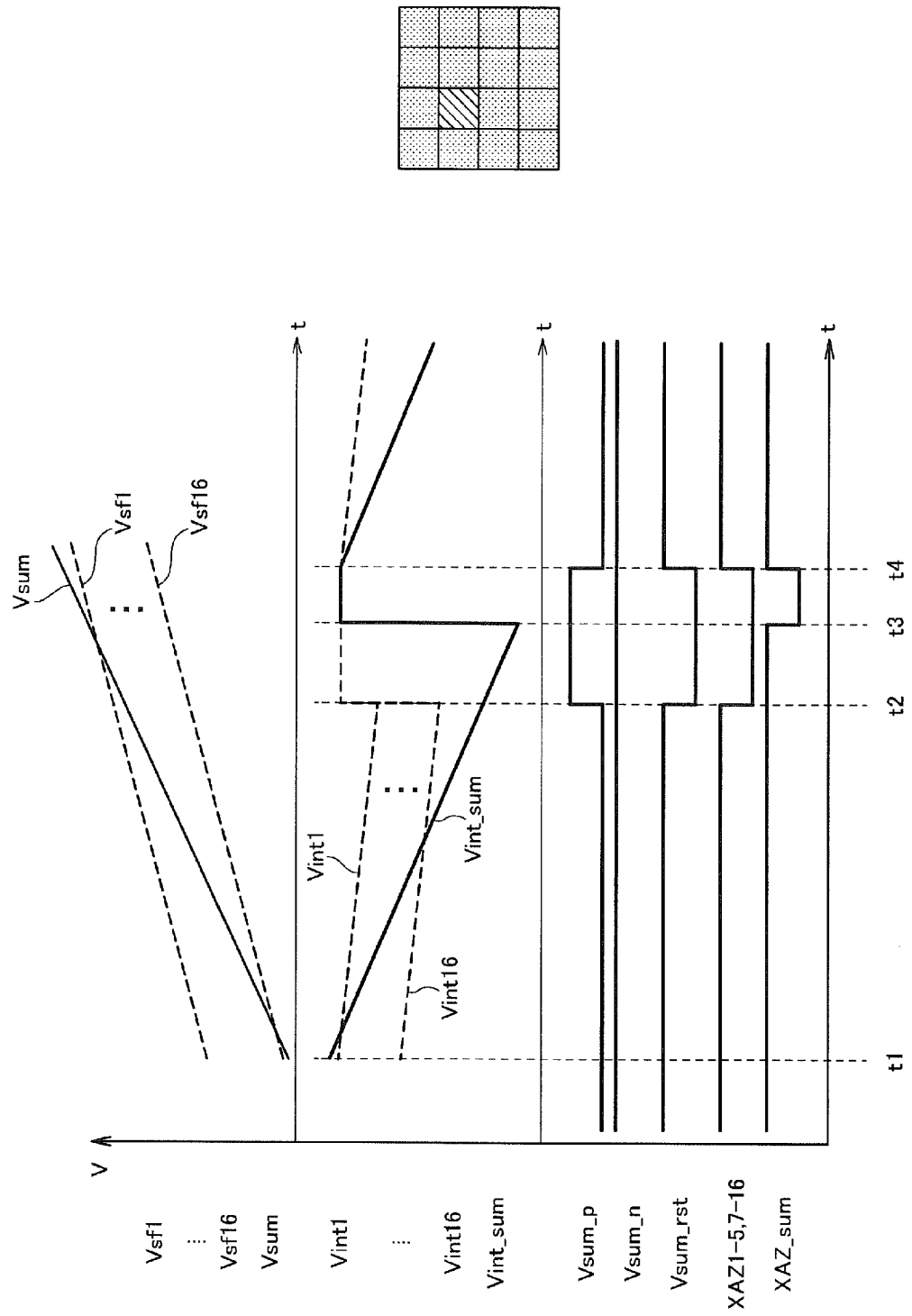
[図3]



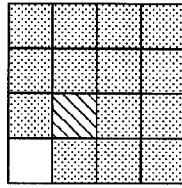
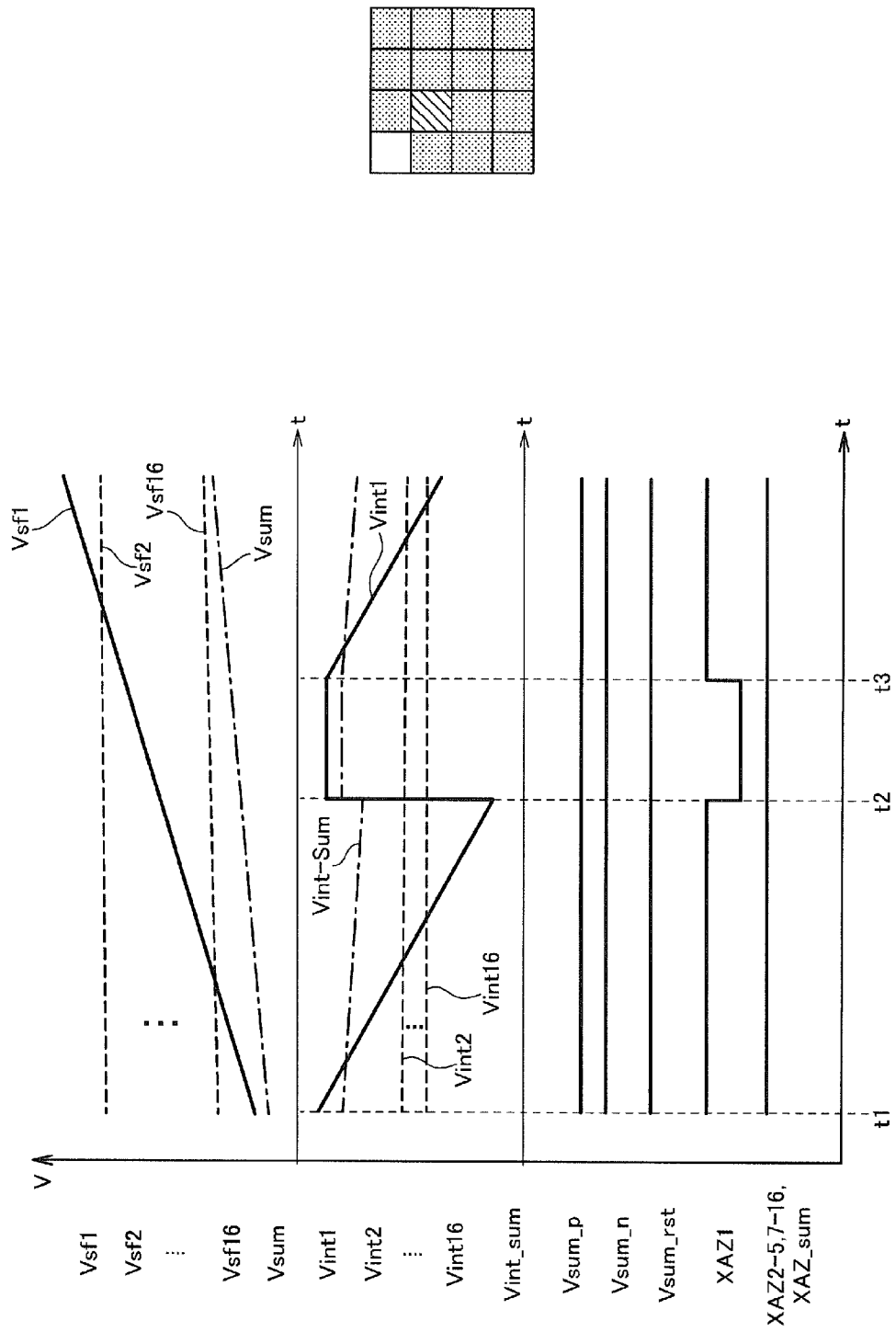
[図4]



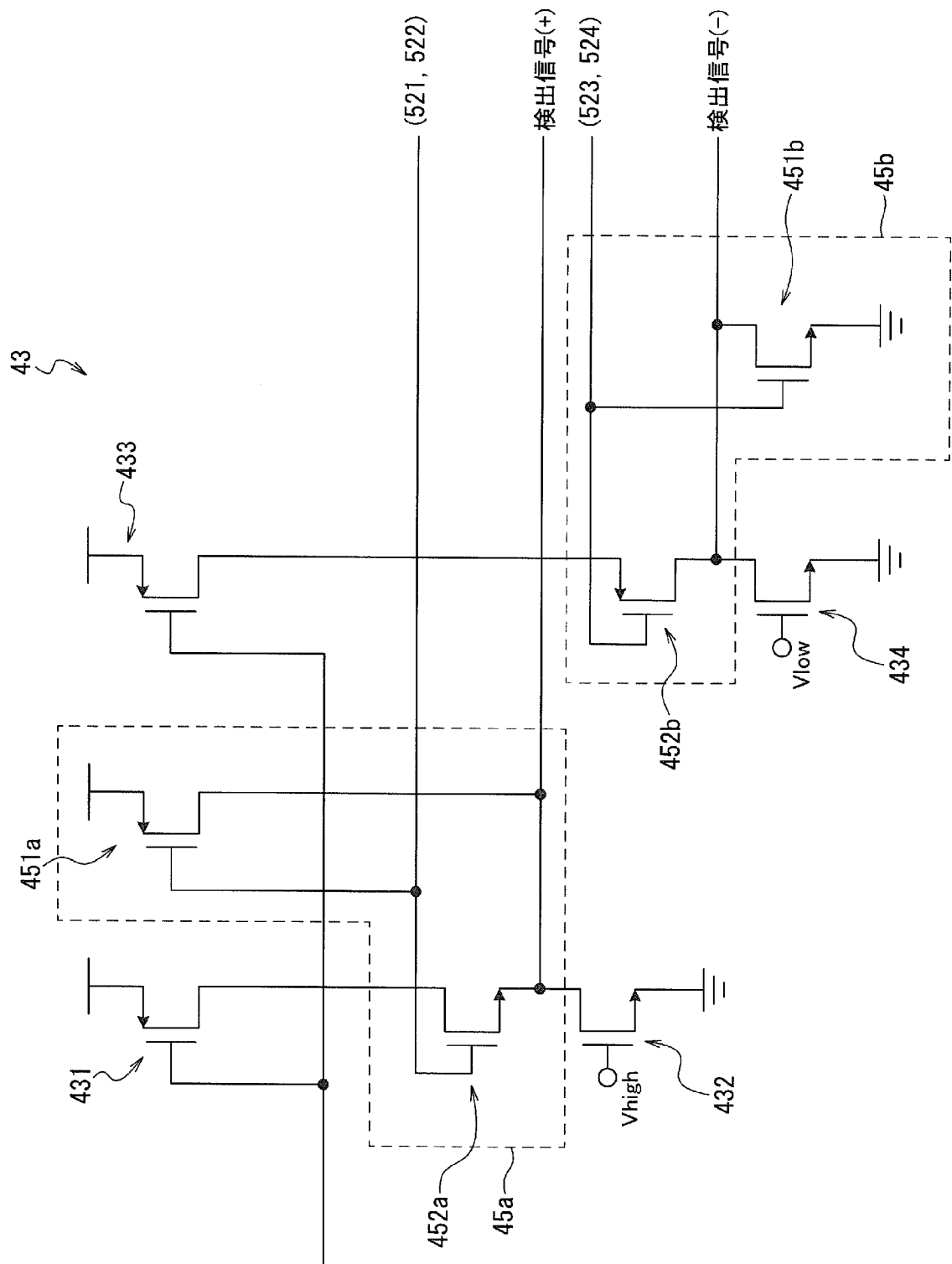
[図6]



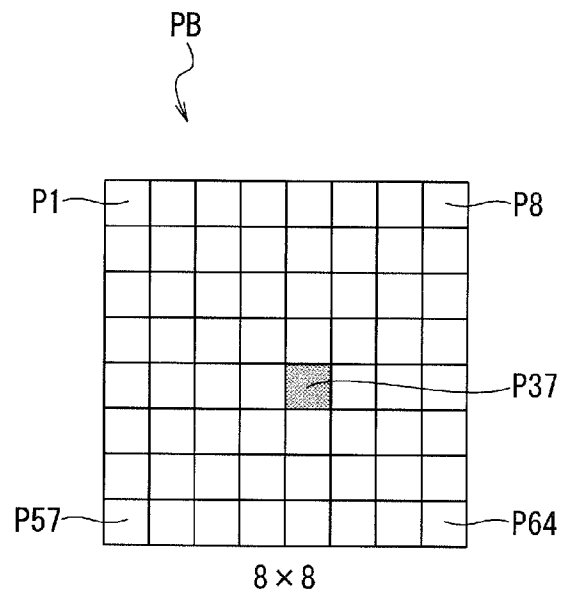
[図7]



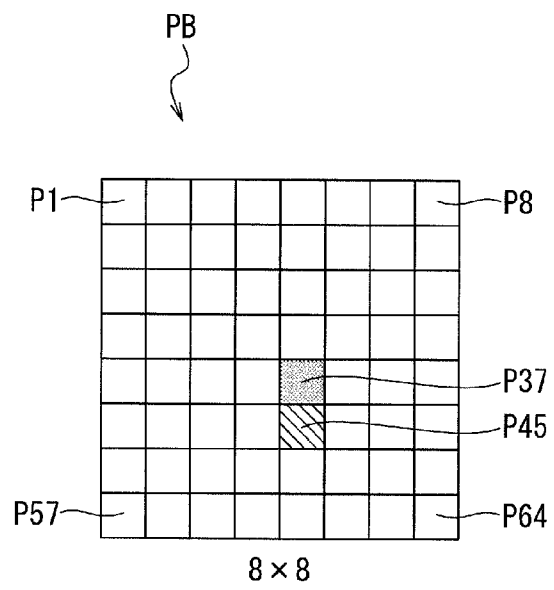
[図9]



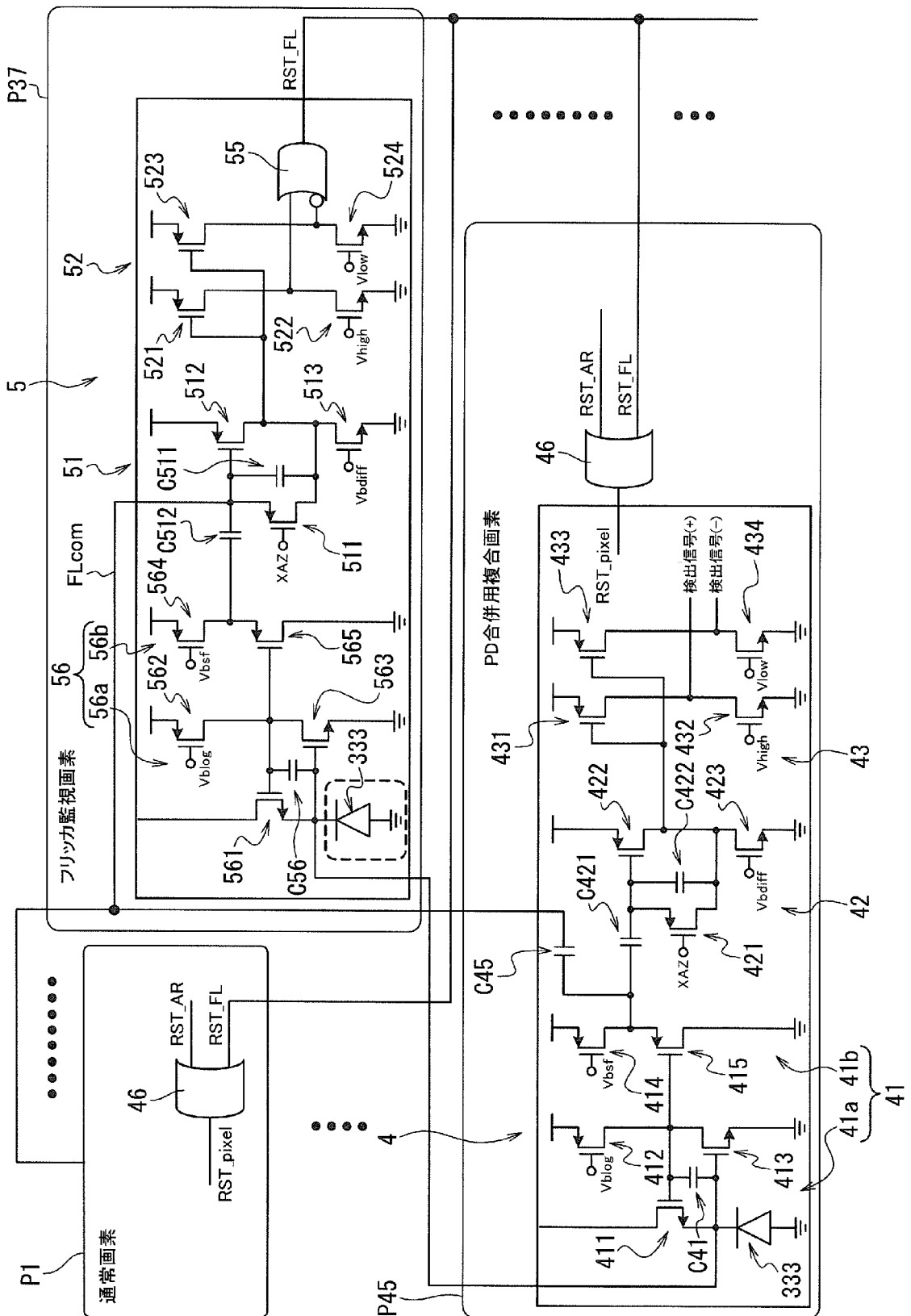
[図11]



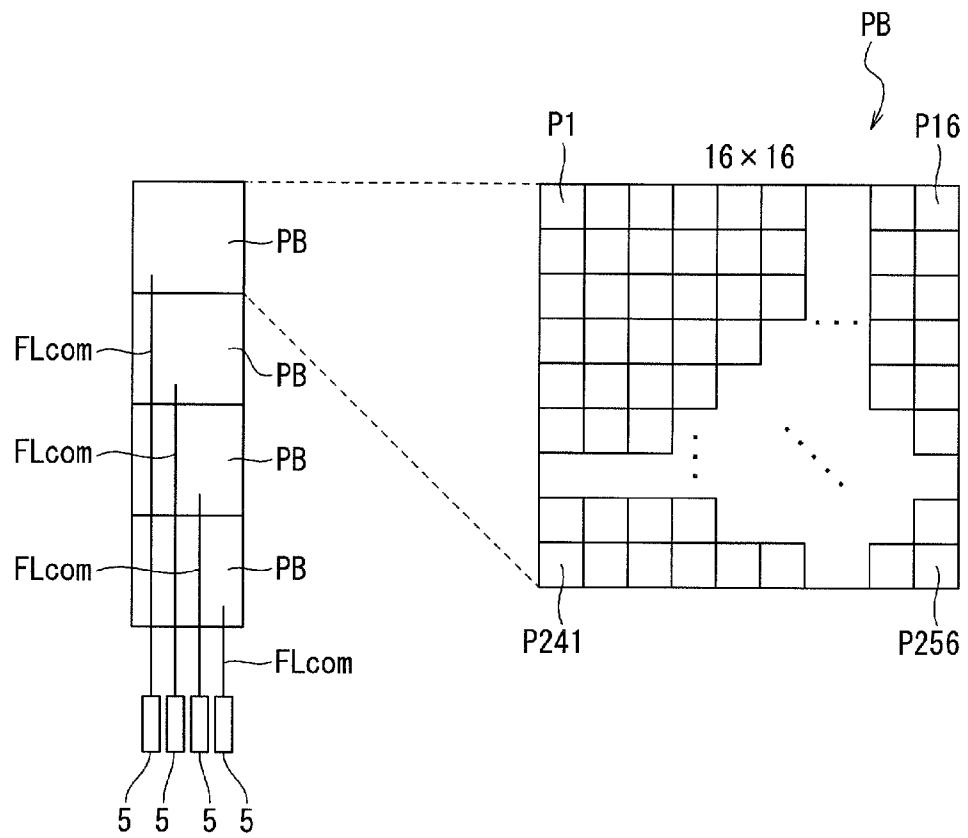
[図13]



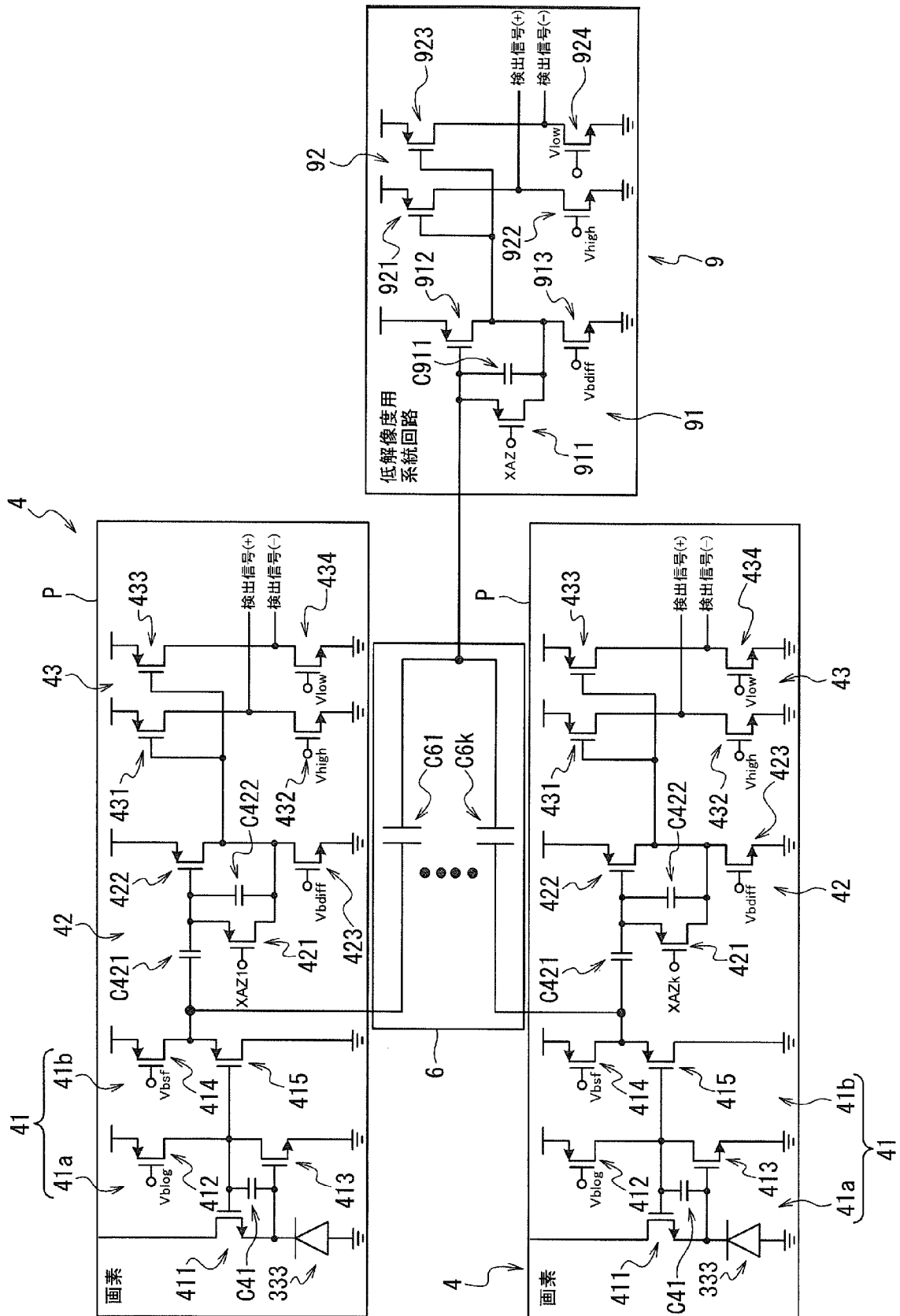
[図14]



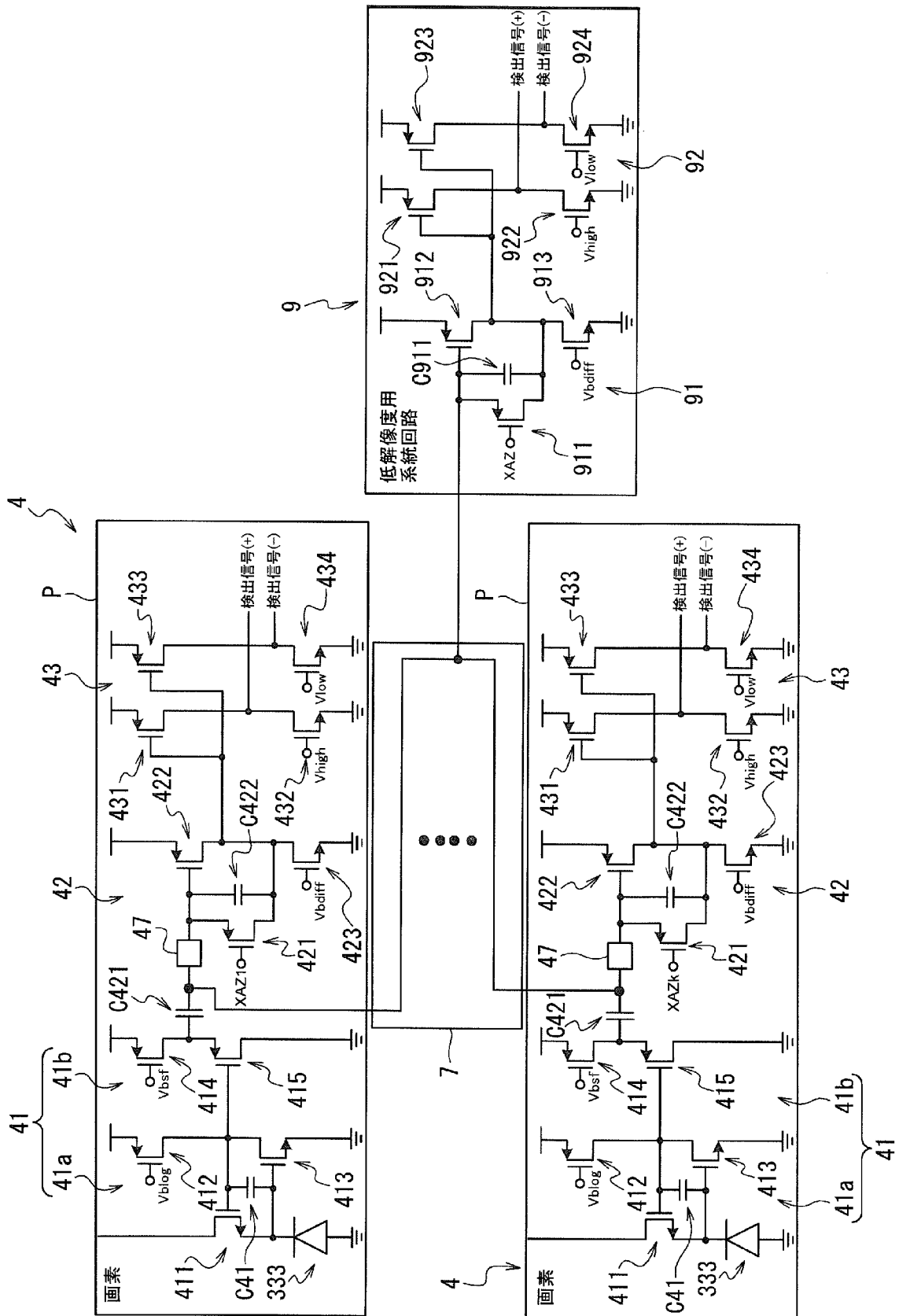
[図15]



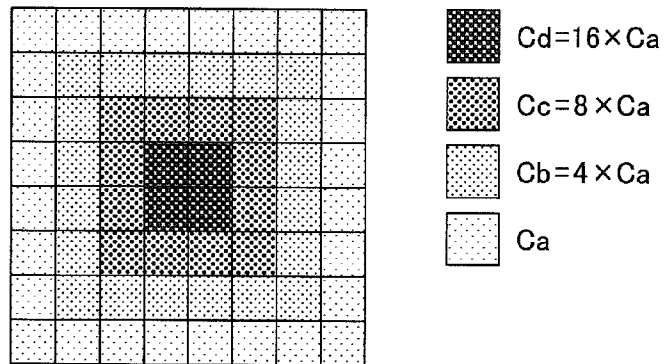
[図18]



[図19]

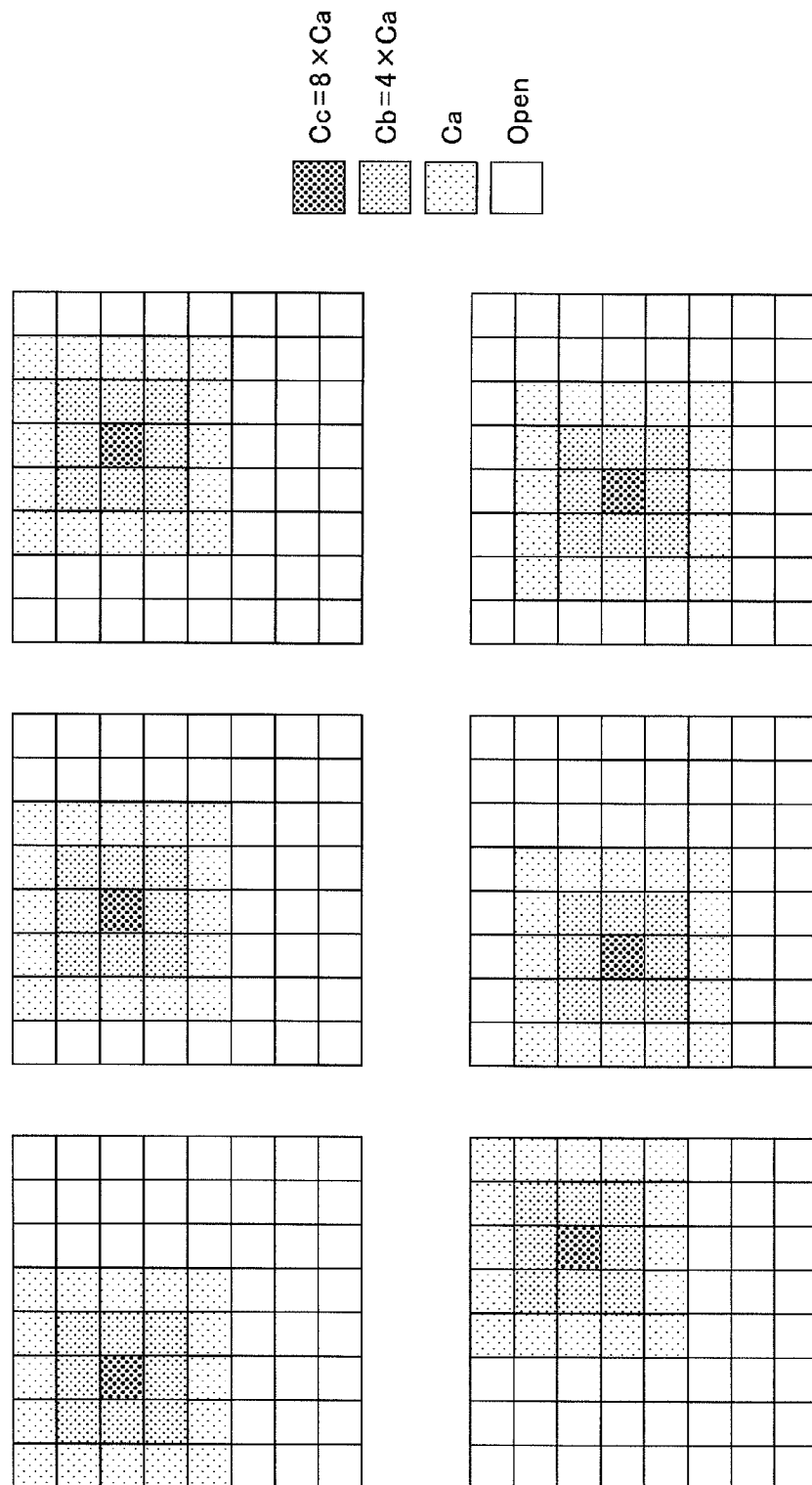


[図21]

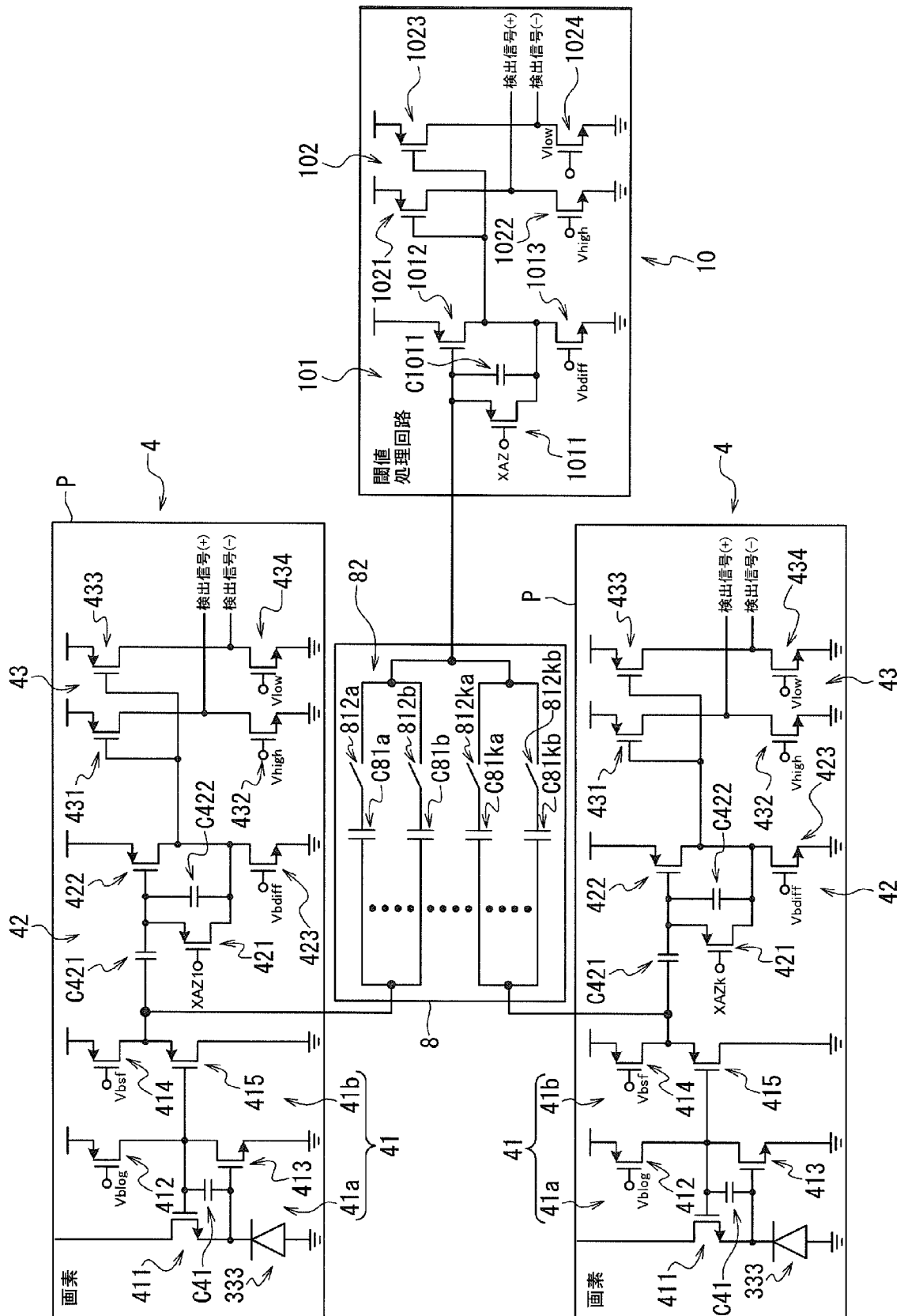


[illegible]

[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/016736

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/369(2011.01)i, H01L27/146(2006.01)i, H04N5/351(2011.01)i
 FI: H04N5/369, H01L27/146A, H04N5/351

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/369, H01L27/146, H04N5/351

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	LICHTSTEINER, P. and 2 others, A 128×128 120dB 15µs latency asynchronous temporal contrast vision sensor, IEEE Journal of Solid-State Circuits, 2008.01.31, vol. 43, no. 2, pp. 566-576, fig. 1, 2, 9-11	1 2-19
Y	DELBRUCK, T. and 1 other, Temporal contrast AER pixel with 0.3%-contrast event threshold, Proceedings of 2010 IEEE International Symposium on Circuits and Systems, 2010.08.03, pp. 2442-2445, fig. 1, 4-8	1
A	WO 2019/003675 A1 (SONY CORPORATION) 03.01.2019 (2019-01-03), paragraph [0145], fig. 1, 14	1-19
A	JP 2018-186478 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 22.11.2018 (2018-11-22), paragraphs [0224], [0225], fig. 5, 11	1-19
A	WO 2017/013806 A1 (OLYMPUS CORPORATION) 26.01.2017 (2017-01-26), fig. 1, 3B	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

02.06.2020

Date of mailing of the international search report

09.06.2020

Name and mailing address of the ISA/

Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/016736

WO 2019/003675 A1 03.01.2019 (Family: none)

JP 2018-186478 A 22.11.2018 WO 2018/198691 A1
paragraphs [0224], [0225], fig. 5, 11

WO 2017/013806 A1 26.01.2017 US 2018/0167575 A1
fig. 1, 3B

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/369(2011.01)i; H01L 27/146(2006.01)i; H04N 5/351(2011.01)i FI: H04N5/369; H01L27/146 A; H04N5/351										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H04N5/369; H01L27/146; H04N5/351										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2020年									
日本国実用新案登録公報	1996-2020年									
日本国登録実用新案公報	1994-2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	LICHTSTEINER, Patrick ほか2名, A 128×128 120dB 15μs Latency Asynchronous Temporal Contrast Vision Sensor, IEEE JOURNAL OF SOLID-STATE CIRCUITS, 2008,01,31, Vol.43 No.2, p.566-576 Fig.1-2, 9-11	1								
A	Fig.1-2, 9-11	2-19								
Y	DELBRUCK, Tobi ほか1名, Temporal contrast AER pixel with 0.3%-contrast event threshold, Proceedings of 2010 IEEE International Symposium on Circuits and Systems, 2010.08.03, p.2442-2445 Fig.1, 4-8	1								
A	WO 2019/003675 A1 (ソニー株式会社) 03.01.2019 (2019-01-03) 段落[0145]、図1,14	1-19								
A	JP 2018-186478 A (ソニーセミコンダクタソリューションズ株式会社) 22.11.2018 (2018-11-22) 段落[0224]-[0225]、図5,11	1-19								
A	WO 2017/013806 A1 (オリンパス株式会社) 26.01.2017 (2017-01-26) 図1、3 B	1-19								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 02.06.2020		国際調査報告の発送日 09.06.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 松永 隆志 5V 4228 電話番号 03-3581-1101 内線 3571								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/016736

引用文献			公表日	パテントファミリー文献	公表日
WO	2019/003675	A1	03.01.2019	(ファミリーなし)	
JP	2018-186478	A	22.11.2018	WO 2018/198691 A1	
				段落[0224]-[0225], 図5, 11	
WO	2017/013806	A1	26.01.2017	US 2018/0167575 A1	
				図 1、3 B	