

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 8/00

(11) 공개번호 특1997-0051141

(43) 공개일자 1997년07월29일

(21) 출원번호	특1995-0066882
(22) 출원일자	1995년12월29일
(71) 출원인	삼성전자주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지(우:440-370) 이시열
(74) 대리인	경기도 수원시 팔달구 매탄3동 990번지 신매탄아파트 136동 203호 이영필, 권석흠, 노민식

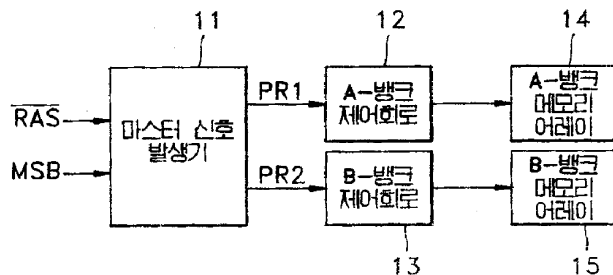
심사청구 : 있음

(54) 단일 RAS 신호에 의해 동시 동작이 가능한 이중 뱅크를 갖는 반도체 메모리 장치

요약

단일 로우 어드레스 스트로브($\overline{RAS}$)신호에 의해 동시 동작이 가능한 이중 뱅크를 갖는 반도체 메모리 장치가 포함되어 있다. 본 발명은 외부적으로는 단일 뱅크처럼 동작하면서, 즉 로우 어드레스 스트로브($\overline{RAS}$) 신호가 1개 이면서 내부적으로는 뱅크를 2개로 구성하여, 상기 로우 어드레스 스트로브($\overline{RAS}$) 신호의 프리차지 시간값이 기준 이하일 경우에는 이전에 선택된 뱅크의 프리차지 동작은 그대로 진행되면서 새로운 뱅크의 액티브 동작이 서로 충돌없이 진행될 수 있는 장점이 있다.

대표도



명세서

[발명의 명칭]

단일 $\overline{RAS}$ 신호에 의해 동시 동작이 가능한 이중뱅크를 갖는 반도체 메모리장치

[도면의 간단한 설명]

제2도는 본 발명에 따른 단일 $\overline{RAS}$ 신호에 의해 동시 동작이 가능한 이중뱅크를 갖는 DRAM의 개략적인 블록도.

제3도는 제2도에 있어서 마스터신호 발생기의 로우 어드레스 스트로브 버퍼의 구체회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

외부에서 입력되는 로우 어드레스 스트로브 신호에 의해 액티브 동작 및 프리차지 동작이 결정되는 2개 이상의 뱅크 메모리 어레이를 갖는 반도체 메모리장치에 있어서, 상기 뱅크 메모리 어레이중, 프리차지되는 뱅크 메모리 어레이의 프리차지 동작이 끝나기 전에, 다른 뱅크 메모리 어레이에 해당하는 뱅크 선택 비트가 인가되고 상기 로우 어드레스 스트로브 신호가 액티브 상태로 변환되면, 상기 프리차지되는 뱅크

