



(12) 发明专利

(10) 授权公告号 CN 102460558 B

(45) 授权公告日 2015. 01. 21

(21) 申请号 201080026836. 9

(22) 申请日 2010. 03. 18

(30) 优先权数据

2009-144749 2009. 06. 17 JP

(85) PCT国际申请进入国家阶段日

2011. 12. 16

(86) PCT国际申请的申请数据

PCT/JP2010/001972 2010. 03. 18

(87) PCT国际申请的公布数据

W02010/146753 JA 2010. 12. 23

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 大河宽幸 佐佐木宁 村上祐一郎

古田成 横山真

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

代理人 龙淳

(51) Int. Cl.

G09G 3/36(2006. 01)

G02F 1/133(2006. 01)

G09G 3/20(2006. 01)

G11C 19/00(2006. 01)

G11C 19/28(2006. 01)

(56) 对比文件

CN 101336447 A, 2008. 12. 31, 说明书第 1-20 页, 附图 1-7.

CN 101336447 A, 2008. 12. 31, 说明书第 1-20 页, 附图 1-7.

WO 2009/050926 A1, 2009. 04. 23, 说明书第 0001-0124 段, 附图 1-10.

CN 101223606 A, 2008. 07. 16, 全文.

US 6342876 B1, 2002. 01. 29, 全文.

JP 特开 2000-347627 A, 2000. 12. 15, 全文.

CN 1609939 A, 2005. 04. 27, 全文.

CN 1648972 A, 2005. 08. 03, 全文.

审查员 李小兰

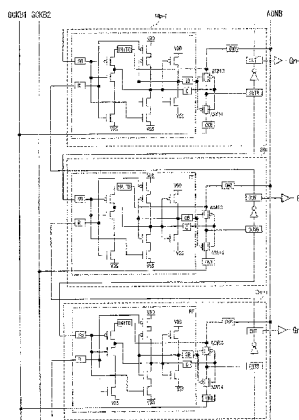
权利要求书3页 说明书21页 附图33页

(54) 发明名称

移位寄存器、显示驱动电路、显示面板、显示装置

(57) 摘要

一种移位寄存器,其在进行多根信号线... 一种移位寄存器,其在进行多根信号线... 同时选择的显示驱动电路中使用,该移位寄存器在各级中包括:具有初始化用端子(INITB)的触发器(FF);和被输入同时选择信号(AONB信号)并使用上述触发器的输出(Q、QB)生成本级的输出信号(OUTB)的信号生成电路,各级的输出信号(OUTB)通过同时选择信号(AONB)的有效化DMJ成为有效并在进行同时选择的期间为有效,触发器的初始化用端子(INITB)、置位用端子(SB)和复位用端子(R)为有效的期间,该触发器(FF)的输出(Q、QB)成为无效,向该触发器的初始化用端子(INITB)输入同时选择信号(AONB信号)。由此能够实现能够将各种驱动器小型化的移位寄存器。



CN 102460558 B

1. 一种移位寄存器,其特征在于:

该移位寄存器在进行多个信号线的同时选择的显示驱动电路中使用,

该移位寄存器在各级中包括:具有初始化用端子的触发器;和被输入同时选择信号并使用所述触发器的输出以生成本级的输出信号的信号生成电路,

各级的输出信号通过所述同时选择信号的有效化而成为有效并在进行所述同时选择的期间为有效,

触发器的初始化用端子为有效的期间,不论其它的输入端子的状态如何,该触发器的输出都成为无效,

向所述初始化用端子输入所述同时选择信号,

所述触发器为置位复位型,在初始化用端子、置位用端子和复位用端子成为有效时,该触发器的输出成为无效,

所述信号生成电路具有栅极电路,该栅极电路选择性地获取与输入的切换信号对应的信号并将其作为本级的输出信号,

所述信号生成电路还包括逻辑电路,

所述触发器的输出被输入逻辑电路,该逻辑电路的输出作为所述切换信号输入栅极电路,本级的输出信号向该逻辑电路和所述触发器的复位用端子反馈。

2. 一种移位寄存器,其特征在于:

该移位寄存器在进行多个信号线的同时选择的显示驱动电路中使用,

该移位寄存器在各级中包括:置位复位型的触发器;和被输入同时选择信号,并使用所述触发器的输出以生成本级的输出信号的信号生成电路,

所述信号生成电路具有栅极电路,该栅极电路根据基于触发器的输出而输入的切换信号选择性地获取所述同时选择信号或者时钟信号作为本级的输出信号,

在进行同时选择的期间,所述触发器的置位用端子和复位用端子成为有效,并且该触发器的输出成为无效,由此,栅极电路获取同时选择信号,

所述信号生成电路还包括逻辑电路,

所述触发器的输出被输入逻辑电路,本级的输出信号向该逻辑电路和所述触发器反馈,所述栅极电路根据该逻辑电路的输出选择性地获取所述同时选择信号或者时钟信号作为本级的输出。

3. 如权利要求 1 或 2 所述的移位寄存器,其特征在于:

在所述逻辑电路中包括 NAND。

4. 如权利要求 3 所述的移位寄存器,其特征在于:

所述 NAND 包括多个 P 沟道的晶体管和多个 N 沟道的晶体管,在该 NAND 中,P 沟道的各晶体管的驱动能力高于 N 沟道的各晶体管的驱动能力。

5. 如权利要求 1 或 2 所述的移位寄存器,其特征在于:

所述同时选择结束前,被输入各级的触发器的置位用信号和复位用信号均为有效,在同时选择结束时,所述置位用信号先于所述复位用信号无效化。

6. 如权利要求 1 或 2 所述的移位寄存器,其特征在于:

所述触发器包括:P 沟道的第一晶体管和 N 沟道的第二晶体管的栅极端子彼此连接且漏极端子彼此连接的第一 CMOS 电路;P 沟道的第三晶体管和 N 沟道的第四晶体管的栅极端

子彼此连接且漏极端子彼此连接的第二 CMOS 电路；输入晶体管；多个输入端子；和第一输出端子和第二输出端子，其中，第一 CMOS 电路的栅极侧、第二 CMOS 电路的漏极侧和第一输出端子相连接，并且，第二 CMOS 电路的栅极侧、第一 CMOS 电路的漏极侧和第二输出端子相连接，所述输入晶体管中，栅极端子和源极端子分别与不同的输入端子连接，并且，漏极端子与输出端子连接。

7. 如权利要求 6 所述的移位寄存器，其特征在于：

所述输入晶体管为 P 沟道晶体管，该输入晶体管的源极端子与在无效时为第一电位而在有效时为低于第一电位的第二电位的信号的输入端子连接。

8. 如权利要求 6 所述的移位寄存器，其特征在于：

所述输入晶体管为 N 沟道晶体管，该输入晶体管的源极端子与在有效时为第一电位而在无效时为低于第一电位的第二电位的信号的输入端子连接。

9. 一种显示驱动电路，其特征在于：

包括权利要求 1 至 8 中任一项所述的移位寄存器。

10. 一种显示驱动电路，其特征在于：

包括权利要求 2 所述的移位寄存器，

在进行同时选择的期间将所述时钟信号固定为有效。

11. 一种显示面板，其特征在于：

单片地形成权利要求 9 或 10 所述的显示驱动电路和像素电路。

12. 一种显示装置，其特征在于：

包括权利要求 1 至 8 中任一项所述的移位寄存器。

13. 一种显示驱动电路，其特征在于：

该显示驱动电路在显示装置中使用，该显示装置向与像素所包含的像素电极形成电容的保持电容配线，供给与写入该像素电极的信号电位的极性相对应的调制信号，

该显示驱动电路包括权利要求 1 或 2 所述的移位寄存器，

与该移位寄存器的各级对应地各设置一个保持电路，并且，向各保持电路输入保持对象信号，当在本级生成的控制信号变为有效时，与本级对应的保持电路获取所述保持对象信号并对其进行保持，

将本级的输出信号向连接于与本级对应的像素的扫描信号线供给，并且，将与本级对应的保持电路的输出作为所述调制信号向保持电容配线供给，该保持电容配线和与本级的前一级对应的像素的像素电极形成电容。

14. 一种显示驱动电路，其特征在于：

该显示驱动电路在显示装置中使用，该显示装置向与像素所包含的像素电极形成电容的保持电容配线，供给与写入该像素电极的信号电位的极性相对应的调制信号，

该显示驱动电路包括权利要求 1 或 2 所述的移位寄存器，

与该移位寄存器的各级对应地各设置一个保持电路，并且，向各保持电路输入保持对象信号，

当在一个级生成的控制信号变为有效时，与该级对应的保持电路获取所述保持对象信号并对其进行保持，

将一个保持电路的输出作为所述调制信号向保持电容配线供给，

在各级生成的控制信号在显示视频的最初的垂直扫描期间之前成为有效。

15. 一种显示驱动电路,其特征在于:

该显示驱动电路在显示装置中使用,该显示装置向与像素所包含的像素电极形成电容的保持电容配线,供给与写入该像素电极的信号电位的极性相对应的调制信号,

该显示驱动电路包括权利要求 1 或 2 所述的移位寄存器,

与该移位寄存器的各级对应地各设置一个保持电路,并且,向各保持电路输入保持对象信号,

本级的输出信号和本级的后一级的输出信号被输入逻辑电路,并且,当该逻辑电路的输出变为有效时,与本级对应的保持电路获取所述保持对象信号并对其进行保持,

将本级的输出信号向连接于与本级对应的像素的扫描信号线供给,并且,将与本级对应的保持电路的输出作为所述调制信号向保持电容配线供给,该保持电容配线和与本级对应的像素的像素电极形成电容,

使输入多个保持电路的保持对象信号的相位与输入其它多个保持电路的保持对象信号的相位不同。

16. 一种显示驱动电路,其特征在于:

该显示驱动电路在显示装置中使用,该显示装置包括经由开关元件与数据信号线和扫描信号线连接的像素电极,并且向与该像素电极形成电容的保持电容配线,供给与写入该像素电极的信号电位的极性相对应的调制信号,

该显示驱动电路包括权利要求 1 或 2 所述的移位寄存器,

并在下述模式间切换:使供给数据信号线的信号电位的极性按每 n 个水平扫描期间进行反转的模式;和使供给数据信号线的信号电位的极性按每 m 个水平扫描期间进行反转的模式,其中, n 为自然数, m 为与 n 不同的自然数。

移位寄存器、显示驱动电路、显示面板、显示装置

技术领域

[0001] 本发明涉及移位寄存器和各种显示驱动器。

背景技术

[0002] 在专利文献 1 (参照图 34) 中,公开有一种将栅极驱动器中所含的移位寄存器的各级的输出输入到 NAND,并且,向该 NAND 输入 DCG 信号,向扫描信号线供给 NAND 的输出的结构。在该结构中,通过在液晶显示装置的电源 ON、OFF (导通、断开) 时将 DCG 信号激活,能够同时选择全扫描信号线,并向全像素写入 Vcom (公用电极电位)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献 1:日本公开专利公报“特开 2000-347627 号 (公开日 2000 年 12 月 15 日)”

发明内容

[0006] 发明要解决的问题

[0007] 在上述现有的结构中,需要输入移位寄存器的输出和 DCG 信号的 NAND 以及用于在同时选择之后将移位寄存器初始化的部件 (初始化信号的生成电路、发送线等),因此阻碍了栅极驱动器的小型化。

[0008] 本发明的目的在于提供一种实现显示驱动电路 (各种显示驱动器) 的小型化的移位寄存器。

[0009] 解决问题的技术手段

[0010] 本发明的移位寄存器的特征在于,其是在例如以规定的定时进行多个信号线的同时选择的显示驱动电路中使用的移位寄存器,该移位寄存器在各级中包括:具有初始化用端子的触发器;和被输入同时选择信号并使用上述触发器的输出来生成本级的输出信号的信号生成电路,各级的输出信号通过上述同时选择信号的有效化而成为有效并在进行上述同时选择的期间为有效,触发器的初始化用端子为有效的期间,无论 (该触发器的) 其它的输入端子的状态如何,该触发器的输出都成为无效,向上述初始化用端子输入同时选择信号。

[0011] 根据所述结构,能够将同时选择信号作为用于移位寄存器的初始化的信号使用,因此,无需另外生成用于对移位寄存器进行初始化的信号并向各级输入。由此,能够实现使用移位寄存器的显示驱动电路 (各种显示驱动器) 的小型化。

[0012] 发明的效果

[0013] 根据本发明,能够实现显示驱动电路 (显示驱动器) 的小型化。

附图说明

[0014] 图 1 是表示本实施方式 1 的液晶显示装置的结构示意图。

- [0015] 图 2 是表示图 1 所示的液晶显示装置的移位寄存器的一部分的电路图。
- [0016] 图 3 是图 2 所示的移位寄存器的触发器的电路图 (a) 和真值表 (b)。
- [0017] 图 4 是表示图 1 的液晶显示装置的驱动方法 (电源 ON 时) 的时序图。
- [0018] 图 5 是表示图 1 的液晶显示装置的驱动方法 (电源 OFF 时) 的时序图。
- [0019] 图 6 是表示图 1 的液晶显示装置的驱动方法 (强制截断时) 的时序图。
- [0020] 图 7 是表示本实施方式 1 的液晶显示装置的其它结构的示意图。
- [0021] 图 8 是表示图 2 所示的移位寄存器的变形例的电路图。
- [0022] 图 9 是图 8 所示的移位寄存器的触发器的电路图 (a) 和真值表 (b)。
- [0023] 图 10 是表示本实施方式 1 的液晶显示装置的另一结构的示意图。
- [0024] 图 11 是表示图 10 所示的液晶显示装置的移位寄存器的一部分的电路图。
- [0025] 图 12 是图 11 所示的移位寄存器的触发器的电路图 (a) 和真值表 (b)。
- [0026] 图 13 是表示图 10 的液晶显示装置的驱动方法 (电源 ON 时) 的时序图。
- [0027] 图 14 是表示本实施方式 1 的液晶显示装置的又一对构的示意图。
- [0028] 图 15 是表示图 14 所示的液晶显示装置的移位寄存器的一部分的电路图。
- [0029] 图 16 是图 15 所示的移位寄存器的触发器的电路图 (a)、动作时序图 (b) 和真值表 (c)。
- [0030] 图 17 是表示图 14 的液晶显示装置的驱动方法 (电源 ON 时) 的时序图。
- [0031] 图 18 是表示图 15 的变形例的电路图。
- [0032] 图 19 是表示本实施方式 2 的液晶显示装置的结构示意图。
- [0033] 图 20 是表示图 19 的液晶显示装置的移位寄存器的一部分的电路图。
- [0034] 图 21 是表示图 19 的液晶显示装置的驱动方法 (电源 ON 时) 的时序图。
- [0035] 图 22 是表示图 20 的 NAND 的具体的结构的电路图。
- [0036] 图 23 是表示本实施方式 3 的液晶显示装置的结构示意图。
- [0037] 图 24 是表示图 23 所示的液晶显示装置的移位寄存器的各级的电路图。
- [0038] 图 25 是表示图 23 所示的液晶显示装置的 G-CS 驱动器的 D 锁存电路的电路图。
- [0039] 图 26 是表示图 23 的液晶显示装置的驱动方法的时序图。
- [0040] 图 27 是表示图 23 的液晶显示装置的驱动方法的时序图。
- [0041] 图 28 是表示本实施方式 4 的液晶显示装置的结构示意图。
- [0042] 图 29 是表示图 28 的液晶显示装置的驱动方法的时序图。
- [0043] 图 30 是表示图 28 的液晶显示装置的驱动方法的时序图。
- [0044] 图 31 是表示移位寄存器的各级的结构例的电路图。
- [0045] 图 32 是表示本实施方式 5 的液晶显示装置的结构示意图。
- [0046] 图 33 是表示图 32 所示的液晶显示装置的移位寄存器的一部分的电路图。
- [0047] 图 34 是表示现有的移位寄存器的结构的电路图。

具体实施方式

[0048] 下面,基于图 1~图 33 对本发明的实施方式进行说明。另外,在以下说明中,向置位复位型触发器(下面适当简记为 FF)的置位用端子(S 端子或者 SB 端子)输入置位用信号(S 信号或者 SB 信号),向复位用端子(R 端子或者 RB 端子)输入复位用信号(R 信号或

者 RB 信号), 并从输出端子 (Q 端子) 输出 Q 信号, 从反转输出端子 (QB 端子) 输出 QB 信号。另外, 将高电位侧电源 (VDD) 的电位设为 Vdd (以下适宜地记为 High), 将低电位侧电源 (VSS) 的电位设为 Vss (以下适宜地记为 Low)。S 信号 (置位信号)、R 信号 (复位信号) 和 Q 信号 (输出信号) 在有效 (active) 时成为 High (高电平) 的信号, SB 信号 (反转置位信号 (set bar))、RB 信号 (反转复位信号) 和 QB 信号 (反转输出信号) 在有效时成为 Low (低电平) 的信号。

[0049] (实施方式 1)

[0050] 图 1 是表示本发明的液晶显示装置 3a 的结构的电路图。液晶显示装置 3a 包括: 显示部 DAR、栅极驱动器 GD、源极驱动器 SD 和显示控制电路 DCC。显示控制电路 DCC 向栅极驱动器 GD 供给 AON 信号 (同时选择信号)、栅极启动脉冲 GSP、栅极导通使能 (gate on enable) 信号 GOE 和栅极时钟信号 GCK1、GCK2。另外, 显示控制电路 DCC 向源极驱动器 SD 供给源极启动脉冲 SSP、数字数据 DAT、极性信号 POL 和源极时钟信号 SCK。栅极驱动器 GD 中包括移位寄存器 SR, 该移位寄存器 SR 包括多级。下面, 将移位寄存器的 i 级 ($i = 1, \dots, n-1, n, n+1, \dots$) 适宜地简记为 i 级 SRi。

[0051] 来自移位寄存器的 i 级 SRi 的输出信号 (OUT 信号), 经由缓存器向显示部 DAR 的扫描信号线 Gi 供给。例如, n 级 SRn 的 OUT 信号经由缓存器向扫描信号线 Gn 供给。在显示部 DAR 中, 扫描信号线 Gn 连接于与 PIXn 内的像素电极连接的晶体管的栅极, 在 PIXn 内的像素电极与保持电容配线 CSn 之间形成有保持电容 (辅助电容)。

[0052] 另外, 对应一根数据信号线设置一个模拟开关 asw 和反相器, 该反相器的输入与 AON 信号线连接, 数据信号线的端部与模拟开关 asw 的一个导通端子连接, 模拟开关 asw 的另一个导通端子与 Vcom (共用电极电位) 电源连接, 模拟开关 asw 的 P 沟道侧栅极与反相器的输出连接, 模拟开关 asw 的 N 沟道侧栅极与 AON 信号线连接。

[0053] 图 2 是表示移位寄存器 SR 的一部分的具体结构的电路图。如该图所示, 在移位寄存器的各级中包括: 具有 SB 端子、R 端子和 INIT 端子的置位复位型触发器 FF、两个模拟开关 ASW1、ASW2、反相器、CK 端子、ON 端子、OUT 端子、OUTB 端子, 触发器 FF 的 INIT 端子与 ON 端子连接, FF 的 Q 端子与模拟开关 ASW1 的 P 沟道侧栅极和模拟开关 ASW2 的 N 沟道侧栅极连接, FF 的 QB 端子与模拟开关 ASW1 的 N 沟道侧栅极和模拟开关 ASW2 的 P 沟道侧栅极连接, 模拟开关 ASW1 的一导通电极与 ON 端子连接, 并且, 模拟开关 ASW2 的一导通电极与 CK 端子连接, 模拟开关 ASW1 的另一导通电极、模拟开关 ASW2 的另一导通电极和作为该级的输出端子的 OUT 端子相连接, 且 OUT 端子经由反相器与 OUTB 端子连接。

[0054] 在移位寄存器 SR 中, 本级的 OUTB 端子与下一级的 SB 端子连接, 下一级的 OUT 端子与本级的 R 端子连接。例如, n 级 SRn 的 OUTB 端子与 (n+1) 级 SRn+1 的 SB 端子连接, (n+1) 级 SRn+1 的 OUT 端子与 n 级 SRn 的 R 端子连接。另外, 向移位寄存器 SR 的初始级 SR1 的 SB 端子输入 GSPB 信号。另外, 在栅极驱动器 GD 中, 各级的 ON 端子与 AON 信号线连接, 奇数级的 CK 端子和偶数级的 CK 端子与不同的 GCK 线 (供给 GCK 的线) 连接。例如, n 级 SRn 的 CK 端子与 GCK2 信号线连接, (n+1) 级 SRn+1 的 CK 端子与 GCK1 信号线连接。

[0055] 作为图 2 的触发器 FF, 使用图 3 所示的 FF1。如该图所示, 触发器 FF1 如下构成, 其包括: 构成 CMOS 电路的 P 沟道晶体管 p84 和 N 沟道晶体管 n84、构成 CMOS 电路的 P 沟道晶体管 p85 和 N 沟道晶体管 n85、P 沟道晶体管 P81、P82、P83、N 沟道晶体管 n82、n83、n99、

SB 端子、R 端子、Q 端子、QB 端子,其中,P84 的栅极、n84 的栅极、P85 的漏极、n85 的漏极和 QB 端子相连接,并且,p84 的漏极、n84 的漏极、p81 的漏极、n82 的漏极、p85 的栅极、n85 的栅极、n99 的漏极和 Q 端子相连接,n84 的源极和 n83 的漏极相连接,p84 的源极和 p83 的漏极相连接,p81 的源极和 p82 的漏极相连接,INIT 端子与 n99 的栅极连接,SB 端子与 P81 的栅极和 n83 的栅极连接,R 端子与 n82 的栅极、p82 的栅极、p83 的栅极连接,n85 的源极与 VSS 连接,p82、p83 和 p85 的源极与 VDD 连接,n82、n99 和 n83 的源极与 VSS 连接。在此,p84、n84、p85 和 n85 构成锁存电路 LC,p81 作为置位晶体管 ST 发挥作用,n82 作为复位晶体管 RT 发挥作用,p83 和 n83 分别作为锁存解除晶体管 LRT 发挥作用,p82 作为优先决定晶体管 PDT 发挥作用。

[0056] 图 3(b) 为 FF1 的真值表。如图 3(b) 所示,FF1 的 Q 信号在 SB 信号为 High(无效)且 R 信号为 High(有效)的期间为 Low(无效);在 SB 信号为 High(无效)且 R 信号为 Low(无效)的期间为保持状态;在 SB 信号为 Low(有效)且 R 信号为 High(有效)的期间为 Low(无效);在 SB 信号为 Low(有效)且 R 信号为 Low(无效)的期间为 High(有效)。另外,在触发器 FF1 中,在 INIT 端子为 High(有效)的期间,SB 信号和 R 信号均为有效的情况下,n82、n99、p85 为 ON,Q 信号为 Low,QB 信号为 High(无效)。

[0057] 图 4~图 6 是分别表示液晶显示装置 3a 的、电源 ON 时、电源 OFF 时和强制截断时各自的驱动方法的时序图。另外,各图中,AON 是指 AON 信号(同时选择信号)、GSPB 是指反转栅极启动脉冲信号、GCK1 是指 GCK1 信号、GCK2 是指 GCK2 信号,SB_i、R_i、Q_i 和 OUT_i($i = n-1, n, n+1$) 分别指 i 级 SR_i 的 SB 信号(SB 端子的电位)、R 信号(R 端子的电位)、Q 信号(Q 端子的电位)和 OUT 信号(OUT 端子的电位)。

[0058] 在液晶显示装置 3a 中,在电源 ON、OFF 时进行以下的准备动作。具体而言,AON 信号被设定为规定期间有效(High)。由于在移位寄存器 SR 的各级中 ASW1 均置于 ON,因此,全级的 OUT 信号为有效(High),选择全扫描信号线。另外,此时,与各数据信号线对应的模拟开关 asw 为 ON,因此,向全数据信号线供给 Vcom。另外,在各级的触发器中,被输入 AON 信号的 INIT 端子成为有效(High),因此 Q 信号为 Low(无效)、QB 信号成为 High(无效)。以上的准备动作结束后(AON 信号成为无效后),成为向显示部 DAR 的全 PIX 写入 Vcom,且移位寄存器 SR 被初始化的(各级的触发器的输出为无效的)状态。

[0059] 另外,在液晶显示装置 3a 的移位寄存器 SR 中,在各垂直扫描期间(各帧显示时)进行下面的动作。即,当输入本级的 SB 信号成为有效(=Low)时,本级的 FF 被置位,Q 信号变为 High(有效),GCK 信号经由模拟开关 ASW2 被取入本级。当本级的 GCK 信号变为有效(High)时,本级的 OUT 信号变为有效(High),并且下一级的 SB 信号变为有效。由此,下一级的 FF 的 OUT 信号变为有效,GCK 信号被取入下一级。当下一级的 GCK 信号变为有效(High)时,本级的 FF 被复位而 Q 信号成为 Low(无效),模拟开关 ASW1 为 ON。此时,由于 AON 信号为 Low,因此,本级的 OUT 信号也成为 Low(无效)。

[0060] 在液晶显示装置 3a 中,由于在电源 ON、OFF 时同时选择全扫描信号线并向全像素写入同电位(例如 Vcom),因此,能够避免电源 ON、OFF 时的画面紊乱。在此,与现有技术(参照图 34)进行比较,通过将 AON 信号输入 ASW1,从而不需要图 34 中被输入各级的输出信号的 NAND,进而,通过向 FF 的 INIT 端子输入 AON 信号,从而也不需要移位寄存器的初始化用信号的生成、发送结构,从而能够实现栅极驱动器的小型化。另外,由于在全扫描

信号线的同时选择时也执行移位寄存器的初始化（各级的触发器的初始化），因此，与分开进行全扫描信号线的同时选择和移位寄存器的初始化的现有技术相比，能够迅速地完成准备动作。

[0061] 图 7 是表示将图 1 的移位寄存器 SR 用于源极驱动器侧的液晶显示装置 3b 的结构的电路图。在该结构中，向移位寄存器 SR 的初始级输入源极启动脉冲 SSP，并且，向各级的 CK 端子输入源极时钟反转信号 SCK1 或者 SCK2。另外，从 i 级 SR_i 输出的 OUT 信号被供向采样电路 SAC，利用该 OUT 信号采样而得的数据经由 DAC 向显示部 DAR 的数据信号线 SL_i 供给。例如，n 级 SR_n 的 OUT 信号向采样电路 SAC 供给，利用该 OUT 信号采样的数据经由 DAC 向显示部 DAR 的数据信号线 SL_n 供给。在显示部 DAR 中，数据信号线 SL_n 连接于与 PIX_n 内的像素电极连接的晶体管的源极。

[0062] 也可以如图 8 所示构成液晶显示装置 3a 的各级。作为图 8 的触发器 FF 使用图 9 所示的 FF2。如图 9 所示，触发器 FF2 如下构成，其包括：构成 CMOS 电路的 P 沟道晶体管 p84 和 N 沟道晶体管 n84、构成 CMOS 电路的 P 沟道晶体管 p85 和 N 沟道晶体管 n85、P 沟道晶体管 p82、p83、p86、p87、N 沟道晶体管 n81、n82、n83、n88、SB 端子、R 端子、Q 端子、QB 端子，其中，p84 的栅极、n84 的栅极、p85 的漏极、n85 的漏极和 QB 端子相连接，并且，p84 的漏极、n84 的漏极、p82 的漏极、n81 的漏极、p85 的栅极、n85 的栅极、n88 的漏极和 Q 端子相连接，n84 的源极和 n83 的漏极相连接，p84 的源极和 p83 的漏极相连接，p83 的源极和 p87 的漏极相连接，p82 的源极和 p86 的漏极相连接，n81 的源极和 p82 的漏极相连接，INIT 端子与 n88、p86 和 p87 各自的栅极连接，SB 端子与 p82 的栅极、n81 的栅极、n83 的栅极连接，R 端子与 n82 的栅极和 p83 的栅极连接，n85 的源极与 VSS 连接，p86、p87 和 p85 的源极与 VDD 连接，n82、n88 和 n83 的源极与 VSS 连接。

[0063] 图 9(b) 为 FF2 的真值表。如图 9(b) 所示，FF2 的 Q 信号在 SB 信号为 High（无效）且 R 信号为 High（有效）的期间为 Low（无效）；在 SB 信号为 High（无效）且 R 信号为 Low（无效）的期间为保持状态；在 SB 信号为 Low（有效）且 R 信号为 High（有效）的期间为 High（有效）；在 SB 信号 Low（有效）且 R 信号为 Low（无效）的期间为 High（有效）。另外，在触发器 FF2 中，在 INIT 端子为 High（有效）的期间，SB 信号和 R 信号均变为有效的情况下，p86、p87 为 OFF，n88、p85 为 ON，Q 信号为 Low，QB 信号成为 High（无效）。

[0064] 在图 8 的结构中，在电源 ON、OFF 时进行下面的准备动作。具体而言，AON 信号被设定为规定期间有效（High）。由于在移位寄存器 SR 的各级，ASW1 为 ON，由此，全级的 OUT 信号均为有效（High），选择全扫描信号线。另外，此时，由于与各数据信号线对应的模拟开关 asw 置于 ON，因此，向全数据信号线供给 Vcom。另外，在各级的触发器中，由于被输入 AON 信号的 INIT 端子成为有效（High），因此，Q 信号为 Low（无效）、QB 信号成为 High（无效）。以上的准备动作结束后（AONB 信号为无效后），成为向显示部 DAR 的全 PIX 写入 Vcom，且移位寄存器 SR 被初始化的（各级的触发器的输出为无效的）状态。

[0065] 在图 8 的结构中，由于触发器 FF 为置位比复位优先的结构，因此，从同时选择恢复时（AON 信号从有效回到无效时），SB 信号比 R 信号更容易先成为无效。从而，能够防止由于 R 信号比 SB 信号更先成为无效而在初始化后再次进行置位的误动作。

[0066] 图 10 是表示本液晶显示装置 3x 的结构的电路图。液晶显示装置 3x 包括显示部 DAR、栅极驱动器 GD、源极驱动器 SD 和显示控制电路 DCC。显示控制电路 DCC 向栅极驱动器

GD 供给 AONB 信号（同时选择信号）、栅极启动脉冲 GSP、栅极导通使能信号 GOE 和栅极时钟信号 GCK1、GCK2。另外，显示控制电路 DCC 向源极驱动器 SD 供给源极启动脉冲 SSP、数字数据 DAT、极性信号 POL 和源极时钟信号 SCK。在栅极驱动器 GD 中包括移位寄存器 SR，该移位寄存器 SR 包括多级。下面将移位寄存器的 i 级 ($i = 1, \dots, n-1, n, n+1, \dots$) 适宜地简记为 i 级 SR_i 。

[0067] 来自移位寄存器的 i 级 SR_i 的输出信号 (OUT 信号) 经由缓存器向显示部 DAR 的扫描信号线 G_i 供给。例如， n 级 SR_n 的 OUT 信号经由缓存器向扫描信号线 G_n 供给。在显示部 DAR 中，扫描信号线 G_n 连接于与 PIX_n 内的像素电极连接的晶体管的栅极，在 PIX_n 内的像素电极与保持电容配线 CS_n 之间形成有保持电容（辅助电容）。

[0068] 另外，对应一根数据信号线设置一个模拟开关 asw 和反相器，该反相器的输入与 AON 信号线连接，数据信号线的端部与模拟开关 asw 的一个导通端子连接，模拟开关 asw 的另一导通端子与 V_{com} （共用电极电位）电源连接，模拟开关 asw 的 N 沟道侧栅极与反相器的输出连接，模拟开关 asw 的 P 沟道侧栅极与 AONB 信号线连接。

[0069] 图 11 是表示移位寄存器 SR 的一部分的具体结构的电路图。如该图所示，在移位寄存器的各级中包括：具有 SB 端子、R 端子和 INITB 端子的置位复位型触发器 FF、两个模拟开关 ASW13、ASW14、反相器、CKB 端子、ONB 端子、OUT 端子、OUTB 端子，触发器 FF 的 INITB 端子与 ONB 端子连接，FF 的 Q 端子与模拟开关 ASW13 的 P 沟道侧栅极和模拟开关 ASW14 的 N 沟道侧栅极连接，FF 的 QB 端子与模拟开关 ASW13 的 N 沟道侧栅极和模拟开关 ASW14 的 P 沟道侧栅极连接，模拟开关 ASW13 的一个导通电极与 ONB 端子连接，并且，模拟开关 ASW14 的一个导通电极与 CKB 端子连接，模拟开关 ASW13 的另一导通电极、模拟开关 ASW14 的另一导通电极和作为该级的输出端子的 OUTB 端子相连接，OUTB 端子经由反相器与 OUT 端子连接。

[0070] 在移位寄存器 SR 中，本级的 OUTB 端子与下一级的 SB 端子连接，下一级的 OUT 端子与本级的 R 端子连接。例如， n 级 SR_n 的 OUTB 端子与 $(n+1)$ 级 SR_{n+1} 的 SB 端子连接， $(n+1)$ 级 SR_{n+1} 的 OUT 端子与 n 级 SR_n 的 R 端子连接。另外，向移位寄存器 SR 的初始级 SR_1 的 SB 端子输入 GSPB 信号。另外，在栅极驱动器 GD 中，各级的 ONB 端子与 AONB 信号线连接，奇数级的 CKB 端子和偶数级的 CKB 端子与不同的 GCK 线（供给 GCK 的线）连接。例如， n 级 SR_n 的 CKB 端子与 GCK2B 信号线连接， $(n+1)$ 级 SR_{n+1} 的 CKB 端子与 GCK1B 信号线连接。

[0071] 作为图 11 的触发器 FF 使用图 12 所示的 FF3。如该图所示，触发器 FF3 如下构成，其包括：构成 CMOS 电路的 P 沟道晶体管 p_{84} 和 N 沟道晶体管 n_{84} 、构成 CMOS 电路的 P 沟道晶体管 p_{85} 和 N 沟道晶体管 n_{85} 、P 沟道晶体管 p_{82} 、 p_{83} 、N 沟道晶体管 n_{81} 、 n_{82} 、 n_{83} 、SB 端子、R 端子、Q 端子、QB 端子，其中， p_{84} 的栅极、 n_{84} 的栅极、 p_{85} 的漏极、 n_{85} 的漏极和 QB 端子相连接，并且， p_{84} 的漏极、 n_{84} 的漏极、 p_{82} 的漏极、 n_{81} 的漏极、 p_{85} 的栅极、 n_{85} 的栅极和 Q 端子相连接， n_{84} 的源极和 n_{83} 的漏极相连接， n_{84} 的源极和 n_{83} 的漏极相连接， n_{81} 的源极和 n_{82} 的漏极相连接，INITB 端子与 p_{82} 的源极连接，SB 端子与 p_{82} 的栅极、 n_{81} 的栅极、 n_{83} 的栅极连接，R 端子与 n_{82} 的栅极、 p_{83} 的栅极连接， n_{85} 的源极与 VSS 连接， p_{83} 和 p_{85} 的源极与 VDD 连接， n_{82} 、 n_{83} 和 n_{85} 的源极与 VSS 连接。

[0072] 图 12(b) 是 FF3 的真值表。如图 12(b) 所示，FF3 的 Q 信号在 SB 信号为 High（无效）且 R 信号为 High（有效）的期间为 Low（无效）；在 SB 信号为 High（无效）且 R 信号为

Low(无效)的期间为保持状态;在 SB 信号为 Low(有效)且 R 信号为 High(有效)的期间为 High(有效);在 SB 信号为 Low(有效)且 R 信号为 Low(无效)的期间为 High(有效)。另外,在触发器 FF3 中,在 INITB 端子为 Low(有效)的期间,SB 信号和 R 信号均为有效的情况下,p85 为 ON,Q 信号成为 Low,QB 信号成为 High(无效)。另外,在同时选择期间(INITB 信号为 Low,SB 信号为 Low,R 信号为 High 的期间),Q 信号为 $V_{ss}+V_{th}$ (p82 的阈值电压),QB 信号为 Vdd(High)。

[0073] 图 13 是表示液晶显示装置 3x 的电源 ON 时的驱动方法的时序图。另外,各图中,AONB 是指 AONB 信号(同时选择信号)、GSPB 是指栅极启动脉冲反转信号、GCK1B 是指 GCK1B 信号、GCK2B 是指 GCK2B 信号,SB_i、R_i、Q_i 和 OUT_i($i = n-1, n, n+1$) 分别指 i 级 SR_i 的 SB 信号(SB 端子的电位)、R 信号(R 端子的电位)、Q 信号(Q 端子的电位)和 OUT 信号(OUT 端子的电位)。

[0074] 在液晶显示装置 3x 中,在电源 ON 时进行下面的准备动作。具体而言,AONB 信号被设定为规定期间有效(Low)。由于在移位寄存器 SR 的各级,ASW13 置于 ON,由此,全级的 OUT 信号为有效(High),选择全扫描信号线。另外,此时,由于与各数据信号线对应的模拟开关 asw 为 ON,因此,向全数据信号线供给 Vcom。另外,由于在各级的触发器中,被输入 AONB 信号的 INITB 端子为有效(Low),因此,Q 信号成为 Low(无效)、QB 信号成为 High(无效)。以上的准备动作结束后(AONB 信号为无效后),成为向显示部 DAR 的全 PIX 写入 Vcom,且移位寄存器 SR 被初始化的(各级的触发器的输出为无效的)状态。

[0075] 在液晶显示装置 3x 中,电源 ON、OFF 时同时选择全扫描信号线并向全像素写入同电位(例如 Vcom),因此,能够消除在电源 ON、OFF 时的画面紊乱。在此,与现有技术(参照图 34)进行比较,通过将 AONB 信号输入 ASW13,从而不需要图 34 中被输入各级的输出信号的 NAND,进而,通过向 FF 的 INITB 端子输入 AONB 信号,从而也不需要移位寄存器的初始化用信号的生成、发送结构,从而能够实现栅极驱动器的小型化。另外,由于在全扫描信号线的同时选择时也执行移位寄存器的初始化(各级的触发器的初始化),因此,与分开进行全扫描信号线的同时选择和移位寄存器的初始化的现有技术的结构相比,能够快速地完成准备动作。进而,由于触发器 FF 为置位比复位优先的结构,因此,在从同时选择恢复时(AONB 信号从有效回到无效时),SB 信号容易比 R 信号更先成为无效。从而,能够防止由于 R 信号比 SB 信号更先成为无效而在初始化后再次进行置位的误动作。

[0076] 图 14 是表示使液晶显示装置 3x 变形后的液晶显示装置 3c 的结构的电路图。

[0077] 图 15 是表示液晶显示装置 3c 的移位寄存器 SR 的一部分的电路图。如该图所示,在移位寄存器的各级中包括:具有 SB 端子、RB 端子和 INITB 端子的置位复位型触发器 FF、两个模拟开关 ASW3、ASW4、反相器、CKB 端子、ONB 端子、OUT 端子、OUTB 端子,触发器 FF 的 INITB 端子与 ONB 端子连接,FF 的 Q 端子与模拟开关 ASW3 的 P 沟道侧栅极和模拟开关 ASW4 的 N 沟道侧栅极连接,FF 的 QB 端子与模拟开关 ASW3 的 N 沟道侧栅极和模拟开关 ASW4 的 P 沟道侧栅极连接,模拟开关 ASW3 的一个导通电极与 ONB 端子连接,并且,模拟开关 ASW4 的一个导通电极与 CKB 端子连接,模拟开关 ASW3 的另一导通电极、模拟开关 ASW4 的另一导通电极和作为该级的输出端子的 OUTB 端子相连接,OUTB 端子经由反相器与 OUT 端子连接。

[0078] 在移位寄存器 SR 中,本级的 OUTB 端子与下一级的 SB 端子连接,下一级的 OUTB 端子与本级的 RB 端子连接。例如,n 级 SR_n 的 OUTB 端子与 (n+1) 级 SR_{n+1} 的 SB 端子连接,

(n+1) 级 SR_{n+1} 的 OUTB 端子与 n 级 SR_n 的 RB 端子连接。另外,向移位寄存器 SR 的初始级 SR₁ 的 SB 端子输入 GSPB 信号。另外,在栅极驱动器 GD 中,各级的 ONB 端子与 AONB 信号线连接,奇数级的 CKB 端子和偶数级的 CKB 端子与不同的 GCKB 线(供给 GCK 的线)连接。例如,n 级 SR_n 的 CKB 端子与 GCK2B 信号线连接,(n+1) 级 SR_{n+1} 的 CKB 端子与 GCK1B 信号线连接。

[0079] 作为图 15 的触发器 FF 使用图 16 所示的 FF4。如该图所示,触发器如下构成,其包括:构成 CMOS 电路的 P 沟道晶体管 p6 和 N 沟道晶体管 n5、构成 CMOS 电路的 P 沟道晶体管 p8 和 N 沟道晶体管 n7、P 沟道晶体管 p5、p7、N 沟道晶体管 n6、n8、INITB 端子、SB 端子、RB 端子、Q 端子、QB 端子,其中,p6 的栅极、n5 的栅极、p7 的漏极、p8 的漏极、n7 的漏极和 QB 端子相连接,并且,p6 的漏极、n5 的漏极、p5 的漏极、p8 的栅极、n7 的栅极和 Q 端子相连接,n5 的源极和 n6 的漏极相连接,n7 的源极和 n8 的漏极相连接,SB 端子与 p5 的栅极、n6 的栅极连接,RB 端子与 p5 的源极、p7 的栅极、n8 的栅极连接,INITB 端子与 p6 的源极连接,p7 和 p8 的源极与 VDD 连接,n6 和 n8 的源极与 VSS 连接。在此,p6、n5、p8 和 n7 构成锁存电路 LC,p5 作为置位晶体管 ST 发挥作用,p7 作为复位晶体管 RT 发挥作用,n6 和 n8 各自作为锁存解除晶体管(释放晶体管)LRT 发挥作用。

[0080] 图 16(b) 为表示 FF4 的动作的时序图,图 16(c) 为 FF4 的真值表。如图 16(b)、(c) 所示,FF4 的 Q 信号在 SB 信号为 Low(有效)且 RB 信号为 Low(有效)的期间为 Low(无效);在 SB 信号为 Low(有效)且 RB 信号为 High(无效)的期间为 High(有效);在 SB 信号为 High(无效)且 RB 信号为 Low(有效)的期间为 Low(无效);在 SB 信号为 High(无效)且 RB 信号为 High(无效)的期间为保持状态。

[0081] 例如,在图 16(b) 的 t1 中,向 Q 端子输出 RB 端子的 Vdd,n7 为 ON,向 QB 端子输出 Vss(Low)。在 t2 中,SB 信号为 High,p5 为 OFF,n6 为 ON,因此维持 t1 的状态。在 t3 中,RB 信号成为 Low,因此 p7 为 ON,向 QB 端子输出 Vdd(High),进而,n5 为 ON 并向 Q 端子输出 Vss。另外,在 INITB 端子为 Low(有效)的期间,SB 信号及 RB 信号均为 Low(有效)的情况下,p7 为 ON 并向 QB 端子输出 Vdd(High),经由 p5 向 Q 端子输出 Vss+Vth(p5 的阈值电压)。

[0082] 液晶显示装置 3c 的电源 ON 时的驱动方法如图 17 所示。另外,在图 15 的结构中,在同时选择期间(INITB 端子为 Low、SB 信号和 RB 信号也为 Low 的期间),Q 信号为 Vss+Vth, QB 信号为 Vdd(High)。因此,作为触发器的输出仅使用 QB 信号,即优选如图 18 所示那样构成。即,将 QB 信号和通过反相器使 QB 信号反转后的信号,输入模拟开关 ASW3、ASW4。

[0083] (实施方式 2)

[0084] 图 19 是表示本发明的液晶显示装置 3d 的结构的电路图。液晶显示装置 3d 包括:显示部 DAR、栅极驱动器 GD、源极驱动器 SD 和显示控制电路 DCC。显示控制电路 DCC 向栅极驱动器 GD 供给 AONB 信号(同时选择信号)、栅极启动脉冲 GSP、栅极导通使能信号 GOE 和栅极时钟信号 GCK1B、GCK2B。另外,显示控制电路 DCC 向源极驱动器 SD 供给源极启动脉冲 SSP、数字数据 DAT、极性信号 POL 和源极时钟信号 SCK。在栅极驱动器 GD 中包括移位寄存器 SR,该移位寄存器 SR 包括多级。下面,将移位寄存器的 i 级(i = 1, …, n-1, n, n+1, …) 适宜地简记为 i 级 SR_i。

[0085] 来自移位寄存器的 i 级 SR_i 的输出信号(OUT 信号)经由缓存器向显示部 DAR 的扫描信号线 G_i 供给。例如,n 级 SR_n 的 OUTB 信号经由缓存器向扫描信号线 G_n 供给。在显

示部 DAR 中,扫描信号线 Gn 连接于与 PIXn 内的像素电极连接的晶体管的栅极,在 PIXn 内的像素电极与保持电容配线 CSn 之间形成有保持电容(辅助电容)。

[0086] 另外,对应一根数据信号线设置一个模拟开关 asw 和反相器,该反相器的输入与 AONB 信号线连接,数据信号线的端部与模拟开关 asw 的一个导通端子连接,模拟开关 asw 的另一导通端子与 Vcom(共用电极电位)电源连接,模拟开关 asw 的 N 沟道侧栅极与反相器的输出连接,模拟开关 asw 的 P 沟道侧栅极与 AONB 信号线连接。

[0087] 图 20 是表示移位寄存器 SR 的一部分的具体结构的电路图。如该图所示,在移位寄存器的各级包括:具有 INITB 端子、SB 端子和 RB 端子的触发器 FF、两个模拟开关 ASW5、ASW6(栅极电路)、NAND(逻辑电路)、反相器、CKB 端子、ONB 端子、OUTB 端子,其中,触发器 FF 的 INITB 端子与 ONB 端子连接,FF 的 QB 端子与 NAND 的一方的输入连接,NAND 的输出与反相器的输入、模拟开关 ASW5 的 P 沟道侧栅极、模拟开关 ASW6 的 N 沟道侧栅极连接,反相器的输出与模拟开关 ASW5 的 N 沟道侧栅极、模拟开关 ASW6 的 P 沟道侧栅极连接,模拟开关 ASW5 的一个导通电极与 ONB 端子连接,并且,模拟开关 ASW6 的一个导通电极与 CKB 端子连接,模拟开关 ASW5 的另一导通电极、模拟开关 ASW6 的另一导通电极、作为该级的输出端子的 OUTB 端子、NAND 的另一输入和 FF 的 RB 端子相连接。在此,由模拟开关 ASW5、ASW6(栅极电路)、NAND(逻辑电路)构成生成 OUTB 信号的信号生成电路。

[0088] 在移位寄存器 SR 中,本级的 OUTB 端子与下一级的 SB 端子连接。例如,n 级 SRn 的 OUTB 端子与 (n+1) 级 SRn+1 的 SB 端子连接,(n+1) 级 SRn+1 的 OUTB 端子与 (n+2) 级 SRn+2 的 SB 端子连接。另外,向移位寄存器 SR 的初始级 SR1 的 SB 端子输入 GSPB 信号。另外,在栅极驱动器 GD 中,各级的 ONB 端子与 AONB 信号线连接,奇数级的 CKB 端子和偶数级的 CKB 端子与不同的 GCKB 线(供给 GCKB 的线)连接。例如,n 级 SRn 的 CKB 端子与 GCK2B 信号线连接,(n+1) 级 SRn+1 的 CKB 端子与 GCK1B 信号线连接。

[0089] 图 21 是表示液晶显示装置 3d 的电源 ON 时的驱动方法的时序图。在液晶显示装置 3d 中,在显示映像的最初的帧(垂直扫描期间)之前,进行下面的准备动作。具体而言,AONB 信号被设定为规定期间有效(Low),在 AONB 信号为有效的期间,各 GCKB 信号被固定为有效(Low)。当 AONB 信号为有效(Low)时,ASW5 为 ON,因此,OUTB 信号为有效(Low),选择全扫描信号线。此时,由于与各数据信号线对应的模拟开关 asw 为 ON,因此,向全数据信号线供给 Vcom。进而,在各级的触发器中,由于 SB 信号和 RB 信号为有效,因此,QB 信号为 High(无效)。另外,一旦移位寄存器的各级的 OUTB 信号为有效,则向 NAND 的反馈信号为 Low,因此,ASW5 为 OFF,ASW6 为 ON(在各级中 GCK1B 或者 GCK2B 被取入)。以上的准备动作结束后(AONB 信号为无效后),成为向显示部 DAR 的全 PIX 写入 Vcom,且移位寄存器 SR 被初始化的(各级的触发器的输出为无效的)状态。

[0090] 另外,在液晶显示装置 3d 中,在各垂直扫描期间(各帧显示时)进行下面的动作。即,当向移位寄存器 SR 的本级输入的 SB 信号为有效(=Low)时,本级的 FF 的输出被置位而变为有效,本级获取 GCKB 信号。当本级的 GCKB 信号变为有效(=Low)时,本级的 OUTB 信号变为有效(=Low),并且,下一级的 SB 信号变为有效,且本级的 FF 被复位,QB 信号为 High(无效)。此时,由于本级的 OUTB 信号为 Low(即,NAND 的输出为 High),因此,继续向本级取入 GCKB 信号,在 GCKB 信号成为 High(无效)时,本级的 OUTB 信号变为 High,并且,NAND 的输出成为 Low,之后从 OUTB 端子输出 AONB 信号,OUTB 信号成为 High(无效)。

[0091] 在液晶显示装置 3d 中,在电源 ON、OFF 时同时选择全扫描信号线并向全像素写入同电位(例如 Vcom),因此能够消除电源 ON、OFF 时的画面紊乱。在此,与现有技术(参照图 34)进行比较,通过将 AONB 信号输入 ASW5,从而不需要图 34 中被输入各级的输出信号 NAND,能够实现栅极驱动器的小型化。另外,通过在全扫描信号线同时选择时也执行移位寄存器的初始化(各级的触发器的初始化),与分开地进行全扫描信号线同时选择和移位寄存器的初始化的现有技术(参照图 34)的结构相比,能够快速地完成准备动作。另外,由于能够在各级中进行自我复位,因此能够简化级间的连接关系。

[0092] 另外,在图 20 的结构(将 FF 设为复位优先,将移位寄存器的各级设为自我复位型的结构)中,担心 OUTB 信号向触发器的 RB 端子的反馈有可能先于向 NAND 的反馈。于是,优选如图 22 所示那样地构成图 20 的 NAND。即,将 P 沟道晶体管 p40 的源极与 VDD 连接,将栅极设为 NAND 的输入 X,将漏极设为 NAND 的输出 M,将 P 沟道晶体管 p41 的源极与 VDD 连接,将栅极设为 NAND 的输入 Y,将漏极与 N 沟道晶体管 n40 的源极连接,将 N 沟道晶体管 n40 的栅极与输入 Y 连接,将漏极与 N 沟道晶体管 n41 的源极连接,将 N 沟道晶体管 n41 的栅极与输入 X 连接,将漏极与 VSS 连接,使 P 沟道晶体管 p40、41 的驱动能力高于 N 沟道晶体管 n40、41。据此,在 QB 信号完全地成为无效(High)之前,OUTB 信号一直保持为有效(=Low),能够防止向 FF 的 RB 端子的反馈先于向 NAND 的反馈的情况。

[0093] (实施方式 3)

[0094] 图 23 是表示本发明的液晶显示装置 3e 的结构的电路图。液晶显示装置 3e 为所谓的 CC(charge coupled,电荷耦合)驱动的液晶显示装置,其包括显示部 DAR、栅极 -Cs 驱动器 G-CsD、源极驱动器 SD 和显示控制电路 DCC。显示控制电路 DCC 向栅极驱动器 GD 供给栅极启动脉冲 GSP、栅极导通使能信号 GOE、AONB 信号(同全选择信号)、CS 反转信号 CMI1、CMI2 和栅极时钟信号 GCK1B、GCK2B。另外,显示控制电路 DCC 向源极驱动器 SD 供给源极启动脉冲 SSP、数字数据 DAT、极性信号 POL 和源极时钟信号 SCK。在栅极 -Cs 驱动器 G-CsD 中包括移位寄存器 SR 和多个 D 锁存电路 CSL,该移位寄存器 SR 包括多级,与移位寄存器的一级对应地设置有一个 OR 电路和一个 D 锁存电路 CSL。下面,将移位寄存器的 i 级($i = 1, \dots, n-1, n, n+1, \dots$)适宜地简记为 i 级 SR_i。另外,与移位寄存器的 i 级 SR_i 对应地设置有 D 锁存电路 CSL_i。

[0095] 来自移位寄存器的 i 级 SR_i 的输出信号(OUT 信号)经由缓存器向显示部 DAR 的扫描信号线 G_i 供给。另外,来自与 i 级 SR_i 对应的 D 锁存电路 CSL_i 的输出信号(out 信号、CS 信号)向显示部 DAR 的保持电容配线 CS_i 供给。例如, n 级 SR_n 的 OUT 信号经由缓存器向扫描信号线 G_n 供给,来自与 n 级 SR_n 对应的 D 锁存电路 CSL_n 的输出信号(out 信号、CS 信号)向显示部 DAR 的保持电容配线 CS_n 供给。在显示部 DAR 中,扫描信号线 G_n 连接于与 PIX_n 内的像素电极连接的晶体管的栅极,在 PIX_n 内的像素电极与保持电容配线 CS_n 之间形成有保持电容(辅助电容)。

[0096] 另外,与一根数据信号线对应地设置一个模拟开关 asw 和反相器,该反相器的输入与 AONB 信号线连接,数据信号线的端部与模拟开关 asw 的一个导通端子连接,模拟开关 asw 的另一导通端子与 Vcom(共用电极电位)电源连接,模拟开关 asw 的 N 沟道侧栅极与反相器的输出连接,模拟开关 asw 的 P 沟道侧栅极与 AONB 信号线连接。

[0097] 图 24 是表示图 23 所示的移位寄存器 SR 的 i 级 SR_i 的结构的电路图。如该图所

示,在移位寄存器的各级中包括:具有 SB 端子和 R 端子的触发器 FF(上述的触发器 FF1 ~ FF4)、两个模拟开关 ASW7、ASW8、NAND、反相器、CKB 端子、ONB 端子,其中,触发器 FF 的 QB 端子与 NAND 的一个输入连接,NAND 的输出(M)与反相器的输入、模拟开关 ASW7 的 P 沟道侧栅极、模拟开关 ASW8 的 N 沟道侧栅极连接,反相器的输出与模拟开关 ASW7 的 N 沟道侧栅极、模拟开关 ASW8 的 P 沟道侧栅极连接,模拟开关 ASW7 的一个导通电极与 ONB 端子连接,并且,模拟开关 ASW8 的一个导通电极与 CKB 端子连接,模拟开关 ASW7 的另一导通电极、模拟开关 ASW8 的另一导通电极、作为该级的输出端子的 OUTB 端子、NAND 的另一输入和 FF 的 R 端子相连接。另外,OUTB 端子经由反相器与 OUT 端子连接。

[0098] 在 i 级 SR_i 中,触发器 FF 的 QB 信号(NAND 的一个输入 X)为 High(无效)的期间,如果 OUTB 信号(NAND 的另一输入 Y)为 High(无效),则 NAND 的输出(M)成为 Low(模拟开关 ASW7 为 ON, ASW8 为 OFF),向 OUTB 端子输出 AONB 信号(无效, V_{dd}),另一方面,如果 OUTB 信号(NAND 的另一输入 Y)为 Low(有效),则 NAND 的输出(M)成为 High(模拟开关 ASW7 为 OFF, ASW8 置于 ON),获取 GCKB 信号并从 OUTB 端子输出。另外,触发器 FF 的 QB 信号为 Low(有效)的期间,NAND 的一个输入 X 为 Low 且 NAND 的另一输入 Y 为 Low,因此,NAND 的输出(M)成为 High(模拟开关 ASW7 为 OFF, ASW8 为 ON),获取 GCKB 信号并从 OUTB 端子输出。即,NAND、反相器和模拟开关 ASW1、ASW2(栅极电路)构成生成 OUTB 信号的信号生成电路,特别的是,模拟开关 ASW7、ASW8 构成根据 NAND 的输出 M 而获取 AONB 信号或者时钟信号的栅极电路。

[0099] 图 25 是表示与图 23 所示的移位寄存器 SR 的 i 级 SR_i 对应的 D 锁存电路 CSL_i 的结构电路图。如该图所示,D 锁存电路 CSL_i 包括:三个 CMOS 电路 5 ~ 7、模拟开关 ASW15、ASW16、反相器、CK 端子、D 端子、out 端子。CMOS 电路 5、6 分别构成为一个 P 沟道晶体管和一个 N 沟道晶体管的栅极彼此连接,并且,漏极彼此连接,且 P 沟道晶体管的源极与 V_{DD} 连接,N 沟道晶体管的源极与 V_{SS} 连接。CMOS 电路 7 构成为一个 P 沟道晶体管和一个 N 沟道晶体管的栅极彼此连接,并且漏极彼此连接,且 P 沟道晶体管的源极与电源 V_{CSH} 连接,N 沟道晶体管的源极与电源 V_{CSL} 连接。而且,ck 端子、反相器的输入、模拟开关 ASW16 的 N 沟道侧栅极和模拟开关 ASW15 的 P 沟道侧栅极相连接,反相器的输出、模拟开关 ASW16 的 P 沟道侧栅极和模拟开关 ASW15 的 N 沟道侧栅极相连接,CMOS 电路 5 的漏极侧和模拟开关 ASW15 的一个导通端子相连接,模拟开关 ASW16 的一个导通端子和 D 端子相连接,模拟开关 ASW15 的另一导通端子、模拟开关 ASW16 的另一导通端子和 CMOS 电路 6 的栅极相连接,CMOS 电路 5 的栅极侧和 CMOS 电路 6 的漏极侧相连接,CMOS 电路 6 的漏极侧和 CMOS 电路 7 的栅极侧相连接,CMOS 电路 7 的漏极侧和 out 端子相连接。

[0100] D 锁存电路 CSL_i 在 ck 信号(向 ck 端子输入的信号)为有效(High)的期间,获取 D 信号(向 D 端子输入的信号),并将其锁存。即,如果在 ck 信号为有效的期间,D 信号从 Low 变为 High,则 out 信号(从 out 端子输出的信号)从电源 V_{CSL} 的电位上升至电源 V_{CSH} 的电位,之后维持电源 V_{CSH} 的电位,如果在 ck 信号为有效的期间,D 信号从 High 变为 Low,则 out 信号(从 out 端子输出的信号)从电源 V_{CSH} 的电位下降至电源 V_{CSL} 的电位,之后维持电源 V_{CSL} 的电位。

[0101] 在液晶显示装置 3e 的 G-C_sD 中,本级的 OUTB 端子与下一级的 SB 端子连接。另外,本级的 OUT 端子连接于与本级对应的 OR 电路的一个输入端子,并且,下一级的 OUT 端子连

接于与上述本级对应的 OR 电路的另一输入端子,与该本级对应的 OR 电路的输出连接于与本级对应的 D 锁存电路的 ck 端子。例如,n 级 SR_n 的 OUTB 端子与 (n+1) 级 SR_{n+1} 的 SB 端子连接,n 级 SR_n 的 OUT 端子连接于与 n 级 SR_n 对应的 OR 电路的一个输入端子,并且,(n+1) 级 SR_{n+1} 的 OUT 端子连接于与 n 级 SR_n 级对应的 OR 电路的另一输入端子,与 n 级 SR_n 对应的 OR 电路的输出连接于与 n 级 SR_n 对应的 D 锁存电路 CSL_n 的 ck 端子。另外,向移位寄存器 SR 的初始级的 SB 端子输入 GSPB 信号。

[0102] 另外,在液晶显示装置 3e 的 G-CsD 中,奇数级的 CKB 端子和偶数级的 CKB 端子与不同的 GCK 线(供给 GCK 的线)连接,各级的 ONB 端子与共用的 AONB 线(供给 AON 信号的线)连接。例如,n 级 SR_n 的 CKB 端子与 GCK2B 信号线连接,(n+1) 级 SR_{n+1} 的 CKB 端子与 GCK1B 信号线连接,n 级 SR_n 和 (n+1) 级 SR_{n+1} 各自的 ONB 端子与共用的 AONB 信号线连接。进而,按每与连续的两级对应的两个 D 锁存电路,D 端子与不同的 CMI 线(供给 CMI 信号的线)连接。例如,与 n 级 SR_n 对应的 D 锁存电路 CSL_n 的 D 端子与 CMI2 信号线连接,与 (n+1) 级 SR_{n+1} 对应的 D 锁存电路 CSL_{n+1} 的 D 端子与 CMI2 信号线连接,与 (n+2) 级 SR_{n+2} 对应的 D 锁存电路 CSL_{n+2} 的 D 端子与 CMI1 信号线连接,与 (n+3) 级 SR_{n+3} 对应的 D 锁存电路 CSL_{n+3} 的 D 端子与 CMI1 信号线连接。

[0103] 图 26 是表示液晶显示装置 3e 的驱动方法的时序图。另外,在本图中,将极性信号 POL 的周期设为一水平扫描期间 1H(即,向同一数据信号线供给的数据信号的极性按每 1H 进行反转),将 CMI1、CMI2 分别设为同相位。

[0104] 在液晶显示装置 3e 中,在显示视频的最初的帧(垂直扫描期间)之前,进行下面的显示准备动作。具体而言,AONB 信号被设定为规定期间有效(Low),AONB 信号为有效的期间,各 GCKB 信号被固定为有效(Low),并且各 CMI 信号被固定为 High(或者 Low)。由此,由于在移位寄存器 SR 的各级,AONB 信号经由 ASW7 从 OUTB 端子输出,因此全级的 OUTB 信号成为有效(Low),选择全扫描信号线。此时,由于与各数据信号线对应的模拟开关 asw 为 ON,因此向全数据信号线供给 Vcom。另外,由于在各级的触发器中被输入 AONB 信号的 INITB 端子为有效(Low),因此 Q 信号为 Low(无效),QB 信号为 High(无效)。另外,一旦移位寄存器的各级的 OUTB 信号变为有效,则向 NAND 的反馈信号成为 Low,因此 ASW7 为 OFF,ASW8 为 ON(获取 GCK1B 或者 GCK2B)。另外,由于与各级对应的 OR 电路的输出也成为有效(High),因此,各 D 锁存电路锁存 CMI1 信号(Low)或者 CMI2 信号(Low),向保持电容配线供给的 out 信号(CS 信号)成为电源 VCSL 的电位。以上的显示准备动作结束后,成为如下状态:向显示部 DAR 的全 PIX 写入 Vcom,在移位寄存器的各级设置的 FF 的 QB 输出成为无效(High),各 D 锁存电路的 out 信号(保持电容配线的电位)成为电源 VCSL 的电位。

[0105] 在液晶显示装置 3e 中,在最初的帧显示时(最初的垂直扫描期间)进行下面的动作。即,当被输入移位寄存器 SR 的本级的 SB 信号变为有效(=Low)时,本级的 FF 的输出被置位而变为有效,本级获取 GCKB 信号。当本级的 GCKB 信号变为有效(=Low)时,本级的 OUTB 信号变为有效(=Low),并且,下一级的 SB 信号变为有效,且本级的 FF 被复位而成为 High(无效)。此时,由于本级的 OUTB 信号为 Low(即,NAND 的输出为 High),因此,继续向本级取入 GCKB 信号,在 GCKB 信号成为 High(无效)时,本级的 OUTB 信号变为 High,并且,NAND 的输出成为 Low,之后从 OUTB 端子输出 AONB 信号,OUTB 信号成为 High(无效)。

[0106] 另外,当本级的 OUTB 信号变为有效(因为与本级对应的 OR 电路的输出变为有效)

时,与本级对应的D锁存电路锁存CMI1信号或者CMI2信号,进而,当下一级的OUTB信号变为有效(因为与本级对应的OR电路的输出变为有效)时,与上述本级对应的D锁存电路再次锁存CMI1信号或者CMI2信号。由此,与本级对应的D锁存电路的out信号(与本级对应的保持电容配线的电位),在本级的OUTB信号成为无效(与本级对应的扫描信号线为OFF)后,从电源VCSL的电位向电源VCSH的电位上升(向与本级对应的像素写入正极性的数据信号的情况),或者从电源VCSH的电位向电源VCSL的电位下降(向与本级对应的像素写入负极性的数据信号的情况)。

[0107] 例如,当n级SR_n的OUTB信号变为有效(因为与n级SR_n对应的OR电路的输出变为有效)时,与n级SR_n对应的D锁存电路CSL_n锁存CMI2信号,进而,当(n+1)级SR_{n+1}的OUTB信号变为有效(因为与n级SR_n对应的OR电路的输出变为有效)时,D锁存电路CSL_n再次锁存CMI2信号。由此,与n级SR_n对应的D锁存电路CSL_n的out信号(与n级SR_n对应的保持电容配线CS_n的电位),在n级SR_n的OUTB信号成为无效(与n级SR_n对应的扫描信号线G_n为ON、OFF)后,从电源VCSH的电位下降至电源VCSL的电位。在此,在与n级SR_n对应的像素PIX_n,如POL所示写入负极性的数据信号,通过保持电容配线CS_n的下降,能够使有效电位低于数据信号的电位(提高像素PIX_n的亮度)。

[0108] 另外,当(n+1)级SR_{n+1}的OUTB信号变为有效时,与(n+1)级SR_{n+1}对应的D锁存电路CSL_{n+1}锁存CMI2信号,进而,当(n+2)级SR_{n+2}的OUTB信号变为有效时,D锁存电路CSL_{n+1}再次锁存CMI2信号。由此,与(n+1)级SR_{n+1}对应的D锁存电路CSL_{n+1}的out信号(保持电容配线CS_{n+1}的电位)在(n+1)级SR_{n+1}的OUTB信号成为无效(扫描信号线G_{n+1}为ON、OFF)后,从电源VCSL的电位上升至电源VCSH的电位。在此,在与(n+1)级SR_{n+1}对应的像素PIX_{n+1},如POL所示写入正极性的数据信号,通过保持电容配线CS_{n+1}的上升,能够使有效电位高于数据信号的电位(提高像素PIX_{n+1}的亮度)。

[0109] 另外,当(n+2)级SR_{n+2}的OUTB信号变为有效时,与(n+2)级SR_{n+2}对应的D锁存电路CSL_{n+2}锁存CMI1信号,进而,当(n+3)级SR_{n+3}的OUTB信号变为有效时,D锁存电路CSL_{n+2}再次锁存CMI1信号。由此,与(n+2)级SR_{n+2}对应的D锁存电路CSL_{n+2}的out信号(保持电容配线CS_{n+2}的电位),在(n+2)级SR_{n+2}的OUTB信号成为无效(扫描信号线G_{n+2}为ON、OFF)后,从电源VCSH的电位下降至电源VCSL的电位。在此,在与(n+2)级SR_{n+2}对应的像素PIX_{n+2},如POL所示写入负极性的数据信号,通过保持电容配线CS_{n+2}的下降,能够使有效电位高于数据信号的电位(提高像素PIX_{n+2}的亮度)。

[0110] 另外,第二帧以后,也进行与最初的帧相同的显示。但是,由于按每一帧POL的相位偏离半周期,因此向同一像素供给的数据信号的极性按每一帧进行反转。与此相配合,D锁存电路CSL_i的out信号(保持电容配线CS_i的电位)的上升及下降也按每一帧进行交替。

[0111] 在液晶显示装置3e中,在电源ON、OFF时,同时选择全扫描信号线并向全像素写入同电位(例如V_{com}),因此,能够消除电源ON、OFF时的画面紊乱。在此,与现有技术(参照图34)进行比较,通过将AON信号输入ASW7,从而不需要图34中被输入各级的输出信号的NAND,进而,通过向FF的INITB端子输入AONB信号,从而也不需要移位寄存器的初始化用信号的生成、发送结构,从而能够实现栅极驱动器的小型化。另外,由于触发器FF为置位比复位优先的结构,在从同时选择恢复时(AONB信号从有效回到无效时),SB信号容易

比 R 信号更先变为无效。因此,能够防止由于 R 信号比 SB 信号更先变为无效而在初始化后再次进行置位的误动作。另外,由于在全扫描信号线的同时选择时也执行移位寄存器的初始化(各级的触发器的初始化),因此,与分开地进行全扫描信号线的同时选择和移位寄存器的初始化的现有技术的结构相比,能够快速地完成准备动作。另外,由于在各级能够自我复位,因此能够简化级间的连接关系。另外,由于能够从最初的帧开始对各像素行适宜地进行 CC 驱动,因此,也能够消除在现有技术的 CC 驱动中存在的最初的帧的画面紊乱(横纹状的不均)的问题。

[0112] 还应该注意到的是,在液晶显示装置 3e 中,如图 27 所示,仅通过使 CMI2 信号的相位偏离(从图 26)半周期,就能够将极性信号 POL 的周期替换为 2H(供给同一数据信号线的数据信号的极性按每 2H 进行反转),且能够从最初的帧开始对各像素行适宜地进行 CC 驱动。即,在液晶显示装置 3e 中,仅通过控制 CS 反转信号 CMI1 和 CMI2 信号各自的相位,就能够使极性信号 POL 的周期从 1H 切换为 2H,还能够大幅降低此时的画面紊乱。

[0113] (实施方式 4)

[0114] 图 28 是表示本发明的液晶显示装置 3f 的结构的电路图。液晶显示装置 3f 为所谓的 CC(charge coupled)驱动的液晶显示装置,其包括:显示部 DAR、栅极 -Cs 驱动器 G-CsD、源极驱动器 SD 和显示控制电路 DCC。显示控制电路 DCC 向栅极驱动器 GD 供给栅极启动脉冲 GSP、栅极导通使能信号 GOE、AONB 信号(同时选择信号)、CS 反转信号 CMI1、CMI2 和栅极时钟信号 GCK1B、GCK2B。另外,显示控制电路 DCC 向源极驱动器 SD 供给源极启动脉冲 SSP、数字数据 DAT、极性信号 POL 和源极时钟信号 SCK。在栅极 -Cs 驱动器 G-CsD 中包括移位寄存器 SR 和多个 D 锁存电路 CSL,该移位寄存器 SR 包括多级,与移位寄存器的一级对应地设置有一个反相器、一个 D 锁存电路 CSL、一个缓存器。下面,将移位寄存器的 i 级($i = 1, \dots, n-1, n, n+1, \dots$)适宜地简记为 i 级 SR_i。另外,与移位寄存器的 i 级 SR_i 对应地设置有 D 锁存电路 CSL_i。

[0115] 来自移位寄存器的 i 级 SR_i 的输出信号(OUT 信号)经由缓存器向显示部 DAR 的扫描信号线 G_i 供给。另外,来自与 i 级 SR_i 对应的 D 锁存电路 CSL_i 的输出信号(out 信号、CS 信号)向显示部 DAR 的保持电容配线 CS_{i-1} 供给。例如, n 级 SR_n 的 OUT 信号经由缓存器向扫描信号线 G_n 供给,来自与 n 级 SR_n 对应的 D 锁存电路 CSL_n 的输出信号(out 信号、CS 信号)向显示部 DAR 的保持电容配线 CS_{n-1} 供给。在显示部 DAR 中,扫描信号线 G_n 连接于与 PIX_n 内的像素电极连接的晶体管的栅极,并且,在 PIX_n 内的像素电极与保持电容配线 CS_n 之间形成有保持电容(辅助电容),另外,扫描信号线 G_{n-1} 连接于与 PIX_{n-1} 内的像素电极连接的晶体管的栅极,并且,在 PIX_{n-1} 内的像素电极与保持电容配线 CS_{n-1} 之间形成有保持电容(辅助电容)。

[0116] 另外,与一根数据信号线对应地设置一个模拟开关 asw 和反相器,该反相器的输入与 AONB 信号线连接,数据信号线的端部与模拟开关 asw 的一个导通端子连接,模拟开关 asw 的另一导通端子与 Vcom(共用电极电位)电源连接,模拟开关 asw 的 N 沟道侧栅极与反相器的输出连接,模拟开关 asw 的 P 沟道侧栅极与 AONB 信号线连接。

[0117] 另外,图 28 所示的移位寄存器 SR 的 i 级 SR_i 的结构如图 24 所示,D 锁存电路 CSL_i 的结构如图 25 所示。

[0118] 在液晶显示装置 3f 的 G-CsD 的移位寄存器 SR 中,本级的 OUTB 端子与下一级的 SB

端子连接。另外,本级的 M 端子连接于与本级对应的 D 锁存电路的 ck 端子。例如, n 级 SR_n 的 OUTB 端子与 (n+1) 级 SR_{n+1} 的 SB 端子连接, n 级 SR_n 的 M 端子连接于与 n 级 SR_n 对应的 D 锁存电路 CSL_n 的 ck 端子。另外,向移位寄存器 SR 的初始级的 SB 端子输入 GSPB 信号。

[0119] 另外,在 G-CsD 中,奇数级的 CKB 端子和偶数级的 CKB 端子与不同的 GCK 线(供给 GCK 的线)连接,各级的 ONB 端子与公用的 AONB 线(供给 AON 信号的线)连接。例如, n 级 SR_n 的 CKB 端子与 GCK2B 信号线连接, (n+1) 级 SR_{n+1} 的 CKB 端子与 GCK1B 信号线连接, n 级 SR_n 和 (n+1) 级 SR_{n+1} 各自的 ONB 端子与共用的 AONB 信号线连接。进而,按每与连续的两级对应的两个 D 锁存电路, D 端子与不同的 CMI 线(供给 CMI 信号的线)连接。例如,与 (n-1) 级 SR_{n-1} 对应的 D 锁存电路 CSL_{n-1} 的 D 端子与 CMI1 信号线连接,与 n 级 SR_n 对应的 D 锁存电路 CSL_n 的 D 端子与 CMI1 信号线连接,与 (n+1) 级 SR_{n+1} 对应的 D 锁存电路 CSL_{n+1} 的 D 端子与 CMI2 信号线连接,与 (n+2) 级 SR_{n+2} 对应的 D 锁存电路 CSL_{n+2} 的 D 端子与 CMI2 信号线连接,与 (n+3) 级 SR_{n+3} 对应的 D 锁存电路 CSL_{n+3} 的 D 端子与 CMI1 信号线连接。

[0120] 图 29 是表示液晶显示装置 3f 的驱动方法的时序图。另外,在本图中,将极性信号 POL 的周期设为一水平扫描期间 1H(即,供给同一数据信号线的数据信号的极性按每 1H 进行反转),将 CMI1、CMI2 分别设为同相位。

[0121] 在液晶显示装置 3f 中,在显示视频的最初的帧(垂直扫描期间)之前,进行下面的显示准备动作。具体而言, AONB 信号被设定为规定期间有效(Low), AONB 信号为有效的期间,各 GCKB 信号被固定为有效(Low),并且,各 CMI 信号被固定为 High(或者 Low)。由此,由于在移位寄存器 SR 的各级中, AONB 信号经由 ASW7(参照图 24)从 OUTB 端子输出,因此全级的 OUTB 信号成为有效(Low),选择全扫描信号线。另外,此时,由于与各数据信号线对应的模拟开关 asw 为 ON,因此,向全数据信号线供给 Vcom。另外,由于在各级的触发器中,被输入 AONB 信号的 INITB 端子成为有效(Low),因此, Q 信号为 Low(无效), QB 信号为 High(无效)。另外,一旦移位寄存器的各级的 OUTB 信号变为有效,则由于向 NAND 的反馈信号为 Low,因此 ASW7 为 OFF, ASW8 为 ON(获取 GCK1B 或者 GCK2B)。另外,由于各级的 M 信号(从 M 端子输出的信号)也成为有效(High),因此,各 D 锁存电路锁存 CMI1 信号(Low)或者 CMI2 信号(Low),供给保持电容配线的 out 信号(CS 信号)成为电源 VCSL 的电位。以上的显示准备动作结束后,成为如下的状态:向显示部 DAR 的全 PIX 写入 Vcom,在移位寄存器的各级设置的触发器的 QB 输出成为无效(High),各 D 锁存电路的 out 信号(保持电容配线的电位)成为电源 VCSL 的电位。

[0122] 在液晶显示装置 3f 中,在最初的帧显示时(最初的垂直扫描期间)进行下面的动作。即,当输入移位寄存器 SR 的本级的 SB 信号变为有效(=Low)时,本级的 FF 的输出被置位而变为有效,本级获取 GCKB 信号。当本级的 GCKB 信号变为有效(=Low)时,本级的 OUTB 信号变为有效(=Low),并且下一级的 SB 信号变为有效,且本级的 FF 被复位而成为 High(无效)。此时,由于本级的 OUTB 信号为 Low(即, NAND 的输出为 High),因此,继续向本级取入 GCKB 信号,在 GCKB 信号成为 High(无效)时,本级的 OUTB 信号成为 High,并且 NAND 的输出成为 Low,之后从 OUTB 端子输出 AONB 信号, OUTB 信号成为 High(无效)。

[0123] 另外,当下一级的 M 信号变为有效时,与下一级对应的 D 锁存电路锁存 CMI1 信号或者 CMI2 信号。由此,与本级对应的 D 锁存电路的 out 信号(与本级对应的保持电容配线

的电位),在本级的 OUTB 信号成为无效(与本级对应的扫描信号线为 OFF)后,从电源 VCSL 的电位向电源 VCSH 的电位上升(向与本级对应的像素写入正极性的数据信号的情况),或者从电源 VCSH 的电位向电源 VCSL 的电位下降(向与本级对应的像素写入负极性的数据信号的情况)。

[0124] 例如,当 n 级 SR_n 的 M 信号变为有效时,与 n 级 SR_n 对应的 D 锁存电路 CSL_n 锁存 CMI_1 信号。由此, D 锁存电路 CSL_n 的 out 信号(保持电容配线 CS_{n-1} 的电位)在 $(n-1)$ 级 SR_{n-1} 的 OUT 信号成为无效(扫描信号线 G_{n-1} 为 ON、OFF)后,从电源 VCSL 的电位上升至电源 VCSH 的电位。在此,在与 $(n-1)$ 级 SR_{n-1} 对应的像素 PIX_{n-1} ,如 POL 所示写入正极性的数据信号,通过保持电容配线 CS_{n-1} 的上升,能够使有效电位高于数据信号的电位(提高像素 PIX_{n-1} 的亮度)。

[0125] 另外,当 $(n+1)$ 级 SR_{n+1} 的 M 信号变为有效时,与 $(n+1)$ 级 SR_{n+1} 对应的 D 锁存电路 CSL_{n+1} 锁存 CMI_2 信号。由此, D 锁存电路 CSL_{n+1} 的 out 信号(保持电容配线 CS_n 的电位)在 n 级 SR_n 的 OUT 信号成为无效(与 n 级 SR_n 对应的扫描信号线 G_n 为 ON、OFF)后,从电源 VCSH 的电位下降至电源 VCSL 的电位。在此,在与 n 级 SR_n 对应的像素 PIX_n ,如 POL 所示写入负极性的数据信号,通过保持电容配线 CS_n 的下降,能够使有效电位低于数据信号的电位(提高像素 PIX_n 的亮度)。

[0126] 另外,当 $(n+2)$ 级 SR_{n+2} 的 M 信号变为有效时,与 $(n+2)$ 级 SR_{n+2} 对应的 D 锁存电路 CSL_{n+2} 锁存 CMI_2 信号。由此, D 锁存电路 CSL_{n+2} 的 out 信号(保持电容配线 CS_{n+1} 的电位)在 $(n+1)$ 级 SR_{n+1} 的 OUT 信号成为无效(扫描信号线 G_{n+1} 为 ON、OFF)后,从电源 VCSL 的电位上升至电源 VCSH 的电位。在此,在与 $(n+1)$ 级 SR_{n+1} 对应的像素 PIX_{n+1} ,如 POL 所示写入正极性的数据信号,通过保持电容配线 CS_{n+1} 的上升,能够使有效电位高于数据信号的电位(提高像素 PIX_{n+1} 的亮度)。

[0127] 另外,在第二帧以后也进行与最初的帧同样的显示。但是,由于按每一帧 POL 的相位偏离半周期,因此供给同一像素电极 PIX_i 的数据信号的极性按每一帧进行反转。与之相配合, D 锁存电路 CSL_i 的 out 信号(保持电容配线 CS_i 的电位)的上升和下降也按每一帧进行交替。

[0128] 在液晶显示装置 3f 中,电源 ON、OFF 时,同时选择全扫描信号线并向全像素写入同电位(例如 V_{com}),因此,能够消除电源 ON、OFF 时的画面紊乱。在此,与现有技术(参照图 34)进行比较,通过将 AONB 信号输入 ASW7,从而不需要图 34 中被输入各级的输出信号的 NAND,进而,通过向 FF 的 INITB 端子输入 AONB 信号,从而也不需要移位寄存器的初始化用信号的生成、发送结构,从而能够实现栅极驱动器的小型化。另外,由于触发器 FF 为置位比复位优先的结构,因此,从同时选择恢复时(AON 信号从有效回到无效时),SB 信号容易比 R 信号更先变为无效。因此,能够防止由于 R 信号比 SB 信号更先变为无效而在初始化后再次进行置位的误动作。另外,由于在各级能够自我复位,因此能够简化级间的连接关系。另外,通过将移位寄存器的内部信号(M 信号)输入 D 锁存电路的 ck 端子,从而在 $G-Cs$ 驱动器内不需要 NOR 电路、OR 电路,能够进一步小型化。另外,由于能够从最初的帧开始对各像素行适宜地进行 CC 驱动,因此能够消除在现有技术的 CC 驱动中存在的最初的帧的画面紊乱(横纹状的不均)的问题。

[0129] 还应该注意到的是,在液晶显示装置 3f 中,如图 30 所示,仅通过使 CMI_2 信号的相

位偏离（从图 29）半周期，就能够将极性信号 POL 的周期切换为 2H（向同一数据信号线供给的数据信号的极性按每 2H 进行反转），且能够从最初的帧开始对各像素行适当地进行 CC 驱动。即，在液晶显示装置 3f 中，仅通过控制 CS 反转信号 CMI1 和 CMI2 信号各自的相位，就能够将极性信号 POL 的周期从 1H 切换为 2H，也能够大幅降低此时的画面紊乱。

[0130] 另外，也可以如图 31 所示的那样对液晶显示装置 3e、3f 的移位寄存器的各级的结构（参照图 24）进行变更。即，使图 24 的 ASW7 为单沟道（P 沟道）晶体管 TR。据此，能够实现移位寄存器的进一步小型化。

[0131] （实施方式 5）

[0132] 图 32 是表示本发明的液晶显示装置 3g 的结构的电路图。液晶显示装置 3g 包括：显示部 DAR、栅极驱动器 GD、源极驱动器 SD 和显示控制电路 DCC。显示控制电路 DCC 向栅极驱动器 GD 供给 INITB 信号（初始化信号）、AONB 信号（同时选择信号）、栅极启动脉冲 GSP、栅极导通使能信号 GOE 和栅极时钟信号 GCKB1、GCKB2。另外，显示控制电路 DCC 向源极驱动器 SD 供给源极启动脉冲 SSP、数字数据 DAT、极性信号 POL 和源极时钟信号 SCK。在栅极驱动器 GD 中包括移位寄存器 SR，该移位寄存器 SR 包括多级。下面，将移位寄存器的 i 级（ $i = 1, \dots, n-1, n, n+1, \dots$ ）适宜地简记为 i 级 SR_i。

[0133] 来自移位寄存器的 i 级 SR_i 的输出信号（OUT 信号）经由缓存器向显示部 DAR 的扫描信号线 G_i 供给。例如，n 级 SR_n 的 OUT 信号经由缓存器向扫描信号线 G_n 供给。在显示部 DAR 中，扫描信号线 G_n 连接于与 PIX_n 内的像素电极连接的晶体管的栅极，在 PIX_n 内的像素电极与保持电容配线 CS_n 之间形成有保持电容（辅助电容）。

[0134] 另外，与一根数据信号线对应地设置一个模拟开关 asw 和反相器，该反相器的输入与 AONB 信号线连接，数据信号线的端部与模拟开关 asw 的一个导通端子连接，模拟开关 asw 的另一导通端子与 Vcom（共用电极电位）电源连接，模拟开关 asw 的 N 沟道栅极与反相器的输出连接，模拟开关 asw 的 P 沟道侧栅极与 AONB 信号线连接。

[0135] 图 33 是表示移位寄存器 SR 的一部分的具体结构的电路图。如该图所示，在移位寄存器的各级包括：具有 SB 端子、R 端子和 INITB 端子的置位复位型触发器 FF（如图 12 所示的 FF3）、两个模拟开关 ASW9、ASW10、反相器、CKB 端子、ONB 端子、OUTB 端子、OUT 端子，触发器 FF 的 Q 端子与模拟开关 ASW9 的 P 沟道侧栅极和模拟开关 ASW10 的 N 沟道侧栅极连接，FF 的 QB 端子与模拟开关 ASW9 的 N 沟道侧栅极和模拟开关 ASW10 的 P 沟道侧栅极连接，模拟开关 ASW9 的一个导通电极与 ONB 端子连接，并且模拟开关 ASW10 的一个导通电极与 CKB 端子连接，模拟开关 ASW9 的另一导通电极、模拟开关 ASW10 的另一导通电极和作为该级的输出端子的 OUTB 端子相连接，OUTB 端子经由反相器与 OUT 端子连接。

[0136] 在移位寄存器 SR 中，本级的 OUTB 端子与下一级的 SB 端子连接，下一级的 OUT 端子与本级的 R 端子连接。例如，n 级 SR_n 的 OUTB 端子与 (n+1) 级 SR_{n+1} 的 SB 端子连接，(n+1) 级 SR_{n+1} 的 OUT 端子与 n 级 SR_n 的 R 端子连接。另外，向移位寄存器 SR 的初始级 SR₁ 的 SB 端子输入 GSPB 信号。另外，在栅极驱动器 GD 中，各级的触发器的 INITB 端子与 INITB 信号线连接，各级的 ONB 端子与 AONB 信号线连接，奇数级的 CKB 端子和偶数级的 CKB 端子与不同的 GCKB 线（供给 GCKB 的线）连接。例如，n 级 SR_n 的 CKB 端子与 GCK2B 信号线连接，(n+1) 级 SR_{n+1} 的 CKB 端子与 GCK1B 信号线连接。

[0137] 在液晶显示装置 3g 中，在电源 ON、OFF 时进行下面的准备动作。具体而言，AONB

信号和 INITB 信号同时被设定为规定期间有效 (Low)。由于在移位寄存器 SR 的各级, ASW9 均为 ON, 由此, 全级的 OUT 信号成为有效 (High), 选择全扫描信号线。另外, 此时, 由于与各数据信号线对应的模拟开关 asw 为 ON, 因此, 向全数据信号线供给 Vcom。另外, 在各级的触发器中, INITB 信号成为有效 (Low), 因此, Q 信号为 Low (无效), QB 信号为 High (无效)。以上的准备动作结束后 (AONB 信号成为无效后), 成为向显示部 DAR 的全 PIX 写入 Vcom, 且移位寄存器 SR 被初始化的 (各级的触发器的输出为无效的) 状态。

[0138] 另外, 在液晶显示装置 3g 的移位寄存器 SR 中, 在各垂直扫描期间 (各帧显示时) 进行下面的动作。即, 当输入本级的 SB 信号变为有效 (= Low) 时, 本级的 FF 被置位, Q 信号变为 High (有效), 经由模拟开关 ASW10 向本级取入 GCKB 信号。当本级的 GCKB 信号变为有效 (Low) 时, 本级的 OUTB 信号变为有效 (Low), 并且, 下一级的 SB 信号变为有效。由此, 下级的 FF 的 OUTB 信号变为有效并向下一级取入 GCKB 信号。当下一级的 GCKB 信号变为有效 (Low) 时, 本级的 FF 被复位, Q 信号成为 Low (无效), 模拟开关 ASW9 为 ON。此时, 由于 AONB 信号为 High, 因此本级的 OUTB 信号也成为 High (无效)。

[0139] 在液晶显示装置 3g 中, 由于在电源 ON、OFF 时同时选择全扫描信号线并向全像素写入同电位 (例如 Vcom), 因此, 能够消除电源 ON、OFF 时的画面紊乱。在此, 与现有技术结构 (参照图 34) 进行比较, 通过将 AONB 信号输入 ASW9, 从而不需要图 34 中被输入各级的输出信号的 NAND, 从而能够实现栅极驱动器的小型化。另外, 由于触发器 FF 为置位比复位优先的结构, 因此, 在从同时选择恢复时 (AONB 信号从有效回到无效时), SB 信号容易比 R 信号更先变为无效。由此, 能够防止由于 R 信号比 SB 信号更先变为无效而在初始化后再次进行置位的误动作。另外, 由于在全扫描信号线同时选择时也执行移位寄存器的初始化 (各级的触发器的初始化), 因此, 与分开地进行全扫描信号线同时选择和移位寄存器的初始化的现有技术结构相比, 能够快速地完成准备动作。

[0140] 另外, 上述栅极驱动器、源极驱动器或者栅极 -CS 驱动器、显示部的像素电路也可以单片地形成 (同一基板上)。

[0141] 另外, 在本申请中, 将晶体管 (P 沟道或者 N 沟道) 所具有的两个导通电极中的输出侧称为漏极端子。

[0142] 本发明的移位寄存器的特征在于, 其是在例如以规定的定时进行多个信号线同时选择的显示驱动电路中使用的移位寄存器, 该移位寄存器在各级中包括: 具有初始化用端子的触发器; 和被输入同时选择信号并使用上述触发器的输出来生成本级的输出信号的信号生成电路, 各级的输出信号通过上述同时选择信号的有效化而成为有效并在进行上述同时选择的期间为有效, 触发器的初始化用端子为有效的期间, 无论 (该触发器的) 其它的输入端子的状态如何, 该触发器的输出都成为无效, 向上述初始化用端子输入同时选择信号。

[0143] 根据上述结构, 能够将同时选择信号作为用于移位寄存器的初始化的信号使用, 因此, 无需另外生成用于对移位寄存器进行初始化的信号并向各级输入。由此, 能够实现使用移位寄存器的显示驱动电路 (各种显示驱动器) 的小型化。

[0144] 本发明的移位寄存器的结构也能够是, 上述触发器为置位复位型, 在初始化用端子、置位用端子和复位用端子成为有效时, 该触发器的输出成为无效。

[0145] 本发明的移位寄存器的结构也能够是, 上述信号生成电路具有栅极电路, 该栅极

电路选择性地获取与输入的切换信号对应的信号并将其作为本级的输出信号。

[0146] 本发明的移位寄存器的结构也能够是,上述触发器的输出作为切换信号输入栅极电路。

[0147] 本发明的移位寄存器的结构也能够是,上述信号生成电路还具备逻辑电路,上述触发器的输出被输入逻辑电路,该逻辑电路的输出作为上述切换信号输入栅极电路,本级的输出信号向该逻辑电路和上述触发器的复位用端子反馈。

[0148] 本发明的移位寄存器的结构也能够是,上述栅极电路选择性地获取上述同时选择信号或者时钟信号。

[0149] 本发明的移位寄存器的特征在于,其是在进行多个信号线的同时选择的显示驱动电路中使用的移位寄存器,该移位寄存器在各级中包括:置位复位型的触发器;和被输入同时选择信号,并使用上述触发器的输出来生成本级的输出信号的信号生成电路,上述信号生成电路具有栅极电路,该栅极电路根据输入的切换信号选择性地获取上述同时选择信号或者时钟作为本级的输出信号。

[0150] 根据上述结构,通过使同时选择信号为有效,能够使各级的移位寄存器的输出信号成为有效。由此,不需要像现有技术那样的输入各级的输出信号的逻辑电路,能够使得使用移位寄存器的显示驱动电路(各种显示驱动器)小型化。

[0151] 本发明的移位寄存器的结构也能够是,上述栅极电路根据触发器的输出选择性地获取上述同时选择信号或者时钟来作为本级的输出信号。

[0152] 本发明的移位寄存器的结构也能够是,上述信号生成电路还具有逻辑电路,上述触发器的输出输入逻辑电路,本级的输出信号向该逻辑电路和上述触发器反馈,上述栅极电路根据该逻辑电路的输出选择性地获取上述同时选择信号或者时钟信号来作为本级的输出。

[0153] 本发明的移位寄存器的结构也能够是,在上述逻辑电路中包括 NAND。

[0154] 本发明的移位寄存器的结构也能够是,上述 NAND 包括多个 P 沟道的晶体管和多个 N 沟道的晶体管,在该 NAND 中,P 沟道的各晶体管的驱动能力高于 N 沟道的各晶体管的驱动能力。

[0155] 本发明的移位寄存器的结构也能够是,上述同时选择结束前,被输入各级的触发器的置位用信号和复位用信号均为有效,在同时选择结束时,置位用信号先于上述复位用信号无效化。

[0156] 本发明的移位寄存器的结构也能够是,上述触发器包括:P 沟道的第一晶体管和 N 沟道的第二晶体管的栅极端子彼此连接且漏极端子彼此连接的第一 CMOS 电路;P 沟道的第三晶体管和 N 沟道的第四晶体管的栅极端子彼此连接且漏极端子彼此连接的第二 CMOS 电路;输入晶体管;多个输入端子;和第一输出端子和第二输出端子,其中,第一 CMOS 电路的栅极侧、第二 CMOS 电路的漏极侧和第一输出端子相连接,并且,第二 CMOS 电路的栅极侧、第一 CMOS 电路的漏极侧和第二输出端子相连接,上述输入晶体管中,栅极端子和源极端子分别与不同的输入端子连接,并且,漏极端子与输出端子连接。

[0157] 本发明的移位寄存器的结构也能够是,上述输入晶体管为 P 沟道晶体管,该输入晶体管的源极端子与在无效时为第一电位而在有效时为低于第一电位的第二电位的信号的输入端子连接。

[0158] 本发明的移位寄存器的结构也能够是,上述输入晶体管为N沟道晶体管,该输入晶体管的源极端子与在有效时为第一电位而在无效时为低于第一电位的第二电位的信号的输入端子连接。

[0159] 本发明的显示驱动电路的特征在于,包括上述移位寄存器。

[0160] 本发明的显示驱动电路的特征在于,包括上述移位寄存器(自我复位型),在进行同时选择的期间,将上述时钟信号固定为有效。

[0161] 本发明的显示面板的特征在于,单片地形成上述显示驱动电路和像素电路。

[0162] 本发明的显示装置的特征在于,包括上述移位寄存器。

[0163] 本发明的显示驱动电路的特征在于,其是在显示装置中使用的显示驱动电路,该显示装置向与像素所包含的像素电极形成电容的保持电容配线,供给与写入该像素电极的信号电位的极性相对应的调制信号,该显示驱动电路包括上述移位寄存器,与移位寄存器的各级对应地各设置一个保持电路,并且,向各保持电路输入保持对象信号,当在本级生成的控制信号变为有效时,与本级对应的保持电路获取上述保持对象信号并对其进行保持,将本级的输出信号向连接于与本级对应的像素的扫描信号线供给,并且,将与本级对应的保持电路的输出,作为上述调制信号,向和与本级的前一级对应的像素的像素电极形成电容的保持电容配线供给。

[0164] 本发明的显示驱动电路的特征在于,其是在显示装置中使用的显示驱动电路,该显示装置向与像素所包含的像素电极形成电容的保持电容配线,供给与写入该像素电极的信号电位的极性相对应的调制信号,该显示驱动电路包括上述移位寄存器,与移位寄存器的各级对应地各设置一个保持电路,并且,向各保持电路输入保持对象信号,当在一个级生成的控制信号变为有效时,与该级对应的保持电路获取上述保持对象信号并对其进行保持,将一个保持电路的输出作为上述调制信号向保持电容配线供给,在各级生成的控制信号在显示视频的最初的垂直扫描期间之前成为有效。

[0165] 本发明的显示驱动电路的特征在于,其是在显示装置中使用的显示驱动电路,该显示装置向与像素所包含的像素电极形成电容的保持电容配线,供给与写入该像素电极的信号电位的极性相对应的调制信号,该显示驱动电路包括上述移位寄存器,与移位寄存器的各级对应地各设置一个保持电路,并且,向各保持电路输入保持对象信号,本级的输出信号和本级的后一级的输出信号被输入逻辑电路,并且,当该逻辑电路的输出变为有效时,与本级对应的保持电路获取上述保持对象信号并对其进行保持,将本级的输出信号向连接于与本级对应的像素的扫描信号线供给,并且,将与本级对应的保持电路的输出,作为上述调制信号,向和与本级对应的像素的像素电极形成电容的保持电容配线供给,使输入多个保持电路的保持对象信号的相位与输入其它多个保持电路的保持对象信号的相位不同。

[0166] 本发明的显示驱动电路的特征在于,其是在显示装置中使用的显示驱动电路,该显示装置包括经由开关元件与数据信号线和扫描信号线连接的像素电极,并且向与该像素电极形成电容的保持电容配线,供给与写入该像素电极的信号电位的极性相对应的调制信号,该显示驱动电路包括上述移位寄存器,并在下述模式间切换:使供给数据信号线的信号电位的极性按每n个水平扫描期间(n为自然数)进行反转的模式;和使供给数据信号线的信号电位的极性按每m个水平扫描期间(m为与n不同的自然数)进行反转的模式。

[0167] 本发明不限于上述实施方式,将所述实施方式基于公知技术或技术常识进行适

当变更或将它们组合而获得的方式也包含于本发明的实施方式中。另外,在各实施方式中所述的作用效果等也仅仅为例示。

- [0168] 工业上的可利用性
- [0169] 本发明的移位寄存器适用于各种驱动器,特别适用于液晶显示装置的驱动器。
- [0170] 附图标记说明
- [0171] 3a ~ 3g : 液晶显示装置
- [0172] ASW1、ASW2、asw :模拟开关
- [0173] SR : 移位寄存器
- [0174] SR_i : 移位寄存器的 i 级
- [0175] DCC : 显示控制电路
- [0176] GD : 栅极驱动器
- [0177] SD : 源极驱动器
- [0178] G-C_sD : 栅极 -C_s 驱动器
- [0179] DAR : 显示部
- [0180] G_n : 扫描信号线
- [0181] C_{Sn} : 保持电容配线
- [0182] PIX_n : 像素
- [0183] CSL_i : 与 SR 的 i 级对应的 D 锁存电路
- [0184] FF : 触发器
- [0185] ST : 置位晶体管 (输入晶体管)
- [0186] RT : 复位晶体管 (输入晶体管)
- [0187] LRT : 锁存解除晶体管
- [0188] LC : 锁存电路
- [0189] POL : (数据) 极性信号
- [0190] CMI1、CMI2 :CS 反转信号

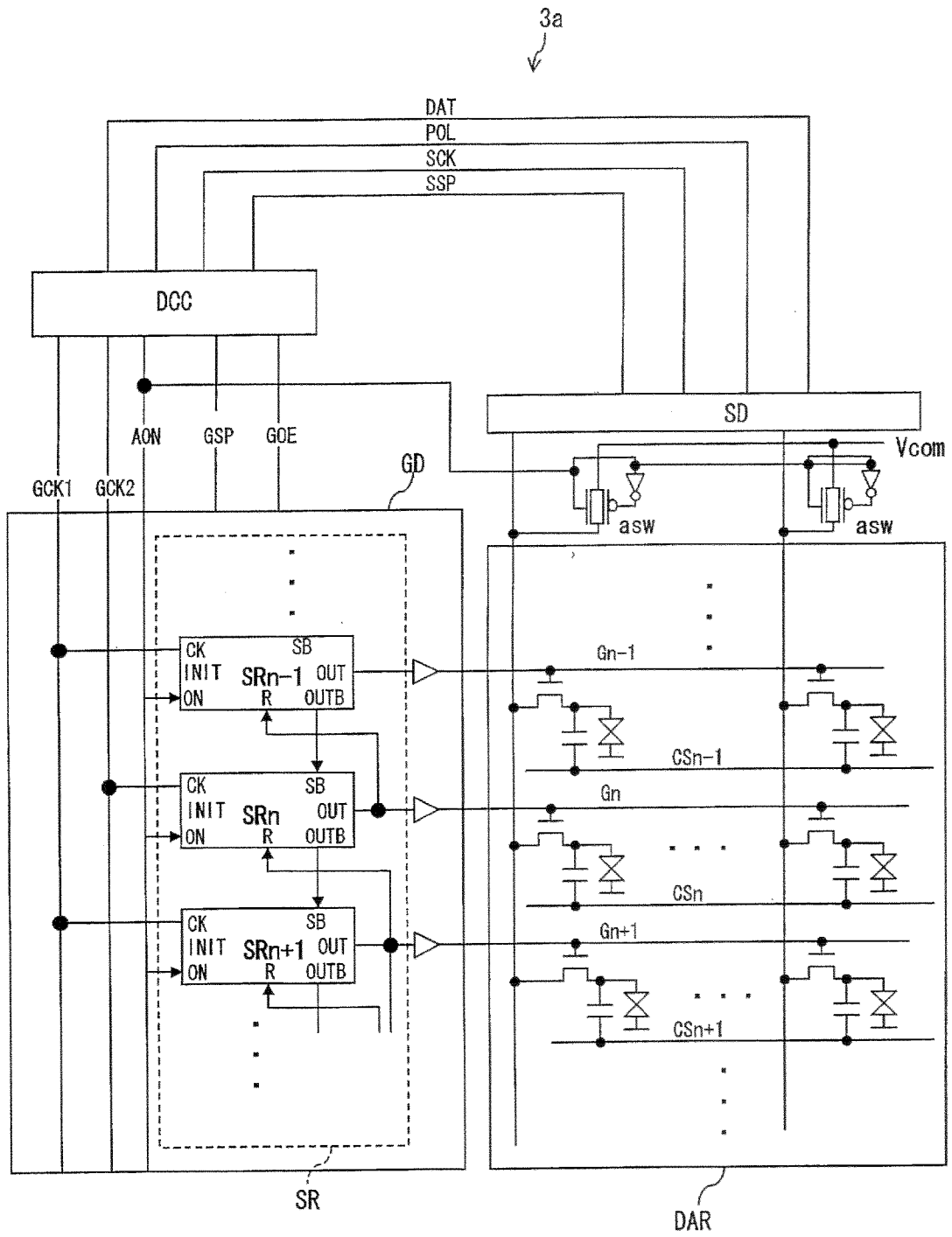


图 1

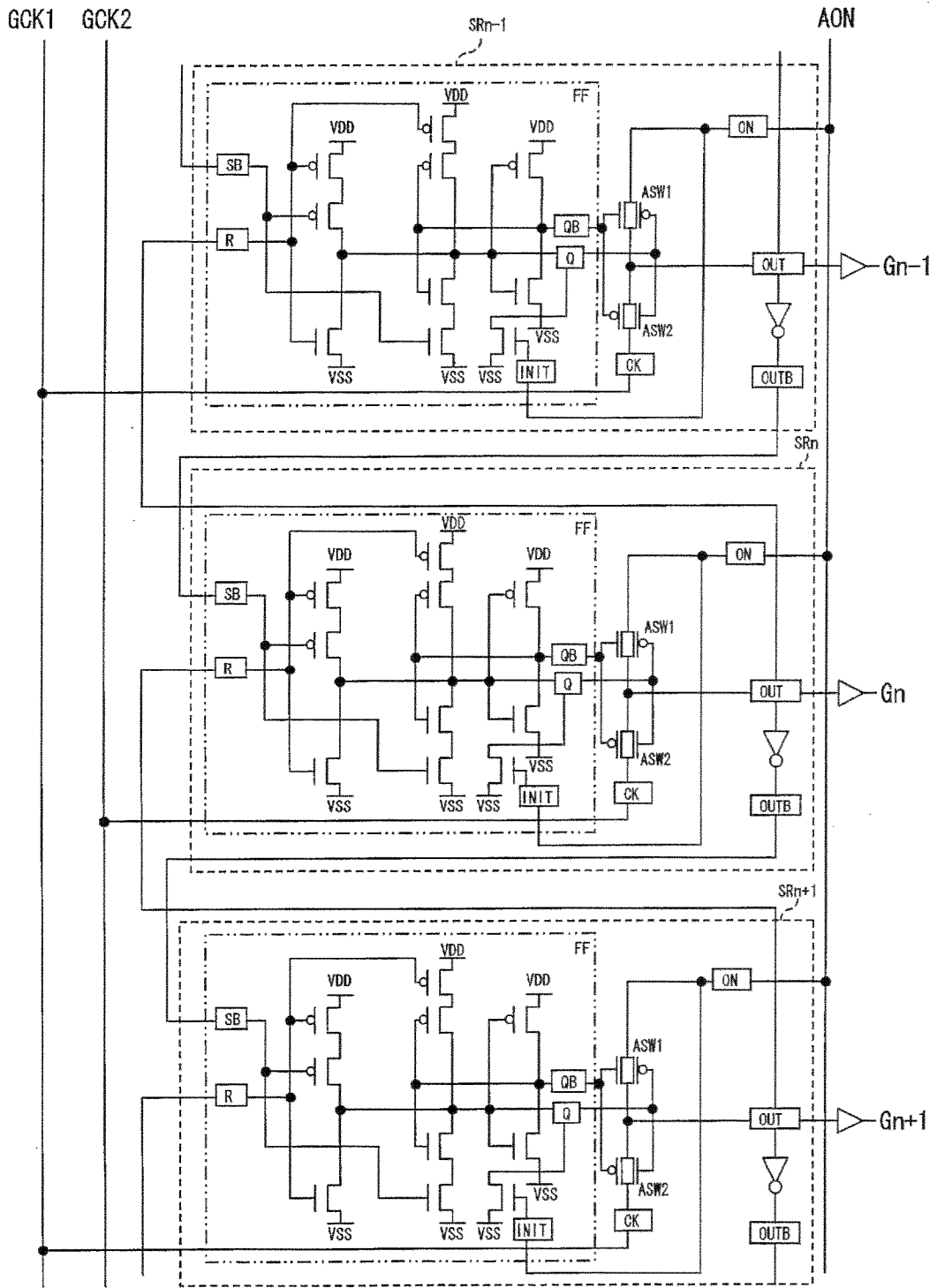


图 2

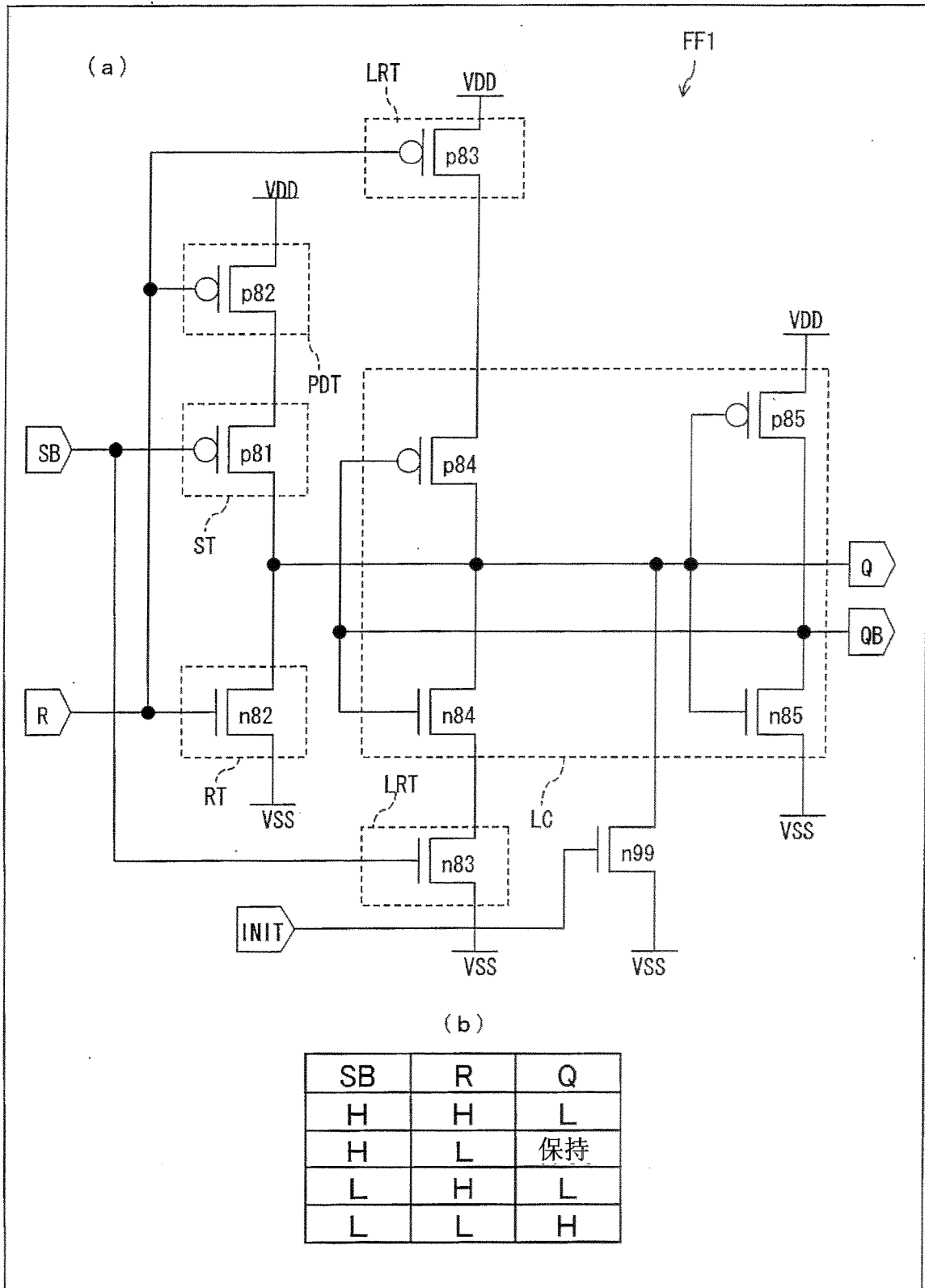


图 3

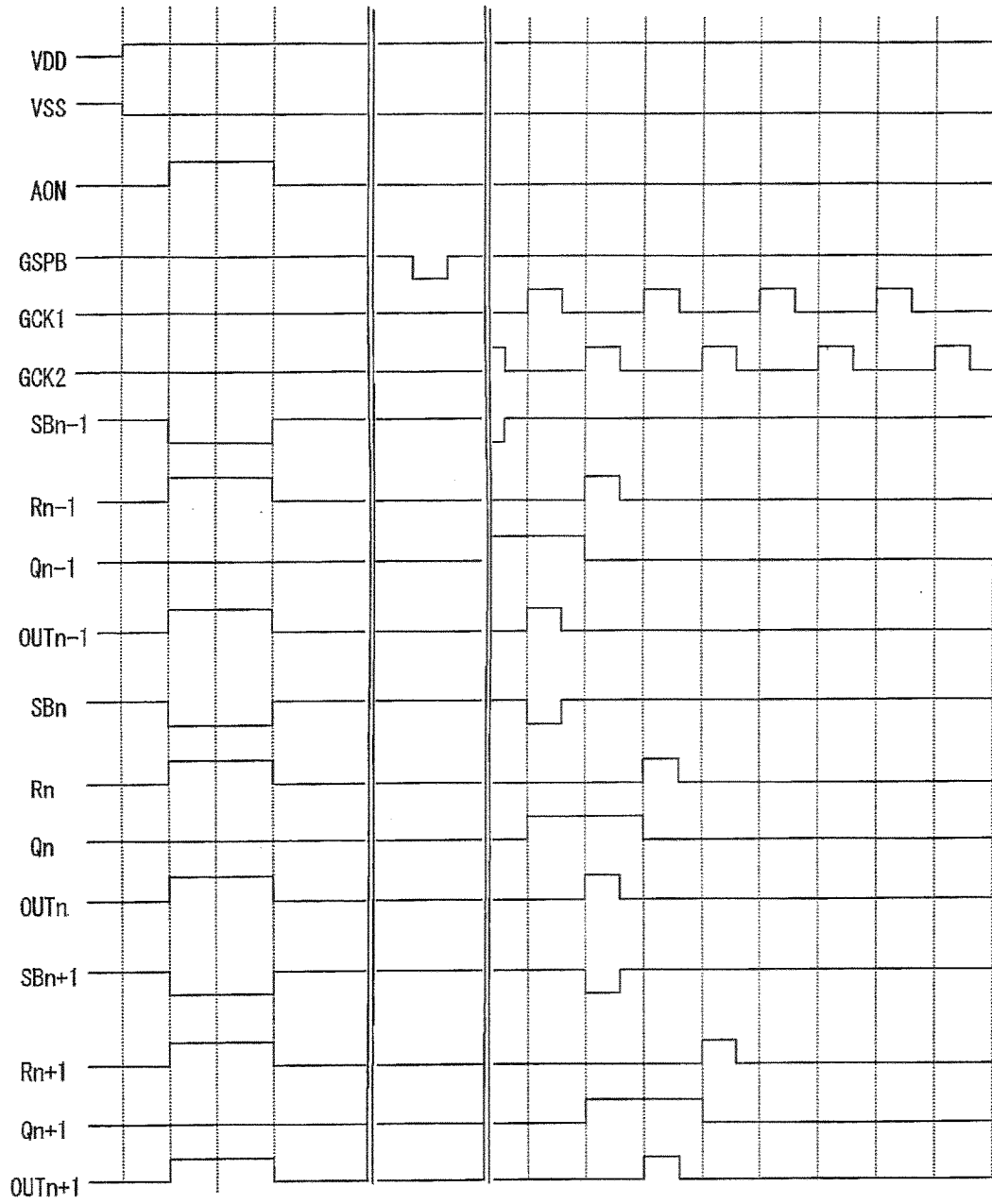


图 4

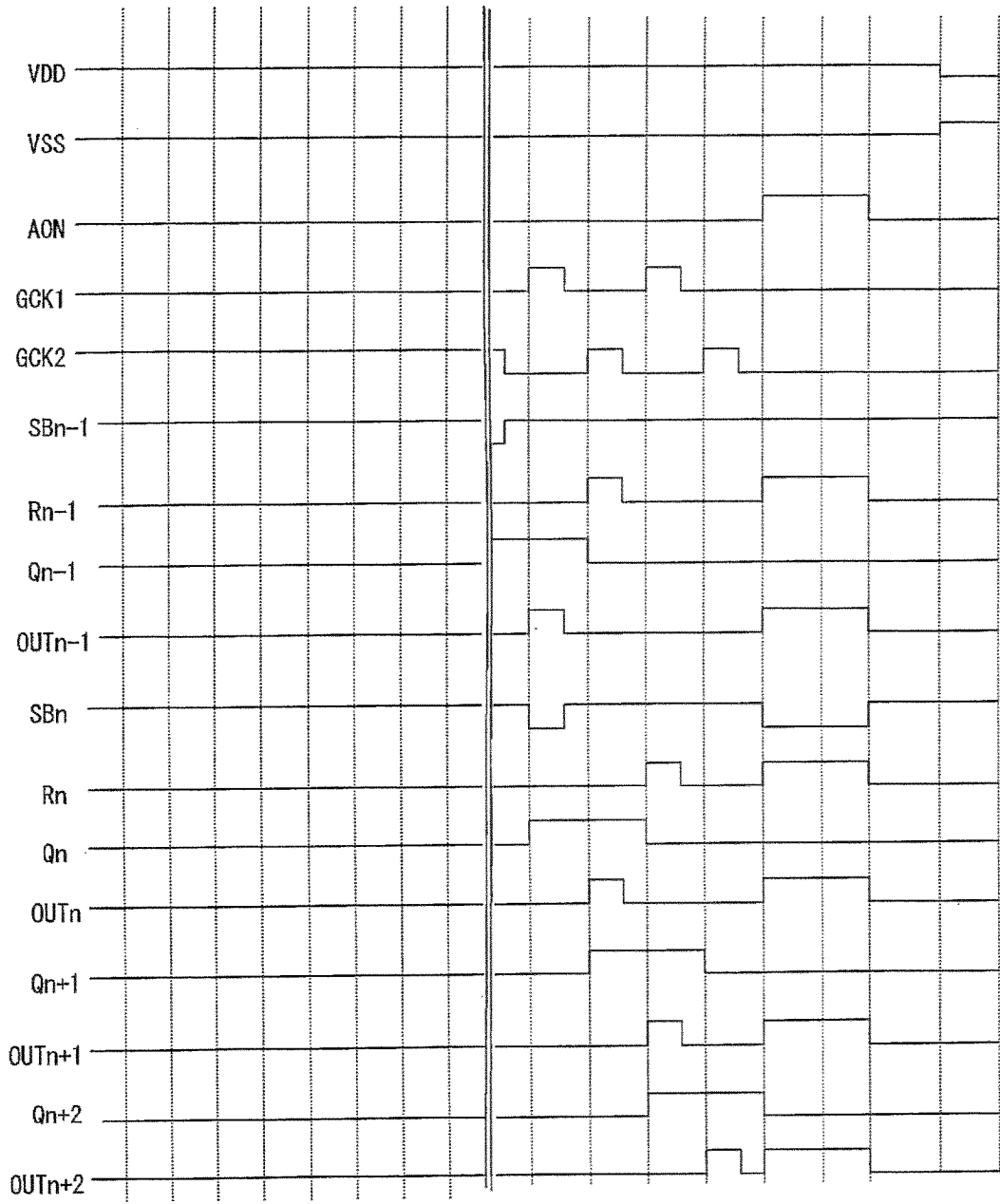


图 5

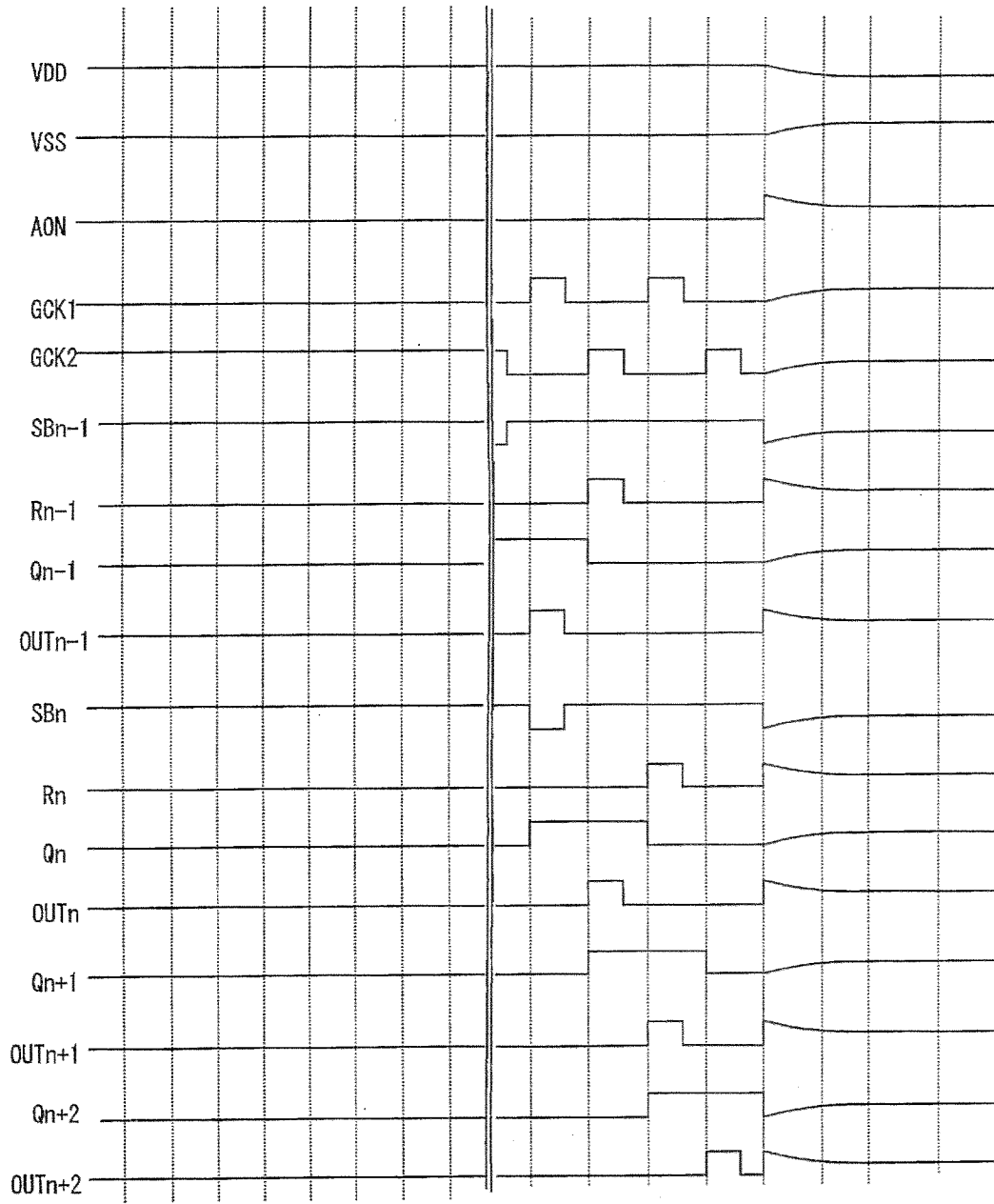


图 6

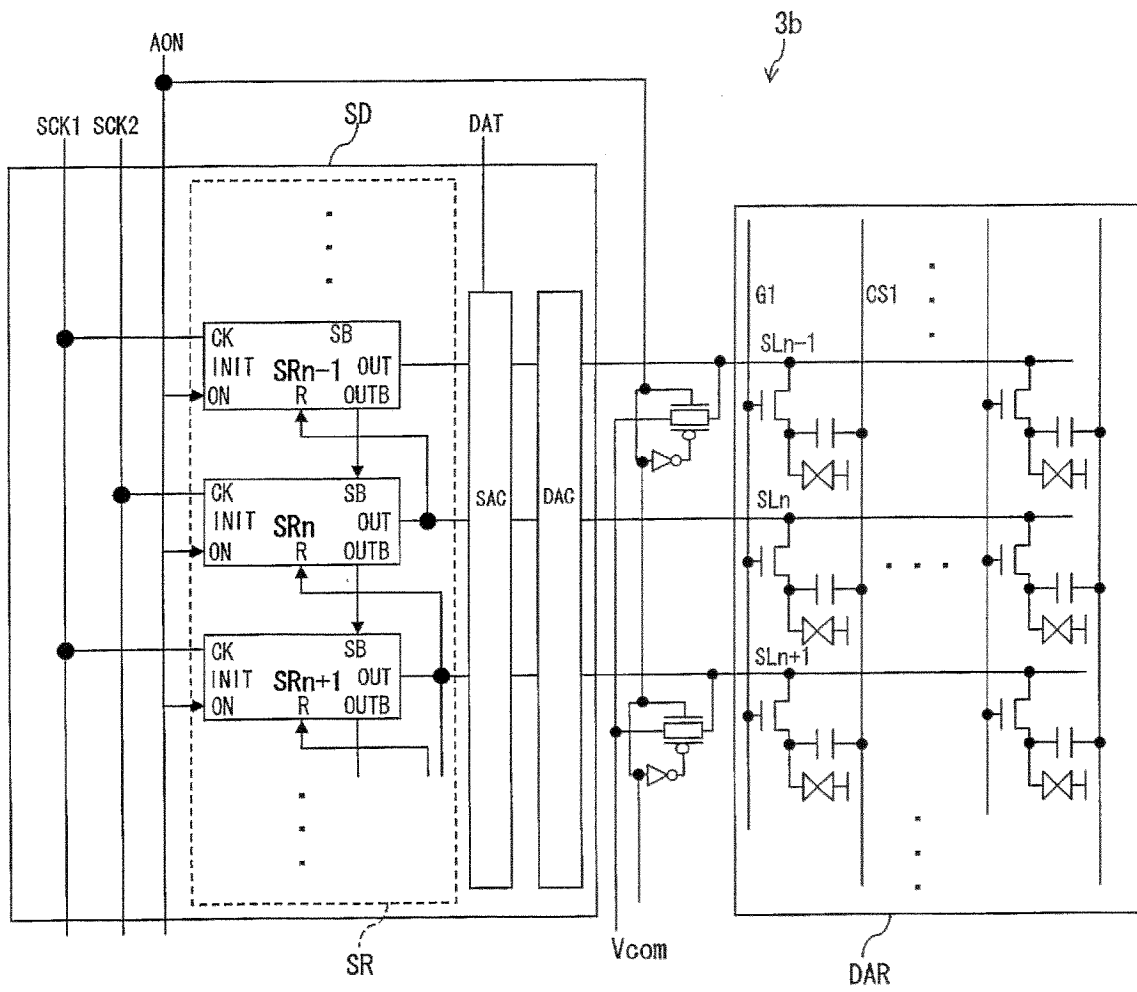


图 7

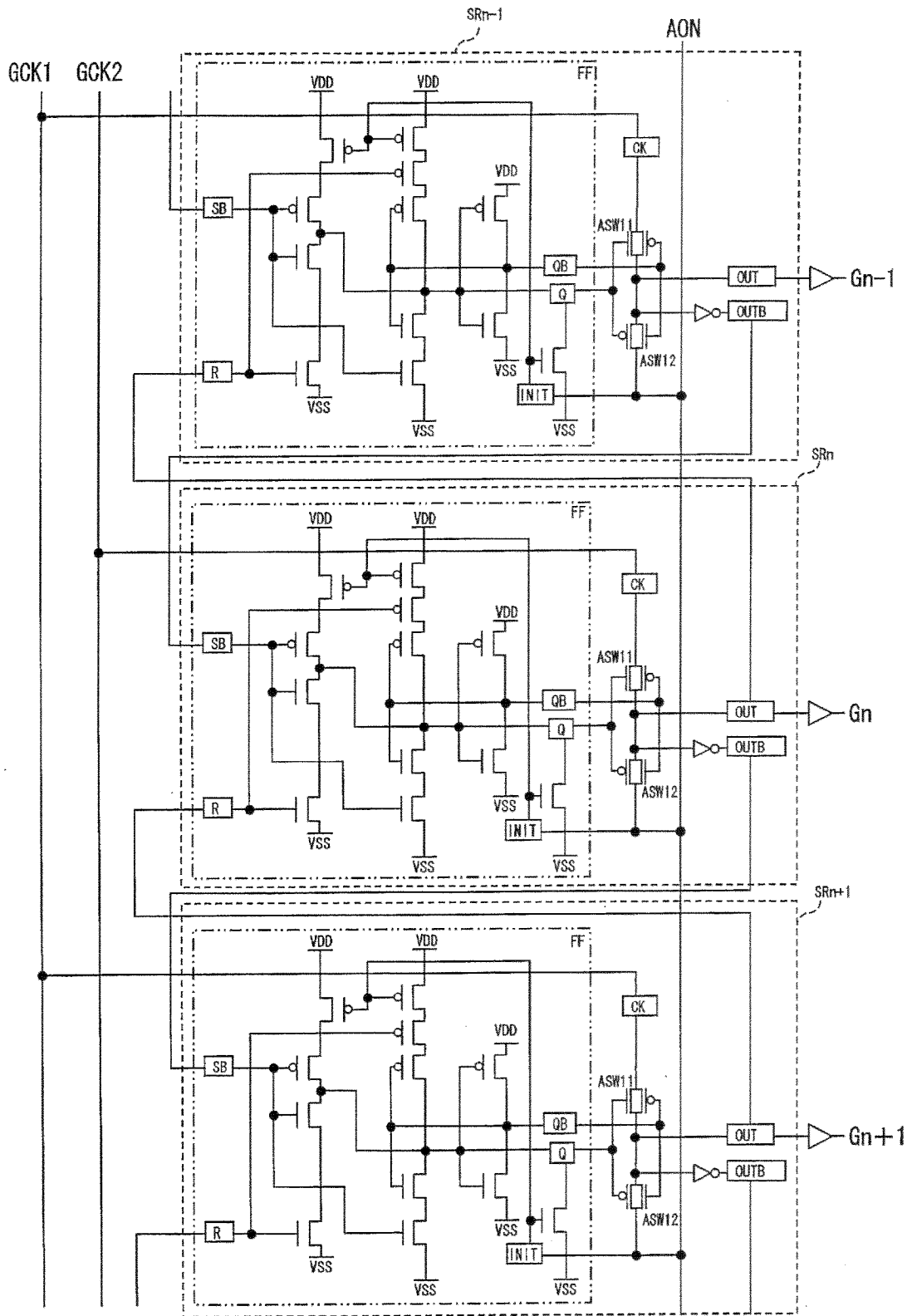


图 8

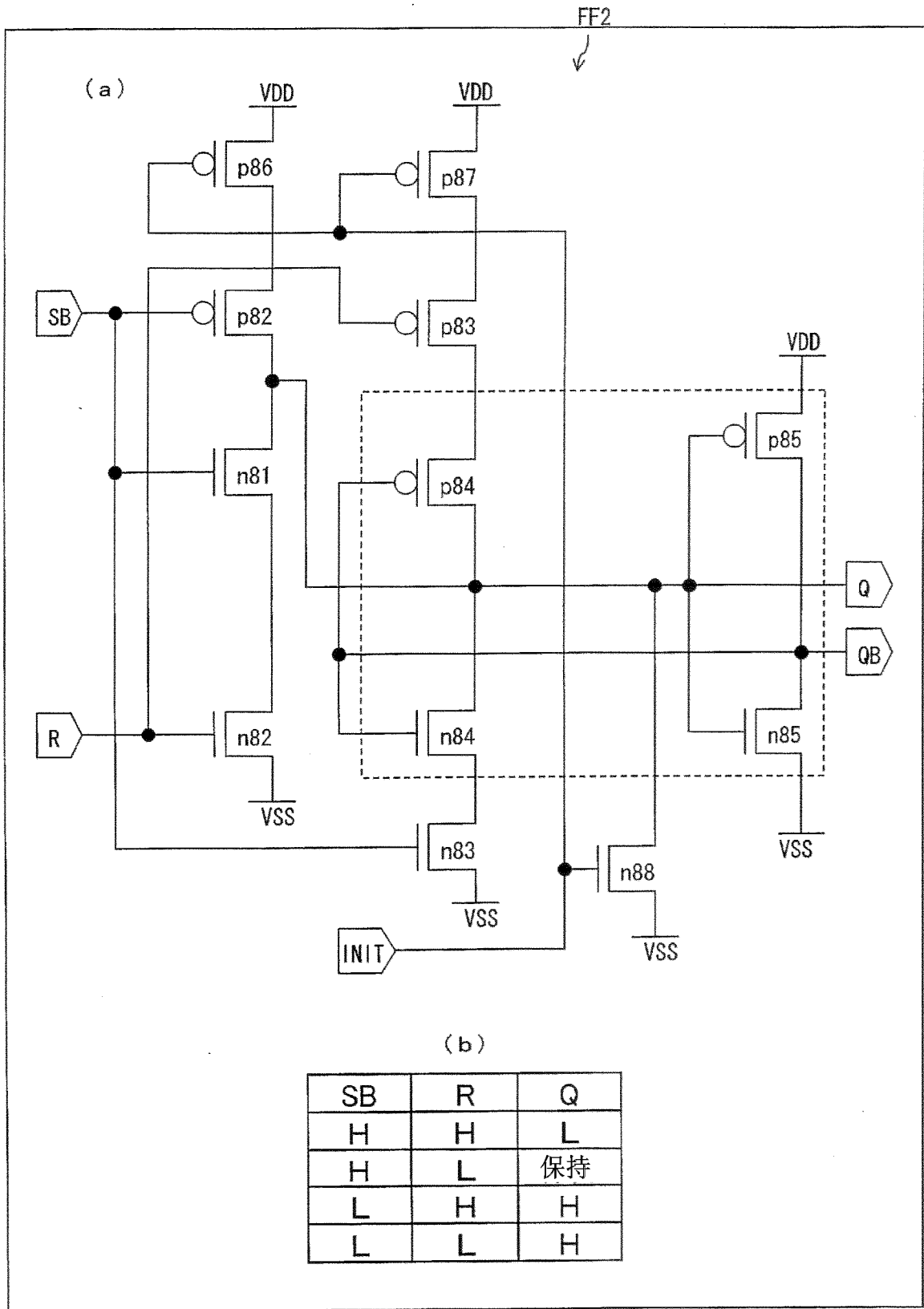


图 9

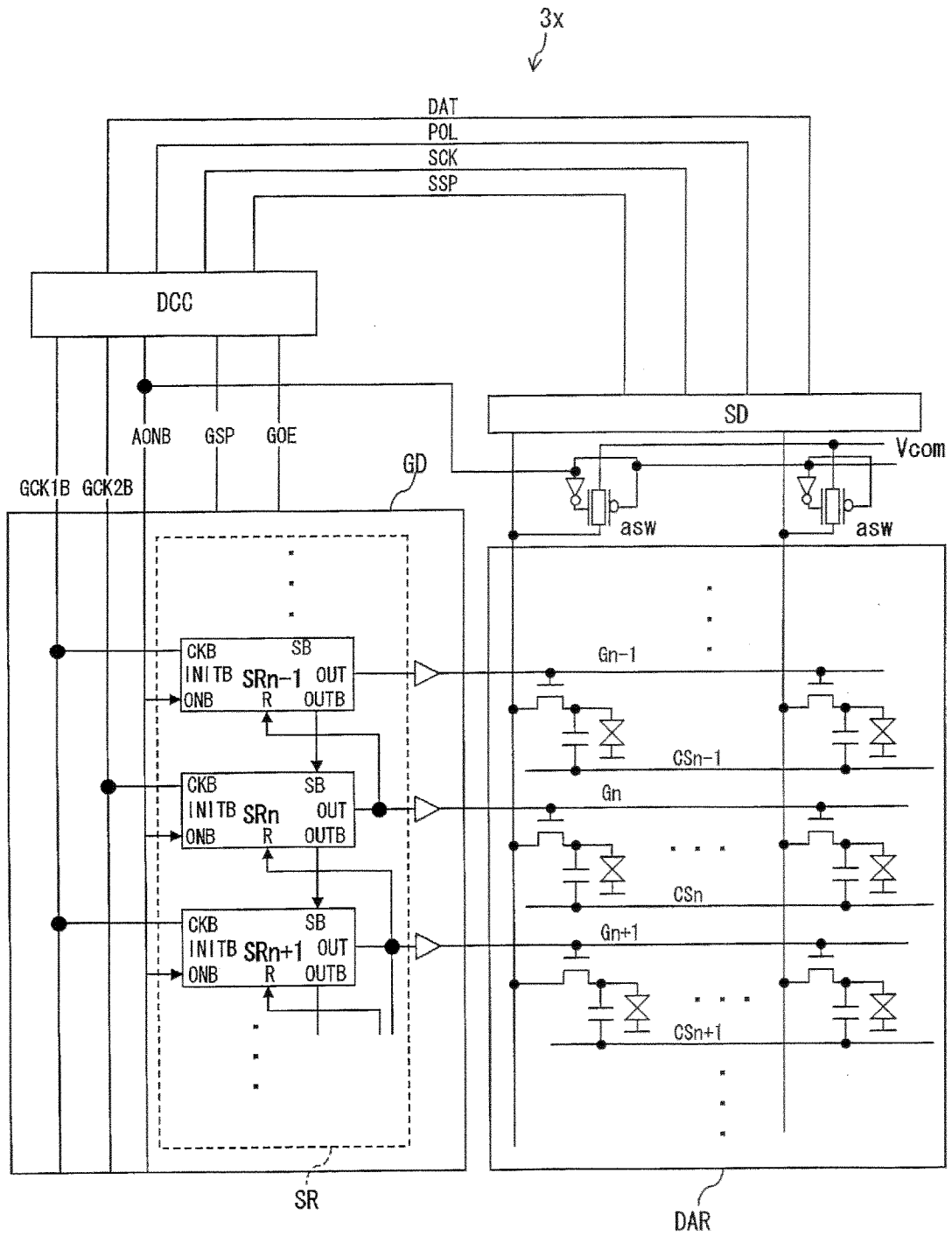


图 10

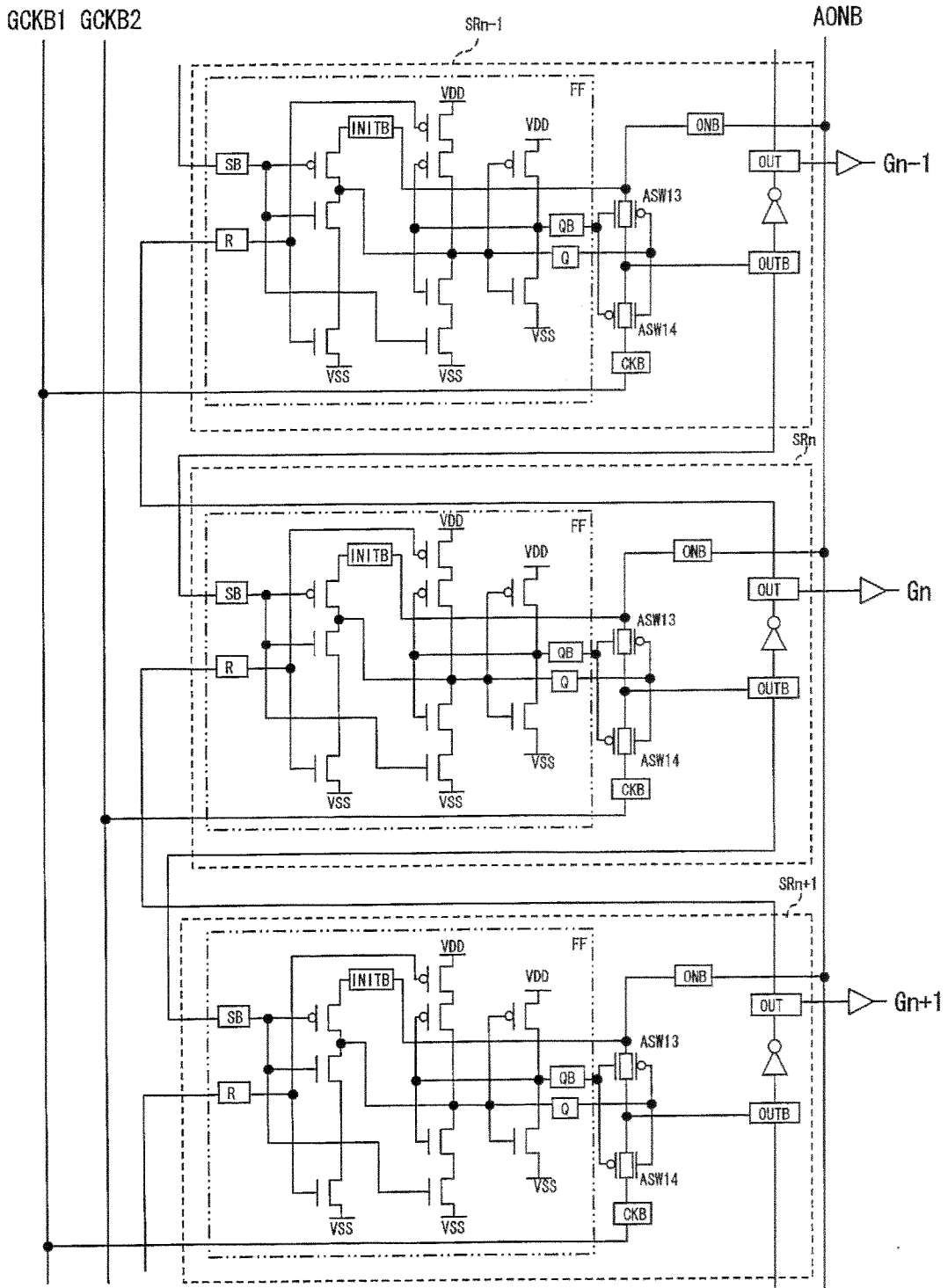


图 11

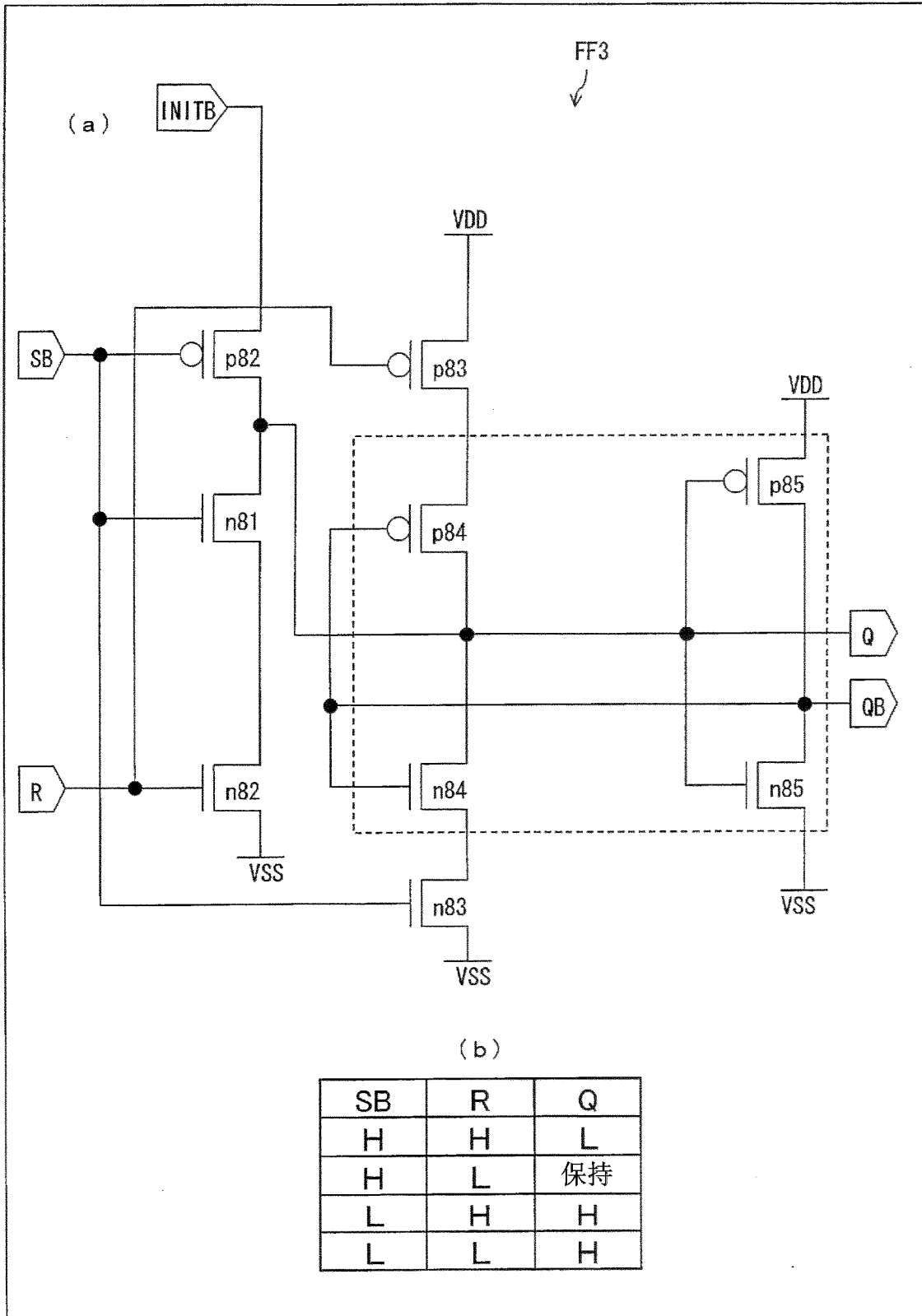


图 12

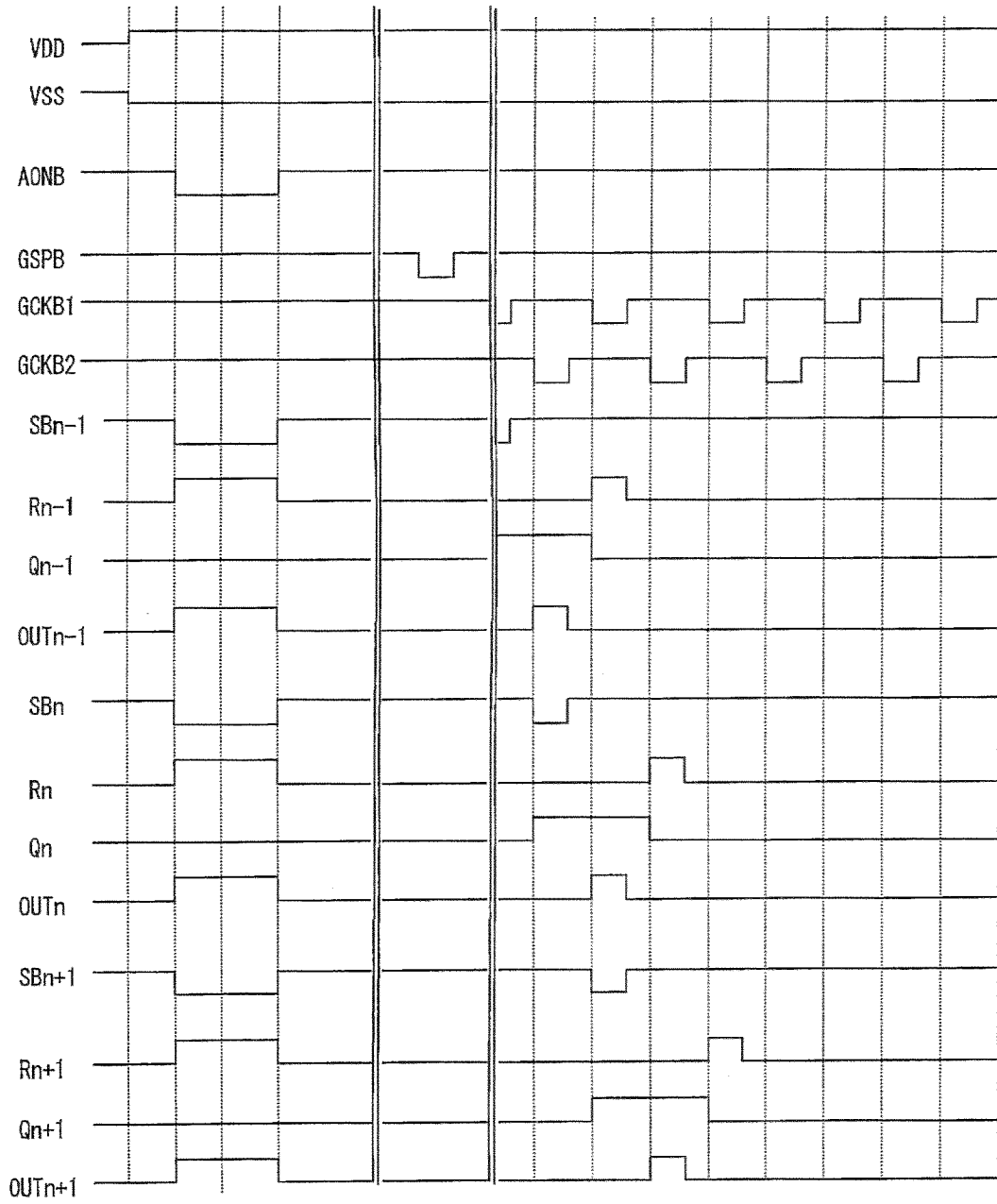


图 13

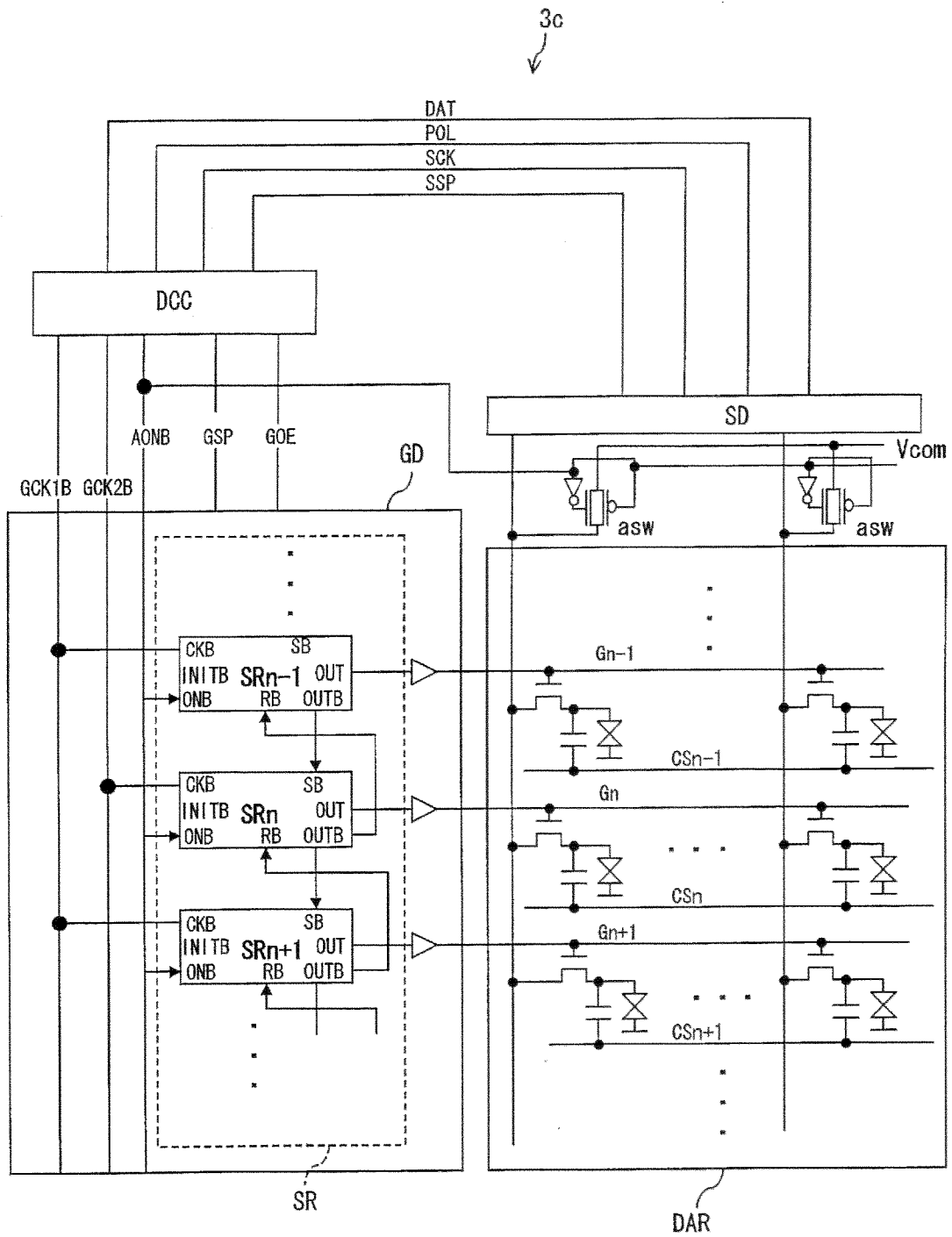


图 14

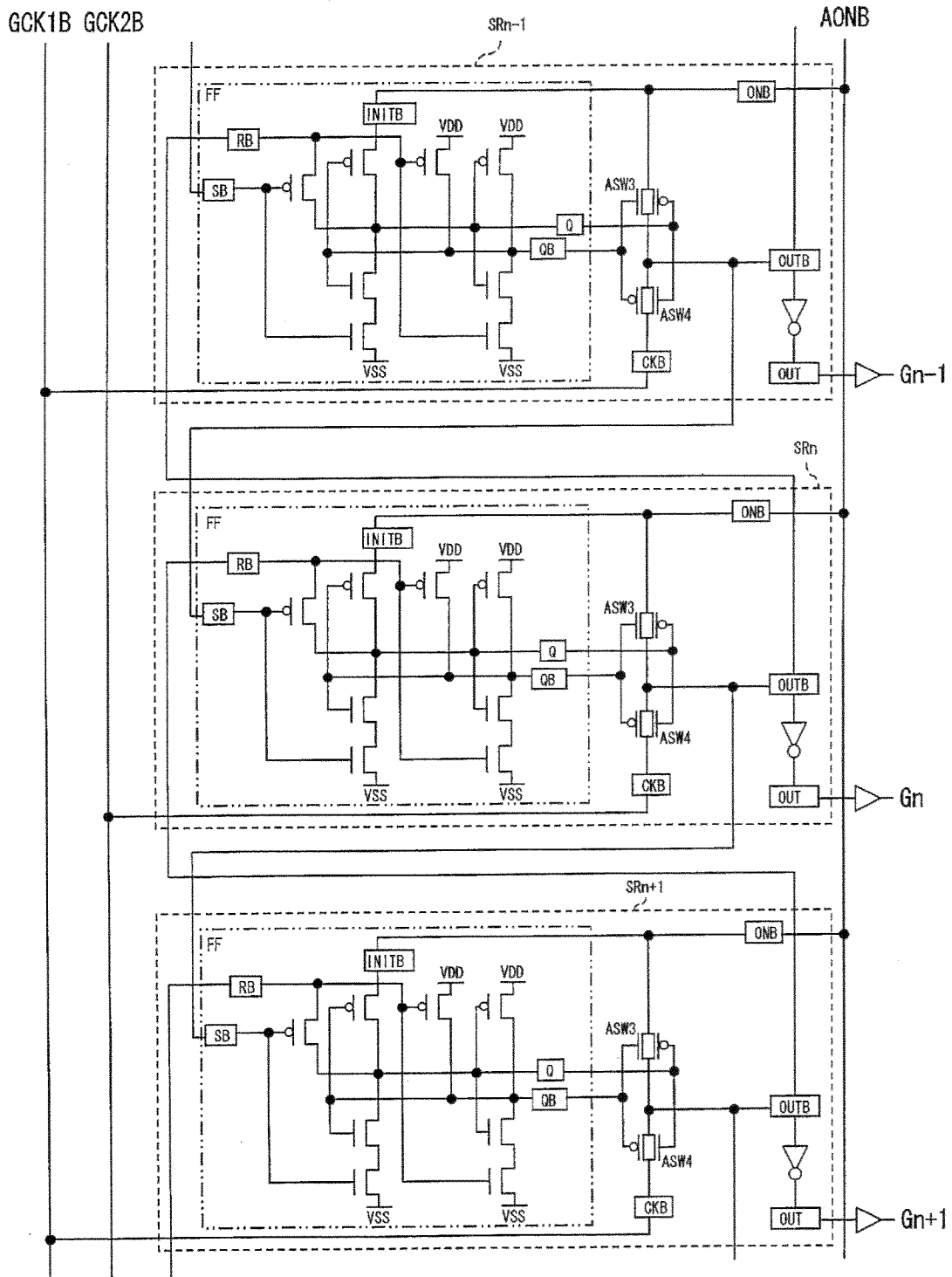


图 15

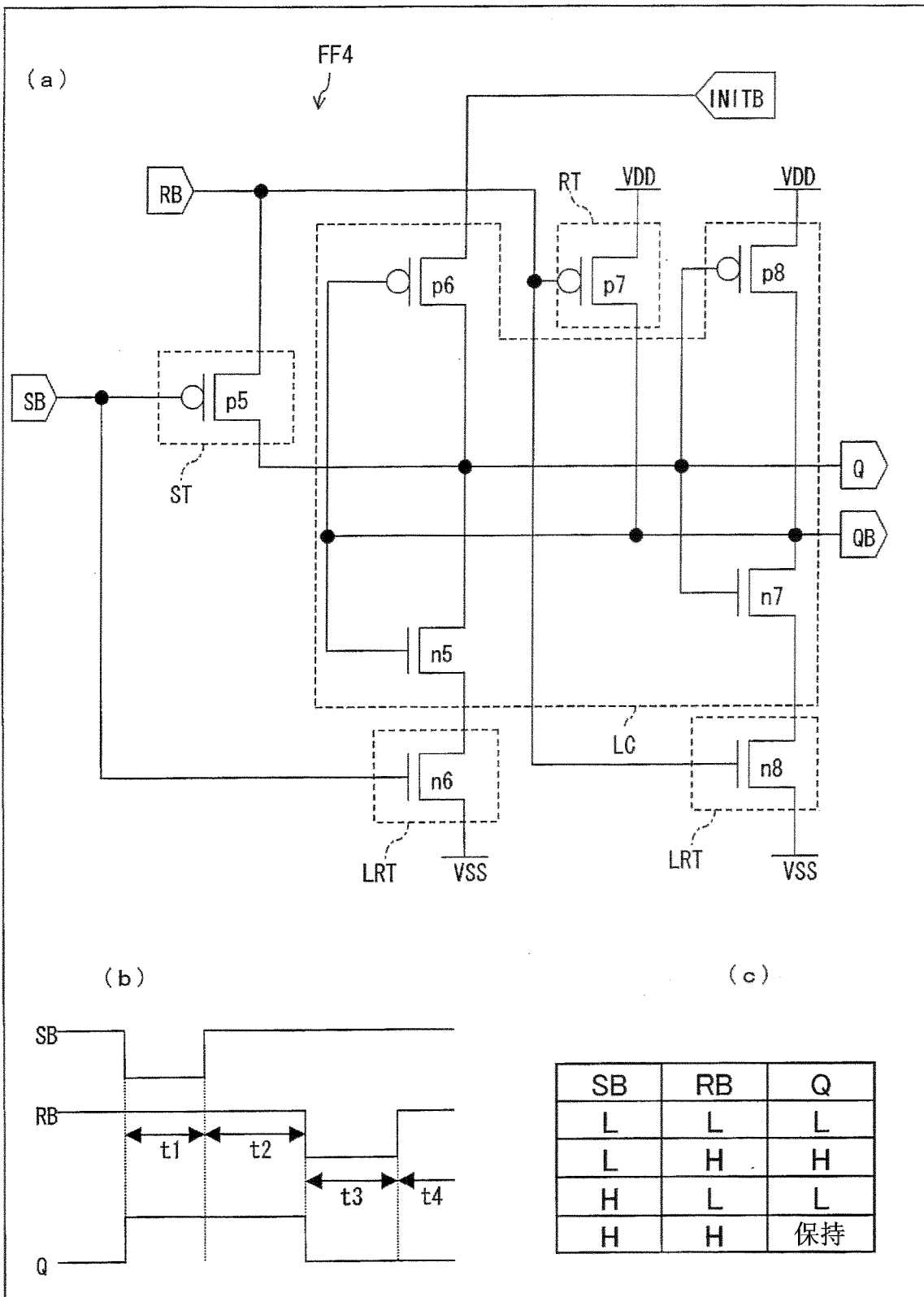


图 16

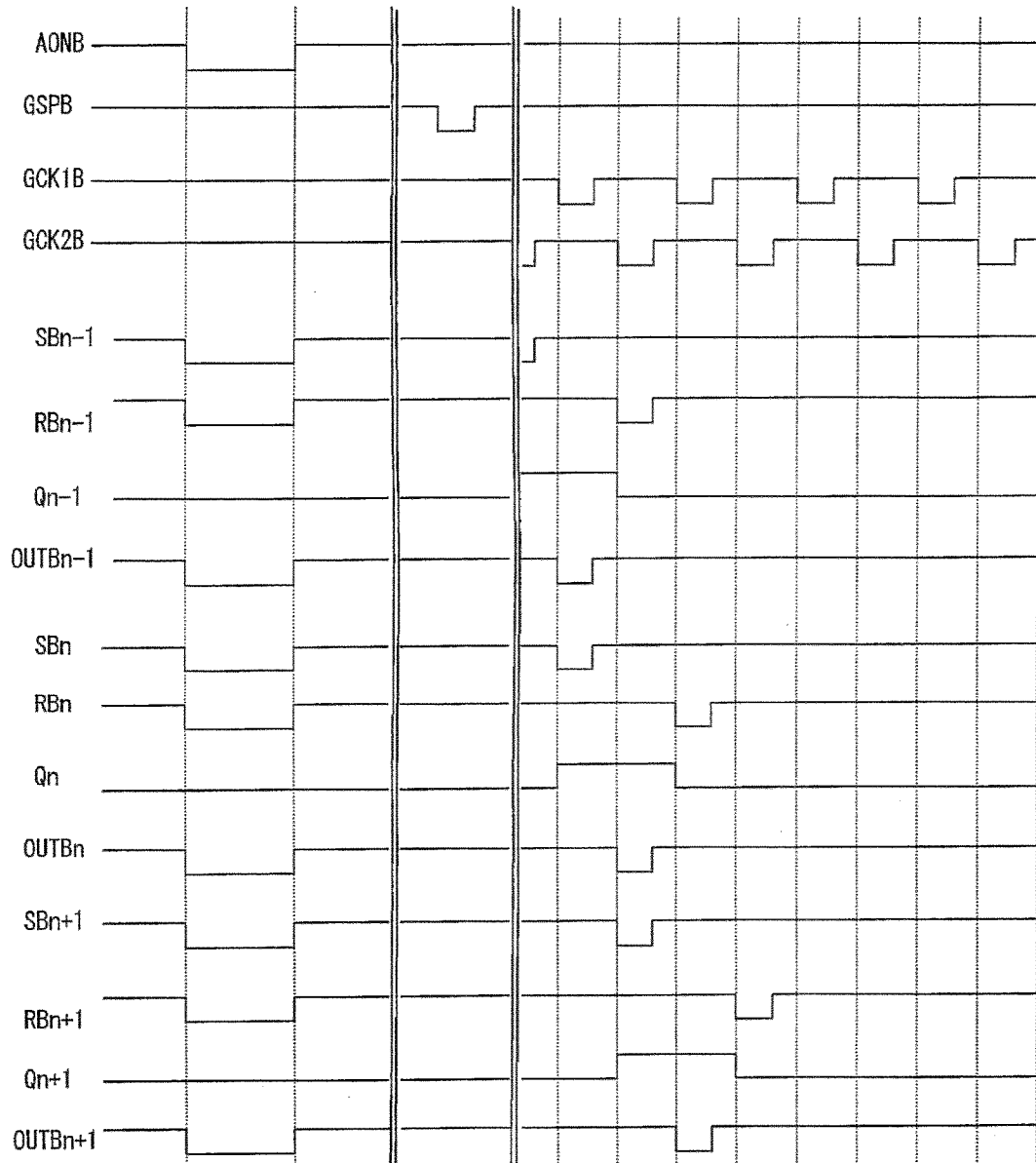


图 17

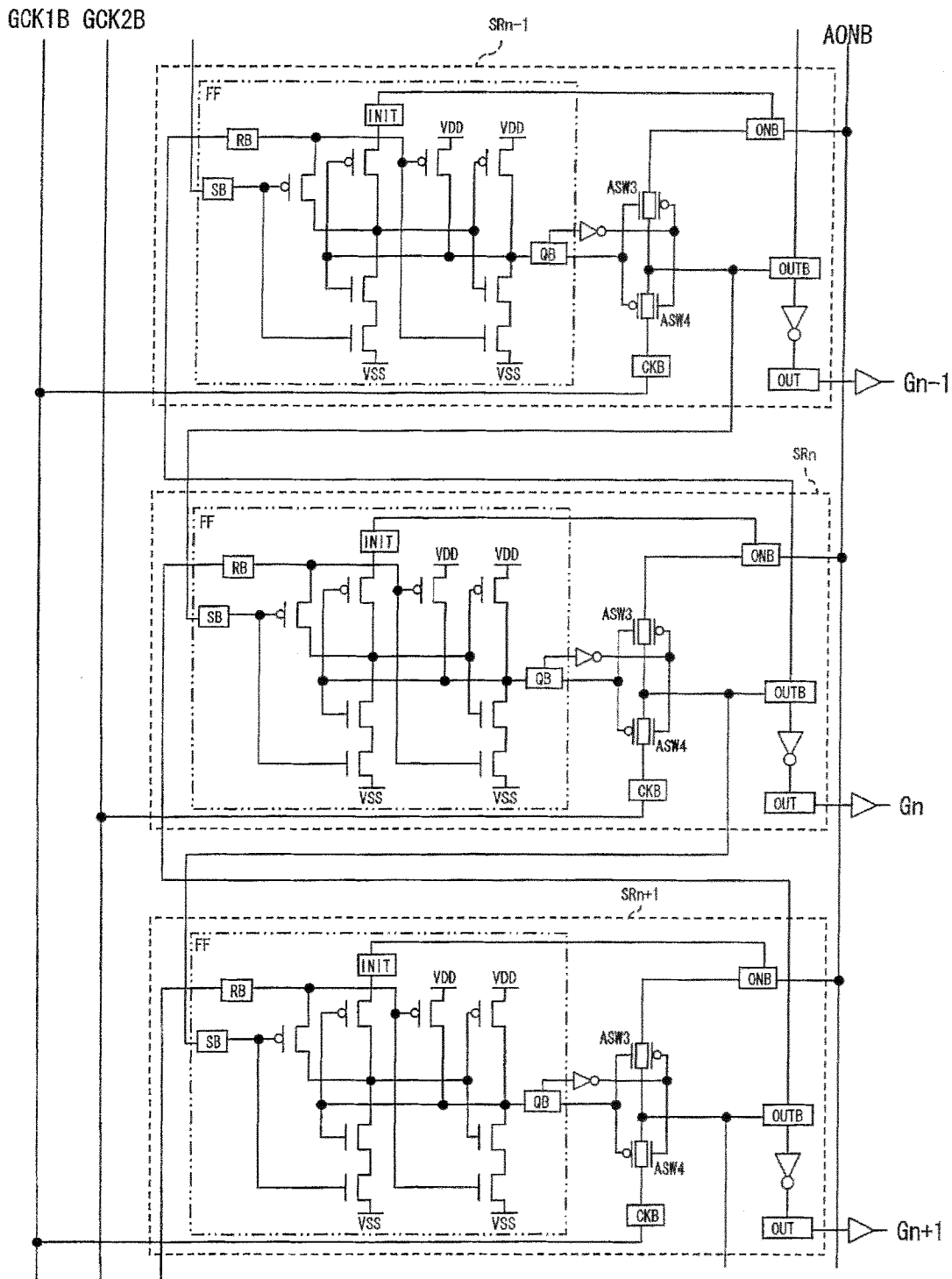


图 18

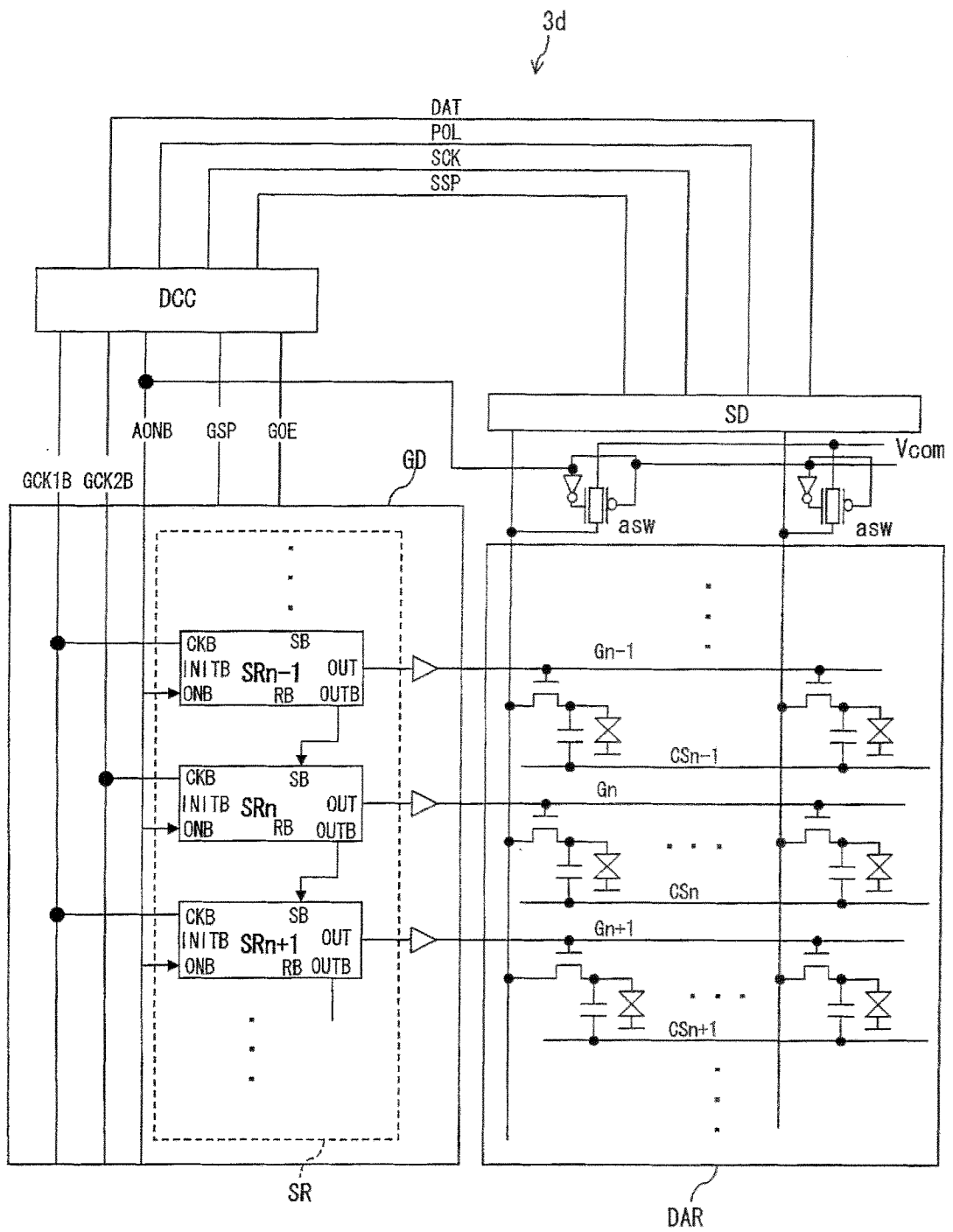


图 19

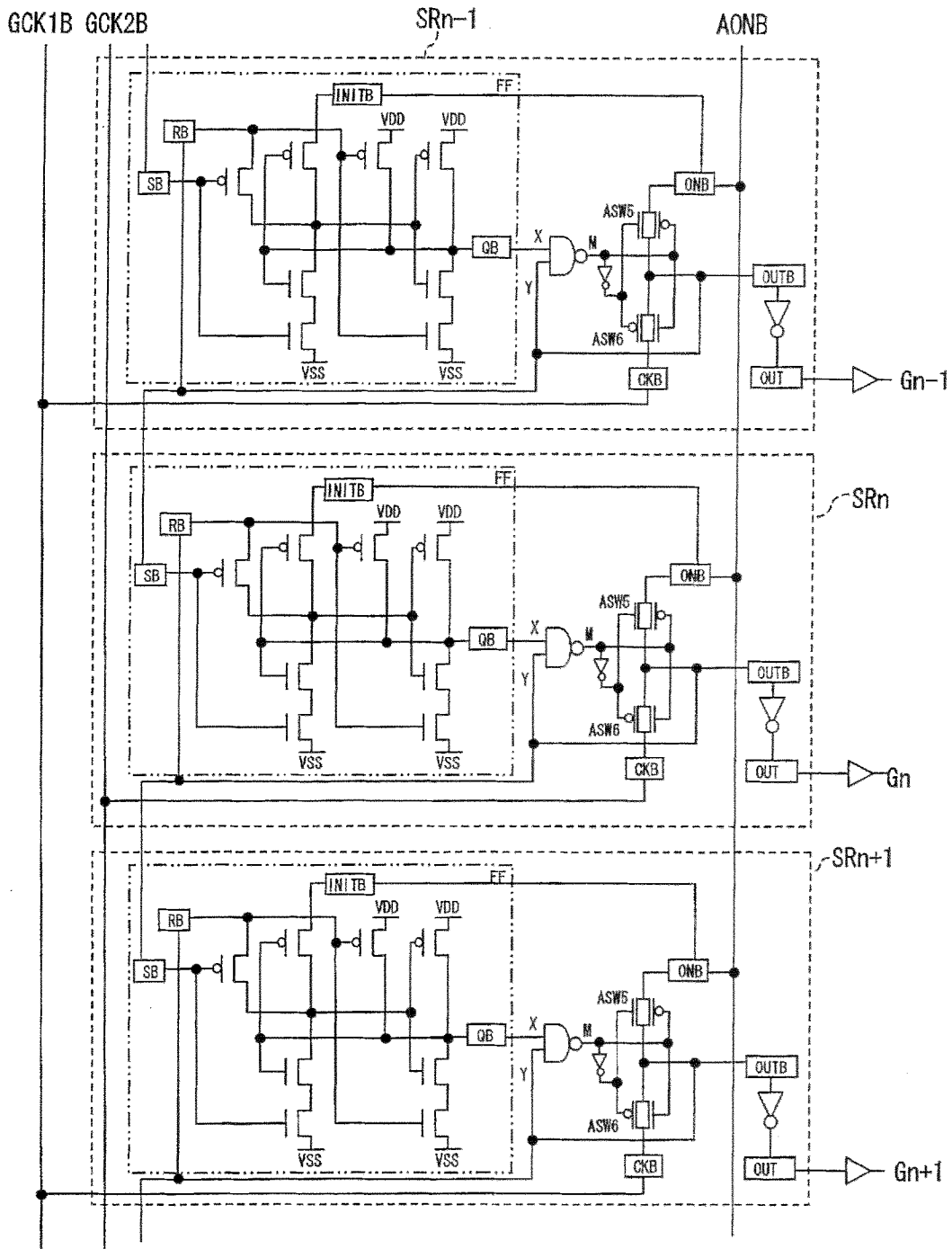


图 20

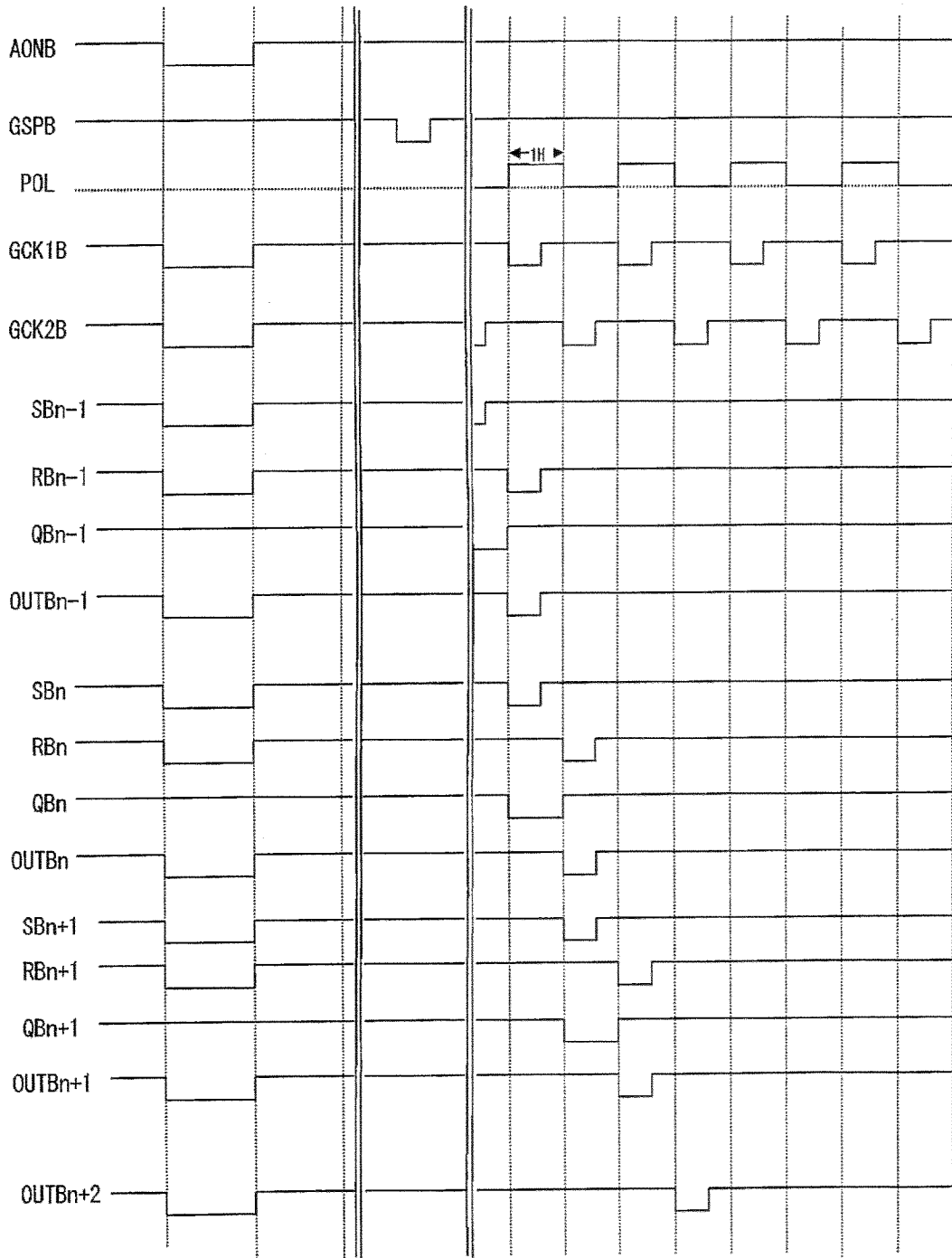


图 21

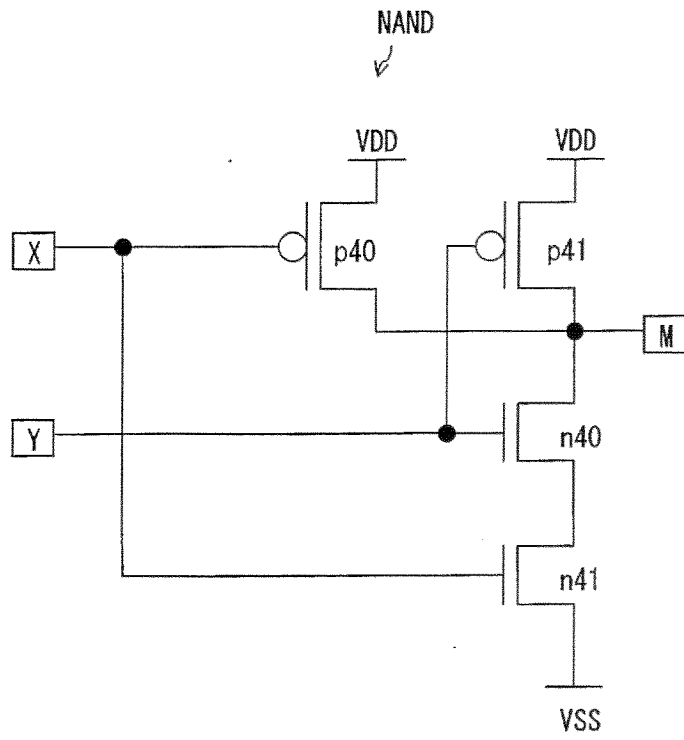


图 22

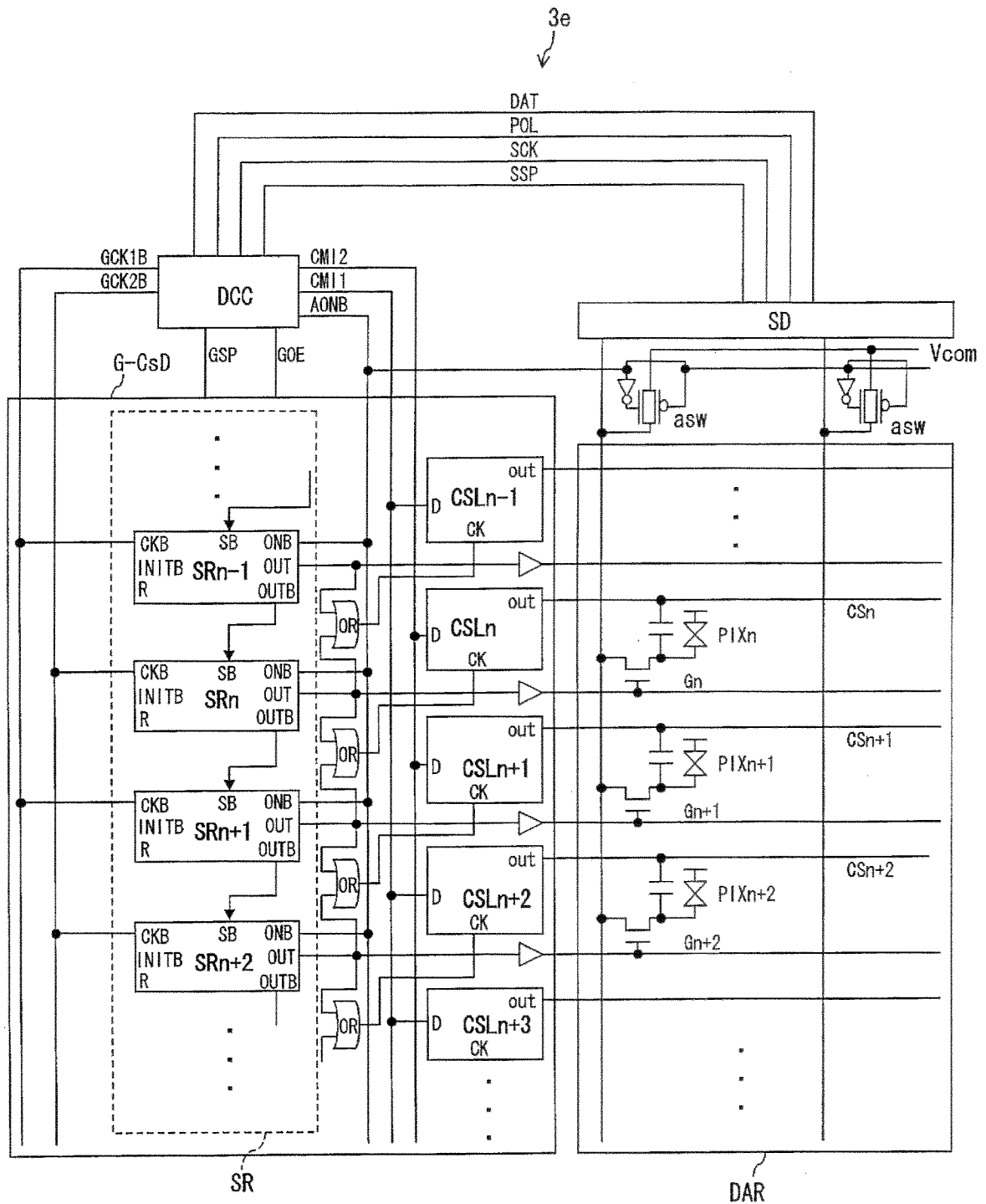


图 23

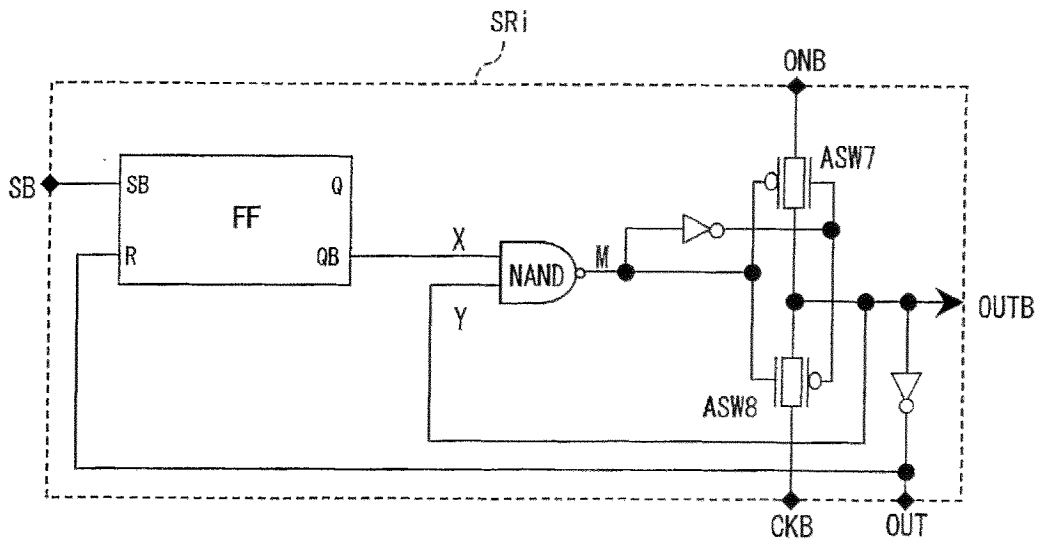


图 24

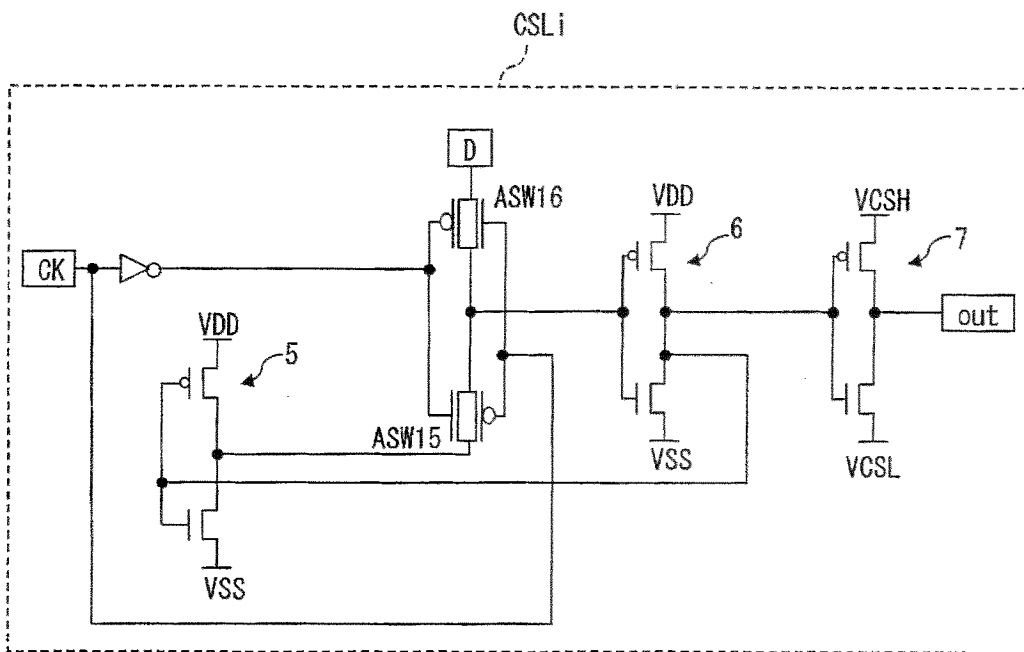


图 25

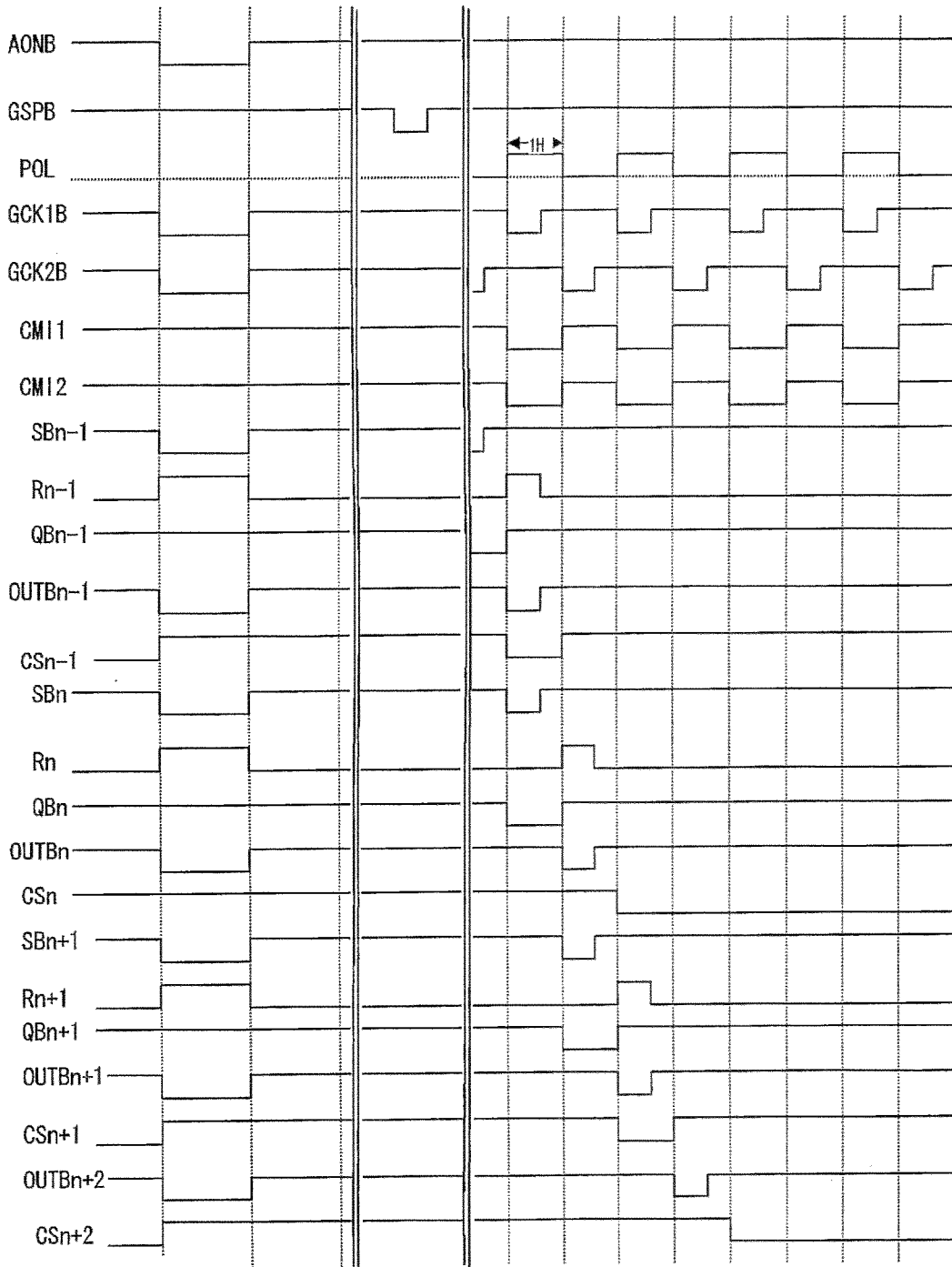


图 26

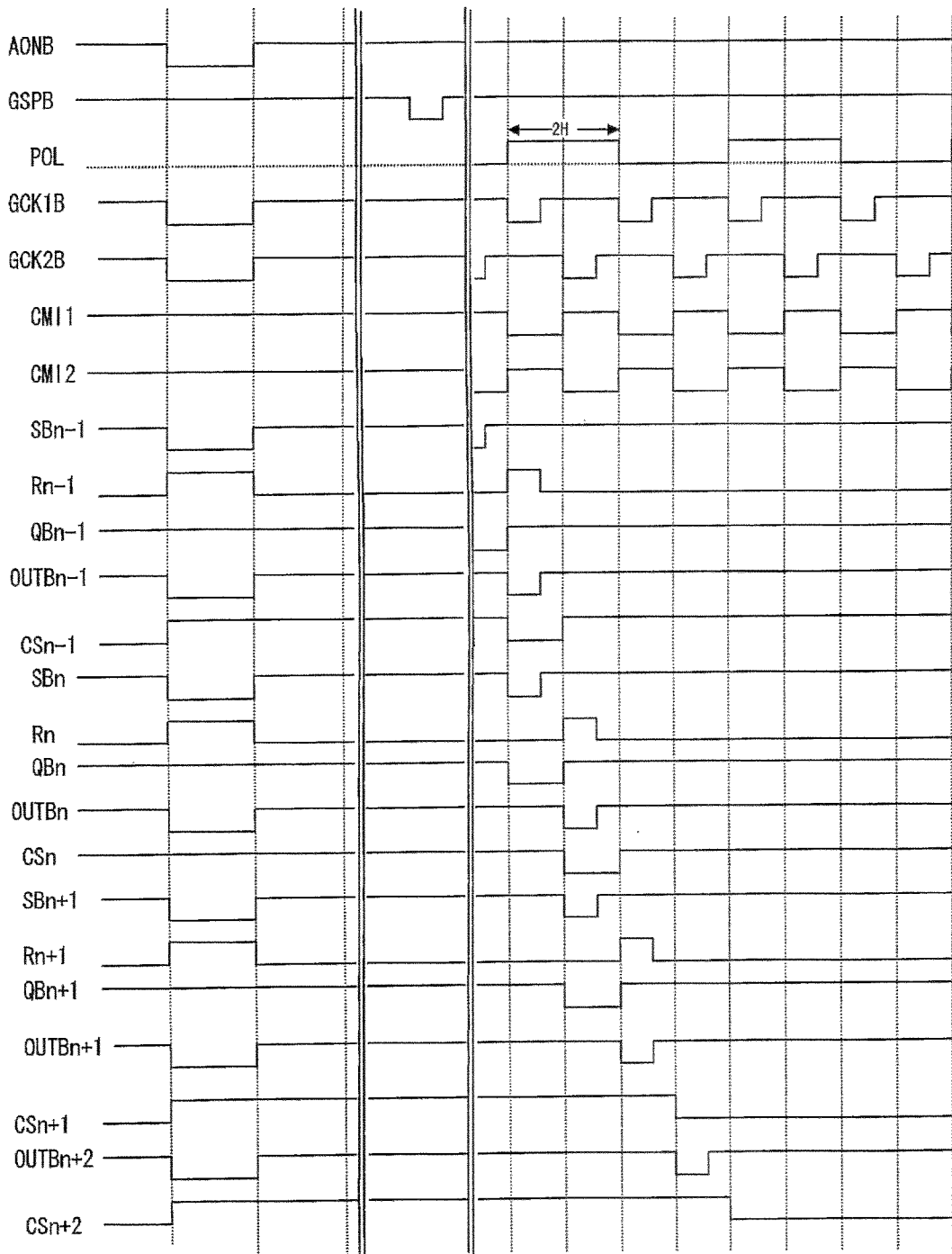


图 27

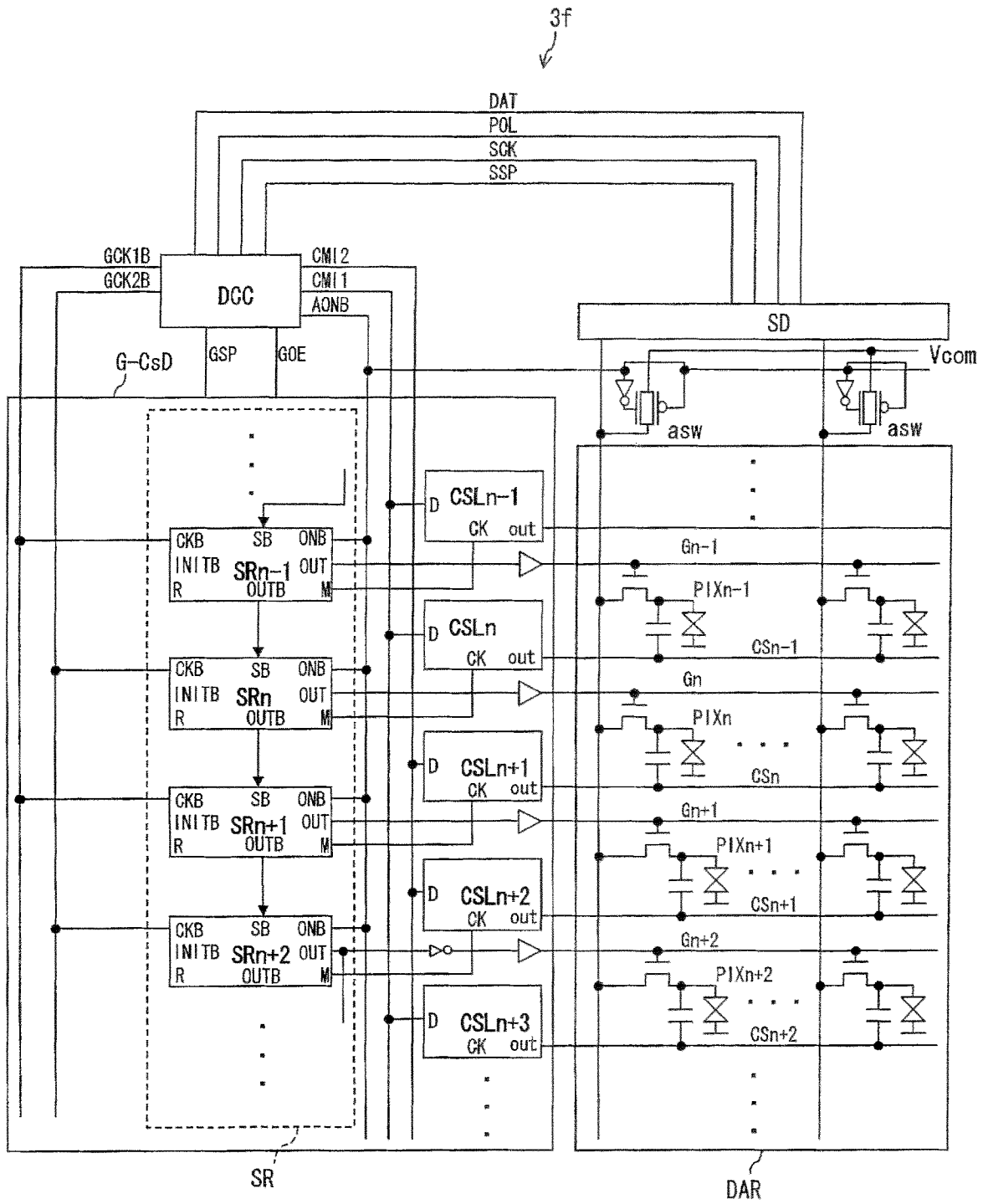


图 28

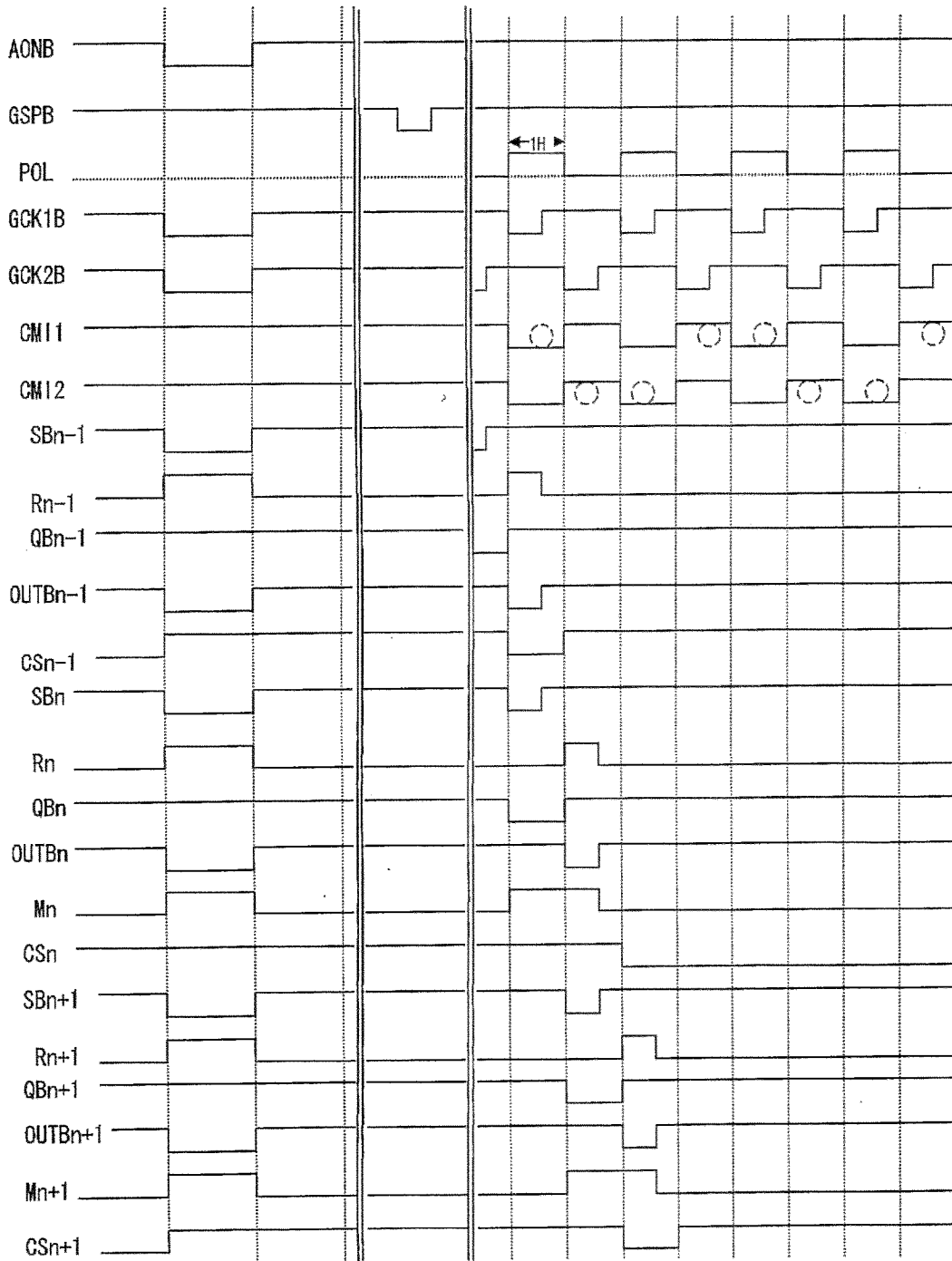


图 29

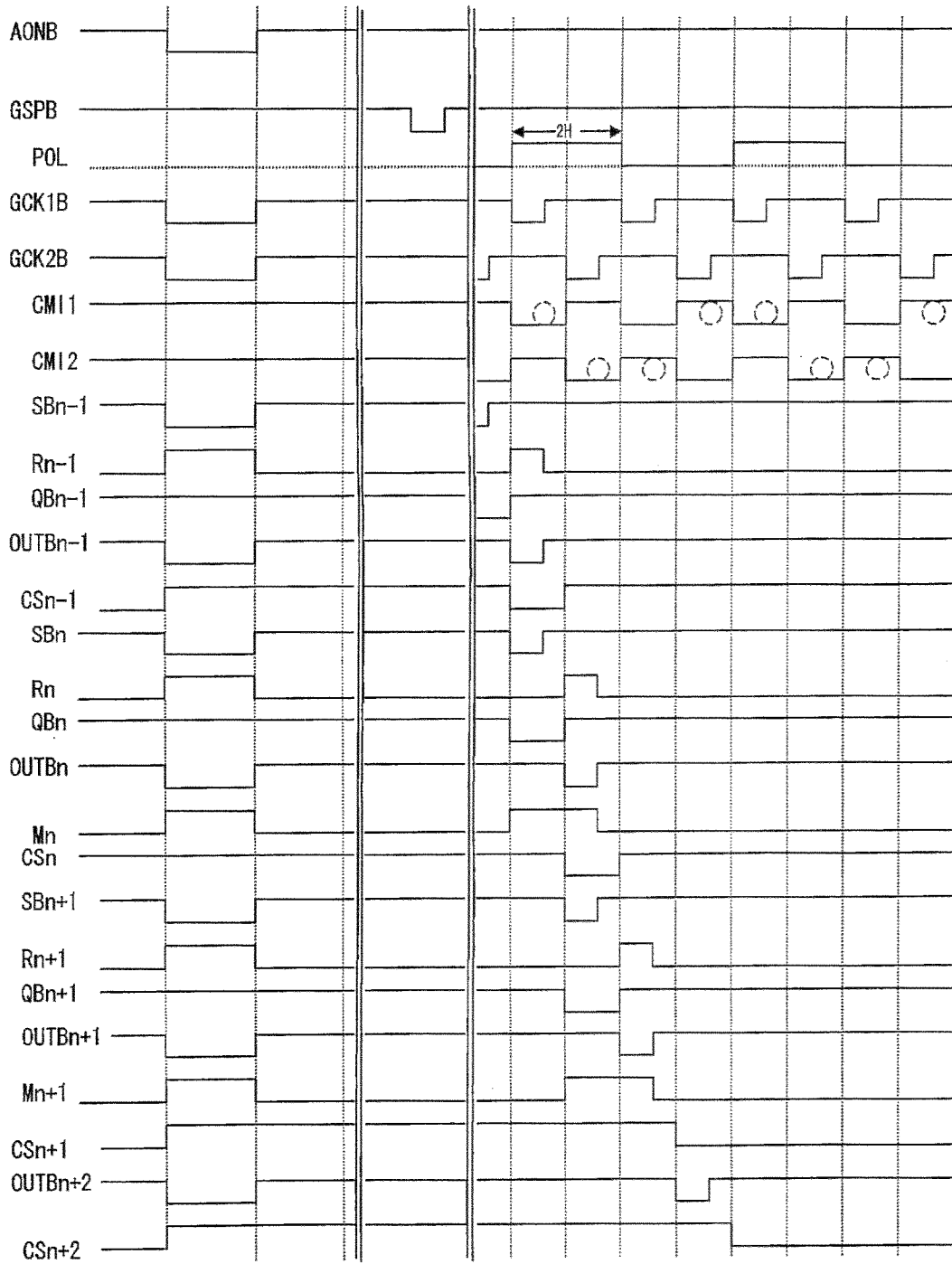


图 30

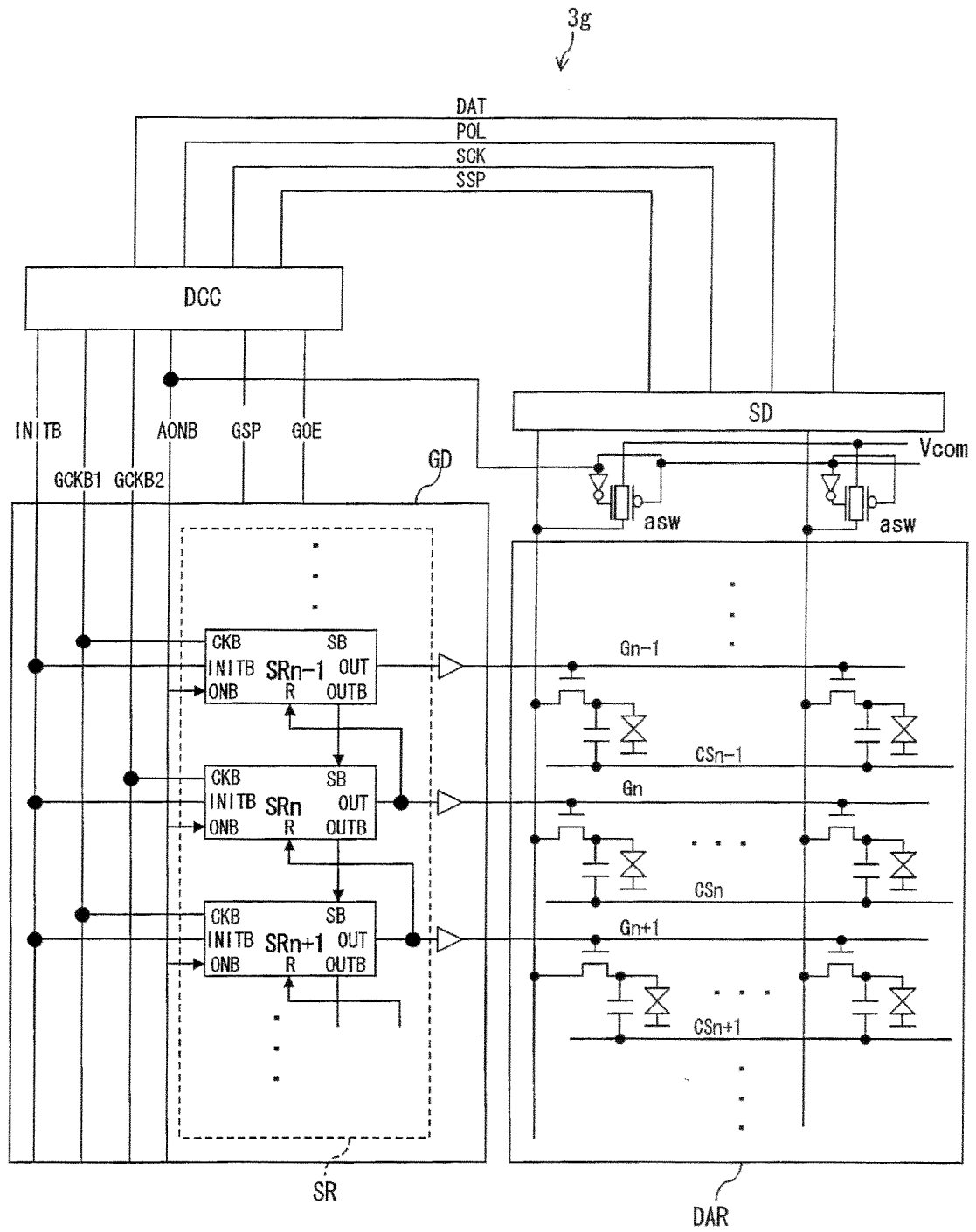


图 32

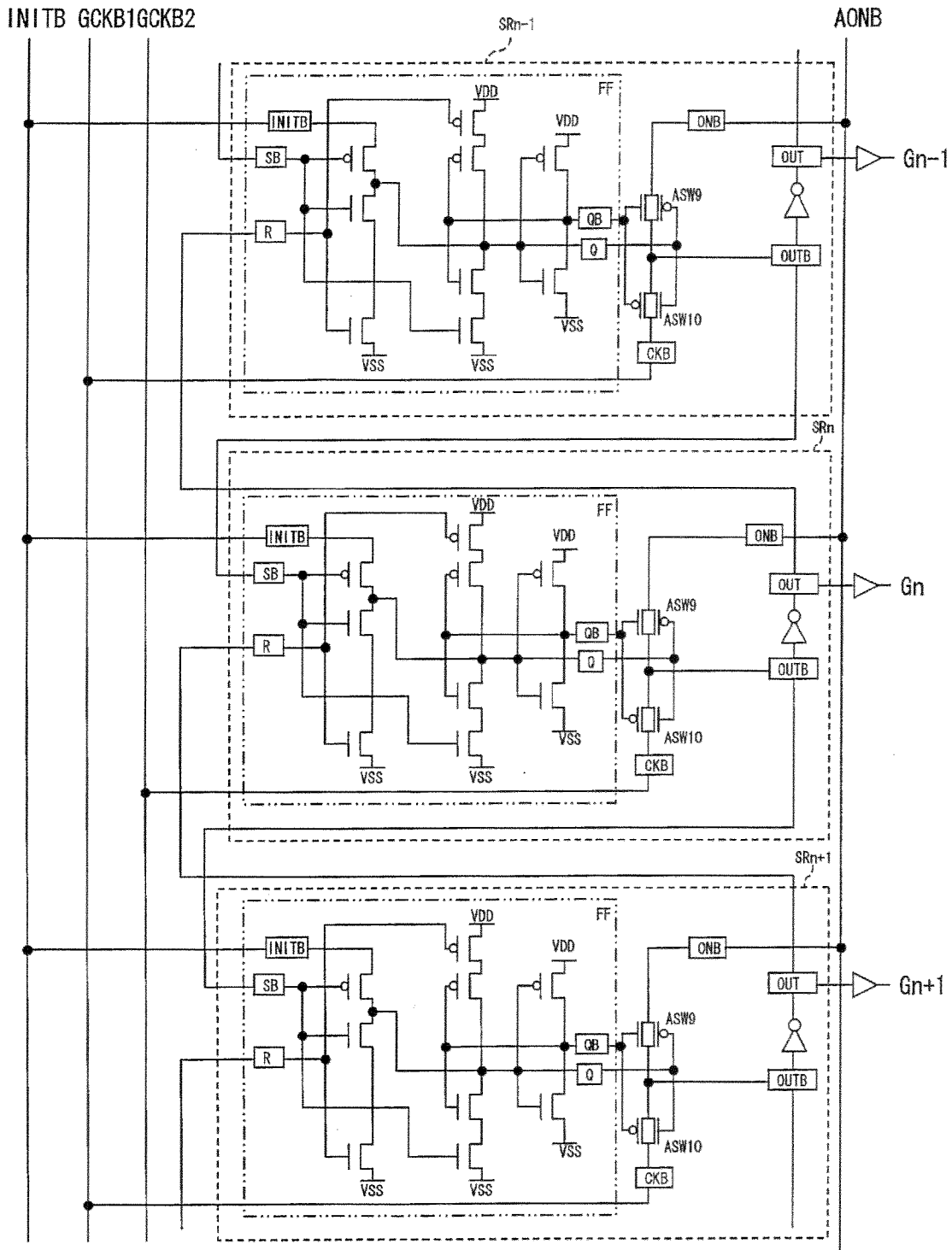


图 33

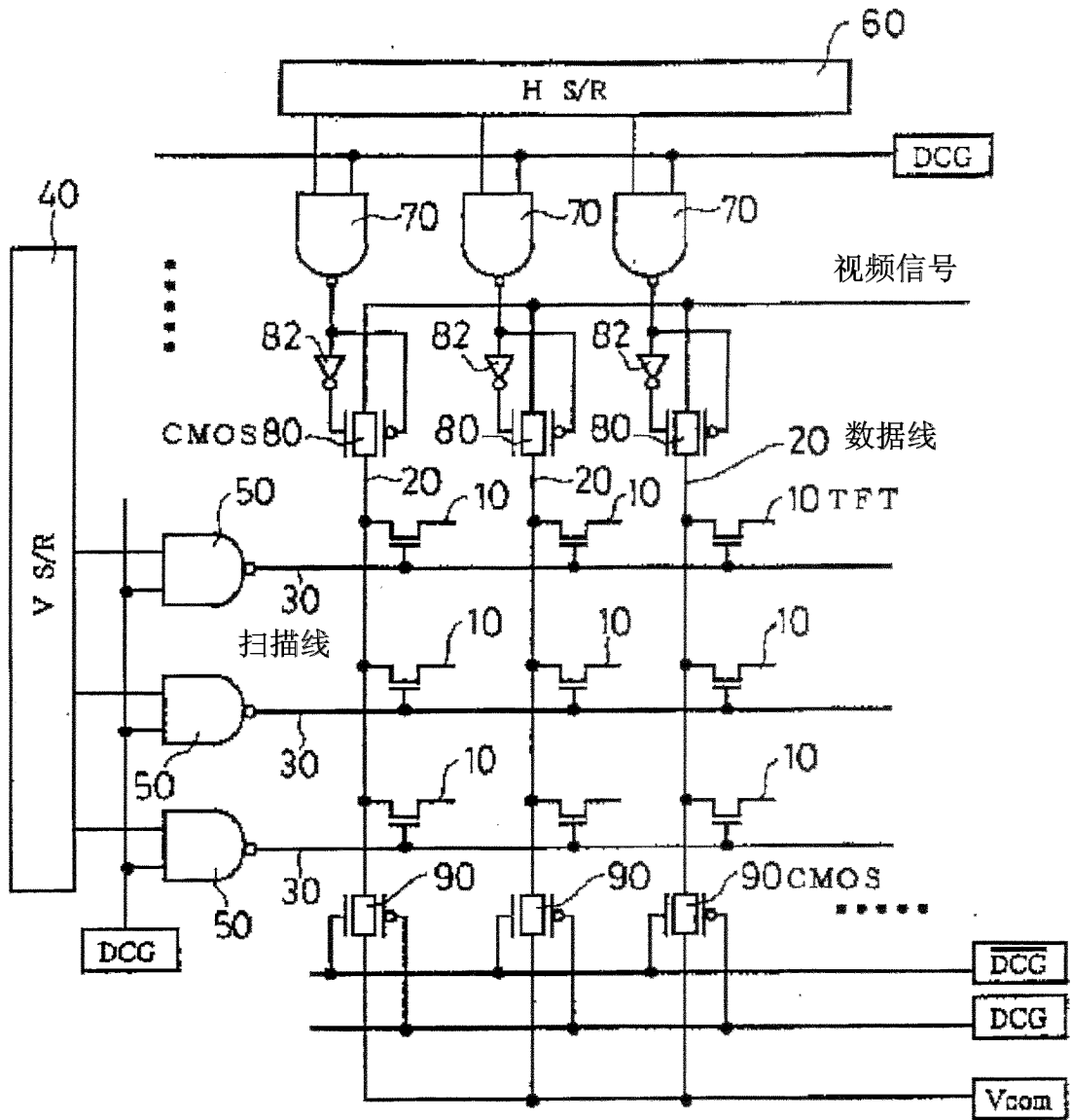


图 34