(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H02M 3/335

(45) 공고일자 2001년01월15일
(11) 등록번호 10-0277194
(24) 등록일자 2000년10월07일

(21) 출원번호	10-1993-0006170	(65) 공개번호	특1993-0022692
(22) 출원일자	1993년04월14일	(43) 공개일자	1993년11월24일
(30) 우선권주장	P4212472.7 1992년04월14일 독일(DE)		

(73) 특허권자 도이체 톰손-브란트 게엠베하 루엘랑 브리지뜨
독일 데-78048 빌링엔-쉬베닝엔 헤르만-쉬베어-슈트라쎄 3
(72) 발명자 야로미르 팔라타
독일연방공화국 데-7730 파우에스-빌링엔 보쉬할데 99
(74) 대리인 남상선

심사관 : 박재훈

(54) 자유 발진 스위치 모드 전원

요약

본 발명은 자유 발진 스위치 모드 전원에 관한 것이다.

액티브 스탠바이 작동의 경우에 스위치 모드 전원내 낮은 전달 전력으로 스위치 할 때 비교적 긴 정지 간격을 갖는 펄스의 패킷에 의해서만 스위칭 트랜지스터를 턴온하는 것이 공지되어 있다. 목적은 순수한 1차 제어에 의해서 작동하는 패킷 제어를 위해서 스위치 모드 전원을 제공하며, PWM에 의한 정상 작동과 패킷 작동 사이에서 자동으로 스위치하며, 높은 효율을 얻는 것이다.

측정 정류기(4)의 출력은, 제 1 회로(Z_1, T_2, T_3)를 통해서 컷 오프 전압(U_S)을 턴 오프 트랜지스터(T_4)를 위해 제 1 문턱 값으로 분할하며, 제 2 회로(Z_1, T_5-T_7)를 통해서 제 2 문턱 값으로 분할하며 커플링 커패시터(C_4)를 스위칭 트랜지스터의 베이스 라인으로 스위치 시킨다.

특히 비교적 낮은 전력의 텔레비젼 수상기용 IC가 없이 스위치 모드 전원에 사용된다.

제1도를 참조해 볼 수 있다.

대표도

도1

명세서

[발명의 명칭]

자유 발진 스위치 모드 전원

[도면의 간단한 설명]

제1도는 본 발명에 따른 스위치 모드 전원의 완전한 회로도.

제2도는 제1도에 따른 회로의 간략도.

제3도는 제2도에 따른 회로의 변형도.

* 도면의 주요부분에 대한 부호의 설명

Us : 차단 전압 Ur : 제어 전압

T1 : 스위칭 트랜지스터 Tr : 변압기

4 : 제어 정류기 9 : 부하

[발명의 상세한 설명]

본 발명은 자유 발진 스위치 모드 전원에 관한 것이다.

절연 변압기의 1차측에서만 제어되는 스위치 모드 전원은 절연 변압기의 2차측으로부터 1차측으로 제어된 변수를 전달하는 전달 엘리먼트가 필요없다는 장점을 갖지만, 2차측에서 안정화될 전압이 직접 평가되지 않아서 이들 전압을 안정화하기 위한 제어가 종종 충분하지 않다는 단점이 있다. 1차측 내지 2차측상에서

제어를 제공하는 스위치 모드 전원은 2차측 전압의 직접 평가에 의해 효율적으로 안정화가 수행되는 장점을 갖는 반면, 절연 변압기 또는 광커플러와 같은 소자가 2차측으로부터 1차측으로 제어된 변수를 전송하도록 요구된다는 단점을 갖는다.

텔레비젼 수상기내의 스위치 모드 전원이 약 5-8와트의 낮은 전달 전력으로 활성 대기동작을 위해 스위치-오프될 때, 상기 스위칭 트랜지스터는 매우 짧은 시간동안에 스위치-온될 필요가 있다. 이는 비교적 높은 스위칭 손실을 발생하며 스위칭 트랜지스터를 손상시킬 수 있다. 그러므로, 낮은 전달 전력으로 동작하는 경우에, 충분히 긴 턴온시간 및 충분히 높은 전류를 갖는 패킷 같은 또는 버스트 같은 형식으로만 스위칭 트랜지스터를 스위치 온하여, 완전히 전력이 전달되지 않는 동안 스위칭 트랜지스터가 비교적 긴 시간동안 그 사이에서 차단되도록 하는 것이 알려져 있다. 이러한 원리에 따라 동작되는 스위치 모드 전력은 설계시에 비교적 복잡하며 일반적으로 특별한 집적회로를 필요로 한다.

본 발명의 목적은 자유롭게 발진하는 스위칭 모드 전원을 제공하는 것으로서, 상기 전원은 개별 서브어셈블리를 가지며, 특정 IC를 필요로하지 않으며, 풀 전달 전력의 경우에 안정화를 위해서 낮은 전달 전력의 경우에는 패킷 제어를 위해 PWM 제어를 사용하여 자동동작을 수행하며, 회로의 단락을 방지하며, 순수한 1차 제어에도 불구하고 효율적인 안정화를 제공하며, 양호한 효율성을 갖는다. 상기와 같은 목적은 청구범위 제1항에 설명된 본 발명에 의해서 달성된다. 본 발명의 유리한 개발부면은 청구범위의 종속항에 기술되어 있다.

본 발명에 따른 스위치 모드 전원은 근본적으로 다음의 장점을 갖는다. 즉, 1차측에서만 제어하므로, 예컨대 절연된 변압기 또는 광커플러와 같이 2차측으로부터 1차측으로 제어변수를 전송하기 위한 소자가 필요치 않게 된다. 그러나, 2차측상에서 발생된 동작전압의 효율적인 안정화는 분로로부터 분기된 차단 전압의 제어분할에 의해 정상동작의 경우에 높은 전력으로 PWM 제어에 의해서 수행된다. 다양한 임계값을 갖는 두개의 회로로 인해, 정상동작시의 PWM 제어로부터 낮은 전달 전력으로의 동작시의 패킷 제어로 자동적으로 변이된다. 이 경우에, 이미 이러한 다양한 동작 모드를 스위치 온하며 해제하기 위해서, 이미 존재하는 서브어셈블리가 양호하게 사용된다. 1차측은 스위치 모드 전원이 자유발진 방식으로 구성되는 발진기를 형성한다. 더욱이,이러한 발진기는 두가지의 기능을 갖는다. 정상동작시에 높은 전달 전력의 경우에 스위칭 트랜지스터를 분할할 때 연속되는 PWM 제어를 야기시키지만, 한편, 낮은 전달 전력의 경우에 전술된 패킷 동작을 수행하기 위해서 스위칭 트랜지스터를 분할할 때 정지를 자동으로 야기시킨다.

청구범위 제9항 및 제10항에 따른 본 발명의 발전부면에서, 스위치 모드 전원의 음의 내부 저항이 시뮬레이트되어, 원래 존재하는 양의 내부 저항을 보상하며, 따라서 매우 낮은 내부 저항을 갖는 스위치 모드 전원을 가능하게 한다. 청구범위 제11항 내지 제13항에 따른 본 발명의 또 다른 발전 부면에서, 부가적인 회로측정은 차단 단계의 시작에서 스위칭 트랜지스터의 턴-오프를 개선한다. 본 발명은 특히, 비교적 작은 텔레비젼 수상기에 대해 그리고 비디오 레코더 및 CD 플레이어와 같은 비교가능한 장치의 경우에 유리하게 적용될 수 있다.

본 발명은 도면을 참고로 하여 세개의 예시된 실시예를 기준으로 하여 후술된다.

제1도는 시스템 전압(UN)을 전달하는 단자(1), 시스템 브리지 정류기(2), 충전 커패시터(C1), 절연 변압기(Tr), 스위칭 트랜지스터(T1) 및 저항기(분로기)(R1)를 갖는 자유 발진 스위치 모드 전원을 도시한다. 절연 변압기(Tr)는 1차 또는 전력 권선(W1)과, 자유 진동 방식으로 회로를 구성하고 스위칭 트랜지스터(T1)를 구동하는 또 다른 1차 권선(W2)과, 제어 정류기(4)의 출력(b)에서 높은 전력 동작과 낮은 전력 동작사이에서 안정화 및 스위치 오버를 위한 제어전압(Ur)을 야기하는 조절 권선(W3)을 포함한다. 더욱이, 절연 변압기(Tr)는 정류기(5)를 통해 단자(6)에 제 1 동작전압(U2)을 발생시키며, 정류기(7)를 통해 단자(8)에 다른 동작전압(U3)를 발생시키는 2차 권선(W5)을 포함한다. 차단 전압 회로망은 스위칭 트랜지스터(T1)의 베이스 라인에 접속되며, 차단 전압 회로망은 다이오드(D1,D2)와 커패시터(C2)를 포함하며, 커패시터(C2)는 차단 전압(Uv)을 발생시킨다. 또한, 스위칭 모드 전원에 대한 동작전압(U1)을 전달하는 점 a와 스위칭 트랜지스터(T1)의 베이스 라인 사이에는 커패시터(C3)와 저항기(R2)를 갖는 회로가 접속된다. 상기 회로는 공지되어 있다.

상기 제어 전압(Ur)은 점 b로부터 제너 다이오드(Z1) 및 트랜지스터(T2,T3)를 갖는 제 1 임계회로로 전송된다. 트랜지스터(T3)는 전압 분할기(R3,R4)의 한 성분이며, 전압 분할기(R3,R4)는 점 d와 차단 트랜지스터(T4)의 베이스 사이에 접속되며, 차단 트랜지스터(T4)의 콜렉터/에미터 접합은 스위칭 트랜지스터(T1)의 베이스 라인의 점 c와 접지 사이의 다이오드(D5)와 직렬로 접속된다.

더욱이, Ur은 제너 다이모드(Z1)와 저항기(R5,R6)로 이루어진 전압 분할기를 통해서 트랜지스터(T5)의 베이스로 전송되며, 트랜지스터(T5)의 콜렉터는 다이오드(D5,D9)를 통해서 트랜지스터(T6)의 베이스에 접속된다. 트랜지스터(T6)의 콜렉터는 트랜지스터(T7)의 베이스에 접속되며, 트랜지스터(T7)의 콜렉터/에미터 접합은 스위칭 트랜지스터(T1)의 베이스 라인에서 결합 커패시터(C4)와 병렬인 저항기(R7)와 직렬로 접속된다. 상기 회로의 동작모드는 높은 전력에서의 정상동작과 낮은 전력에서의 동작 및 T1의 패킷 제어에 대해 별도로 설명된다.

대략 40-100와트의 높은 전달 전력의 정상동작시에, Ur은 먼저 변압기(Tr)의 높은 부하로 인해 더 작아진다. 그 다음에, Ur은 도전성 제너 다이오드(Z1)를 통해서 T2의 베이스에 공급된 다음, T3를 통해서 전압 분할기 저항기로서의 저항기(R4)에 공급된다. T1으로부터 R1로 흐르는 톱니파 전류(ia)로 인해 강하하는 톱니파 차단 전압(Us)은 T4에서 분할되어, 특정한 값(T4)에서 도전되고 점 c로 접지되며 T1에 대해 베이스 구동전압을 차단하며 따라서 T1을 차단하는 효과를 야기한다. 두개의 제한 경우가 지금 고려될 것이다. 최대 부하의 경우에, 즉 Ur이 최소값인 경우에, T2는 차단되며, 차단의 결과로써 T3는 도통된다. Us는 R3 및 R4에 의해 분할된다. 이는 Us가 T4를 도통시키기 위하여 점 d에서 큰 최종값으로 가정되어야 한다는 것을 의미한다. 따라서, 전류 ia는 높은 최종값에 도달하며, 이는 큰 전달전력에 상응한다. 다른 제한의 경우에, 단자(6,8)에서의 부하가 낮으면, Ur은 증가되고, 따라서 T2는 도통되며 T3는 차단된다. Us는 R3 및 R4로 분할되지 않으며 전체 값으로 T4의 베이스에 전송된다. 이것은 T4가 도통되고 T1을 차단시키는 Us 및 ia가 낮은 값을 가진다는 것을 의미한다. 이것은 또한 ia의 더 낮은 최종값을 의미하며 나아가 낮은 전달 전력을 의미한다. 이러한 제한값들 사이의 정상동작에서, U2 및 U3의 안정화는 T1의 도통

지속시간 동안에 펄스폭 변조에 의해 수행된다. 예를들어, 단자(6,8)에 걸리는 부하가 증가되면, 변압기(Tr)에서 발생된 모든 펄스 전압의 진폭이 떨어지고, 따라서 양의 제어전압(Ur)의 진폭도 떨어진다. 그 결과, 제너 다이오드(Z1)의 전압에 의해 감소된 낮은 양의 전압(Ur)은 T2의 베이스로 전송되어, T2는 덜 전도되며 T3는 더 도전된다. Us는 R3,R4,T3에 의해 더 분할된다. 이는 나중까지 T4가 도전되지 않으며 T1을 차단시키는 것을 의미한다. 즉 Us 및 ia의 최종값은 더 큰 최종값으로 가정되며 전달 전력은 증가되어 전압 U2,U3 및 Ur의 감소가 보상된다. T4는 T1의 턴온 지속시간이 증가되는 부하에 따라 T4에 의해 증가된다는 점에서 T1의 구동시 펄스폭 변조에 영향을 미친다. 이러한 방식에서, 발생되는 동작전압 U2 및 U3는 안정화된다. R5및 R6에 의한 전압 분할로 인해, T5는 이 경우에 계속해서 차단되며, 그 결과로써 T6 및 T7는 도전된다. 따라서, C4는 브리지되며, 이러한 동작모드에 실제로 영향을 미치지 않는다.

단자(6,8)의 부하가 예를들어 활성 대기동작의 경우에 거의 감소되면, 변압기(Tr)의 펄스전압의 진폭 및 Ur의 값은 증가한다. 전압 분할기(R5,R6)에 의한 분할에도 불구하고, 트랜지스터(T5)는 도통되며 점(f)은 더 음의 값을 가지며, 그 결과로서 트랜지스터(T6) 및 (T7)는 차단된다. 커패시터(C4)는 T7의 차단으로 인해 T1의 베이스 라인에서 유효하게 된다. 따라서, C4는 C4에서의 전압이 권선(W2)에 의해 전달된 전압의 양의 성분에 도달하고 스위칭 트랜지스터(T1)가 차단될 때까지 표시된 극성으로 T1의 베이스/에미터 다이오드를 통해서 충전된다. 따라서, 상기 패킷은 인터럽트된다. 앞서 설명된 패킷 동작에 영향을 미치는 펄스는 T1의 발진시 발생한다. 이제 T1은 임의의 시간에 차단상태를 유지된다. 결국, 단자(6,8)에서의 커패시터는 더 이상 재충전되지 않으며, 따라서 Ur은 다시 한번 강하한다. 패킷 동작시 정지의 끝에서, T5는 최종적으로 다시 한번 차단되며, T6 및 T7은 다시한번 도통되며, 커패시터(C4)는 다시한번 브리지되며, 따라서 스위칭 트랜지스터(T1)는 권선(W2)에 의해 베이스 전류가 다시 한번 공급되며 발진은 T1의 최대 포화에 의해 다시한번 발생된다. 따라서, 표시된 회로는 높은 전달 전력에서의 정상동작 및 T1의 구동시 PWM 제어 및 T1이 버스트 패킷 동안에 각각의 경우에 발진하고 일정시간동안 발진하지 않는 패킷 동작으로 부터 자동 변이를 야기한다. 상기 패킷 동작시에, T3는 항상 차단되며, 따라서 Us는 분할되지 않고 T4의 베이스에 전송되며, T1은 ia의 낮은 전류값의 경우에 턴오프된다.

T5의 콜렉터, 즉, 점(f)은 T1의 베이스 라인의 점(c)에 접속된다. 다음은 그에 따라서 수행된다. 패킷 동작동안에 정지의 끝에서, T5는 전술된 바와같이 다시한번 차단되며, 따라서 T1의 베이스 라인의 점(c)에 전송되는 양의 펄스는 점(f)에서 발생된다. 따라서, 제 1 구동 펄스가 패킷 동안에 T1의 최대 포화를 다시 한번 야기한다. 이것은 상기 정지후에 다시한번 턴온 시키는 것이 대응하는 전력손실 및 리스크와 함께 “부드럽게” T1으로 수행되는 것이 아니고 어느 정도 “하드” 방식으로 수행되는 장점을 갖는다.

커패시터(C5), 다이오드(D6), 저항기(R9), 다이오드(D7), 저항기(R10), 트랜지스터(TB) 및 다이오드(D8)를 갖는 회로가 T1의 콜렉터와 점(c) 사이에 제공된다. 이 부가적인 회로는 턴-온 단계의 끝에서 스위칭 트랜지스터(T1)의 차단을 즉 ia의 차단을 개선하는데 사용되며, 다음과 같이 동작한다. 즉, T1의 턴온 시간은 T1에 대한 베이스 전류를 차단시키는 T4을 턴온 시킴으로써 종료된다. 그후, 트랜지스터(T1)에 존재하는 층전 캐리어의 포화로 인해, 임의의 시간동안 T1이 베이스 전류없이 도통상태를 유지된다. T1은 베이스 전류없이 수 μs 후에 포화되며, 그 결과 콜렉터는 접지에 대해서 어느 정도 양의 값이 된다. 이러한 양의 값은 C5, D6 및 R9을 갖는 감쇄소자를 통해서 T8의 베이스에 전달되며, 따라서 T8은 도전되며 접지와 점(c)를 단락시킨다. 그 동안에, 커패시터(C2)는 전압 Uv, 특히 D1 및 D2의 순방향 전압의 합에 의해 표시된 극성으로 재충전된다. 따라서, 도전성 T8은 C2의 양의 전극을 접지시킨다. 그 결과, 전체 전압(Uv)은 T1의 베이스에서 음의 극성으로 되며, 따라서 T1의 턴오프는 현저하게 짧은 시간에 수행된다. D7은 베이스에서 매우 높은 음의 전압에 대하여 T8을 보호하기 위해 사용된다. T4 및 T8이 T1을 재빨리 턴오프시키는 사실의 전체적인 결과는 T1에서 특히 작은 전압 손실을 유발한다. T8의 콜렉터와 접지 사이의 다이오드(D8)는 다음과 기능을 수행한다. T1의 베이스 라인에 있는 다이오드(D1,D2,D3,D4) 및 R은 권선(W2)에 의해 T1의 베이스에 공급되는 음전압을 안정시킨다. 권선(W2)에 의해 전달된 음전압은 매우 높으며, T1의 베이스/에미터 접합에서 허용되지 않을 정도의 높은 값으로 가정할 수 있다. 서브 어셈블리(D4,D3,D1,D2 및 D8)는 T1의 베이스/에미터 접합에서 예를들면 5볼트 이상의 음전압을 제한하기 위하여 사용된다. 더욱이, T8의 부적절한 역동작이 방지된다. 그 다음에, T1의 베이스에 전송되는 음전압은 제한되는데, C2의 음의 전압은 다이오드(D1 및 D2)에 의해서 제한되며, 권선(W2)으로부터의 음의 전압은 다이오드(D4,D3,D1,D2 및 D8)에 의해서 제한된다. 과도하게 높은 베이스/에미터 전압으로부터의 T1의 부가적인 보호는 이러한 회로에 의해 수행된다.

회로망(C5,D6,R9)은 T1의 차단단계의 시작에서 T1의 콜렉터에서의 양의 전압 피크를 제한하기 위해서 소위 스누버(snubber)로서 부가적으로 사용된다. 따라서, 이 회로망(C5,D6,R9)은 차단단계의 시작에서 T1의 차단을 개선하고 T1의 콜렉터에서 양의 전압 피크를 제한하는 이중 기능을 가진다. 이것은 병렬회로(D6/R9)의 접지된 우측 단부가 직접 접지되지 않고 보조 스위칭 트랜지스터(T8)의 베이스에 접속될 때 수행된다.

트랜지스터(T9), 커패시터(C6) 및 저항기(R11,R12,R13)를 갖는 부가적인 회로(9)가 점(d)와 점(b) 사이에 제공된다. 이 회로는 스위치 모드 전원의 출력에서 내부 저항을 감소시키도록 부가적으로 사용되며, 제어된 전류 싱크의 방식으로 다음과 같이 동작한다: 부하가 증가하면, 펄스-폭 제어로 인해 점(d)에서 ia 및 Us가 증가된다. 그 결과, T9는 저항기(R13)를 통해서 추가로 도통되게 된다. C6으로 인한 필터링 효과때문에, Ur의 값을 더 감소시키는 증가된 DC 부하는 점(b)에서 유효하게 된다. 그 결과, 제어 전압 경로는 Ur의 추가 감소로 시뮬레이트되며, Ur의 값이 감소됨으로써 Us 및 ia가 증가된다. 따라서, 회로(9)에 의해서 형성된 음의 내부 저항은 스위치 모드 전원의 아직도 남아있는 양의 내부 저항을 보상할 수 있으며 따라서 높은 전달 전력의 정상 동작동안에 스위치 모드 전원의 매우 낮은 내부 저항을 보장한다.

제2도는 제1도에 따른 회로의 간략화원 변형예를 도시한다. 제2도에 따른 회로는 음의 내부 저항을 형성하기 위한 회로(9)를 포함하지 않으며 전술된 방식과 같이 결합 커패시터(C4)를 단락시키는 트랜지스터(T7)를 포함하지 않는다. 트랜지스터(T7) 대신에, 결합 커패시터(C4)에는 다이오드(D10) 및 저항기(R15)를 갖는 전류 경로가 제공된다. 패킷 동작의 경우에, T1에 대한 베이스 전류는 베이스 전류가 패킷의 끝으로 갈수록 감소되는 효과로 인해 패킷동안에 각각의 경우에 변동한다. 내부 저항을 감소시키기 위한 회로(9)가 존재하지 않으므로, 변압기(Tr)의 개선된 결합, 예를들면 챔버 권선 변압기로써 변압기를 설계하므로 낮은 내부 저항을 얻는 것이 가능하다. 결합 커패시터(C4)가 단락되지 않기 때문에 패킷동안에 T1에

대한 베이스 전류가 약간 감소되는 특징은 회로의 간략화 관점에서 허용될 수 있다. 더욱이, 약 50Hz의 낮은 패킷 주파수가 그와 같이 하여 얻어질 수 있다. 활성 대기 동작에서의 낮은 패킷 주파수는 중요하다. 왜냐하면, 낮은 패킷 주파수는 비가청주파수이어서, 활성 대기동작시에 장치의 가청 음향 발진 또는 진동을 일으키지 않기 때문이다.

제1도 및 제2도에서 다이오드(D11)와 병렬인 커패시터(C6)는 시작 동작동안, 즉 수상기가 스위치 온 될 때 특히 중요하다. 왜냐하면, 다이오드(D11)는 먼저 차단되기 때문이다. 커패시터(C6)는 T1의 포화를 보장하고 포화 누설로 인한 T1의 손상을 방지하기 위해서 낮은 시스템 전압의 경우에 특히 중요하다.

제3도는 제1도의 회로없이 그리고 결합 커패시터(C4)를 브리지하기 위한 트랜지스터(T7) 없이 동작하는 제2도에 따른 회로의 변형예를 도시한다. 제3도에 따른 회로의 동작모드는 제2도에 따른 회로의 동작 모드와 유사하다.

실제 검사된 회로에서, 본 발명에 필수적인 서브어셈블리는 다음 값을 갖는다.

R1:	4.7	ohms	C2: 0.68 μF
R2:	22	kohms	C3: 4.7 μF
R3	220	ohms	C4: 47 μF
R4	22	ohms	C5: 470 pF

(시작 C) (패킷 C) (정류기 C)

C3 : C4 : C (점 b) = 1:10:100

4.7 μF 47 μF 470 μF

R5	100	kohms
R6	100	kohms
R7	10	ohms
R9	220	ohms
R10	470	ohms
R11	100	ohms
R12	10	ohms
R13	100	ohms
C6:	22	μF

(57) 청구의 범위

청구항 1

변압기(Tr)의 전력권선(W1) 및 전류 측정 저항기(R1)에 직렬 접속된 스위칭 트랜지스터(T1)와; 상기 스위칭 트랜지스터(T1)에 베이스 구동전압을 공급하는 구동권선(W2)과; 제어 정류기(4)를 통해 상기 스위칭 트랜지스터(T1)의 전류 흐름 지속 시간을 변동시키기 위한 제어전압(Ur)을 공급하는 조절 권선(W3)을 포함하는데, 상기 전류 측정 저항기(R1)로부터 유도된 차단 전압(Us)은 스위치(T4)를 통해 상기 스위칭 트랜지스터(T1)에 공급되는 상기 베이스 구동전압을 차단하며; 부하용 동작전압(U2, U3)을 공급하는 2차 권선(W4, W5)을 포함하는 1차측 제어 자유 발진 스위칭 모드 전원에 있어서, 상기 제어 정류기(4)의 출력(b)은 제 1 임계값을 갖는 제 1 회로(Z1, T2, T3)를 통해 차단전압(Us)을 분할하며 제 2 임계값을 갖는 제 2 회로(Z1,T5-T7)를 통해서 상기 스위칭 트랜지스터(T1)의 베이스 라인에서 결합 커패시터(C4)를 스위치 온하는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 2

제1항에 있어서, 상기 제어 정류기(4)의 출력(b)은, 제너 다이오드(Z1)을 통해서, 차단 전압(Us)에 대한 제 1 전압 분할기(R3,R4)의 한 성분을 형성하는 트랜지스터 회로(T2,T3)의 제어전극에 인가되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 3

제2항에 있어서, 상기 제 1 전압 분할기(R3,R4)의 출력은 턴-오프 트랜지스터(T4)에 접속되며, 상기 트랜지스터(T4)의 콜렉터/에미터 접합은 스위칭 트랜지스터(T1)의 베이스 라인과 접지 사이에 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 4

제1항에 있어서, 상기 제어 정류기(4)의 출력(b)은 임계회로를 통해서 트랜지스터 증폭기(T5-T7)의 제어 입력에 접속되며, 상기 증폭기(T5-T7)의 출력은 상기 스위칭 트랜지스터(T1)의 베이스 라인에서 상기 결합 커패시터(C4)와 병렬로 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 5

제2항에 있어서, 양 회로에 공통인 제너 다이오드(Z1)는 한편으로는 상기 제어 정류기(4)의 출력(b)에 접속되고 다른 한편으로는 트랜지스터 회로(T2,T3)의 제어 입력에 직접 접속되며 전압 분할기(R5,R6)를 통해서 상기 스위칭 증폭기(T5-T7)의 제어 입력에 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 6

제5항에 있어서, 상기 전압 분할기(R5,R6)의 출력은 제 1 트랜지스터(T5)의 베이스에 접속되며, 상기 제 1트랜지스터(T5)의 콜렉터는 제 2 트랜지스터(T6)의 베이스에 접속되며, 상기 제 2 트랜지스터(T6)의 콜

렉터는 제 3 트랜지스터(T7)의 베이스에 접속되며, 상기 제 3 트랜지스터의 콜렉터 에미터 접합은 상기 결합 커패시터(C4)와 병렬로 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 7

제6항에 있어서, 상기 제 1 트랜지스터(T5)의 콜렉터는 상기 스위칭 트랜지스터(T1)의 베이스 라인에서 점(C)에 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 8

제1항에 있어서, 상기 구동권선(W2)과 스위칭 트랜지스터(T1)의 베이스 사이에는 상기 스위칭 트랜지스터(T1)가 턴 오프될 때 차단 전압이 상기 구동권선(W2)으로 부터 상기 스위칭 트랜지스터(T1)로 전달되도록 극성화된 다이오드 회로(D3,D4)가 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 9

제1항에 있어서, 상기 차단전압(Us)의 피크값은 상기 제어 정류기(4)의 출력과 병렬로 접속된 부하(9)를 제어하는데 사용되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 10

제9항에 있어서, 상기 차단 전압(Us)은 트랜지스터(T9)의 베이스에 공급되며, 상기 트랜지스터(T9)의 콜렉터는 커패시터(C6)를 통해서 접지되고 또한 저항기(R11)를 통해서 상기 제어 정류기(4)의 출력(b)에 접속되며, 상기 트랜지스터(T9)의 에미터는 저항기(R12)를 통해서 접지되는 인가되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 11

제1항에 있어서, 상기 스위칭 트랜지스터(T1)의 콜렉터는 상기 베이스 구동전압을 차단하기 시작할 때 양의 펄스에 응답하는 진폭 선택 회로를 통해서 보조 턴 오프 트랜지스터(T8)의 베이스에 접속되며, 상기 보조 턴 오프 트랜지스터(T8)의 콜렉터/에미터 접합은 상기 스위칭 트랜지스터(T1)의 베이스 라인의 점(c)과 접지 사이에 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 12

제11항에 있어서, 상기 보조 턴 오프 트랜지스터(T8)의 콜렉터는 상기 스위칭 트랜지스터(T1)의 베이스로부터 이격되어 스위칭 트랜지스터(TI)의 베이스 라인에 접속되며, 차단전압(Us)을 저장하는 커패시터(C2)의 전극에 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 13

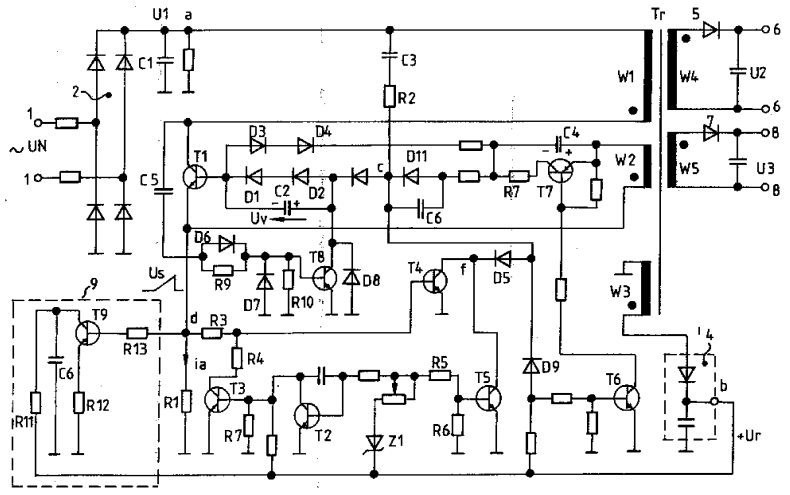
제11항에 있어서, 상기 진폭 선택 회로는 커패시터(C5)와 직렬회로를 이루며 저항기(R9) 및 다이오드(D6)와 병렬회로를 이루는 스누버망(snubber network)을 구비하는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

청구항 14

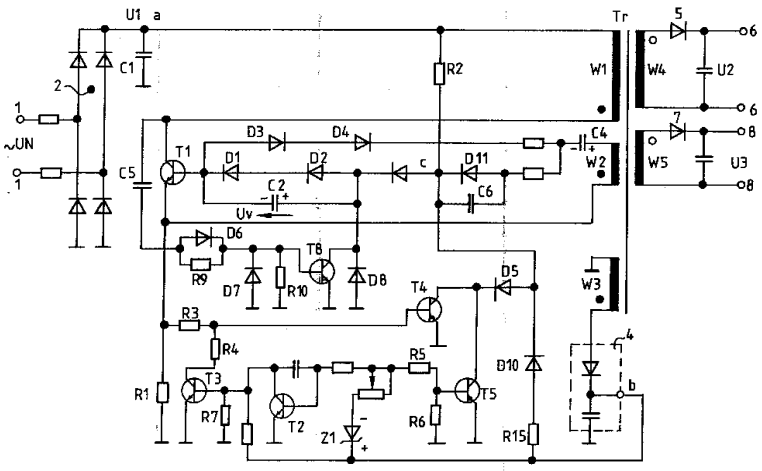
제11항에 있어서, 상기 스위칭 트랜지스터(T1)의 베이스 라인에서 다이오드(D1-D4)와 함께 상기 스위칭 트랜지스터(T1)의 베이스에서의 음의 전압을 제한하는 다이오드(D8)가 상기 보조 턴 오프 트랜지스터(T8)의 콜렉터와 접지 사이에 접속되는 것을 특징으로 하는 자유 발진 스위치 모드 전원.

도면

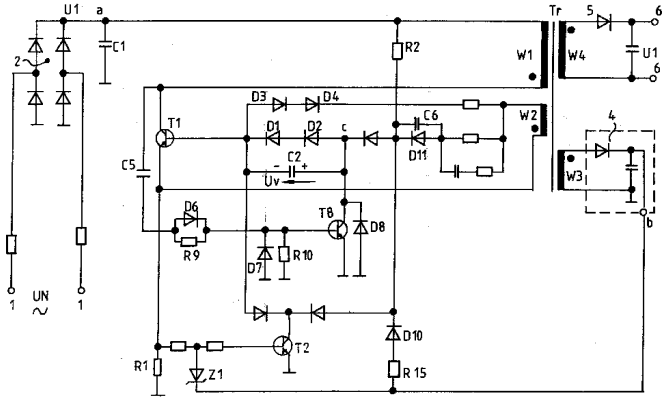
도면1



도면2


U1
a
Tr
5
6
C1
R2
W1
W4
U2
2
1
~UN
1
D3
D4
T1
D1
D2
c
D11
C4
W2
W5
U3
7
8
C5
C2
Uv
C6
D6
T8
R9
D7
R10
D8
T4
D5
W3
4
R3
R4
R5
D10
T3
T5
b
R1
R7
T2
Z1
R6
R15

도면3


U1
a
Tr
5
6
C1
R2
W1
W4
U1
2
D3
D4
T1
D1
D2
c
C6
W2
4
C5
C2
Uv
D11
W3
D6
T8
b
R9
D7
R10
D8
UN
1
1
D10
T2
R1
Z1
R 15