

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7069542号  
(P7069542)

(45)発行日 令和4年5月18日(2022.5.18)

(24)登録日 令和4年5月10日(2022.5.10)

(51)国際特許分類	F I
H 0 4 L 1/00 (2006.01)	H 0 4 L 1/00 B
H 0 4 N 21/2383(2011.01)	H 0 4 L 1/00 F
	H 0 4 N 21/2383

請求項の数 4 (全53頁)

(21)出願番号	特願2017-15418(P2017-15418)	(73)特許権者	000002185 ソニーグループ株式会社 東京都港区港南1丁目7番1号
(22)出願日	平成29年1月31日(2017.1.31)	(74)代理人	100121131 弁理士 西川 孝
(65)公開番号	特開2018-101970(P2018-101970 A)	(74)代理人	100082131 弁理士 稲本 義雄
(43)公開日	平成30年6月28日(2018.6.28)	(72)発明者	ロックラン ブルース マイケル 東京都港区港南1丁目7番1号 ソニー 株式会社内
審査請求日	令和1年12月5日(2019.12.5)	(72)発明者	高橋 和幸 東京都港区港南1丁目7番1号 ソニー 株式会社内
(31)優先権主張番号	特願2016-244528(P2016-244528)	審査官	平井 嗣人
(32)優先日	平成28年12月16日(2016.12.16)		
(33)優先権主張国・地域又は機関	日本国(JP)		
	(出願人による申告)平成28年度、総務省、委託研究「地上テレビジョン放送の高度化技術に関する研究開発」、産業技術力強化法第19条の適用を受ける特許出願		

最終頁に続く

(54)【発明の名称】 送信装置、及び、送信方法

## (57)【特許請求の範囲】

## 【請求項1】

入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第1の生成部と、

前記FECブロックに基づいて、FECフレームを生成する第2の生成部と、

前記FECフレームを送信する送信部と

を含み、

前記FECブロックのヘッダは、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を含むベースヘッダと、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダの誤り検出に関する誤り検出情報と、所定の固定長のパディングの追加又は所定の長さのパディングの追加を少なくとも示すパディング情報とを含み、

前記FECブロックのヘッダのビット列のうち、ベースバンドフレームサイズに応じて定められる前記先頭の位置情報の最大値に応じた上位ビットを、前記先頭の位置情報に割り当て、残りのビットを、前記種別識別情報、前記誤り検出情報、及び前記パディング情報に割り当てる

送信装置。

## 【請求項2】

前記種別識別情報、前記誤り検出情報、及び前記パディング情報のそれぞれは、前記ベースヘッダ、又は前記ベースヘッダを拡張した拡張ヘッダに含まれる

請求項 1 に記載の送信装置。

【請求項 3】

前記FECフレームが配置されるOFDM(Orthogonal Frequency Division Multiplexing)フレームの先頭に時刻情報を配置するためのダミーセルを生成する第3の生成部をさらに含む

請求項 1 に記載の送信装置。

【請求項 4】

入力パケット又は入力ストリームに基づいて、FECブロックを生成することと、

前記FECブロックに基づいて、FECフレームを生成することと、

前記FECフレームを送信することと

を含み、

前記FECブロックのヘッダは、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を含むベースヘッダと、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダの誤り検出に関する誤り検出情報と、所定の固定長のパディングの追加又は所定の長さのパディングの追加を少なくとも示すパディング情報とを含み、

前記FECブロックのヘッダのビット列のうち、ベースバンドフレームサイズに応じて定められる前記先頭の位置情報の最大値に応じた上位ビットを、前記先頭の位置情報に割り当て、残りのビットを、前記種別識別情報、前記誤り検出情報、及び前記パディング情報に割り当てる

送信方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、送信装置、及び、送信方法に関し、特に、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知することができるようにした送信装置、及び、送信方法に関する。

【背景技術】

【0002】

例えば、地上デジタルテレビ放送の放送方式として、日本等が採用するISDB-T(Integrated Services Digital Broadcasting - Terrestrial)がある(例えば、非特許文献1参照)。

【0003】

また、映像や音声のデータを伝送するための伝送パケットとして、可変長のパケットであるTLV(Type Length Value)パケットが知られている(例えば、非特許文献2参照)。

【先行技術文献】

【非特許文献】

【0004】

【文献】ARIB STD-B31 2.2版 一般社団法人 電波産業会  
ARIB STD-B44 2.1版 一般社団法人 電波産業会

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、地上デジタルテレビ放送の次世代化に向けた高度化の検討が行われている。次世代の地上デジタルテレビ放送においては、伝送パケットとして、TLVパケットを用いたデータの伝送が検討されている。

【0006】

ここで、TLVパケット等の伝送パケットや、伝送ストリームは、FECブロック等の誤り訂正ブロックにカプセル化されて伝送されるが、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際の技術方式は確立されていない。そのため、伝送パケッ

10

20

30

40

50

ト又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知するための提案が要請されていた。

【0007】

本技術はこのような状況に鑑みてなされたものであり、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知することができるようにするものである。

【課題を解決するための手段】

【0008】

本技術の送信装置は、入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第1の生成部と、前記FECブロックに基づいて、FECフレームを生成する第2の生成部と、前記FECフレームを送信する送信部とを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含み、前記種別識別情報がTLV(Type Length Value)パケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む送信装置である。

10

【0009】

本技術の送信方法は、入力パケット又は入力ストリームに基づいて、FECブロックを生成することと、前記FECブロックに基づいて、FECフレームを生成することと、前記FECフレームを送信することとを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームのパケット先頭の位置情報を有する最小固定長ヘッダを含み、前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む送信方法である。

20

【0010】

本技術の送信装置及び送信方法においては、入力パケット又は入力ストリームに基づいて、FECブロックが生成され、前記FECブロックに基づいて、FECフレームが生成されて送信される。前記FECブロックのヘッダには、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームのパケット先頭の位置情報を有する最小固定長ヘッダが含まれる。また、前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダには、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長が含まれる。

30

【0011】

本技術の受信装置は、送信されてくるFECフレームからなる信号を受信する受信部と、受信された前記FECフレームに基づいて、FECブロックを生成する第1の生成部と、前記FECブロックに基づいて、入力パケット又は入力ストリームを生成する第2の生成部とを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含み、前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む受信装置である。

40

【0012】

本技術の受信方法は、送信されてくるFECフレームからなる信号を受信することと、受信

50

された前記FECフレームに基づいて、FECブロックを生成することと、前記FECブロックに基づいて、入力パケット又は入力ストリームを生成することとを含み、前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含み、前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む受信方法である。

【0013】

本技術の受信装置及び受信方法においては、送信されてくるFECフレームからなる信号が受信され、受信された前記FECフレームに基づいて、FECブロックが生成される。そして、前記FECブロックに基づいて、入力パケット又は入力ストリームが生成される。前記FECブロックのヘッダには、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダが含まれる。また、前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダには、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長が含まれる。

【発明の効果】

【0014】

本技術によれば、伝送パケット又は伝送ストリームを、誤り訂正ブロックにカプセル化する際に、当該伝送パケット又は伝送ストリームの先頭位置を確実に通知することができる。

【0015】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0016】

【図1】本技術を適用した伝送システムの一実施の形態の構成を示すブロック図である。

【図2】データ処理装置と送信装置の構成例を示すブロック図である。

【図3】受信装置の構成例を示すブロック図である。

【図4】本技術に関する背景を説明する図である。

【図5】本技術が解決する問題を説明する図である。

【図6】問題を解決する方法の概要を説明する図である。

【図7】FECブロックの生成の概要を説明する図である。

【図8】FECブロックの例を示す図である。

【図9】ベースバンドフレームのサイズの第1の例を示す図である。

【図10】ベースバンドフレームのサイズの第2の例を示す図である。

【図11】ベースバンドフレームのサイズの第3の例を示す図である。

【図12】本技術で採用するデータの形式の概要を説明する図である。

【図13】本技術で採用するデータの第1の形式の例を説明する図である。

【図14】本技術で採用するデータの第1の形式の例を説明する図である。

【図15】本技術で採用するデータの第1の形式の例を説明する図である。

【図16】本技術で採用するデータの第1の形式の例を説明する図である。

【図17】本技術で採用するデータの第1の形式の例を説明する図である。

【図18】本技術で採用するデータの第1の形式の例を説明する図である。

【図19】本技術で採用するデータの第2の形式の例を説明する図である。

【図20】本技術で採用するデータの第2の形式の例を説明する図である。

【図21】本技術で採用するデータの第3の形式の例を説明する図である。

【図22】本技術で採用するデータの第3の形式の例を説明する図である。

【図23】本技術で採用するデータの第3の形式の例を説明する図である。

- 【図 2 4】本技術で採用するデータの第 3 の形式の例を説明する図である。
- 【図 2 5】本技術で採用するデータの第 3 の形式の例を説明する図である。
- 【図 2 6】本技術で採用するデータの第 3 の形式の例を説明する図である。
- 【図 2 7】本技術で採用するデータの第 4 の形式の例を説明する図である。
- 【図 2 8】NTPの送出タイミングの例を示す図である。
- 【図 2 9】FECブロックの生成に関わるブロックの構成の例を示すブロック図である。
- 【図 3 0】FECブロックの生成の流れを説明する図である。
- 【図 3 1】ベースバンドフレームサイズが、ミドル符号の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。
- 【図 3 2】ベースバンドフレームサイズが、ロング符号の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。 10
- 【図 3 3】ベースバンドフレームサイズが、ショート符号の場合の先頭TLVパケット位置ポインタの最大値を説明する図である。
- 【図 3 4】形式 1 の FEC ブロック ヘッダ の フォーマットの 例 を 示 す 図 である。
- 【図 3 5】形式 1 の EXT バイト の フォーマットの 例 を 示 す 図 である。
- 【図 3 6】形式 1 の パディング値の例を示す図である。
- 【図 3 7】FEC ブロック ヘッダ の 図示 の 簡略化 を 説明 する 図 である。
- 【図 3 8】形式 1 の 詳細例 1 を 示 す 図 である。
- 【図 3 9】形式 1 の 詳細例 1 を 示 す 図 である。
- 【図 4 0】形式 1 の 詳細例 2 を 示 す 図 である。 20
- 【図 4 1】形式 1 の 詳細例 2 を 示 す 図 である。
- 【図 4 2】形式 1 の 詳細例 3 を 示 す 図 である。
- 【図 4 3】形式 1 の 詳細例 3 を 示 す 図 である。
- 【図 4 4】形式 2 - 1 の FEC ブロック ヘッダ の フォーマットの 例 を 示 す 図 である。
- 【図 4 5】形式 2 - 1 の パディング値の例を示す図である。
- 【図 4 6】形式 2 - 2 の FEC ブロック ヘッダ の フォーマットの 例 を 示 す 図 である。
- 【図 4 7】形式 2 - 2 の パディング値の例を示す図である。
- 【図 4 8】形式 3 の FEC ブロック ヘッダ の フォーマットの 例 を 示 す 図 である。
- 【図 4 9】形式 3 の EXT バイト の フォーマットの 例 を 示 す 図 である。
- 【図 5 0】形式 3 の パディング値の例を示す図である。 30
- 【図 5 1】形式 3 - 1 の FEC ブロック ヘッダ の フォーマットの 例 を 示 す 図 である。
- 【図 5 2】形式 3 - 1 の パディング値の例を示す図である。
- 【図 5 3】形式 3 - 1 の EXT バイト の フォーマットの 例 を 示 す 図 である。
- 【図 5 4】形式 3 - 1 の 詳細例 1 を 示 す 図 である。
- 【図 5 5】形式 3 - 1 の 詳細例 1 を 示 す 図 である。
- 【図 5 6】形式 3 - 1 の 詳細例 1 を 示 す 図 である。
- 【図 5 7】形式 3 - 1 の 詳細例 2 を 示 す 図 である。
- 【図 5 8】形式 3 - 1 の 詳細例 2 を 示 す 図 である。
- 【図 5 9】形式 3 - 1 の 詳細例 3 を 示 す 図 である。
- 【図 6 0】形式 3 - 1 の 詳細例 3 を 示 す 図 である。 40
- 【図 6 1】形式 4 の FEC ブロック ヘッダ の フォーマットの 例 を 示 す 図 である。
- 【図 6 2】形式 4 の EXT バイト の フォーマットの 例 を 示 す 図 である。
- 【図 6 3】形式 4 の パディング値の例を示す図である。
- 【図 6 4】時刻情報の送出タイミングの例を示す図である。
- 【図 6 5】送信側と受信側の動作を説明するフローチャートである。
- 【図 6 6】コンピュータの構成例を示すブロック図である。
- 【発明を実施するための形態】
- 【0017】
- 以下、図面を参照しながら本技術の実施の形態について説明する。なお、説明は以下の順序で行うものとする。

## 【 0 0 1 8 】

- 1 . システムの構成
- 2 . 本技術の概要
- 3 . 本技術の詳細な内容
  - ( 3 - 1 ) 第 1 の形式
  - ( 3 - 2 ) 第 2 の形式
  - ( 3 - 3 ) 第 3 の形式
  - ( 3 - 4 ) 第 4 の形式
- 4 . 本技術の時刻情報の送出タイミング
- 5 . 送信側と受信側の動作
- 6 . 変形例
- 7 . コンピュータの構成

10

## 【 0 0 1 9 】

&lt; 1 . システムの構成 &gt;

## 【 0 0 2 0 】

( 伝送システムの構成例 )

図 1 は、本技術を適用した伝送システムの一実施の形態の構成を示すブロック図である。なお、システムとは、複数の装置が論理的に集合したものをいう。

## 【 0 0 2 1 】

図 1 において、伝送システム 1 は、各放送局に関連する施設に設置されるデータ処理装置 1 0 - 1 乃至 1 0 - N ( N は 1 以上の整数 ) と、送信所に設置される送信装置 2 0 と、ユーザが所有する受信装置 3 0 - 1 乃至 3 0 - M ( M は 1 以上の整数 ) から構成される。

20

## 【 0 0 2 2 】

また、この伝送システム 1 において、データ処理装置 1 0 - 1 乃至 1 0 - N と、送信装置 2 0 とは、通信回線 4 0 - 1 乃至 4 0 - N を介して、接続されている。なお、通信回線 4 0 - 1 乃至 4 0 - N は、例えば専用線とすることができる。

## 【 0 0 2 3 】

データ処理装置 1 0 - 1 は、放送局 A により制作された放送番組等のコンテンツを処理し、その結果得られる伝送データを、通信回線 4 0 - 1 を介して送信装置 2 0 に送信する。

## 【 0 0 2 4 】

データ処理装置 1 0 - 2 乃至 1 0 - N においては、データ処理装置 1 0 - 1 と同様に、放送局 B や放送局 Z 等の各放送局により制作された放送番組等のコンテンツが処理され、その結果得られる伝送データが、通信回線 4 0 - 2 乃至 4 0 - N を介して、送信装置 2 0 に送信される。

30

## 【 0 0 2 5 】

送信装置 2 0 は、通信回線 4 0 - 1 乃至 4 0 - N を介して、放送局側のデータ処理装置 1 0 - 1 乃至 1 0 - N から送信されてくる伝送データを受信する。送信装置 2 0 は、データ処理装置 1 0 - 1 乃至 1 0 - N からの伝送データを処理し、その結果得られる放送信号を、送信所に設置された送信用アンテナから送信する。

## 【 0 0 2 6 】

これにより、送信所側の送信装置 2 0 からの放送信号は、放送伝送路 5 0 を介して、受信装置 3 0 - 1 乃至 3 0 - M に送信される。

40

## 【 0 0 2 7 】

受信装置 3 0 - 1 乃至 3 0 - M は、テレビ受像機やセットトップボックス ( STB : Set Top Box )、録画機、ゲーム機、ネットワークストレージなどの固定受信機、あるいはスマートフォンや携帯電話機、タブレット型コンピュータ等のモバイル受信機である。また、受信装置 3 0 - 1 乃至 3 0 - M は、例えば車載テレビなどの車両に搭載される車載機器や、ヘッドマウントディスプレイ ( HMD : Head Mounted Display ) 等のウェアラブルコンピュータなどであってもよい。

## 【 0 0 2 8 】

50

受信装置 30 - 1 は、放送伝送路 50 を介して、送信装置 20 から送信されてくる放送信号を受信して処理することで、ユーザによる選局操作に応じた放送番組等のコンテンツを再生する。

【0029】

受信装置 30 - 2 乃至 30 - M においては、受信装置 30 - 1 と同様に、送信装置 20 からの放送信号が処理され、ユーザによる選局操作に応じたコンテンツが再生される。

【0030】

なお、伝送システム 1 において、放送伝送路 50 は、地上波（地上波放送）であるとして説明するが、地上波に限らず、例えば、放送衛星（BS：Broadcasting Satellite）や通信衛星（CS：Communications Satellite）を利用した衛星放送、あるいは、ケーブルを用いた有線放送（CATV：Common Antenna Television）などであってもよい。

10

【0031】

また、伝送システム 1 では、図示していないが、インターネット等の通信回線に対し、各種のサーバが接続されるようにして、通信機能を有する受信装置 30 - 1 乃至 30 - M が、インターネット等の通信回線を介して、各種のサーバにアクセスして双方向の通信を行うことで、コンテンツやアプリケーション等の各種のデータを受信できるようにしてもよい。

【0032】

なお、以下の説明では、放送局側のデータ処理装置 10 - 1 乃至 10 - N を、特に区別する必要がない場合には、データ処理装置 10 と称する。また、受信装置 30 - 1 乃至 30 - M を、特に区別する必要がない場合には、受信装置 30 と称する。

20

【0033】

（送信側の装置の構成）

図 2 は、図 1 のデータ処理装置 10 と送信装置 20 の構成例を示すブロック図である。

【0034】

図 2 において、データ処理装置 10 は、コンポーネント処理部 111、シグナリング生成部 112、マルチプレクサ 113、及びデータ処理部 114 から構成される。

【0035】

コンポーネント処理部 111 は、放送番組等のコンテンツを構成するコンポーネントのデータを処理し、その結果得られるコンポーネントのストリームを、マルチプレクサ 113 に供給する。ここで、コンポーネントのデータは、例えば、ビデオやオーディオ、字幕等のデータであり、これらのデータに対し、例えば、所定の符号化方式に準拠した符号化処理などの処理が行われる。

30

【0036】

シグナリング生成部 112 は、コンテンツの選局や再生等の上位層の処理で用いられるシグナリングを生成し、マルチプレクサ 113 に供給する。また、シグナリング生成部 112 は、放送信号の変調や復調等の物理層の処理で用いられるシグナリングを生成し、データ処理部 114 に供給する。

【0037】

なお、シグナリングは、制御情報とも称される。また、以下の説明では、シグナリングのうち、物理層の処理で用いられるシグナリングを、物理層シグナリング（L1シグナリング）と称する一方で、物理層（Physical Layer）よりも上位の層である上位層（Upper Layer）の処理で用いられるシグナリングを、上位層シグナリングと称して区別する。

40

【0038】

マルチプレクサ 113 は、コンポーネント処理部 111 から供給されるコンポーネントのストリームと、シグナリング生成部 112 から供給される上位層シグナリングのストリームとを多重化し、その結果得られるストリームを、データ処理部 114 に供給する。なお、ここでは、アプリケーションや時刻情報などの他のストリームが多重化されるようにしてもよい。

【0039】

50

データ処理部 1 1 4 は、マルチプレクサ 1 1 3 から供給されるストリームを処理して、所定の形式の packets (フレーム) を生成する。また、データ処理部 1 1 4 は、所定の形式の packets と、シグナリング生成部 1 1 2 からの物理層シグナリングを処理して、伝送データを生成し、通信回線 4 0 を介して送信装置 2 0 に送信する。

【 0 0 4 0 】

図 2 において、送信装置 2 0 は、データ処理部 2 1 1 及び変調部 2 1 2 から構成される。

【 0 0 4 1 】

データ処理部 2 1 1 は、通信回線 4 0 を介して、データ処理装置 1 0 から送信されてくる伝送データを受信して処理し、その結果得られる所定の形式の packets (フレーム) と、物理層シグナリングの情報を抽出する。

【 0 0 4 2 】

データ処理部 2 1 1 は、所定の形式の packets (フレーム) と、物理層シグナリングの情報を処理することで、所定の放送方式 (例えば、次世代の地上デジタルテレビ放送) に準拠した物理層のフレーム (物理層フレーム) を生成し、変調部 2 1 2 に供給する。

【 0 0 4 3 】

なお、図 2 の構成においては、物理層シグナリングが、データ処理装置 1 0 側で生成され、送信装置 2 0 に送信されることとして説明したが、物理層シグナリングは、送信装置 2 0 側で生成されるようにしてもよい。

【 0 0 4 4 】

変調部 2 1 2 は、データ処理部 2 1 1 から供給される物理層フレームに対し、必要な処理 (例えば変調処理等) を施して、その結果得られる放送信号 (RF 信号) を、送信所に設置された送信用アンテナから送信する。

【 0 0 4 5 】

データ処理装置 1 0 と送信装置 2 0 は、以上のように構成される。

【 0 0 4 6 】

(受信側の装置の構成)

図 3 は、図 1 の受信装置 3 0 の構成例を示すブロック図である。

【 0 0 4 7 】

図 3 において、受信装置 3 0 は、チューナ 3 1 1、復調部 3 1 2、及びデータ処理部 3 1 3 から構成される。

【 0 0 4 8 】

チューナ 3 1 1 は、アンテナ 3 2 1 を介して受信した放送信号 (RF 信号) に対し、必要な処理を施し、その結果得られる信号を、復調部 3 1 2 に供給する。

【 0 0 4 9 】

復調部 3 1 2 は、例えば、復調 LSI (Large Scale Integration) 等の復調器として構成される。復調部 3 1 2 は、チューナ 3 1 1 から供給される信号に対し、復調処理を行う。この復調処理では、例えば、物理層シグナリングに従い、物理層フレームが処理され、所定の形式の packets が得られる。この復調の結果得られる packets は、データ処理部 3 1 3 に供給される。

【 0 0 5 0 】

データ処理部 3 1 3 は、例えば、システムオンチップ (SoC : System On Chip) 等として構成される。データ処理部 3 1 3 は、復調部 3 1 2 から供給される packets に対し、所定の処理を行う。ここでは、例えば、packets から得られる上位層シグナリングに基づいて、ストリームの復号処理や再生処理などが行われる。

【 0 0 5 1 】

データ処理部 3 1 3 の処理で得られるビデオやオーディオ、字幕等のデータは、後段の回路に出力される。これにより、受信装置 3 0 では、放送番組等のコンテンツが再生され、その映像や音声は出力されることになる。

【 0 0 5 2 】

受信装置 3 0 は、以上のように構成される。

10

20

30

40

50

【 0 0 5 3 】

< 2 . 本技術の概要 >

【 0 0 5 4 】

送信装置 2 0 及び受信装置 3 0 は、以下の機能を有する。

【 0 0 5 5 】

すなわち、送信装置 2 0 は、入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第 1 の生成部と、FECブロックに基づいて、FEC フレームを生成する第 2 の生成部と、FECフレームを送信する送信部とを含む。

【 0 0 5 6 】

FECブロックのヘッダは、入力パケット又は入力ストリームの種別を識別する種別識別情報と、FECフレームのペイロードに格納される入力パケット又は入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む。

10

【 0 0 5 7 】

種別識別情報がTLV(Type Length Value)パケットである場合、最小固定長ヘッダは、種別識別情報に加えて、入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び入力パケット長の情報としての最小入力パケット長を含む。

【 0 0 5 8 】

最小固定長識別情報が、入力パケット長が最小固定長ではないことを示す場合、ヘッダは、最小固定長ヘッダに加えて、さらに、可変長ヘッダを含む。可変長ヘッダは、入力パケット長の下位ビットを、最小入力パケット長を表す最小入力パケット長情報とするとき、

20

入力パケット長の上位ビットからなる可変長パケット長情報を含む。

【 0 0 5 9 】

以上の機能を有する送信装置 2 0 では、入力パケット又は入力ストリームに基づいて、FECブロックが生成され、FECブロックよりFECフレームが生成されて送信される。

【 0 0 6 0 】

なお、送信装置 2 0 は、FECフレームを配置したOFDM(Orthogonal Frequency Division Multiplexing)フレームを送信することができ、そのOFDMフレームの先頭に時刻情報を配置するためのダミーセルを生成する第 3 の生成部をさらに含むことができる。この場合、送信装置 2 0 では、必要に応じて、OFDMフレームに、ダミーセルを配置し、これにより、OFDMフレームの先頭に時刻情報が配置されるようにすることができる。

30

【 0 0 6 1 】

受信装置 3 0 は、送信されてくるFECフレームからなる信号を受信する受信部と、受信されたFECフレームに基づいて、FECブロックを生成する第 1 の生成部と、FECブロックに基づいて、入力パケット又は入力ストリームを生成する第 2 の生成部とを含む。

【 0 0 6 2 】

以上の機能を有する受信装置 3 0 では、送信されてくるFECフレームからなる信号が受信され、受信されたFECフレームに基づいて、FECブロックが生成される。さらに、FECブロックに基づいて、入力パケット又は入力ストリームが生成される。

【 0 0 6 3 】

図 4 は、本技術に関する背景を説明する図である。

40

図 5 は、本技術が解決する問題を説明する図である。

図 6 は、問題を解決する方法の概要を説明する図である。

図 7 は、FECブロックの生成の概要を説明する図である。

図 8 は、FECブロックの例を示す図である。

図 9 は、ベースバンドフレームのサイズの第 1 の例を示す図である。

図 1 0 は、ベースバンドフレームのサイズの第 2 の例を示す図である。

図 1 1 は、ベースバンドフレームのサイズの第 3 の例を示す図である。

図 1 2 は、本技術で採用するデータの形式の概要を説明する図である。

図 1 3、図 1 4、図 1 5、図 1 6、図 1 7、及び、図 1 8 は、本技術で採用するデータの第 1 の形式の例を説明する図である。

50

図 19 及び図 20 は、本技術で採用するデータの第 2 の形式の例を説明する図である。

図 21、図 22、図 23、図 24、図 25、及び、図 26 は、本技術で採用するデータの第 3 の形式の例を説明する図である。

図 27 は、本技術で採用するデータの第 4 の形式の例を説明する図である。

図 28 は、NTPの送出タイミングの例を示す図である。

【0064】

図 4 乃至図 28 には、本技術の概要を図示しているが、以下、その詳細な内容について、図 29 乃至図 64 を参照しながら説明する。

【0065】

< 3 . 本技術の詳細な内容 >

【0066】

( FECブロックの構成 )

図 29 は、FECブロックの生成に関わるブロックの構成の例を示す図である。

【0067】

図 29 に示すように、送信側で、FECブロックの生成に関わるブロックとしては、TLVパケット生成部 151、TSパケット処理部 152、FECブロック生成部 153、及びFECフレーム生成部 154 を含む。ただし、TLVパケット生成部 151 乃至FECフレーム生成部 154 の各ブロックは、データ処理装置 10 ( のデータ処理部 114 ( 図 2 ) ) と、送信装置 20 ( のデータ処理部 211 ( 図 2 ) ) のどちらか一方に含まれる。

【0068】

TLVパケット生成部 151 は、そこに入力されるIP(Internet Protocol)ストリームを処理してTLVパケットを生成し、FECブロック生成部 153 に供給する。ここで、TLVパケットには、例えば、IPパケットや制御情報(上位層シグナリング)などが含まれる。また、IPパケットには、UDP(User Datagram Protocol)パケットが含まれる。

【0069】

TSパケット処理部 152 は、そこに入力されるTSストリーム(MPEG2-TSストリーム)を処理してTSパケットを生成し、FECブロック生成部 153 に供給する。このTSストリームに対する処理としては、例えば、同期バイトの削除などの処理が行われる。

【0070】

FECブロック生成部 153 には、TLVパケット生成部 151 からのTLVパケット、又はTSパケット処理部 152 からのTSパケットが供給される。FECブロック生成部 153 は、TLVパケット又はTSパケットを処理してFECブロックを生成し、FECフレーム生成部 154 に供給する。

【0071】

ここで、FECブロックは、FECブロックヘッダ(FBH:FEC Block Header)と、データ部から構成される。データ部には、TLVパケット又はTSパケットが配置されるが、ここでは、1又は複数のTLVパケット(の一部又は全部)が配置される場合を説明する。また、TLVパケットは、可変長であり、あるFECブロックに配置されるTLVパケットが、次のFECブロックにまたがって配置される場合がある。

【0072】

なお、FECブロックのデータ部に配置されるのは、TLVパケットやTSパケット等の入力パケット(伝送パケット)に限らず、例えば、IPストリームやTSストリーム等の入力ストリーム(伝送ストリーム)が配置されるようにしてもよい。

【0073】

FECフレーム生成部 154 は、FECブロック生成部 153 から供給されるFECブロックに対し、エネルギー拡散、BCH(Bose-Chaudhuri-Hocquenghem)符号化やLDPC(Low Density Parity Check)符号化等の処理を施してFECフレームを生成し、後段に供給する。

【0074】

ここで、FECフレームは、1つのFECブロックに対し、BCH符号とLDPC符号のパリティが付加されて構成される。すなわち、可変長のTLVパケットは、固定長のFECブロックにカ

10

20

30

40

50

プセル化された後に、さらに、BCH符号やLDPC符号のパリティが付加されて、固定長のFECフレームに格納される。

【0075】

(FECブロックの生成の流れ)

図30は、FECブロックの生成の流れを説明する図である。なお、図30において、時間の方向は、図中の左側から右側に向かう方向とされる。

【0076】

FECブロック生成部153(図29)においては、TLVパケット生成部151(図29)により生成されたTLVパケットが入力されると(S1)、当該TLVパケットに対し、FECブロックヘッダ(FBH)が付加され、FECブロックが生成される(S2)。そして、このようにして得られるFECブロックに対して、エネルギー拡散が行われる(S3)。

10

【0077】

ここで、ステップS2のFECブロック生成処理で生成されたFECブロックのうち、先頭のFECブロックFB1に注目すれば、当該FECブロックFB1には、2つのTLVパケット(の全部のデータ)に続いて、1つのTLVパケットの一部のデータが配置される。また、その次のFECブロックFB2に注目すれば、当該FECブロックFB2には、FECブロックFB1に一部のデータが配置されたTLVパケットの残りのデータに続いて、1又は複数のTLVパケットのデータが配置される。

【0078】

すなわち、先頭のFECブロックFB1と、それに続くFECブロックFB2においては、あるTLVパケットがまたいで配置されている。このとき、FECブロックFB2においては、あるTLVパケット(FECブロックFB1とFECブロックFB2をまたいで配置されるTLVパケット)の残りのデータに続いて配置される最初のTLVパケットの位置(先頭位置)を確実に通知して、FECブロック内のTLVパケットが、確実に抽出されるようにすることが望ましい。

20

【0079】

そこで、本技術では、FECブロックにおいて、先頭のTLVパケットの位置を示すポインタ(以下、先頭TLVパケット位置ポインタという)を、当該FECブロックのFECブロックヘッダ(FBH)に配置することで、この先頭TLVパケット位置ポインタによって、先頭のTLVパケットの位置(図中の先頭位置P)を、確実に特定できるようにする。

【0080】

例えば、本技術を適用せずに、FECブロックのFECブロックヘッダ(FBH)に、先頭TLVパケット位置ポインタを配置しない場合には、受信機側で、受信ミス等の何らかの原因により、同期情報を取得できないときに、TLVパケットを正常に抽出して処理することができなくなって、データが途切れてしまう可能性がある。

30

【0081】

一方で、本技術を適用して、FECブロックのFECブロックヘッダ(FBH)に、先頭TLVパケット位置ポインタを配置した場合には、受信機側で、FECブロックごとに、先頭TLVパケット位置ポインタによって、先頭のTLVパケットの位置を確実に特定して、常に、TLVパケットを正常に抽出して処理することができるため、データが途切れることを抑制することができる。

40

【0082】

なお、先頭TLVパケット位置ポインタに割り当てられるビット数は、データの構成などに応じて任意の値に設定することができる。例えば、先頭TLVパケット位置ポインタの最大値は、ベースバンドフレームサイズに応じて決定されるため、それに応じて、先頭TLVパケット位置ポインタに割り当てられるビット数を決定すればよい。

【0083】

以下、ベースバンドフレームサイズとして、符号長が69120ビットとなるミドル(Middle)符号、符号長が276480ビットとなるロング(Long)符号、及び符号長が17280ビットとなるショート(Short)符号において、先頭TLVパケット位置ポインタに割り当てられるべきビット数について説明する。

50

## 【 0 0 8 4 】

(各符号長のポインタの最大値)

図 3 1 は、ベースバンドフレームサイズが、ミドル符号 (符号長 : 69120 ビット) の場合の先頭 TLV パケット位置ポインタの最大値を説明する図である。

## 【 0 0 8 5 】

図 3 1 において、CR (Coding Rate) は、LDPC 符号の符号化率を表し、N\_ldpc は、LDPC 符号ブロック (単位 : ビット) を表し、N\_bch は、BCH 符号ブロック (単位 : ビット) を表している。また、図 3 1 において、BCH は、N\_bch - K\_bch (単位 : ビット) を表し、K\_bch は、BCH 情報ブロック (単位 : ビット、バイト) を表し、Num Bits は、K\_bch (B : バイト) に応じて必要となるビット数を表している。

10

## 【 0 0 8 6 】

図 3 1 に示すように、N\_ldpc = 69120 ビットとなるミドル符号の場合に、LDPC 符号の符号化率 (CR) が、 $2/16$ 、 $3/16$  となるときのビット数 (Num Bits) は、11 ビットとなり、LDPC 符号の符号化率 (CR) が、 $4/16$ 、 $5/16$ 、 $6/16$ 、 $7/16$  となるときのビット数 (Num Bits) は、12 ビットとなり、 $8/16$ 、 $9/16$ 、 $10/16$ 、 $11/16$ 、 $12/16$ 、 $13/16$ 、 $14/16$  となるときのビット数 (Num Bits) は、13 ビットとなる。

## 【 0 0 8 7 】

このように、符号長が 69120 ビットとなるミドル符号の場合においては、CR =  $14/16$  である最大符号化率となるときのビット数 (Num Bits) は、13 ビットとなるので、先頭 TLV パケット位置ポインタの最大値は、13 ビットとなる。

20

## 【 0 0 8 8 】

図 3 2 は、ベースバンドフレームサイズが、ロング符号 (符号長 : 276480 ビット) の場合の先頭 TLV パケット位置ポインタの最大値を説明する図である。なお、図 3 2 において、CR、N\_ldpc、N\_bch、BCH、K\_bch、Num Bits の意味は、図 3 1 と同様とされる。すなわち、ここでも、Num Bits は、K\_bch (B : バイト) に応じて必要となるビット数を表している。

## 【 0 0 8 9 】

図 3 2 に示すように、N\_ldpc = 276480 ビットとなるロング符号の場合に、LDPC 符号の符号化率 (CR) が、 $2/16$ 、 $3/16$  となるときのビット数 (Num Bits) は、13 ビットとなり、LDPC 符号の符号化率 (CR) が、 $4/16$ 、 $5/16$ 、 $6/16$ 、 $7/16$  となるときのビット数 (Num Bits) は、14 ビットとなり、 $8/16$ 、 $9/16$ 、 $10/16$ 、 $11/16$ 、 $12/16$ 、 $13/16$ 、 $14/16$  となるときのビット数 (Num Bits) は、15 ビットとなる。

30

## 【 0 0 9 0 】

このように、符号長が 276480 ビットとなるロング符号の場合においては、CR =  $14/16$  である最大符号化率となるときのビット数 (Num Bits) は、15 ビットとなるので、先頭 TLV パケット位置ポインタの最大値は、15 ビットとなる。

## 【 0 0 9 1 】

図 3 3 は、ベースバンドフレームサイズが、ショート符号 (符号長 : 17280 ビット) の場合の先頭 TLV パケット位置ポインタの最大値を説明する図である。なお、図 3 3 において、CR、N\_ldpc、N\_bch、BCH、K\_bch、Num Bits の意味は、図 3 1 と同様とされる。すなわち、ここでも、Num Bits は、K\_bch (B : バイト) に応じて必要となるビット数を表している。

40

## 【 0 0 9 2 】

図 3 3 に示すように、N\_ldpc = 17280 ビットとなるショート符号の場合に、LDPC 符号の符号化率 (CR) が、 $2/16$  となるときのビット数 (Num Bits) は、8 ビットとなり、LDPC 符号の符号化率 (CR) が、 $3/16$  となるときのビット数 (Num Bits) は、9 ビットとなり、LDPC 符号の符号化率 (CR) が、 $4/16$ 、 $5/16$ 、 $6/16$ 、 $7/16$  となるときのビット数 (Num Bits) は、10 ビットとなり、 $8/16$ 、 $9/16$ 、 $10/16$ 、 $11/16$ 、 $12/16$ 、 $13/16$ 、 $14/16$  となるときのビット数 (Num Bits) は、11 ビットとなる。

## 【 0 0 9 3 】

50

このように、符号長が17280ビットとなるショート符号の場合においては、 $CR = 14/16$ である最大符号化率となると、ビット数 (Num Bits) は、11ビットとなるので、先頭TLVパケット位置ポインタの最大値は、11ビットとなる。

【0094】

以上のように、ミドル符号やロング符号、ショート符号等の各符号長や、最大符号化率 (CR) に応じて先頭TLVパケット位置ポインタの最大値が異なるため、FECブロックヘッダ (FBH) に配置される先頭TLVパケット位置ポインタの長さが異なることになる。そこで、本技術においては、先頭TLVパケット位置ポインタの長さに応じたFECブロックヘッダ (FBH) の形式として、第1の形式乃至第4の形式を提案するものとする。

【0095】

(3-1) 第1の形式

まず、図34乃至図43を参照して、第1の形式 (以下、形式1とも記述する) のFECブロックヘッダ (FBH) の構成について説明する。

【0096】

(FECブロックヘッダのフォーマット)

図34は、形式1のFECブロックヘッダのフォーマットの例を示す図である。

【0097】

図34において、2バイトのベースヘッダは、15ビットの先頭TLVパケット位置ポインタと、1ビットのEXTフラグから構成される。

【0098】

先頭TLVパケット位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパケットの位置を示すポインタである。形式1のベースヘッダにおいては、この先頭TLVパケット位置ポインタとして、15ビットが確保されているため、ロング符号、ミドル符号、及びショート符号の全ての符号長のポインタとして用いることができる。

【0099】

EXTフラグは、拡張領域 (Extension) が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'0'が指定された場合、拡張がないことを示す。この場合、FECブロックヘッダとしては、2バイトのベースヘッダのみが配置されることになる。一方で、EXTフラグとして、'1'が指定された場合には、拡張があることを示す。この場合、ベースヘッダの次の1バイトが、EXTバイトとなる。

【0100】

なお、対象のFECブロックに、TLVパケットの先頭 (先頭TLVバイト) が存在しない場合には、先頭TLVパケット位置ポインタの15ビットには、'0x7FFF' (111 1111 1111 1111) が割り当てられる。

【0101】

(EXTバイトのフォーマット)

図35は、形式1のEXTバイトのフォーマットの例を示す図である。

【0102】

このEXTバイトは、図34のEXTフラグとして、'1'が指定された場合に、図34のベースヘッダの次の1バイトとして配置される。

【0103】

図35において、1バイトのEXTバイトは、2ビットのパディング値と、1ビットのTSフラグと、1ビットのCRCフラグと、4ビットのリザーブド領域から構成される。

【0104】

形式1のパディング値としては、例えば、図36に示した内容に応じた値が指定される。

【0105】

すなわち、パディング値として、'00'が指定された場合、パディングがないことを意味する。この場合、追加のパディングはない。また、パディング値として、'01'が指定された場合、ショートパディングを意味する。この場合には、1バイトの追加のパッ

10

20

30

40

50

ディングがなされる。

【0106】

また、パディング値として、'10'が指定された場合、ロングパディングを意味する。この場合には、2バイトで、追加のパディングの長さを示すことになる。さらに、パディング値として、'11'が指定された場合には、将来に使用するリザーブド領域であることを意味する。なお、このリザーブド領域の他の意味として、例えば、すべてをパディングすることを意味する、全パディングを指定可能としてもよい。

【0107】

図35の説明に戻り、TSフラグは、FECブロックに配置されるパケットが、TSパケットであるかどうかを示すフラグである。例えば、TSフラグとして、'0'が指定された場合、当該パケットが、TSパケットではないことを示す。この場合、FECブロックには、TLVパケットが配置されていることになる。一方で、TSフラグとして、'1'が指定された場合には、当該パケットが、TSパケットであることを示す。

10

【0108】

CRCフラグは、誤り検出符号であるCRC(Cyclic Redundancy Check)が存在するかどうかを示すフラグである。例えば、CRCフラグとして、'0'が指定された場合、CRCがないことを示す。一方で、CRCフラグとして、'1'が指定された場合、CRCがあることを示す。この場合、CRCは、EXTバイトの直後に配置される。なお、CRCを付加する場合には、常に付加されるため、このときのFECブロックヘッダにおける、最初のヘッダサイズは、3バイトとされる。

20

【0109】

リザーブド領域は、将来に使用される領域である。

【0110】

次に、形式1について、より具体的な詳細例について説明するが、以下の説明では、説明の簡略化のため、FECブロック内に配置されるFECブロックヘッダとTLVパケットにおいて、FECブロックとTLVパケットの図示を省略して、FECブロックヘッダのみを図示するものとする。

【0111】

すなわち、図37に示すように、パディングがない場合に、EXTフラグとして、'0'が指定されたとき、実際には、図37Aに示すような構成からなるが、以下の説明では、簡略化して、図37Bに示すような構成を図示するものとする。

30

【0112】

(形式1の詳細例1)

図38及び図39には、形式1の詳細例1を示している。この詳細例1では、ベースヘッダとEXTバイトからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。なお、この詳細例においては、パディングの長さを、「Padding」と記述している。

【0113】

(3-1-1A) : Padding = 1, EXT = 1, TS = 0

図38Aは、パディングの長さが1バイト(1B)となる場合に、EXTフラグ = '1'と、TSフラグ = '0'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

40

【0114】

図38Aにおいては、ベースヘッダに、15ビットの先頭TLVパケット位置ポインタのほかに、1ビットのEXTフラグが配置されているが、当該EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

【0115】

このEXTバイトにおいて、先頭の2ビットには、パディング値として、'00'が指定され、それに続く、1ビットには、TSフラグとして、'0'が指定される。また、EXTバイトにおいて、残りの5ビットには、'0'であるCRCフラグとともに、将来に予約されたビットが配置される。

50

## 【 0 1 1 6 】

このように、図 3 8 A の FEC ブロックヘッダにおいては、1 バイト ( 1 B ) の EXT バイトによって、1 バイト ( 1 B ) のパディングが実現されている。

## 【 0 1 1 7 】

( 3 - 1 - 1 B ) : Padding = 2 , EXT = 1 , TS = 0

図 3 8 B は、パディングの長さが 2 バイト ( 2 B ) となる場合に、EXT フラグ = '1' と、TS フラグ = '0' がそれぞれ指定された場合の FEC ブロックヘッダの構成を示している。

## 【 0 1 1 8 】

図 3 8 B においては、EXT フラグとして、'1' が指定されているため、ベースヘッダの次の 1 バイトが、EXT バイトとなる。この EXT バイトにおいて、先頭の 2 ビットのパディング値として、'01' が指定されているため、EXT バイトの次の 1 バイトが、追加の 1 B パディングとなる。

10

## 【 0 1 1 9 】

また、EXT バイトにおいて、先頭の 2 ビットに続く、1 ビットには、TS フラグとして、'0' が指定される。なお、EXT バイトの残りの 5 ビットには、'0' である CRC フラグと、将来に予約されたビットが配置される。

## 【 0 1 2 0 】

このように、図 3 8 B の FEC ブロックヘッダにおいては、1 バイト ( 1 B ) の EXT バイトと、1 バイト ( 1 B ) の追加パディングによって、合計で 2 バイト ( 2 B ) のパディングが実現されている。

20

## 【 0 1 2 1 】

( 3 - 1 - C ) : Padding = 3 , EXT = 1 , TS = 0

図 3 8 C は、パディングの長さが 3 バイト ( 3 B ) となる場合に、EXT フラグ = '1' と、TS フラグ = '0' がそれぞれ指定された場合の FEC ブロックヘッダの構成を示している。

## 【 0 1 2 2 】

図 3 8 C においては、EXT フラグとして、'1' が指定されているため、ベースヘッダの次の 1 バイトが、EXT バイトとなる。この EXT バイトにおいて、先頭の 2 ビットのパディング値として、'10' が指定されているため、EXT バイトの次の 2 バイトが、追加パディングの長さを示している。

## 【 0 1 2 3 】

ここで、2 バイトの追加パディングの長さには、'0' ('00000000 00000000') が指定されているため、これ以上は、パディングが追加されないことを表している。

30

## 【 0 1 2 4 】

また、EXT バイトにおいて、先頭の 2 ビットに続く、1 ビットには、TS フラグとして、'0' が指定される。なお、EXT バイトの残りの 5 ビットには、'0' である CRC フラグと、将来に予約されたビットが配置される。

## 【 0 1 2 5 】

このように、図 3 8 C の FEC ブロックヘッダにおいては、1 バイト ( 1 B ) の EXT バイトと、2 バイト ( 2 B ) の追加パディングの長さによって、合計で 3 バイト ( 3 B ) のパディングが実現されている。

40

## 【 0 1 2 6 】

( 3 - 1 - 1 D ) : Padding = 4 , EXT = 1 , TS = 0

図 3 9 D は、パディングの長さが 4 バイト ( 4 B ) となる場合に、EXT フラグ = '1' と、TS フラグ = '0' がそれぞれ指定された場合の FEC ブロックヘッダの構成を示している。

## 【 0 1 2 7 】

図 3 9 D においては、EXT フラグとして、'1' が指定されているため、ベースヘッダの次の 1 バイトが、EXT バイトとなる。この EXT バイトにおいて、先頭の 2 ビットのパディング値として、'10' が指定されているため、EXT バイトの次の 2 バイトが、追加パディングの長さを示している。

## 【 0 1 2 8 】

50

ここで、2バイトの追加パディングの長さには、'1' ('00000000 00000001') が指定されているため、さらに、1バイト (1B) のパディングが追加されている。

【0129】

また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'0' が指定される。なお、EXTバイトの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

【0130】

このように、図39DのFECブロックヘッダにおいては、1バイト (1B) のEXTバイトと、2バイト (2B) の追加パディングの長さ、1バイト (1B) の追加パディングによって、合計で4バイト (4B) のパディングが実現されている。

【0131】

(3 - 1 - 1 E) : Padding = 12348, EXT = 1, TS = 0

図39Eは、パディングの長さが12348バイト (12348B) となる場合に、EXTフラグ = '1' と、TSフラグ = '0' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

【0132】

図39Eにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10'が指定されているため、EXTバイトの次の2バイトが、追加パディングの長さを示している。

【0133】

ここで、2バイトの追加パディングの長さには、'1' ('00110000 00111001') が指定されているため、さらに、12345バイト (12345B) のパディングが追加されている。

【0134】

また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'0' が指定される。なお、EXTバイトの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

【0135】

このように、図39EのFECブロックヘッダにおいては、1バイト (1バイト) のEXTバイトと、2バイトの追加パディングの長さ、12345バイト (12345B) の追加パディングによって、合計で12348バイト (12348B) のパディングが実現されている。

【0136】

(形式1の詳細例2)

図40及び図41には、形式1の詳細例2を示している。この詳細例2においても、上述した詳細例1と同様に、ベースヘッダとEXTバイトからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

【0137】

(3 - 1 - 2 A) : Padding = 1, EXT = 1, TS = 1

図40Aは、パディングの長さが1バイト (1B) となる場合に、EXTフラグ = '1' と、TSフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

【0138】

図40Aにおいては、ベースヘッダに、先頭TLVパケット位置ポインタと、EXTフラグが配置されるが、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

【0139】

このEXTバイトにおいて、先頭の2ビットには、パディング値として、'00'が指定され、それに続く、1ビットには、TSフラグとして、'1'が指定される。この場合、FECブロックに配置されるパケットがTSパケットとなるので、先頭TLVパケット位置ポインタは、FECブロック内のTSパケットの位置 (先頭位置) を示している。また、EXTバイトにおいて

10

20

30

40

50

、残りの5ビットには、'0'であるCRCフラグとともに、将来に予約されたビットが配置される。

【0140】

このように、図40AのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトによって、1バイト(1B)のパディングが実現されている。

【0141】

(3-1-2B) : Padding = 2, EXT = 1, TS = 1

図40Bは、パディングの長さが2バイト(2B)となる場合に、EXTフラグ='1'と、TSフラグ='1'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

【0142】

図40Bにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'01'が指定されているため、EXTバイトの次の1バイトが、追加の1Bパディングとなる。

【0143】

また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'1'が指定される。なお、EXTバイトの残りの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

【0144】

このように、図40BのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、1バイト(1B)の追加パディングによって、合計で2バイト(2B)のパディングが実現されている。

【0145】

(3-1-2C) : Padding = 3, EXT = 1, TS = 1

図40Cは、パディングの長さが3バイト(3B)となる場合に、EXTフラグ='1'と、TSフラグ='1'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

【0146】

図40Cにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10'が指定されているため、EXTバイトの次の2バイトが、追加パディングの長さを示している。

【0147】

ここで、2バイトの追加パディングの長さには、'0'('00000000 00000000')が指定されているため、これ以上は、パディングが追加されないことを表している。

【0148】

また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'1'が指定される。なお、EXTバイトの残りの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

【0149】

このように、図40CのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加パディングの長さによって、合計で3バイト(3B)のパディングが実現されている。

【0150】

(3-1-2D) : Padding = 4, EXT = 1, TS = 1

図41Dは、パディングの長さが4バイト(4B)となる場合に、EXTフラグ='1'と、TSフラグ='1'がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

【0151】

図41Dにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10'が指定されているため、EXTバイトの次の2バイトが、追加パディング

10

20

30

40

50

の長さを示している。

【 0 1 5 2 】

ここで、2バイトの追加パディングの長さには、'1' ('00000000 00000001') が指定されているため、当該追加パディングの長さについて、さらに、1バイト (1B) のパディングが追加されている。

【 0 1 5 3 】

また、EXTバイトにおいて、先頭の2ビットに続く、1ビットには、TSフラグとして、'1' が指定される。なお、EXTバイトの残りの5ビットには、'0'であるCRCフラグと、将来に予約されたビットが配置される。

【 0 1 5 4 】

このように、図 4 1 D の FEC ブロックヘッダにおいては、1バイト (1B) の EXT バイトと、2バイト (2B) の追加パディングの長さ、1バイト (1B) の追加パディングによって、合計で4バイト (4B) のパディングが実現されている。

【 0 1 5 5 】

(形式 1 の詳細例 3 )

図 4 2 及び図 4 3 には、形式 1 の詳細例 3 を示している。この詳細例 3 においては、ベースヘッダとEXTバイトとCRCからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

【 0 1 5 6 】

( 3 - 1 - 3 A ) : Padding = 1 , EXT = 1 , CRC = 1

図 4 2 A は、パディングの長さが1バイト (1B) となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

【 0 1 5 7 】

図 4 2 A においては、ベースヘッダに、先頭TLVパケット位置ポイントと、EXTフラグが配置されるが、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

【 0 1 5 8 】

このEXTバイトにおいて、先頭の2ビットには、パディング値として、'00'が指定され、それに続く、1ビットには、TSフラグとして、'0'が指定される。そして、さらにそれに続く、1ビットには、CRCフラグとして、'1'が指定されているため、EXTバイトの次に、1バイト (8ビット) のCRCが付加されている。

【 0 1 5 9 】

このように、図 4 2 A の FEC ブロックヘッダにおいては、1バイト (1B) の EXT バイトによって、1バイト (1B) のパディングが実現されている。

【 0 1 6 0 】

( 3 - 1 - 3 B ) : Padding = 2 , EXT = 1 , CRC = 1

図 4 2 B は、パディングの長さが2バイト (2B) となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

【 0 1 6 1 】

図 4 2 B においては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'01'が指定され、それに続くビットのCRCフラグとして、'1'が指定されている。

【 0 1 6 2 】

そのため、EXTバイトの次に、1バイトのCRCが付加され、さらに、このCRCの次の1バイトが、追加の1Bパディングとなる。

【 0 1 6 3 】

このように、図 4 2 B の FEC ブロックヘッダにおいては、1バイト (1B) の EXT バイトと、1バイト (1B) の追加パディングによって、合計で2バイト (2B) のパディングが実現されている。

10

20

30

40

50

## 【 0 1 6 4 】

( 3 - 1 - 3 C ) : Padding = 3 , EXT = 1 , CRC = 1

図 4 2 C は、パディングの長さが3バイト ( 3B ) となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

## 【 0 1 6 5 】

図 4 2 C においては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10' が指定され、それに続くビットのCRCフラグとして、'1' が指定されている。そのため、EXTバイトの次に、1バイトのCRCが付加され、さらに、このCRCの次の2バイトが、追加パディングの長さを示している。

10

## 【 0 1 6 6 】

ここで、2バイトの追加パディングの長さには、'0' ( '00000000 00000000' ) が指定されているため、これ以上は、パディングが追加されないことを表している。

## 【 0 1 6 7 】

このように、図 4 2 C のFECブロックヘッダにおいては、1バイト ( 1B ) のEXTバイトと、2バイト ( 2B ) の追加パディングの長さによって、合計で3バイト ( 3B ) のパディングが実現されている。

## 【 0 1 6 8 】

( 3 - 1 - 3 D ) : Padding = 4 , EXT = 1 , CRC = 1

図 4 3 D は、パディングの長さが4バイト ( 4B ) となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

20

## 【 0 1 6 9 】

図 4 3 D においては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、先頭の2ビットのパディング値として、'10' が指定され、それに続くビットのCRCフラグとして、'1' が指定されている。そのため、EXTバイトの次に、1バイトのCRCが付加され、さらに、このCRCの次の2バイトが、追加パディングの長さを示している。

## 【 0 1 7 0 】

ここで、2バイトの追加パディングの長さには、'1' ( '00000000 00000001' ) が指定されているため、さらに、1バイト ( 1B ) のパディングが追加されている。

30

## 【 0 1 7 1 】

このように、図 4 3 D のFECブロックヘッダにおいては、1バイト ( 1B ) のEXTバイトと、2バイト ( 2B ) の追加パディングの長さ、1バイト ( 1B ) の追加パディングによって、合計で4バイト ( 4B ) のパディングが実現されている。

## 【 0 1 7 2 】

以上、第 1 の形式のFECブロックヘッダの構成について説明した。この第 1 の形式においては、先頭TLVパケット位置ポインタの最大値を考慮して、FECブロックヘッダのベースヘッダに、15ビットを確保しているため、ビット数 ( Num Bits ) の最大値が、15ビットとなるロング符号、13ビットとなるミドル符号、及び11ビットとなるショート符号の全ての符号長に対応することができる。そのため、FECブロックヘッダの構成として、非常に簡略化された構成とすることができる。

40

## 【 0 1 7 3 】

( 3 - 2 ) 第 2 の形式

次に、図 4 4 乃至図 4 7 を参照して、第 2 の形式 ( 以下、形式 2 とともに記述する ) のFECブロックヘッダ ( FBH ) の構成について説明する。

## 【 0 1 7 4 】

なお、第 2 の形式においては、ロング符号が対象の規格に存在しないことを前提にして、FECブロックヘッダのベースヘッダに、先頭TLVパケット位置ポインタのビットとして、ショート符号に応じた11ビットと、ミドル符号に応じた13ビットと確保した場合について説明する。

50

## 【 0 1 7 5 】

(FECブロックヘッダのフォーマット)

図 4 4 は、形式 2 - 1 の FEC ブロックヘッダのフォーマットの例を示す図である。

## 【 0 1 7 6 】

図 4 4 において、2 バイトのベースヘッダは、11 ビットの先頭 TLV パケット位置ポインタと、その残りビット (5 ビット) から構成される。

## 【 0 1 7 7 】

先頭 TLV パケット位置ポインタは、自身が配置される FEC ブロックヘッダを含む FEC ブロックにおいて、先頭の TLV パケットの位置を示すポインタである。形式 2 - 1 のベースヘッダにおいては、この先頭 TLV パケット位置ポインタとして、11 ビットが確保されているため、ショート符号のポインタとして用いることができる。

10

## 【 0 1 7 8 】

5 ビットの残りビットは、2 ビットのパディング値と、1 ビットの TS フラグと、1 ビットの CRC フラグと、1 ビットのリザーブド領域に割り当てられる。

## 【 0 1 7 9 】

パディング値には、例えば、図 4 5 に示した内容に応じた値が指定される。この形式 2 - 1 のパディング値は、上述した形式 1 のパディング値の内容 (図 3 6) と同様であるため、ここではその説明は省略する。

## 【 0 1 8 0 】

TS フラグは、TS パケットを識別するフラグである。CRC フラグは、誤り検出符号である CRC が存在するかどうかを示すフラグである。リザーブド領域は、将来に使用される領域である。

20

## 【 0 1 8 1 】

(FECブロックヘッダのフォーマット)

図 4 6 は、形式 2 - 2 の FEC ブロックヘッダのフォーマットの例を示す図である。

## 【 0 1 8 2 】

図 4 6 において、2 バイトのベースヘッダは、13 ビットの先頭 TLV パケット位置ポインタと、その残りビット (3 ビット) から構成される。

## 【 0 1 8 3 】

先頭 TLV パケット位置ポインタは、自身が配置される FEC ブロックヘッダを含む FEC ブロックにおいて、先頭の TLV パケットの位置を示すポインタである。形式 2 - 2 のベースヘッダにおいては、この先頭 TLV パケット位置ポインタとして、13 ビットが確保されているため、ミドル符号、及びショート符号のポインタとして用いることができる。

30

## 【 0 1 8 4 】

3 ビットの残りビットは、2 ビットのパディング値と、1 ビットの TS フラグ又は 1 ビットの CRC フラグに割り当てられる。すなわち、ベースヘッダにおいて、パディング値は、必須となるが、TS フラグと CRC フラグのうちのどちらのフラグを配置するかは、任意となる。

## 【 0 1 8 5 】

パディング値には、例えば、図 4 7 に示した内容に応じた値が指定される。この形式 2 - 2 のパディング値は、上述した形式 1 のパディング値の内容 (図 3 6) と同様であるため、ここではその説明は省略する。

40

## 【 0 1 8 6 】

TS フラグは、TS パケットを識別するフラグである。CRC フラグは、誤り検出符号である CRC が存在するかどうかを示すフラグである。

## 【 0 1 8 7 】

以上、第 2 の形式の FEC ブロックヘッダの構成について説明した。この第 2 の形式では、ロング符号が対象の規格に存在しないことを前提にして、FEC ブロックヘッダのベースヘッダに、11 ビット又は 13 ビットを確保しているため、ビット数 (Num Bits) の最大値が、11 ビットとなるショート符号、又は 13 ビットとなるミドル符号に対応することができ

50

る。そのため、ロング符号が対象の規格に存在しない場合には、FECブロックヘッダの構成として、非常に簡略化された構成とすることができる。

【0188】

(3-3)第3の形式

次に、図48乃至図60を参照して、第3の形式(以下、形式3とも記述する)のFECブロックヘッダ(FBH)の構成について説明する。

【0189】

(FECブロックヘッダのフォーマット)

図48は、形式3のFECブロックヘッダのフォーマットの例を示す図である。

【0190】

図48において、2バイトのベースヘッダは、13ビットの先頭TLVパケット位置ポインタと、その残りビット(3ビット)から構成される。

【0191】

先頭TLVパケット位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパケットの位置を示すポインタである。形式3のベースヘッダにおいては、この先頭TLVパケット位置ポインタとして、13ビットが確保されている。

【0192】

3ビットの残りビットは、1ビットのTSフラグと、1ビットのCRCフラグと、1ビットのEXTフラグに割り当てられる。TSフラグとCRCフラグの詳細は、先に述べた通りである。

【0193】

また、EXTフラグは、拡張領域(Extension)が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'1'が指定された場合には、ベースヘッダの次の1バイトが、EXTバイトとなる。

【0194】

図49には、EXTバイトのフォーマットの例を示している。図49において、1バイトのEXTバイトは、2ビットのLEN\_MSBと、2ビットのパディング値と、4ビットのリザーブド領域から構成される。

【0195】

LEN\_MSBの2ビットは、ロング符号の場合には、先頭TLVパケット位置ポインタの最大値が15ビットとなって、ベースヘッダに割り当てられた13ビットでは不足するため、その不足分の2ビットとして用いられる。なお、ショート符号やミドル符号の場合には、ベースヘッダに割り当てられた13ビットで足りるため、LEN\_MSBの2ビットは未使用とされる。

【0196】

すなわち、ショート符号やミドル符号の場合には、ベースヘッダに割り当てられた13ビットを用いれば、先頭TLVパケット位置ポインタの最大値(11ビット又は13ビット)に対応することができる。一方で、ロング符号の場合には、ベースヘッダに割り当てられた13ビットでは、不足するため、さらにLEN\_MSBの2ビットを用いた合計15ビットで、先頭TLVパケット位置ポインタの最大値(15ビット)に対応するようにしている。

【0197】

パディング値には、例えば、図50に示した内容に応じた値が指定される。この形式3のパディング値は、上述した形式1のパディング値の内容(図36)と同様であるため、ここではその説明は省略する。リザーブド領域は、将来に使用される領域である。

【0198】

(FECブロックヘッダのフォーマット)

図51は、形式3-1のFECブロックヘッダのフォーマットの例を示す図である。

【0199】

図51において、2バイトのベースヘッダは、13ビットの先頭TLVパケット位置ポインタと、その残りビット(3ビット)から構成される。

【0200】

10

20

30

40

50

形式3 - 1においては、上述した形式3と比べて、先頭TLVパケット位置ポインタのビット数が、13ビットとなる点で共通しているが、3ビットの残りビットを、2ビットのパディング値と、1ビットのEXTフラグに割り当てている点が異なっている。

【0201】

パディング値には、例えば、図52に示した内容に応じた値が指定される。この形式3 - 1のパディング値は、上述した形式1のパディング値の内容(図36)と同様であるため、ここではその説明は省略する。

【0202】

また、EXTフラグは、拡張領域(Extension)が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'1'が指定された場合には、ベースヘッダの次の1バイトが、EXTバイトとなる。

10

【0203】

図53には、EXTバイトのフォーマットの例を示している。図53において、1バイトのEXTバイトは、2ビットのLEN\_MSBと、1ビットのTSフラグと、1ビットのCRCフラグと、4ビットのリザーブド領域から構成される。

【0204】

LEN\_MSBの2ビットは、ロング符号の場合には、先頭TLVパケット位置ポインタの最大値が15ビットとなって、ベースヘッダに割り当てられた13ビットでは不足するため、その不足分の2ビットとして用いられる。なお、ショート符号やミドル符号の場合には、LEN\_MSBの2ビットは未使用とされる。

20

【0205】

すなわち、ショート符号やミドル符号の場合には、ベースヘッダに割り当てられた13ビットを用いれば、先頭TLVパケット位置ポインタの最大値(11ビット又は13ビット)に対応することができる。一方で、ロング符号の場合には、ベースヘッダの13ビットと、LEN\_MSBの2ビットの合計15ビットで、先頭TLVパケット位置ポインタの最大値(15ビット)に対応するようにしている。

【0206】

TSフラグとCRCフラグの詳細は、先に述べた通りである。また、リザーブド領域は、将来に使用される領域である。

【0207】

次に、形式3 - 1について、より具体的な詳細例について説明する。なお、以下の説明では、上述した形式1の詳細例と同様に、FECブロックとTLVパケットの図示を省略して、FECブロックヘッダのみを図示するものとする。

30

【0208】

(形式3 - 1の詳細例1)

図54乃至図56には、形式3 - 1の詳細例1を示している。この詳細例1では、ベースヘッダからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

【0209】

(3 - 3 - 1A) : Paddingなし, EXT = 0

図54Aは、パディングがない場合に、EXTフラグ = '0'が指定された場合のFECブロックヘッダの構成を示している。

40

【0210】

図54Aにおいては、ベースヘッダに、13ビットの先頭TLVパケット位置ポインタのほかに、2ビットのパディング値と、1ビットのEXTフラグが配置されているが、パディング値として、'00'が指定されているため、追加のパディングはない。さらに、EXTフラグとして、'0'が指定されているため、オプションヘッダとしてのEXTバイトの拡張もない。

【0211】

このように、図54AのFECブロックヘッダにおいては、パディングが行われない場合

50

の構成となる。

【0212】

(3 - 3 - 1 B) : Padding = 1 , EXT = 0

図54Bは、パディングの長さが1バイト(1B)となる場合に、EXTフラグ = '0'が指定された場合のFECブロックヘッダの構成を示している。

【0213】

図54Bにおいては、パディング値として、'01'が指定されているため、ベースヘッダの次の1バイトが、追加の1Bパディングとなる。なお、EXTフラグとして、'0'が指定されているため、EXTバイトの拡張はない。

【0214】

このように、図54BのFECブロックヘッダにおいては、1バイト(1B)の追加パディングによって、1バイト(1B)のパディングが実現されている。

【0215】

(3 - 3 - 1 C) : Padding = 2 , EXT = 0

図54Cは、パディングの長さが2バイト(2B)となる場合に、EXTフラグ = '0'が指定された場合のFECブロックヘッダの構成を示している。

【0216】

図54Cにおいては、パディング値として、'10'が指定されているため、ベースヘッダの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'0'('00000000 00000000')が指定されているため、これ以上は、パディングが追加されないことを表している。

【0217】

なお、EXTフラグとして、'0'が指定されているため、EXTバイトの拡張はない。

【0218】

このように、図54CのFECブロックヘッダにおいては、2バイト(2B)の追加パディングの長さによって、2バイト(2B)のパディングが実現されている。

【0219】

(3 - 3 - 1 D) : Padding = 3 , EXT = 0

図55Dは、パディングの長さが3バイト(3B)となる場合に、EXTフラグ = '0'が指定された場合のFECブロックヘッダの構成を示している。

【0220】

図55Dにおいては、パディング値として、'10'が指定されているため、ベースヘッダの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'1'('00000000 00000001')が指定されているため、当該追加パディングの長さについて、さらに、1バイト(1B)のパディングが追加されている。

【0221】

なお、EXTフラグとして、'0'が指定されているため、EXTバイトの拡張はない。

【0222】

このように、図55DのFECブロックヘッダにおいては、2バイト(2B)の追加パディングの長さとして、1バイト(1B)の追加パディングによって、合計で3バイト(3B)のパディングが実現されている。

【0223】

(3 - 3 - 1 E) : Padding = 4 , EXT = 0

図55Eは、パディングの長さが4バイト(4B)となる場合に、EXTフラグ = '0'が指定された場合のFECブロックヘッダの構成を示している。

【0224】

図55Eにおいては、パディング値として、'10'が指定されているため、ベースヘッダの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'2'('00000000 00000010')が指定されているため、当該追加パディングの長さについて、2バイト(2B)のパディングが追加されている。

10

20

30

40

50

## 【 0 2 2 5 】

なお、EXTフラグとして、'0'が指定されているため、EXTバイトの拡張はない。

## 【 0 2 2 6 】

このように、図 5 5 E の FEC ブロックにおいては、2 バイト ( 2 B ) の追加パディングの長さ、2 バイト ( 2 B ) の追加パディングによって、合計で 4 バイト ( 4 B ) のパディングが実現されている。

## 【 0 2 2 7 】

( 3 - 3 - 1 F ) : Padding = 12348 , EXT = 0

図 5 6 F は、パディングの長さが 12348 バイト ( 12348 B ) となる場合に、EXT フラグ = '1' が指定された場合の FEC ブロックヘッダの構成を示している。

10

## 【 0 2 2 8 】

図 5 6 F においては、EXT フラグとして、'1' が指定されているため、ベースヘッダの次の 1 バイトが、EXT バイトとなる。また、パディング値として、'10' が指定されているため、EXT バイトの次の 2 バイトが、追加パディングの長さを示している。

## 【 0 2 2 9 】

ここで、2 バイトの追加パディングの長さには、'12345' ( '00110000 00111001' ) が指定されているため、さらに、12345 バイト ( 12345 B ) のパディングが追加されている。

## 【 0 2 3 0 】

なお、EXT バイトにおいては、2 ビットの LEN\_MSB を利用することで、先頭 TLV パケット位置ポインタとして、ショート符号とミドル符号に対応するだけでなく、ロング符号にも対応することができる。

20

## 【 0 2 3 1 】

このように、図 5 6 F の FEC ブロックヘッダにおいては、1 バイト ( 1 B ) の EXT バイトと、2 バイト ( 2 B ) の追加パディングの長さ、12345 バイト ( 12345 B ) の追加パディングによって、合計で 12348 バイト ( 12348 B ) のパディングが実現されている。

## 【 0 2 3 2 】

( 形式 3 - 1 の詳細例 2 )

図 5 7 及び図 5 8 には、形式 3 - 1 の詳細例 2 を示している。この詳細例 2 では、ベースヘッダと EXT バイトからなる FEC ブロックヘッダに対し、パディングを追加した場合の構成を図示している。

30

## 【 0 2 3 3 】

( 3 - 3 - 2 A ) : Padding = 1 , EXT = 1 , TS = 1

図 5 7 A は、パディングの長さが 1 バイト ( 1 B ) となる場合に、EXT フラグ = '1' が指定された場合の FEC ブロックヘッダの構成を示している。

## 【 0 2 3 4 】

図 5 7 A においては、ベースヘッダに、13 ビットの先頭 TLV パケット位置ポインタのほかに、2 ビットのパディング値と、1 ビットの EXT フラグが配置されているが、パディング値として、'00' が指定されているため、追加のパディングはない。一方で、EXT フラグとして、'1' が指定されているため、ベースヘッダの次の 1 バイトが、オプションヘッダとしての EXT バイトとなる。

40

## 【 0 2 3 5 】

なお、EXT バイトにおいて、TS フラグには '1' が指定され、FEC ブロックに配置されるパケットが TS パケットとなるので、先頭 TLV パケット位置ポインタは、FEC ブロック内の TS パケットの位置 ( 先頭位置 ) を示している。

## 【 0 2 3 6 】

このように、図 5 7 A の FEC ブロックヘッダにおいては、1 バイト ( 1 B ) の EXT バイトによって、1 バイト ( 1 B ) のパディングが実現されている。

## 【 0 2 3 7 】

( 3 - 3 - 2 B ) : Padding = 2 , EXT = 1 , TS = 1

50

図 5 7 B は、パディングの長さが2バイト (2B) となる場合に、EXTフラグ = '1' が指定された場合のFECブロックヘッダの構成を示している。

【 0 2 3 8 】

図 5 7 B においては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。また、パディング値として、'01' が指定されているため、EXTバイトの次の1バイトが、追加の1Bパディングとなる。

【 0 2 3 9 】

このように、図 5 7 B のFECブロックヘッダにおいては、1バイト (1B) のEXTバイトと、1バイト (1B) の追加パディングによって、合計で2バイト (2B) のパディングが実現されている。

【 0 2 4 0 】

( 3 - 3 - 2 C ) : Padding = 3 , EXT = 1 , TS = 1

図 5 7 C は、パディングの長さが3バイト (3B) となる場合に、EXTフラグ = '1' が指定された場合のFECブロックヘッダの構成を示している。

【 0 2 4 1 】

図 5 7 C においては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。また、パディング値として、'10' が指定されているため、EXTバイトの次の1バイトが、追加パディングの長さを示している。

【 0 2 4 2 】

ここで、2バイトの追加パディングの長さには、'0' ('00000000 00000000') が指定されているため、これ以上は、パディングが追加されないことを表している。

【 0 2 4 3 】

このように、図 5 7 C のFECブロックヘッダにおいては、1バイト (1B) のEXTバイトと、2バイト (2B) の追加パディングの長さによって、合計で3バイト (3B) のパディングが実現されている。

【 0 2 4 4 】

( 3 - 3 - 2 D ) : Padding = 4 , EXT = 1 , TS = 1

図 5 8 D は、パディングの長さが4バイト (4B) となる場合に、EXTフラグ = '1' が指定された場合のFECブロックヘッダの構成を示している。

【 0 2 4 5 】

図 5 8 D においては、EXTフラグとして、'1' が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。また、パディング値として、'10' が指定されているため、EXTバイトの次の1バイトが、追加パディングの長さを示している。

【 0 2 4 6 】

ここで、2バイトの追加パディングの長さには、'1' ('00000000 00000001') が指定されているため、当該追加パディングの長さについて、さらに、1バイト (1B) のパディングが追加されている。

【 0 2 4 7 】

このように、図 5 8 D のFECブロックヘッダにおいては、1バイト (1B) のEXTバイトと、2バイト (2B) の追加パディングの長さ、1バイト (1B) の追加パディングによって、合計で4バイト (4B) のパディングが実現されている。

【 0 2 4 8 】

( 形式 3 - 1 の詳細例 3 )

図 5 9 及び図 6 0 には、形式 3 - 1 の詳細例 3 を示している。この詳細例 3 では、ベースヘッダとEXTバイトとCRCからなるFECブロックヘッダに対し、パディングを追加した場合の構成を図示している。

【 0 2 4 9 】

( 3 - 3 - 3 A ) : Padding = 1 , EXT = 1 , CRC = 1

図 5 9 A は、パディングの長さが1バイト (1B) となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

10

20

30

40

50

## 【 0 2 5 0 】

図 5 9 A においては、ベースヘッダに、13ビットの先頭TLVパケット位置ポインタのほか、2ビットのパディング値と、1ビットのEXTフラグが配置されているが、パディング値として、'00'が指定されているため、追加のパディングはない。一方で、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、オプションヘッダとしてのEXTバイトとなる。

## 【 0 2 5 1 】

このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1'が指定されているため、EXTバイトの次に、1バイト(8ビット)のCRCが付加されている。

## 【 0 2 5 2 】

このように、図 5 9 A の FEC ブロックヘッダにおいては、1バイト(1B)のEXTバイトによって、1バイト(1B)のパディングが実現されている。

## 【 0 2 5 3 】

( 3 - 3 - 3 B ) : Padding = 2 , EXT = 1 , CRC = 1

図 5 9 B は、パディングの長さが2バイト(2B)となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

## 【 0 2 5 4 】

図 5 9 B においては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1'が指定されているため、EXTバイトの次に、1バイト(8ビット)のCRCが付加されている。

## 【 0 2 5 5 】

また、ベースヘッダにおいては、パディング値として、'01'が指定されているため、CRCの次の1バイトが、追加の1Bパディングとなる。

## 【 0 2 5 6 】

このように、図 5 9 B の FEC ブロックヘッダにおいては、1バイト(1B)のEXTバイトと、1バイト(1B)の追加パディングによって、合計で2バイト(2B)のパディングが実現されている。

## 【 0 2 5 7 】

( 3 - 3 - 3 C ) : Padding = 3 , EXT = 1 , CRC = 1

図 5 9 C は、パディングの長さが3バイト(3B)となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

## 【 0 2 5 8 】

図 5 9 C においては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1'が指定されているため、EXTバイトの次に、1バイト(8ビット)のCRCが付加されている。

## 【 0 2 5 9 】

また、ベースヘッダにおいては、パディング値として、'10'が指定されているため、CRCの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'0'('00000000 00000000')が指定されているため、これ以上は、パディングが追加されないことを表している。

## 【 0 2 6 0 】

このように、図 5 9 C の FEC ブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加パディングの長さによって、合計で3バイト(3B)のパディングが実現されている。

## 【 0 2 6 1 】

( 3 - 3 - 3 D ) : Padding = 4 , EXT = 1 , CRC = 1

図 6 0 D は、パディングの長さが4バイト(4B)となる場合に、EXTフラグ = '1' と、CRCフラグ = '1' がそれぞれ指定された場合のFECブロックヘッダの構成を示している。

10

20

30

40

50

## 【0262】

図60Dにおいては、EXTフラグとして、'1'が指定されているため、ベースヘッダの次の1バイトが、EXTバイトとなる。このEXTバイトにおいて、4ビット目には、CRCフラグとして、'1'が指定されているため、EXTバイトの次に、1バイト(8ビット)のCRCが付加されている。

## 【0263】

また、ベースヘッダにおいては、パディング値として、'10'が指定されているため、CRCの次の2バイトが、追加パディングの長さを示している。ここで、2バイトの追加パディングの長さには、'1'('00000000 00000001')が指定されているため、1バイト(1B)のパディングが追加されている。

10

## 【0264】

このように、図60DのFECブロックヘッダにおいては、1バイト(1B)のEXTバイトと、2バイト(2B)の追加パディングの長さ、1バイト(1B)の追加パディングによって、合計で4バイト(4B)のパディングが実現されている。

## 【0265】

以上、第3の形式のFECブロックヘッダの構成について説明した。この第3の形式では、ロング符号が対象の規格に存在する場合に、FECブロックヘッダのベースヘッダに、13ビットを確保して、ビット数(Num Bits)の最大値が、11ビットとなるショート符号、又は13ビットとなるミドル符号に対応するとともに、ビット数(Num Bits)の最大値が、15ビットとなるロング符号の場合には、EXTバイトのLEN\_MSBの2ビットを用いることで、15ビットとなるロング符号に対応することができるようにしている。そのため、ロング符号が規格に存在する場合に、ミドル符号又はショート符号のときには、EXTバイトのLEN\_MSBを利用する必要がなく、FECブロックヘッダを、効率良く構成することができる。

20

## 【0266】

## (3-4) 第4の形式

最後に、図61乃至図63を参照して、第4の形式(以下、形式4とも記述する)のFECブロックヘッダ(FBH)の構成について説明する。

## 【0267】

## (FECブロックヘッダのフォーマット)

図61は、形式4のFECブロックヘッダのフォーマットの例を示す図である。

30

## 【0268】

図61において、2バイトのベースヘッダは、13ビットの先頭TLVパケット位置ポインタと、1ビットのTSフラグと、1ビットのCRCフラグと、1ビットのEXTフラグから構成される。

## 【0269】

先頭TLVパケット位置ポインタは、自身が配置されるFECブロックヘッダを含むFECブロックにおいて、先頭のTLVパケットの位置を示すポインタである。

## 【0270】

3ビットの残りビットは、1ビットのTSフラグと、1ビットのCRCフラグと、1ビットのEXTフラグに割り当てられる。TSフラグとCRCフラグの詳細は、先に述べた通りである。

40

## 【0271】

また、EXTフラグは、拡張領域(Extension)が存在するかどうかを示すフラグである。例えば、EXTフラグとして、'1'が指定された場合、ベースヘッダの次の1バイトが、EXTバイトとなる。

## 【0272】

図62には、EXTバイトのフォーマットの例を示している。図62において、1バイトのEXTバイトは、5ビットのLEN\_MSBと、2ビットのパディング値と、1ビットのリザーブド領域から構成される。

## 【0273】

50

ここで、上述した図 3 1 乃至図 3 3 においては、ビット数 (Num Bits) を、K\_bch (B : バイト) に応じて必要となるビット数としたが、K\_bch (bits : ビット) とした場合のビット数 (Num Bits) は、次のようになる。

【 0 2 7 4 】

すなわち、符号長が 69120 ビットとなるミドル符号の場合においては、CR = 14/16 である最大符号化率となると、ビット数 (Num Bits) は、16 ビットとなるので、先頭 TLV パケット位置ポインタの最大値は、16 ビットとなる。

【 0 2 7 5 】

また、符号長が 276480 ビットとなるロング符号の場合においては、CR = 14/16 である最大符号化率となると、ビット数 (Num Bits) は、18 ビットとなるので、先頭 TLV パケット位置ポインタの最大値は、18 ビットとなる。

10

【 0 2 7 6 】

また、符号長が 17280 ビットとなるショート符号の場合においては、CR = 14/16 である最大符号化率となると、ビット数 (Num Bits) は、14 ビットとなるので、先頭 TLV パケット位置ポインタの最大値は、14 ビットとなる。

【 0 2 7 7 】

以上のように、ビット数 (Num Bits) として、バイト表現 (K\_bch (B : バイト)) ではなく、ビット表現 (K\_bch (bits : ビット)) を用いた場合には、先頭 TLV パケット位置ポインタの最大値が、ロング符号、ミドル符号、ショート符号で、それぞれ、18 ビット、16 ビット、14 ビットとなる。そのため、ベースヘッダで、先頭 TLV パケット位置ポインタに割り当てられた 13 ビットでは不足するため、その不足分のビットとして、LEN\_MSB の 5 ビットを用いる。

20

【 0 2 7 8 】

すなわち、ベースヘッダに割り当てられた 13 ビットと、LEN\_MSB の 5 ビットとを合わせた合計 18 ビットが、先頭 TLV パケット位置ポインタとして用いられる。このようにビットを割り当てることで、先頭 TLV パケット位置ポインタをビット表現することができる。

【 0 2 7 9 】

具体的には、ロング符号の場合には、LEN\_MSB の 5 ビットのすべてが用いられ、先頭 TLV パケット位置ポインタのビットとして、合計 18 ビットが利用可能となる。また、ミドル符号の場合には、LEN\_MSB の 5 ビットのうち、3 ビットが利用されて、合計 16 ビットが利用可能となる。また、ショート符号の場合には、LEN\_MSB の 5 ビットのうち、1 ビットが利用されて、合計 14 ビットが利用可能となる。

30

【 0 2 8 0 】

すなわち、バイト表現の場合、ロング符号、ミドル符号、及びショート符号のすべてで、ベースヘッダに割り当てられた 13 ビットでは、不足するため、LEN\_MSB の 5 ビットを用いて、先頭 TLV パケット位置ポインタの最大値 (18 ビット、16 ビット、又は 14 ビット) に対応できるようにしている。

【 0 2 8 1 】

パディング値には、例えば、図 6 3 に示した内容に応じた値が指定される。この形式 4 のパディング値は、上述した形式 1 のパディング値の内容 (図 3 6) と同様であるため、ここではその説明は省略する。リザーブ領域は、将来に使用される領域である。

40

【 0 2 8 2 】

以上、第 4 の形式の FEC ブロックヘッダの構成について説明した。この第 4 の形式では、ロング符号が対象の規格に存在する場合に、FEC ブロックヘッダのベースヘッダ (13 ビット) と、EXT バイトの LEN\_MSB (5 ビット) によって、18 ビットを確保して、ビット数 (Num Bits) の最大値が、14 ビットとなるショート符号、16 ビットとなるミドル符号、及び 18 ビットとなるロング符号に対応することができるようにしている。そのため、ロング符号が規格に存在する場合に、先頭 TLV パケット位置ポインタをビット表現することができる。

【 0 2 8 3 】

50

#### < 4 . 本技術の時刻情報の送出タイミング >

##### 【 0 2 8 4 】

ところで、現行のISDB-Tにおいては、放送信号の多重化の方式として、周波数分割多重化方式（FDM：Frequency Division Multiplexing）が採用されている。次世代の地上デジタルテレビ放送においても同様に、周波数分割多重化方式（FDM）が採用されることが想定される。

##### 【 0 2 8 5 】

この周波数分割多重化方式（FDM）を採用した場合には、所定の周波数帯域（例えば6MHz）が、複数のセグメントに周波数分割され、1又は複数のセグメントごとの帯域を利用した階層伝送が行われる。この場合に、周波数分割で得られる、1又は複数のセグメントの周波数帯域からなる階層ごとに、例えば、異なるサービスのデータを伝送することができる。

10

##### 【 0 2 8 6 】

すなわち、各階層は、1又は複数のセグメントをまとめた単位である。なお、ISDB-Tにおいては、OFDMセグメントが用いられている。ここで、OFDM（Orthogonal Frequency Division Multiplexing）（直交周波数分割多重）では、伝送帯域内に多数の直交するサブキャリア（副搬送波）が設けられ、デジタル変調が行われる。なお、階層（FDM階層）は、概念的にはPLP（Physical Layer Pipe）として捉えることも可能である。この場合、複数階層は、M-PLP（Multiple-PLP）であるとも言える。

##### 【 0 2 8 7 】

また、地上デジタルテレビ放送においては、送信側と受信側とで同期をとるための時刻情報が伝送され、送信側の送信装置20と、受信側の受信装置30とで同期がとられる。

20

##### 【 0 2 8 8 】

図64は、時刻情報の送出タイミングの例を示す図である。

##### 【 0 2 8 9 】

図64においては、上側に、送信装置20で処理されるデータが模式的に表され、下側に、受信装置30で処理されるデータが模式的に表されている。また、図64において、横方向が時間を表しており、その方向は、図中の左側から右側に向かう方向とされる。

##### 【 0 2 9 0 】

まず、送信装置20で処理されるデータについて説明する。

30

##### 【 0 2 9 1 】

送信装置20では、TLVパケットに対し、必要な処理を施すことで、BCH符号とLDPC符号が付加されたFECブロックを含むFECフレームが得られる。また、送信装置20では、FECフレームに対し、必要な処理を施すことで、物理層フレーム（以下、ISDB-T2フレームという）が得られる。

##### 【 0 2 9 2 】

TLVパケットは、可変長パケットであり、例えば、4～65536バイトのサイズとされる。TLVパケットを、図中の「Data」で表している。また、NTP（Network Time Protocol）形式の時刻情報であるNTP時刻情報が、図中の「NTP」で表されている。

##### 【 0 2 9 3 】

FECフレームは、BCH符号とLDPC符号が付加されたFECブロックを含む。FECフレーム#0乃至FECフレーム#kのk+1個のFECフレームで、1つのISDB-T2フレームが構成される。各FECフレームの先頭には、FECブロックヘッダ（FBH）が付加され、パディングが挿入される場合には、FECブロックヘッダ（FBH）に続いて、所定のバイトの追加のパディングがなされる。

40

##### 【 0 2 9 4 】

上述したように、FECブロックヘッダ（FBH）には、先頭TLVパケット位置ポイントが含まれる。ここで、例えば、TLVパケットとして、Data#1に注目すれば、Data#1-1とData#1-2が、FECフレーム#0とFECフレーム#1にまたいで配置されている。そして、FECフレーム#1の先頭に付加されるFECブロックヘッダ（FBH）に含まれる先頭TLVパケット位

50

置ポインタは、当該FECフレーム#1内のData#1-2に続いて配置されるData#2の先頭位置を表している。

【0295】

OFDMシンボルを、図中の「Symbol」で表している。Symbol#0乃至Symbol#nのn+1個のOFDMシンボルで、1つのISDB-T2フレームが構成される。すなわち、このISDB-T2フレームが、データを伝送する単位となるOFDMフレームであると言える。

【0296】

ただし、放送信号の多重化の方式として、周波数分割多重化方式(FDM)を採用した場合、OFDMシンボルは、さらにセグメント単位に分割される。セグメントを、図中の「Seg」で表している。Seg#0乃至Seg#mのm+1個のセグメントで、1つのOFDMシンボルが構成される。

10

【0297】

ここで、本技術においては、NTP時刻情報が、ISDB-T2フレームの先頭になるように挿入される(厳密には、NTP時刻情報が、先頭のFECフレーム#0に付加されるFECブロックヘッダ(FBH)に続いて挿入される)。このNTP時刻情報には、NTPで規定される時刻の情報として、ISDB-T2フレームの先頭の時刻が含まれる。

【0298】

ただし、1つのISDB-T2フレームを、k+1個のFECフレームにより構成する際に、NTP時刻情報が、ISDB-T2フレームの先頭に配置されとは限らない。そのような場合には、あるISDB-T2フレームを構成する最後のFECフレーム#kに続いて、ダミーセルDを挿入することで、次のISDB-T2フレームの先頭(FECフレーム#0の先頭)に、NTP時刻情報が挿入されるようにすることができる。

20

【0299】

すなわち、OFDMフレームとしてのISDB-T2フレームの先頭に、NTP時刻情報を配置するため、送信装置20では、必要に応じて、ダミーセル生成部161によりダミーセルDが生成され、FECフレームが配置されたOFDMフレームに配置される。これにより、NTP時刻情報が、OFDMフレームとしてのISDB-T2フレームのフレーム長に紐付けられる。

【0300】

このように、図64の枠A内に注目すれば、送信装置20では、ISDB-T2フレームの先頭に、ISDB-T2フレームの先頭の時刻を示すNTP時刻情報が挿入されるが、ISDB-T2フレームとFECフレームで境界が一致している場合と、境界が一致していない場合がある。そして、それらの境界が一致していない場合には、NTP時刻情報の挿入位置が、ISDB-T2フレームの先頭からずれた位置となるので、ダミーセルDを挿入して、NTP時刻情報が、ISDB-T2フレームの先頭に挿入されるようにする。

30

【0301】

次に、受信装置30で処理されるデータについて説明する。

【0302】

受信装置30では、ISDB-T2フレームに対し、必要な処理を施すことで、TLVパッケージが得られる。ここでは、1つのISDB-T2フレームからは、複数のTLVパッケージとともに、その先頭に配置されたNTP時刻情報が得られる。このNTP時刻情報は、当該ISDB-T2フレームの先頭の時刻を示している。

40

【0303】

そして、受信装置30では、ISDB-T2フレームとTLVパッケージとで境界が一致しているので、ISDB-T2フレームの先頭に挿入されたNTP時刻情報が示すISDB-T2フレームの先頭の時刻を参照して、クロックリカバリを行うことができる。

【0304】

これにより、送信側の送信装置20と、受信側の受信装置30との間では、NTP時刻情報によるクロック同期が実現され、受信装置30では、ISDB-T2フレームの先頭に含まれるNTP時刻情報ごとに、複数のTLVパッケージ(Data#0乃至Data#z)を処理することが可能となる。

50

## 【 0 3 0 5 】

以上のように、ISDB-T2フレームの先頭に、その先頭の時刻を示すNTP時刻情報が含まれるようにすることで、時刻情報の伝送が高精度で効率的に行われ、受信装置30では、そのNTP時刻情報を用い、クロック同期（クロックリカバリ）を行うことができる。

## 【 0 3 0 6 】

< 5 . 送信側と受信側の動作 >

## 【 0 3 0 7 】

次に、図65のフローチャートを参照して、送信側の送信装置20と、受信側の受信装置30の動作について説明する。

## 【 0 3 0 8 】

なお、図65のステップS11乃至S13の処理は、例えば、送信装置20（図2）のデータ処理部211や変調部212により実行される。また、図65のステップS31乃至S33の処理は、例えば、受信装置30（図3）の復調部312やデータ処理部313により実行される。

10

## 【 0 3 0 9 】

ステップS11において、FECブロック生成部153は、そこに入力されるTLVパケットを処理し、FECブロックを生成する。このFECブロックの先頭には、TLVパケット位置ポインタやTSフラグ、CRCフラグを含むFECブロックヘッダ（FBH）が挿入される。

## 【 0 3 1 0 】

ステップS12において、FECフレーム生成部154は、ステップS11の処理で生成されるFECブロックを処理し、FECフレームを生成する。

20

## 【 0 3 1 1 】

ステップS13において、変調部212は、ステップS12の処理で生成されるFECフレームを処理し、FECフレームから得られる信号を送信する。このようにして、送信側の送信装置20から送信される信号は、受信側の受信装置30により受信される。

## 【 0 3 1 2 】

ステップS31において、チューナ311は、FECフレームから得られる信号を受信する。

## 【 0 3 1 3 】

ステップS32において、復調部312は、ステップS31の処理で受信される信号を処理し、FECブロックを生成する。

30

## 【 0 3 1 4 】

ステップS33において、データ処理部313は、ステップS32の処理で生成されたFECブロックを処理し、TLVパケットを生成する。このFECブロックの先頭には、TLVパケット位置ポインタやTSフラグ、CRCフラグを含むFECブロックヘッダ（FBH）が挿入されている。

## 【 0 3 1 5 】

ここでは、このTLVパケット位置ポインタによって、FECブロックにおける先頭のTLVパケットの位置を確実に特定して、当該FECブロックから、TLVパケットを抽出することができる。このようにして得られるTLVパケットは、受信側の受信装置30（のデータ処理部313や後段の処理部）によって、さらに処理され、放送番組等のコンテンツが再生される。

40

## 【 0 3 1 6 】

以上、送信側と受信側の動作について説明した。

## 【 0 3 1 7 】

< 6 . 変形例 >

## 【 0 3 1 8 】

（他の放送方式への適用）

上述した説明では、デジタルテレビ放送の規格として、日本等で採用されている方式であるISDB(Integrated Services Digital Broadcasting)を中心に説明したが、本技術は、米国等が採用する方式であるATSC(Advanced Television Systems Committee)や、欧

50

州の各国等が採用する方式であるDVB(Digital Video Broadcasting)などに適用するようにしてもよい。

【0319】

また、デジタルテレビ放送の規格としては、地上波放送のほか、放送衛星(BS)や通信衛星(CS)等を利用した衛星放送や、ケーブルテレビ(CATV)等の有線放送などの規格にも適用することができる。

【0320】

(パケットやシグナリングの他の例)

また、上述したパケットやフレーム、シグナリング(制御情報)などの名称は、一例であって、他の名称が用いられる場合がある。ただし、これらの名称の違いは、形式的な違いであって、対象のパケットやフレーム、シグナリングなどの実質的な内容が異なるものではない。

10

【0321】

例えば、TLVパケットは、伝送パケットの一例であって、伝送パケットには、例えば、可変長のパケットであるALP(ATSC Link-Layer Protocol)パケットやGSE(Generic Stream Encapsulation)パケットなどが含まれる。なお、フレームとパケットは同一の意味で用いられる場合がある。

【0322】

(時刻情報の他の例)

上述した説明では、時刻情報として、NTPで規定される時刻の情報が用いられる場合を説明したが、それに限らず、例えば、PTP(Precision Time Protocol)や3GPP(Third Generation Partnership Project)で規定されている時刻の情報や、GPS(Global Positioning System)情報に含まれる時刻の情報、その他独自に決定された形式の時刻の情報等の任意の時刻の情報をを用いることができる。

20

【0323】

(伝送路の他の例)

また、本技術は、伝送路として、放送網以外の伝送路、すなわち、例えば、インターネットや電話網等の通信回線(通信網)などを利用することを想定して規定されている所定の規格(デジタル放送の規格以外の規格)などにも適用することができる。その場合には、伝送システム1(図1)の伝送路として、インターネット等の通信回線が利用され、データ処理装置10や送信装置20の機能は、インターネット上に設けられた通信サーバにより提供される。そして、当該通信サーバと、受信装置30とが、通信回線を介して双方向の通信を行うことになる。

30

【0324】

<7. コンピュータの構成>

【0325】

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。図66は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示す図である。

40

【0326】

コンピュータ1000において、CPU(Central Processing Unit)1001、ROM(Read Only Memory)1002、RAM(Random Access Memory)1003は、バス1004により相互に接続されている。バス1004には、さらに、入出力インターフェース1005が接続されている。入出力インターフェース1005には、入力部1006、出力部1007、記録部1008、通信部1009、及び、ドライブ1010が接続されている。

【0327】

入力部1006は、キーボード、マウス、マイクロフォンなどよりなる。出力部1007は、ディスプレイ、スピーカなどよりなる。記録部1008は、ハードディスクや不揮発

50

性のメモリなどよりなる。通信部 1009 は、ネットワークインターフェースなどよりなる。ドライブ 1010 は、磁気ディスク、光ディスク、光磁気ディスク、又は半導体メモリなどのリムーバブル記録媒体 1011 を駆動する。

【0328】

以上のように構成されるコンピュータ 1000 では、CPU 1001 が、ROM 1002 や記録部 1008 に記録されているプログラムを、入出力インターフェース 1005 及びバス 1004 を介して、RAM 1003 にロードして実行することにより、上述した一連の処理が行われる。

【0329】

コンピュータ 1000 (CPU 1001) が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブル記録媒体 1011 に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線又は無線の伝送媒体を介して提供することができる。

10

【0330】

コンピュータ 1000 では、プログラムは、リムーバブル記録媒体 1011 をドライブ 1010 に装着することにより、入出力インターフェース 1005 を介して、記録部 1008 にインストールすることができる。また、プログラムは、有線又は無線の伝送媒体を介して、通信部 1009 で受信し、記録部 1008 にインストールすることができる。その他、プログラムは、ROM 1002 や記録部 1008 に、あらかじめインストールしておくことができる。

20

【0331】

ここで、本明細書において、コンピュータがプログラムに従って行う処理は、必ずしもフローチャートとして記載された順序に沿って時系列に行われる必要はない。すなわち、コンピュータがプログラムに従って行う処理は、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含む。また、プログラムは、1のコンピュータ（プロセッサ）により処理されるものであってもよいし、複数のコンピュータによって分散処理されるものであってもよい。

【0332】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

30

【0333】

また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

【0334】

さらに、本技術は、以下のような構成をとることができる。

【0335】

(1)

入力パケット又は入力ストリームに基づいて、FEC(Forward Error Correction)ブロックを生成する第1の生成部と、

前記FECブロックに基づいて、FECフレームを生成する第2の生成部と、

前記FECフレームを送信する送信部と

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む

送信装置。

(2)

前記種別識別情報がTLV(Type Length Value)パケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であ

40

50

るか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む

前記(1)に記載の送信装置。

(3)

前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とすると、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む

前記(2)に記載の送信装置。

(4)

前記FECフレームが配置されるOFDM(Orthogonal Frequency Division Multiplexing)フレームの先頭に時刻情報を配置するためのダミーセルを生成する第3の生成部をさらに含む

前記(1)乃至(3)のいずれかに記載の送信装置。

(5)

入力パケット又は入力ストリームに基づいて、FECブロックを生成することと、前記FECブロックに基づいて、FECフレームを生成することと、前記FECフレームを送信することと

を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、ヘッダのエラーを検出する情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームのパケット先頭の位置情報を有する最小固定長ヘッダを含む

送信方法。

(6)

送信されてくるFECフレームからなる信号を受信する受信部と、受信された前記FECフレームに基づいて、FECブロックを生成する第1の生成部と、前記FECブロックに基づいて、入力パケット又は入力ストリームを生成する第2の生成部とを含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む

受信装置。

(7)

前記種別識別情報がTLVパケットである場合、前記最小固定長ヘッダは、前記種別識別情報に加えて、前記入力パケットの入力パケット長が最小固定長であるか否かを識別する最小固定長識別情報、及び前記入力パケット長の情報としての最小入力パケット長を含む

前記(6)に記載の受信装置。

(8)

前記最小固定長識別情報が、前記入力パケット長が前記最小固定長ではないことを示す場合、前記ヘッダは、前記最小固定長ヘッダに加えて、さらに、可変長ヘッダを含み、前記可変長ヘッダは、前記入力パケット長の下位ビットを、前記最小入力パケット長を表す最小入力パケット長情報とすると、前記入力パケット長の上位ビットからなる可変長パケット長情報を含む

前記(7)に記載の受信装置

(9)

前記FECフレームが配置されるOFDMフレームでは、ダミーセルを挿入することで、その先頭に時刻情報が配置される

前記(6)乃至(8)のいずれかに記載の受信装置。

10

20

30

40

50

( 1 0 )

送信されてくるFECフレームからなる信号を受信することと、  
受信された前記FECフレームに基づいて、FECブロックを生成することと、  
前記FECブロックに基づいて、入力パケット又は入力ストリームを生成することと  
を含み、

前記FECブロックのヘッダは、前記入力パケット又は前記入力ストリームの種別を識別する種別識別情報と、前記FECフレームのペイロードに格納される前記入力パケット又は前記入力ストリームの先頭の位置情報を有する最小固定長ヘッダを含む  
受信方法。

【符号の説明】

10

【 0 3 3 6 】

1 伝送システム, 10, 10 - 1乃至10 - N データ処理装置, 20 送信装置,  
30, 30 - 1乃至30 - M 受信装置, 40, 40 - 1乃至40 - N 通信回線, 5  
0 放送伝送路, 111 コンポーネント処理部, 112 シグナリング生成部, 11  
3 マルチプレクサ, 114 データ処理部, 151 TLVパケット生成部, 152  
TSパケット処理部, 153 FECブロック生成部, 154 FECフレーム生成部, 1  
61 ダミーセル生成部, 211 データ処理部, 212 変調部, 311 チューナ  
, 312 復調部, 313 データ処理部

20

30

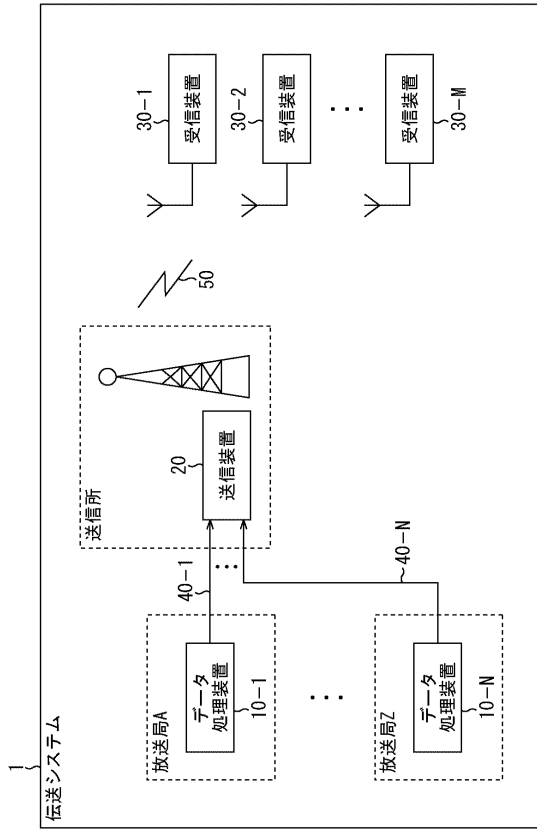
40

50

【図面】

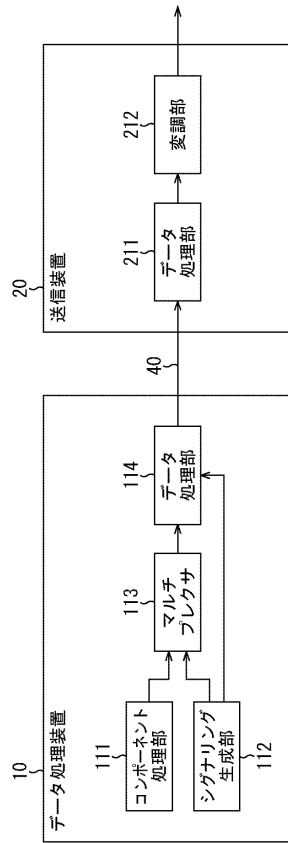
【図 1】

FIG. 1



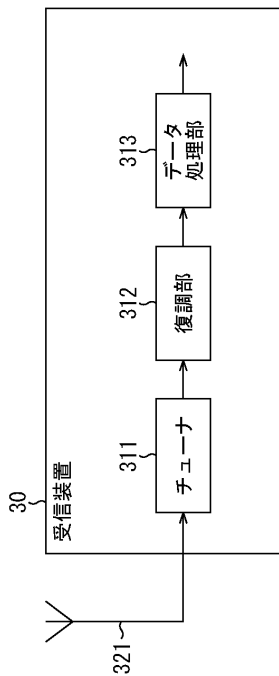
【図 2】

FIG. 2



【図 3】

FIG. 3



【図 4】

FIG. 4

◆ 国内の地デジ高度化技術に関する総務省の研究開発が進められている  
 ✓ 独自の符号、独自の変調方式 (FDM) が予想されている

◆ 入力は TLV パケット  
 ✓ 可変長であり、中身は IP パケット

◆ 入力 TLV パケットがどのように FEC ブロックへ配置することが提案されていない

【 図 5 】

FIG. 5

- ◆ ① 可変長のTLV/Packetを固定長のFECブロックにカプセル化するとき、TLV/Packetを分割して複数のFECブロックに配置することがある。そのため、TLV/Packetの先頭位置を示さなければならない。
- ◆ ② 入力データがない時でも、FECブロックを構成する方式が必要である。
- ◆ ③ TLV/Packetのほかにも、TS/Packetを伝送したい
- ◆ ④ FECブロックヘッダのロバストネスを高めたい
- ◆ ⑤ NTPが入っているTLV/PacketをOFDMフレームの先頭に置きたい

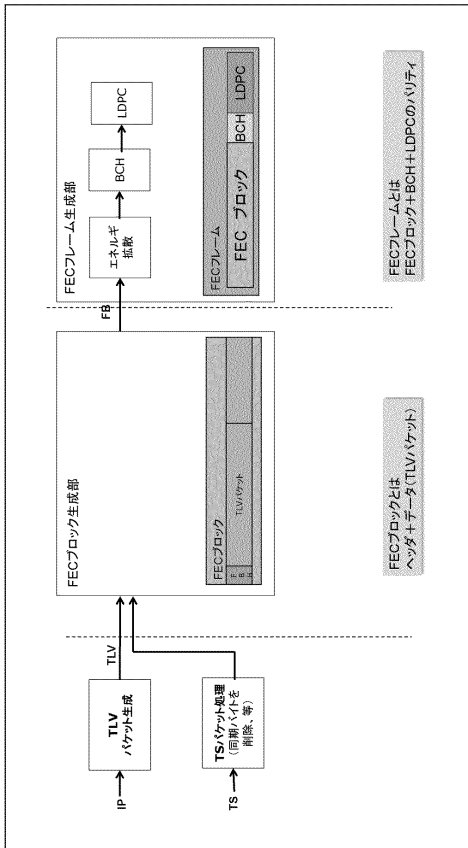
【 図 6 】

FIG. 6

- ◆ ① TLV/Packetの先頭位置を示すために
  - FECブロックヘッダに、FECブロック内の最初のTLV/Packet先頭を指すポインタを導入
- ◆ ② 入力データがない時に
  - FECブロックに1BからのFECブロックすべてをパディング入れる仕組み
- ◆ ③ TS/Packetを送りたい時に
  - パケットタイプを示すフラグを導入する
- ◆ ④ FECブロックヘッダをよりロバストにしたい時に
  - FECブロックヘッダにCRCの有無を示すFlagを入れる
  - ヘッダ後にCRCを入れる
- ◆ ⑤ Dummy cellsをOFDMフレームの最後に入れる
  - NTPのTLV/Packetを先頭に置く

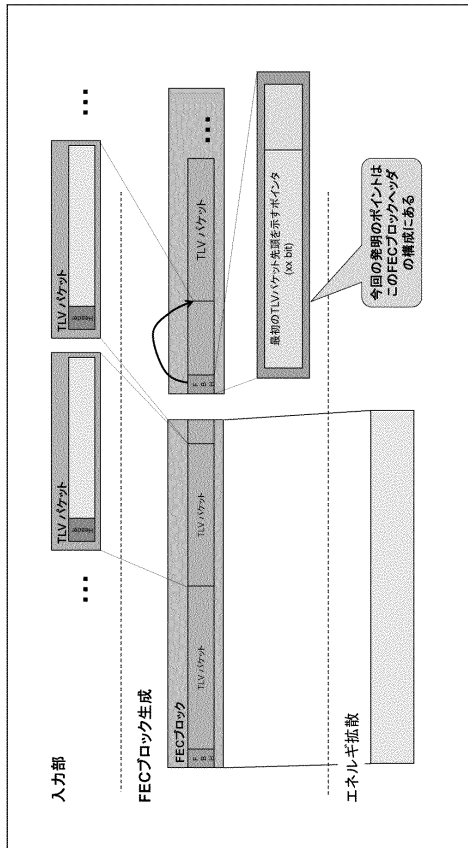
【 図 7 】

FIG. 7



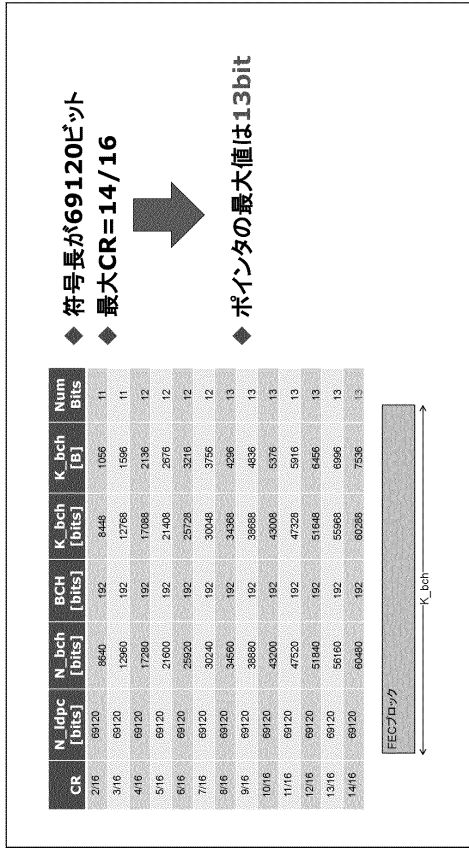
【 図 8 】

FIG. 8



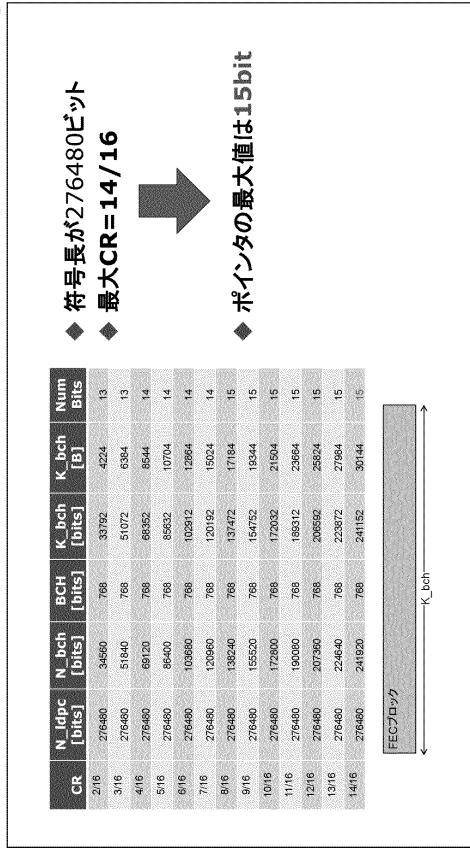
【図 9】

FIG. 9



【図 10】

FIG. 10

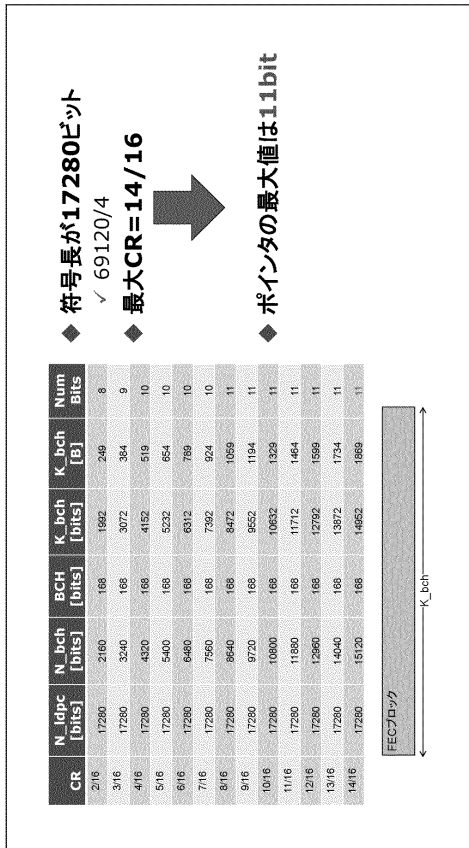


10

20

【図 11】

FIG. 11

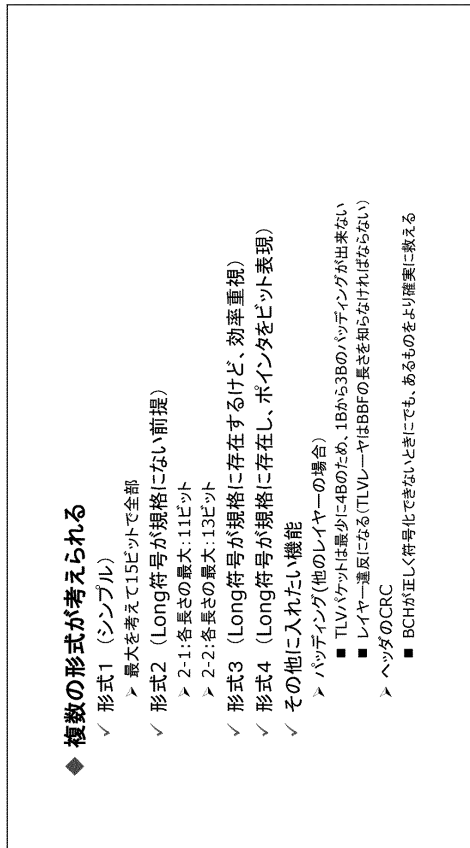


30

40

【図 12】

FIG. 12

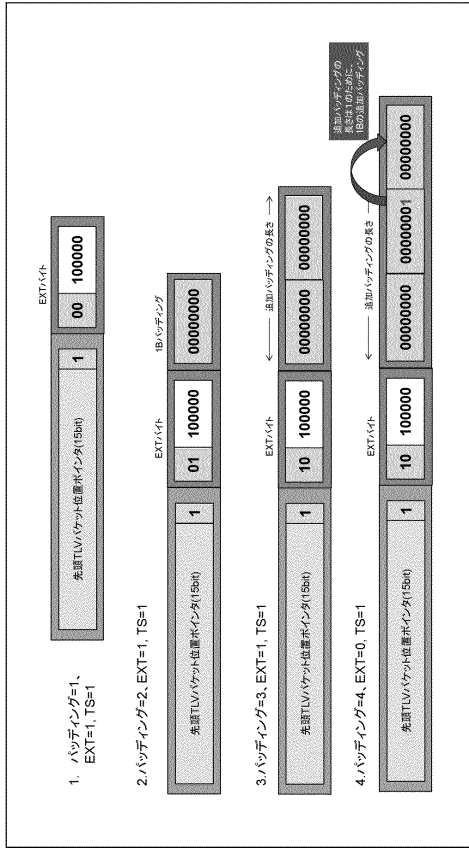


50



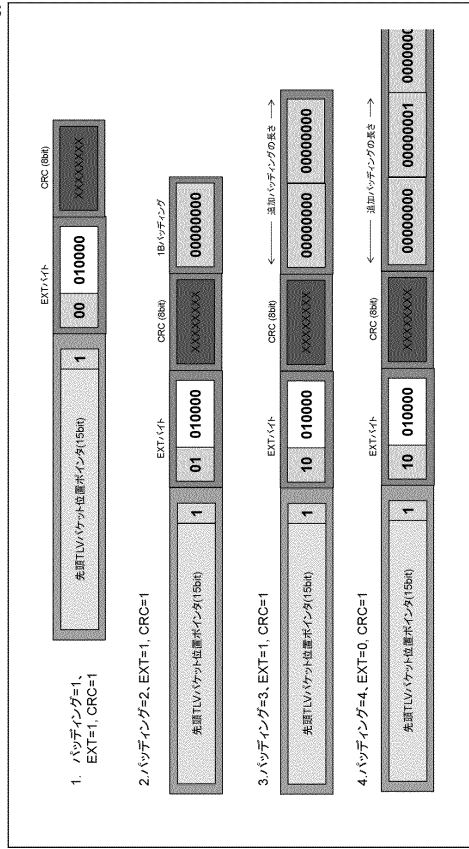
【図 17】

FIG. 17



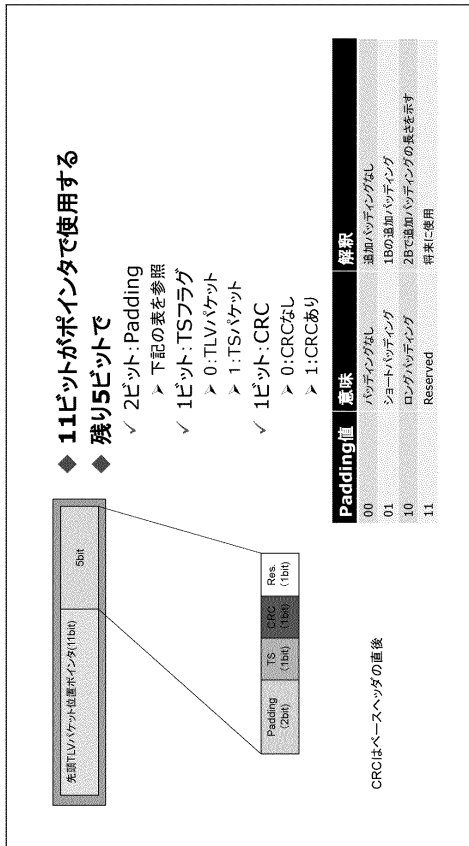
【図 18】

FIG. 18



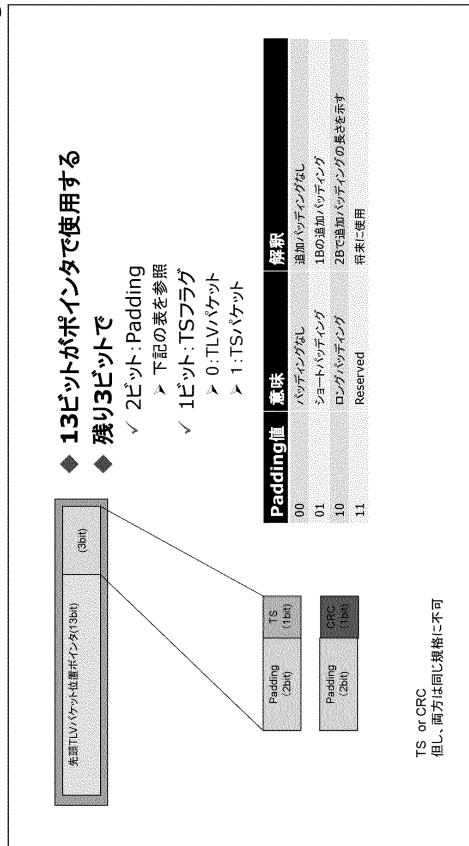
【図 19】

FIG. 19



【図 20】

FIG. 20



10

20

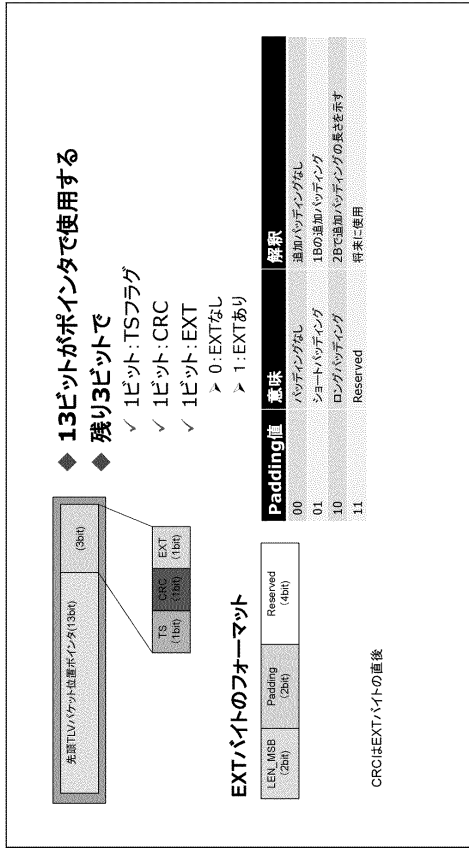
30

40

50

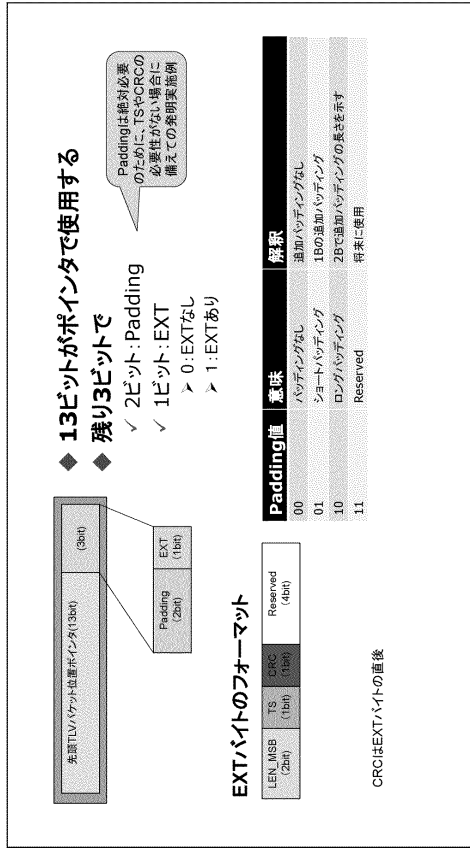
【図 2 1】

FIG. 21



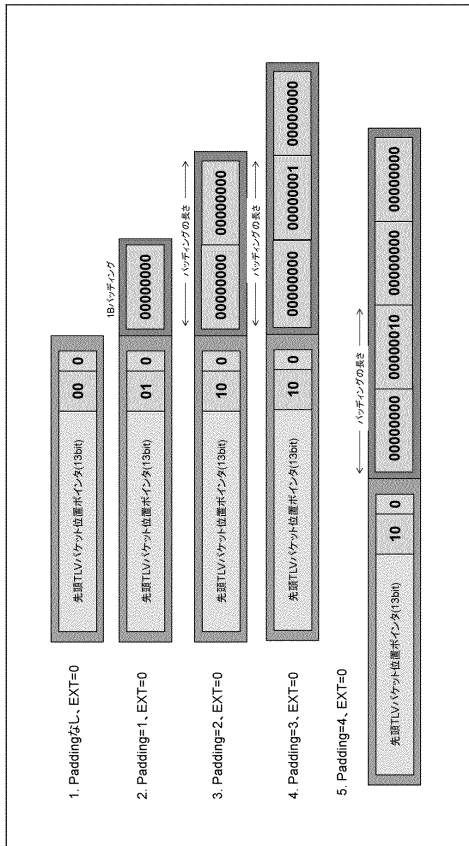
【図 2 2】

FIG. 22



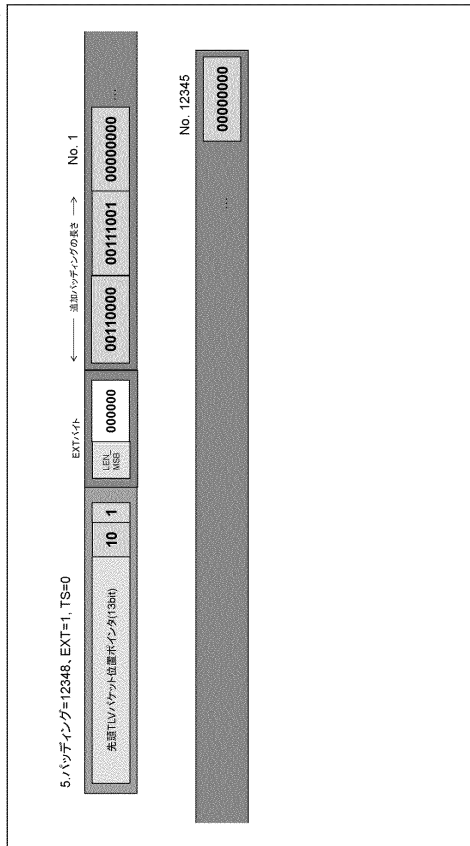
【図 2 3】

FIG. 23



【図 2 4】

FIG. 24



10

20

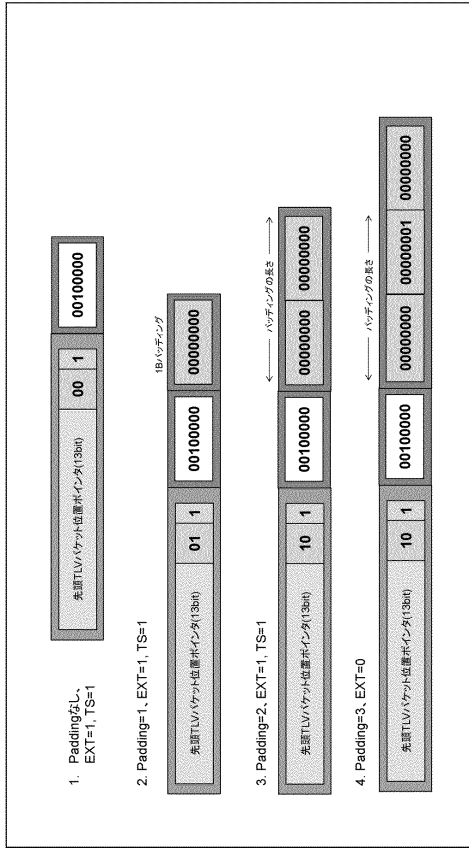
30

40

50

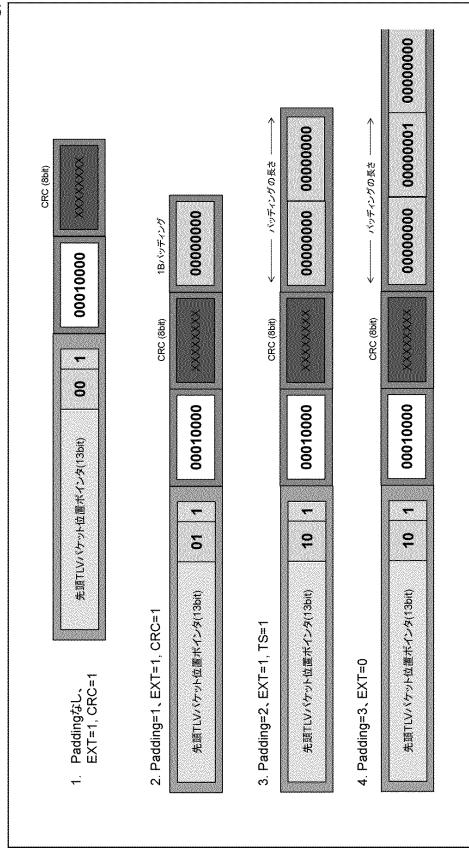
【図 2 5】

FIG. 25



【図 2 6】

FIG. 26

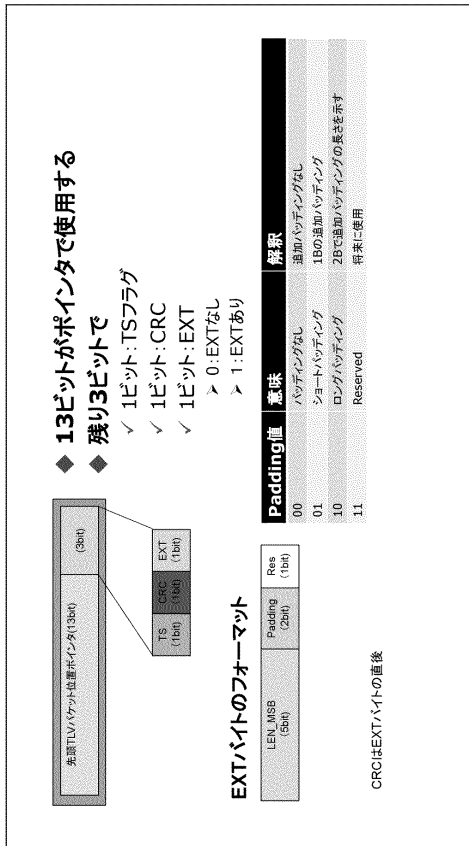


10

20

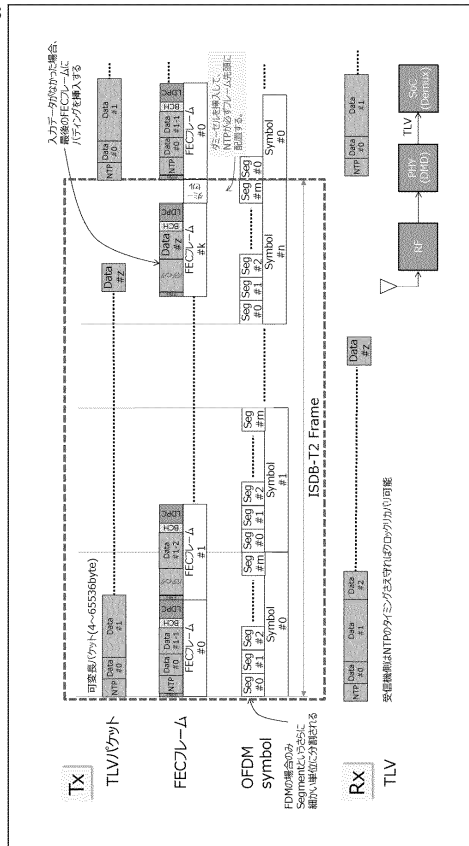
【図 2 7】

FIG. 27



【図 2 8】

FIG. 28



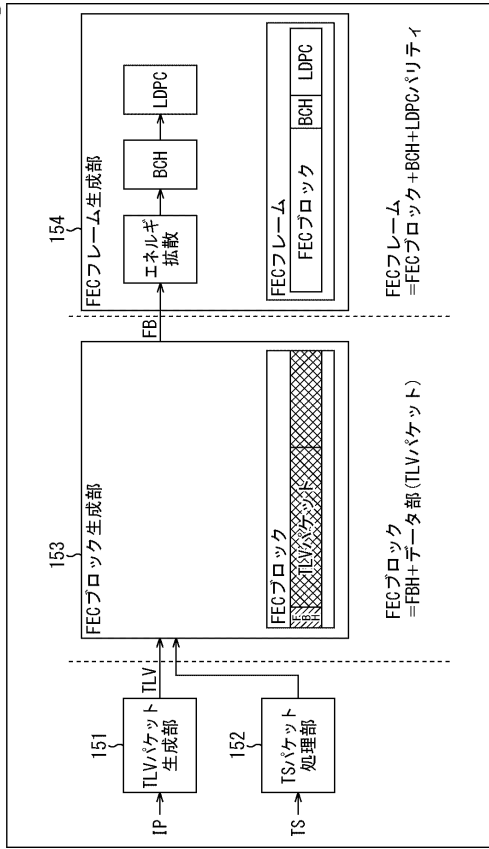
30

40

50

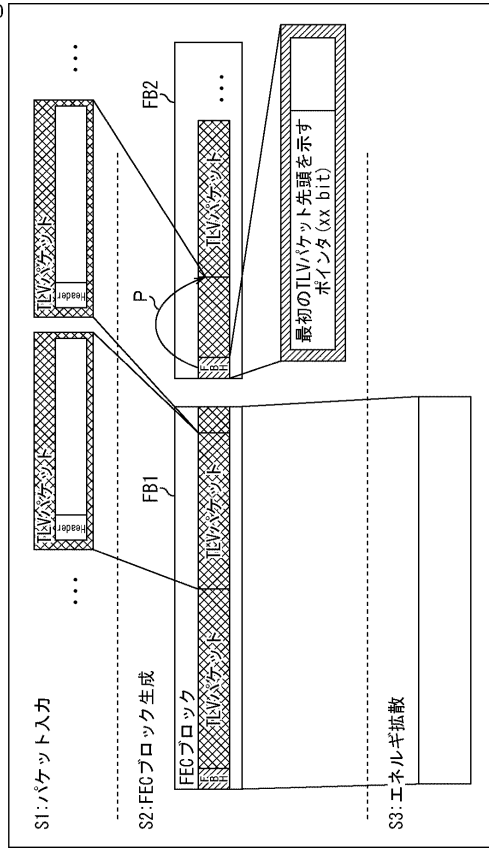
【図 29】

FIG. 29



【図 30】

FIG. 30



【図 31】

FIG. 31

ベースバンドフレームサイズ (Middle)

CR	N_idoc [bits]	N_bch [bits]	BCH [bits]	K_bch [bits]	K_bch [B]	Num Bits
2/16	69120	8640	192	8448	1056	11
3/16	69120	12960	192	12768	1596	11
4/16	69120	17280	192	17088	2136	12
5/16	69120	21600	192	21408	2676	12
6/16	69120	25920	192	25728	3216	12
7/16	69120	30240	192	30048	3756	12
8/16	69120	34560	192	34368	4296	13
9/16	69120	38880	192	38688	4836	13
10/16	69120	43200	192	43008	5376	13
11/16	69120	47520	192	47328	5916	13
12/16	69120	51840	192	51648	6456	13
13/16	69120	56160	192	55968	6996	13
14/16	69120	60480	192	60288	7536	<b>13</b>

【図 32】

FIG. 32

ベースバンドフレームサイズ (Long)

CR	N_idoc [bits]	N_bch [bits]	BCH [bits]	K_bch [bits]	K_bch [B]	Num Bits
2/16	276480	24560	768	33792	4224	13
3/16	276480	51840	768	51072	6384	13
4/16	276480	69120	768	68352	8544	14
5/16	276480	86400	768	85632	10704	14
6/16	276480	103680	768	102912	12864	14
7/16	276480	120960	768	120192	15024	14
8/16	276480	138240	768	137472	17184	15
9/16	276480	155520	768	154752	19344	15
10/16	276480	172800	768	172032	21504	15
11/16	276480	190080	768	189312	23664	15
12/16	276480	207360	768	206592	25824	15
13/16	276480	224640	768	223872	27984	15
14/16	276480	241920	768	241152	30144	<b>15</b>

10

20

30

40

50

【図 3 3】

FIG. 33

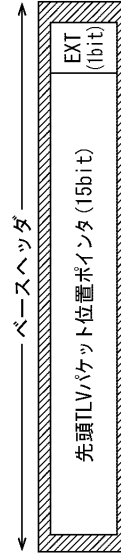
ベースバンドフレームサイズ (Short)

QR	N <sub>ldpc</sub> [bits]	N <sub>bch</sub> [bits]	BCH [bits]	K <sub>bch</sub> [bits]	K <sub>bch</sub> [B]	Num Bits
2/16	17280	2160	168	1992	249	8
3/16	17280	3240	168	3072	384	9
4/16	17280	4320	168	4152	519	10
5/16	17280	5400	168	5232	654	10
6/16	17280	6480	168	6312	789	10
7/16	17280	7560	168	7392	924	10
8/16	17280	8640	168	8472	1059	11
9/16	17280	9720	168	9552	1194	11
10/16	17280	10800	186	10632	1329	11
11/16	17280	11880	168	11712	1464	11
12/16	17280	12960	168	12792	1599	11
13/16	17280	14040	168	13872	1734	11
14/16	17280	15120	168	14952	1869	11

【図 3 4】

FIG. 34

形式1のFECブロックヘッダ



【図 3 5】

FIG. 35

形式1のEXTバイトのフォーマット

Padding (2bit)	TS (1bit)	CRC (1bit)	Reserved (4bit)
----------------	-----------	------------	-----------------

【図 3 6】

FIG. 36

形式1のPadding値

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

10

20

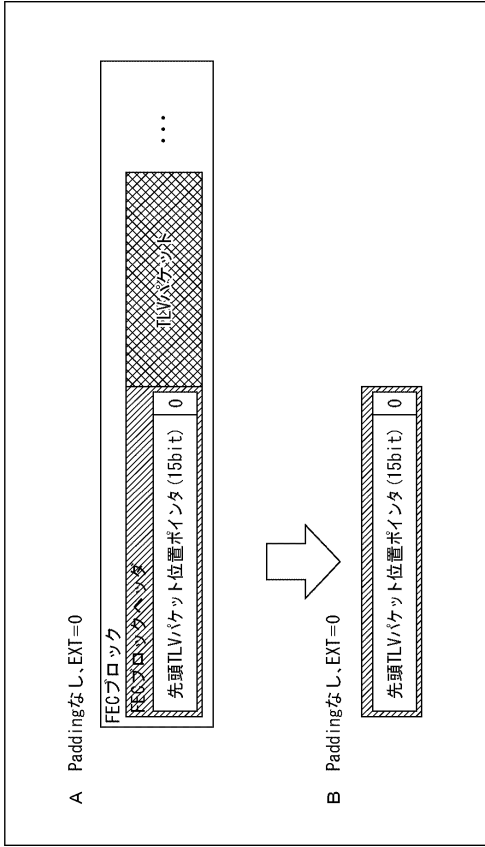
30

40

50

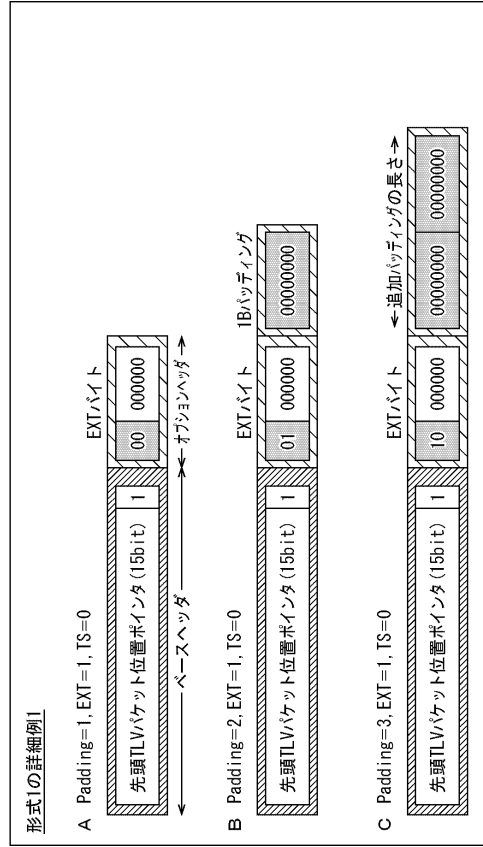
【 図 3 7 】

FIG. 37



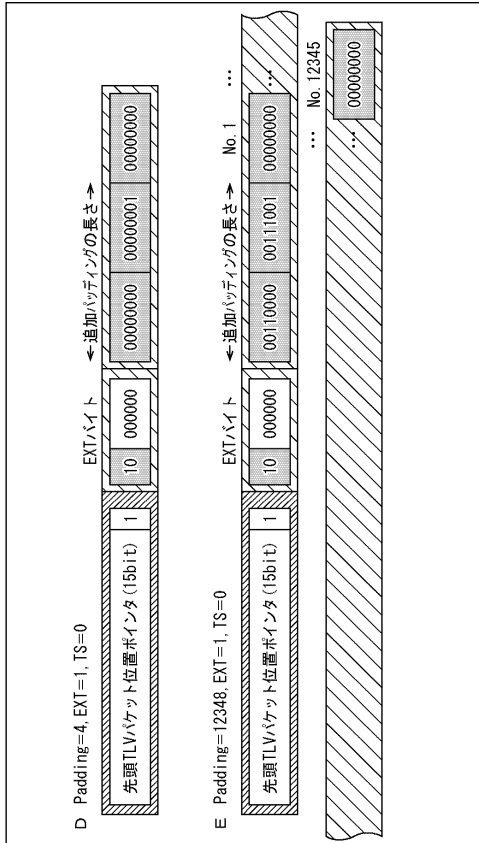
【 図 3 8 】

FIG. 38



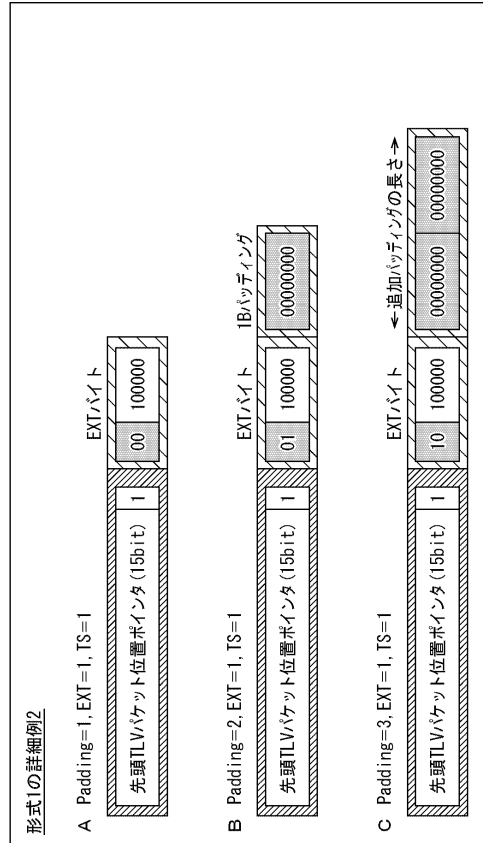
【 図 3 9 】

FIG. 39



【 図 4 0 】

FIG. 40



10

20

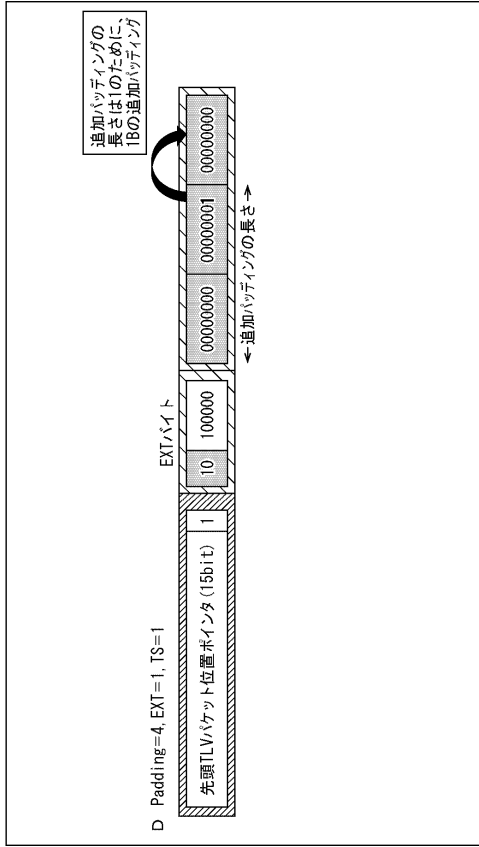
30

40

50

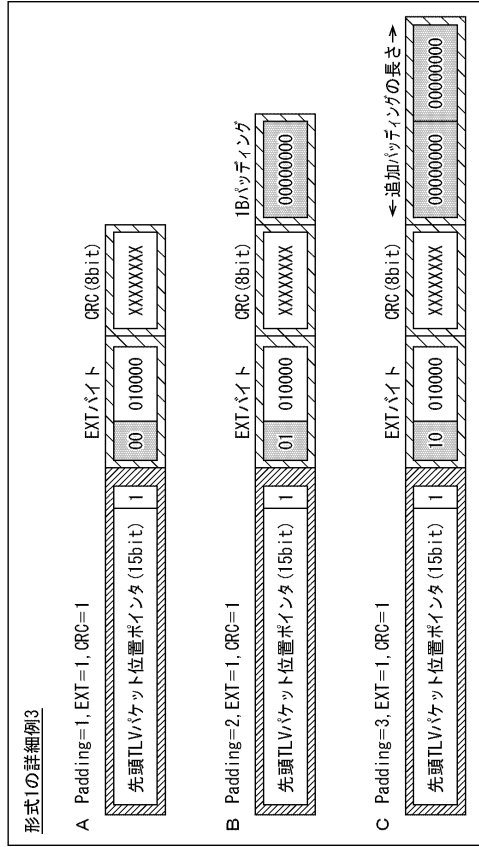
【 図 4 1 】

FIG. 41



【 図 4 2 】

FIG. 42

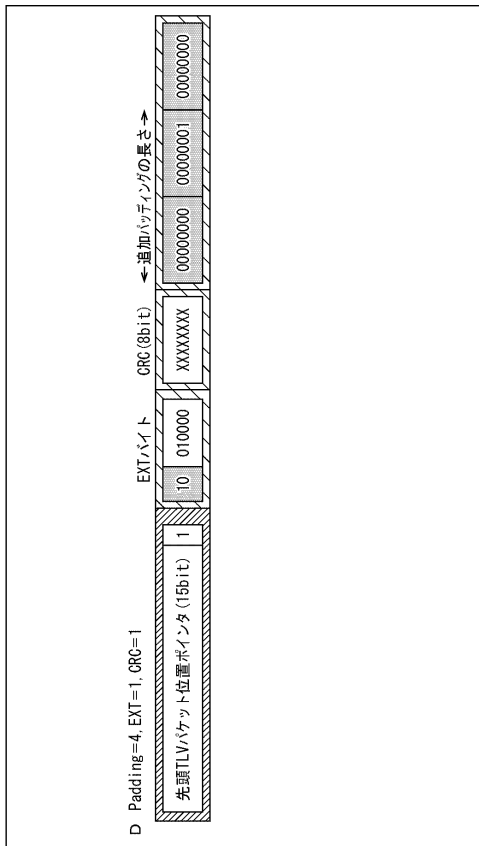


10

20

【 図 4 3 】

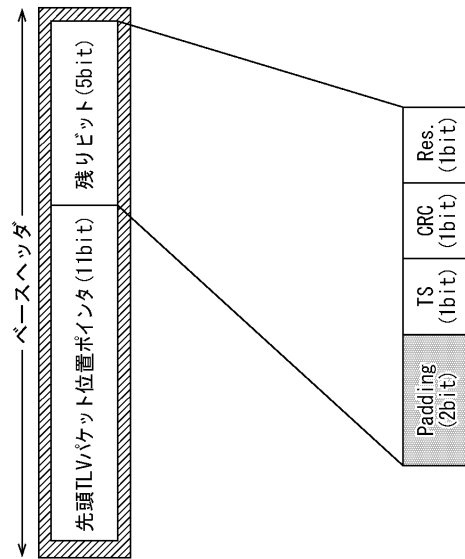
FIG. 43



【 図 4 4 】

FIG. 44

形式2-1のFECブロックヘッダ



30

40

50

【 図 4 5 】  
FIG. 45

形式2-1のPadding値

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

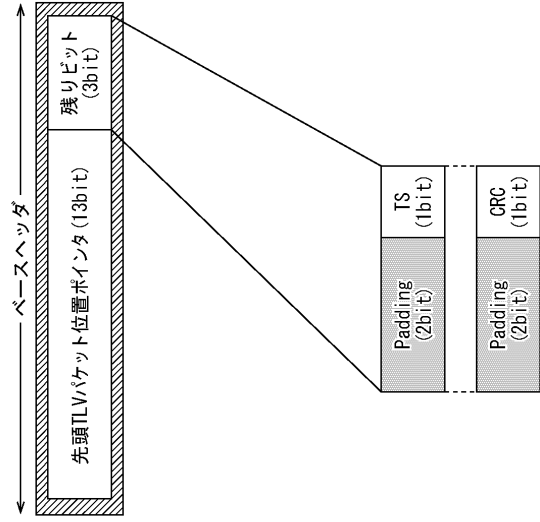
【 図 4 7 】  
FIG. 47

形式2-2のPadding値

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

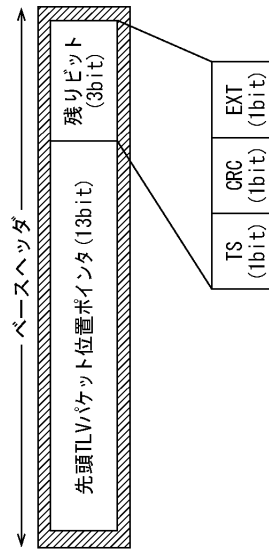
【 図 4 6 】  
FIG. 46

形式2-2のFECブロックヘッダ



【 図 4 8 】  
FIG. 48

形式3のFECブロックヘッダ



10

20

30

40

50

【 49 】

FIG. 49

形式3のEXTバイトのフォーマット



【 50 】

FIG. 50

形式3のPadding値

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

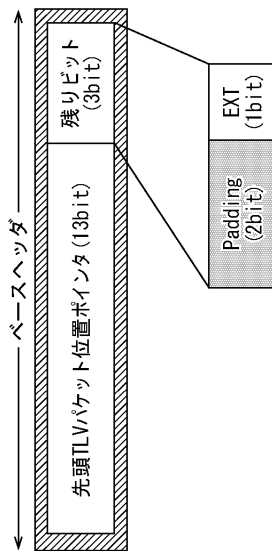
10

20

【 51 】

FIG. 51

形式3-1のFECブロックヘッダ



【 52 】

FIG. 52

形式3-1のPadding値

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

30

40

50

【 5 3 】

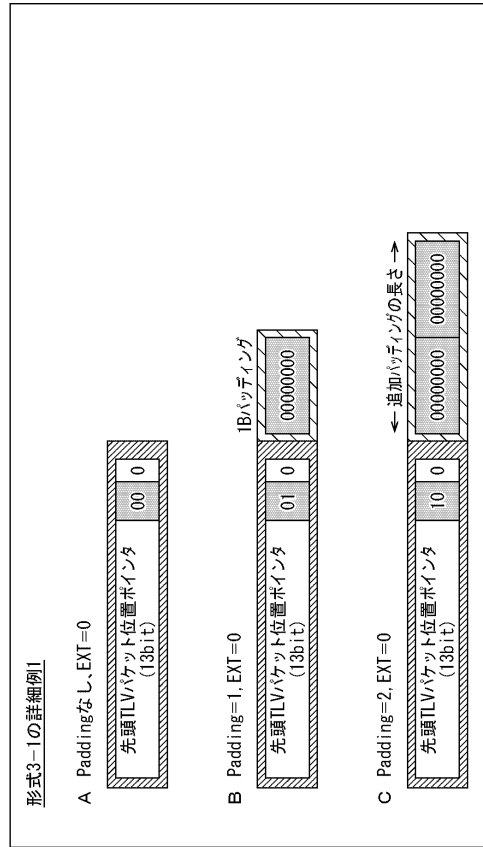
FIG. 53

形式3-1のEXTバイトのフォーマット

LEN_MSB (2bit)	TS (1bit)	CRC (1bit)	Reserved (4bit)
-------------------	--------------	---------------	--------------------

【 5 4 】

FIG. 54

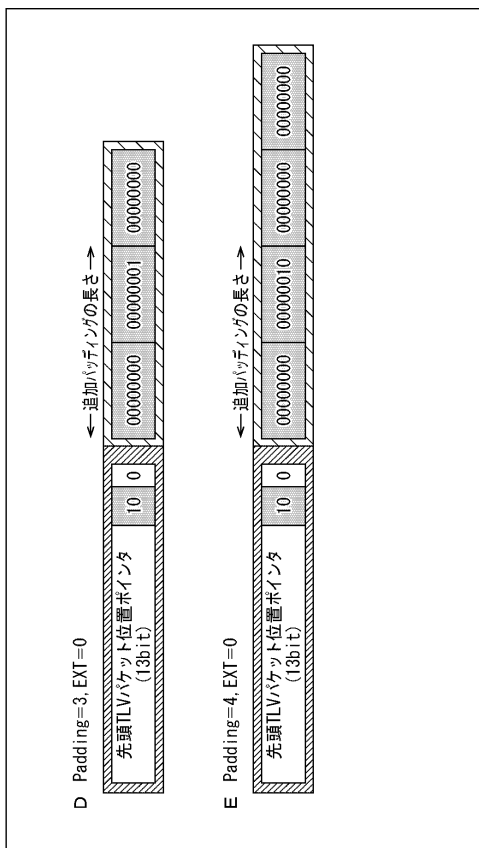


10

20

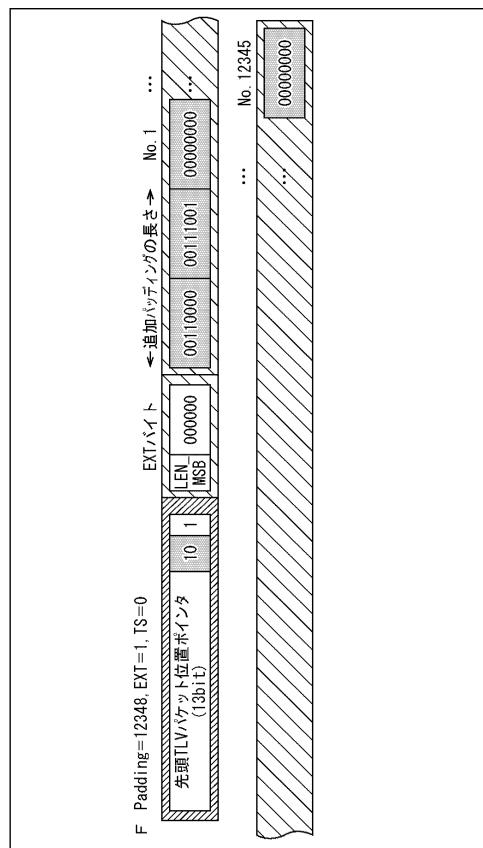
【 5 5 】

FIG. 55



【 5 6 】

FIG. 56



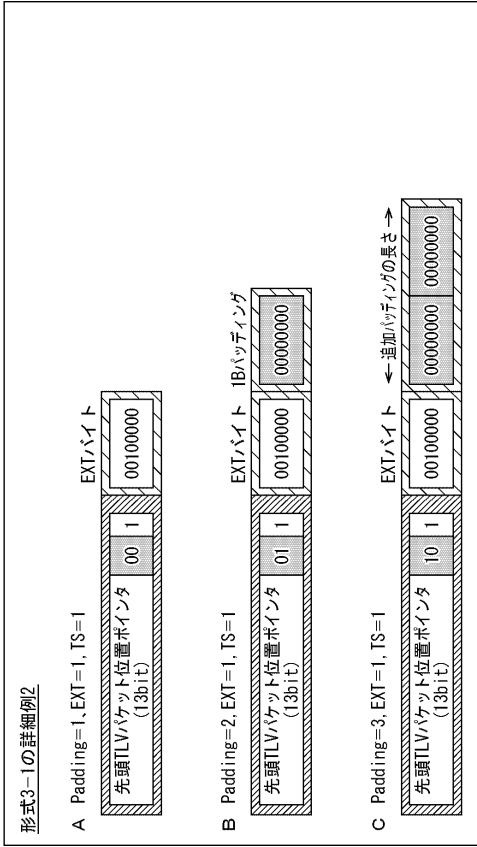
30

40

50

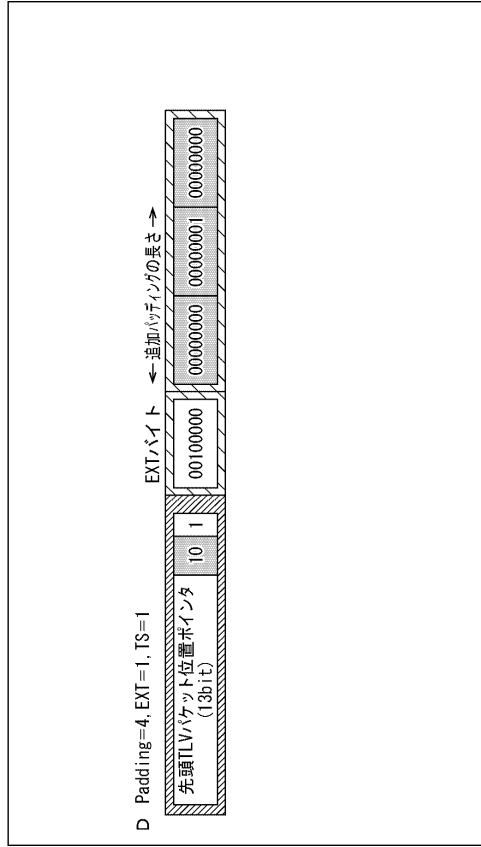
【 図 5 7 】

FIG. 57



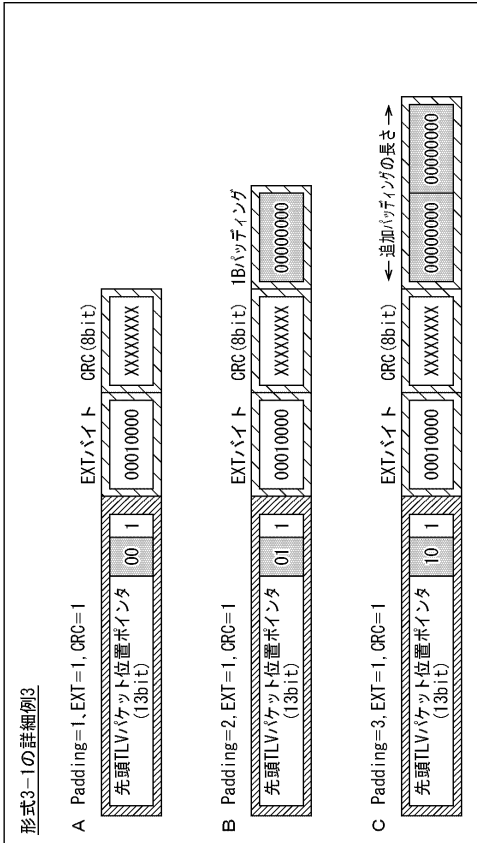
【 図 5 8 】

FIG. 58



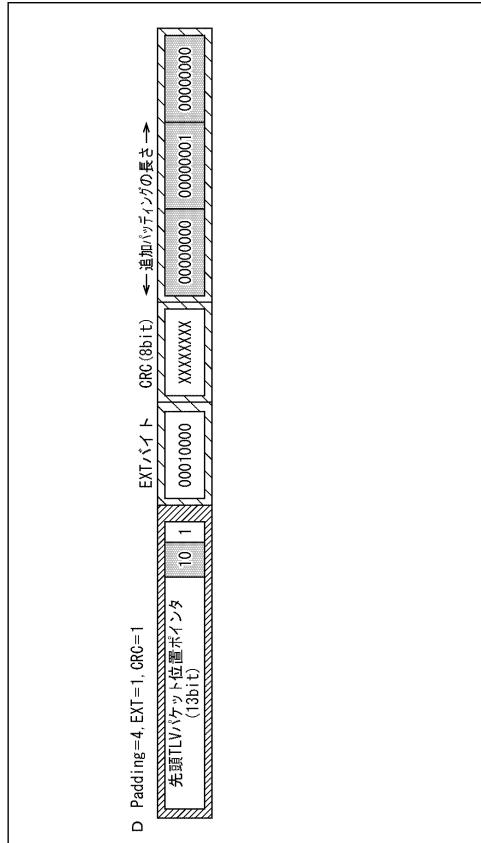
【 図 5 9 】

FIG. 59



【 図 6 0 】

FIG. 60



10

20

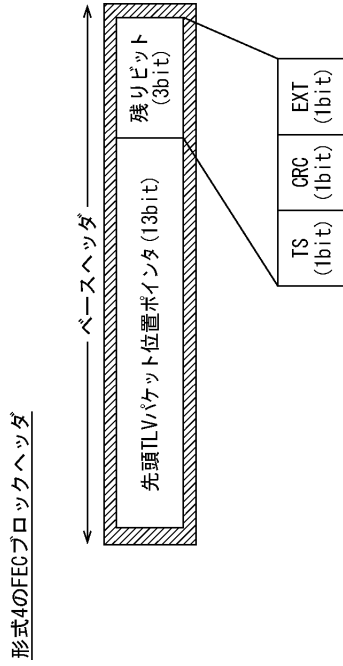
30

40

50

【図 6 1】

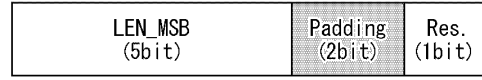
FIG. 61



【図 6 2】

FIG. 62

形式4のEXTバイトのフォーマット



10

20

【図 6 3】

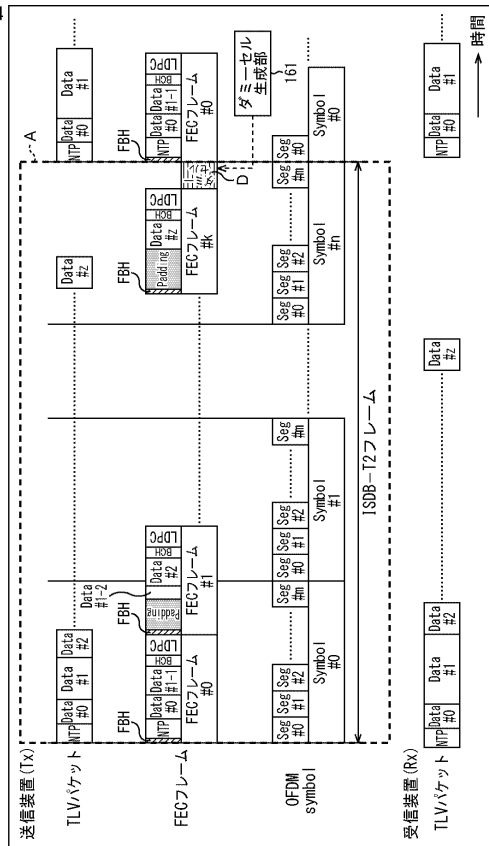
FIG. 63

形式4のPadding値

Padding値	意味	解釈
00	パディングなし	追加パディングなし
01	ショートパディング	1Bの追加パディング
10	ロングパディング	2Bで追加パディングの長さを示す
11	Reserved	将来に使用

【図 6 4】

FIG. 64



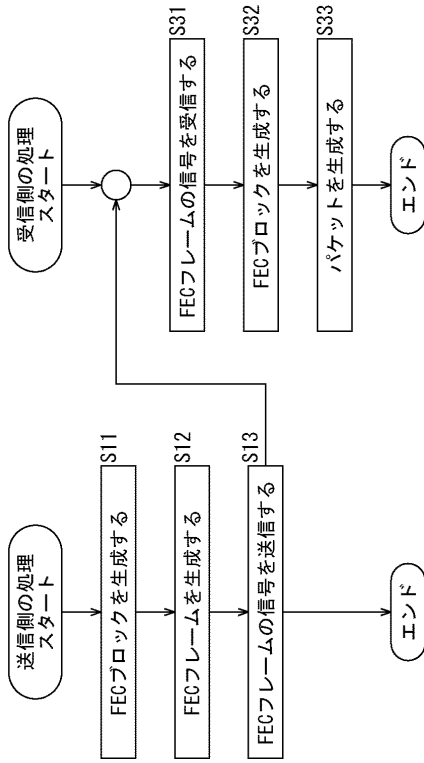
30

40

50

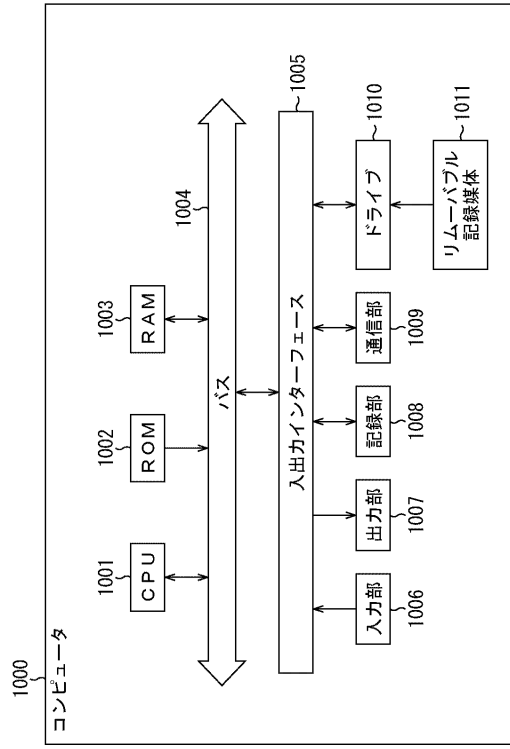
【 図 6 5 】

FIG. 65



【 図 6 6 】

FIG. 66



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 国際公開第2016/072566(WO, A1)  
特開2014-096814(JP, A)  
特開2016-174299(JP, A)  
特開2016-116213(JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
H04L 1/00  
H04N 21/2383