

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月16日(16.01.2025)



(10) 国際公開番号

WO 2025/013397 A1

(51) 国際特許分類:

G09G 3/20 (2006.01) G09G 3/3266 (2016.01)
G09G 3/36 (2006.01) G09G 3/3275 (2016.01)
G09G 3/3208 (2016.01)

(21) 国際出願番号: PCT/JP2024/017712

(22) 国際出願日: 2024年5月14日(14.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-112515 2023年7月7日(07.07.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

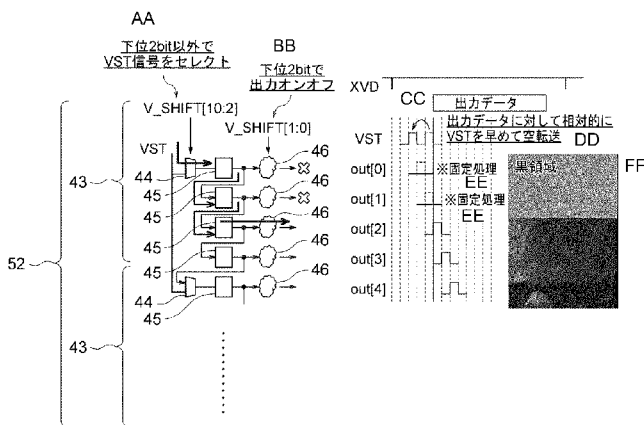
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 西岡 隆文 (NISHIOKA Takafumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 道家 一紀(DOUKE Kazutoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 藤井 拓磨(FUJII Takuma); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



0, 1, 2, 3, 4 out
1:0, 10:2 V_SHIFT
AA Select VST signal by other than low-order 2 bits
BB Turn on/off output by low-order 2 bits
CC Output data
DD Empty transfer by advancing VST relative to output data
EE Fixed processing
FF Black region

(57) Abstract: [Problem] To provide a display device capable of flexibly adjusting the resolution and display position of display information. [Solution] A display device according to the present disclosure comprises: a pixel array unit in which a plurality of pixels are arranged in a two-dimensional array; a memory that receives input of image data and temporarily stores the data; an image processing unit that inserts black data into the image data outputted from the memory and generates output data; a vertical logic circuit that controls a vertical driver that determines the display position in the vertical direction of the output data; and a horizontal logic circuit that controls a horizontal driver that supplies a gradation voltage, corresponding to gradation information of the output data, to each of the pixels in the horizontal direction of the output data. The insertion position of the black data and the display position in the vertical direction are determined on the basis of the display start position designated by a user.

6 番 6 号 日本生命丸の内ビル 協和特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: [課題] 表示情報の解像度および表示位置をフレキシブルに調整できる表示装置を提供する。[解決手段] 本開示の表示装置は、複数の画素が2次元アレイ状に配列された画素アレイ部と、画像データの入力を受け付けて、一時的に保存するメモリと、前記メモリから出力された前記画像データに黒データを挿入し、出力データを生成する画像処理部と、前記出力データの垂直方向における表示位置を決定する垂直ドライバを制御する、垂直ロジック回路と、前記出力データの水平方向における各画素に、前記出力データの階調情報に対応する階調電圧を供給する水平ドライバを制御する、水平ロジック回路とを備え、前記黒データの挿入位置と、前記垂直方向の表示位置とは、ユーザにより指定された表示開始位置に基づいて決定される。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 従来の表示装置では、ユーザは表示解像度を数種類に変更することができ、例えば、表示解像度を変更した後、画像のセンター等の固定の位置を中心として変更後の表示解像度で画像を表示していた。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-97306号公報

発明の概要

発明が解決しようとする課題

[0004] 表示装置に関する技術として、情報処理端末を備えたヘッドマウントディスプレイ（以下、HMD：head-mounted display）システムがある。このシステムでは、情報処理端末は、使用者の頭部の動きを検出した際に、表示情報のヘッドマウントディスプレイ上の表示位置と、使用者の視線方向との間のズレを軽減する方向に表示位置を変更する。

[0005] 情報処理端末によって表示位置を変更する技術は存在するが、表示装置によって表示情報の表示位置や解像度をフレキシブルに調整する技術は存在しない。

[0006] そこで、本開示はこれらの問題に鑑み、表示情報の解像度および表示位置をフレキシブルに調整できる表示装置を提供する。

課題を解決するための手段

[0007] 本開示の第1の側面の表示装置は、複数の画素が2次元アレイ状に配列された画素アレイ部と、画像データの入力を受け付けて、一時的に保存するメモリと、前記メモリから出力された前記画像データに黒データを挿入し、出

力データを生成する画像処理部と、前記出力データの垂直方向における表示位置を決定する垂直ドライバを制御する、垂直ロジック回路と、前記出力データの水平方向における各画素に、前記出力データの階調情報に対応する階調電圧を供給する水平ドライバを制御する、水平ロジック回路とを備え、前記黒データの挿入位置と、前記垂直方向の表示位置とは、ユーザにより指定された表示開始位置に基づいて決定される。これにより、表示装置は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。

[0008] また、この第1の側面において、前記画像データの inputs は、入力クロックである第1クロックのタイミングで行われ、前記画像データへの前記黒データの挿入は、前記表示装置の内部で生成された第2クロックのタイミングで行われる。これにより、表示装置は、黒データの挿入は、内部生成クロックで行うため、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができ、低消費電力化を実現することができる。

[0009] また、この第1の側面において、前記第2クロックにおけるクロック周波数は、前記第1クロックにおけるクロック周波数よりも高い。これにより、表示装置は、黒データの挿入は、内部生成クロックで行うため、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができ、低消費電力化を実現することができる。

[0010] また、この第1の側面において、前記表示装置は、オシレータまたはPLL回路をさらに備え、前記第2クロックは、前記オシレータまたは前記PLL回路によって生成される。これにより、表示装置は、黒データの挿入は、内部生成クロックで行うため、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができ、低消費電力化を実現することができる。

[0011] また、この第1の側面において、前記垂直ドライバは、シフト動作を行う1つまたは複数のフリップフロップと、前記1つまたは複数のフリップフロップに接続され、選択パルスを前記画素アレイ部に供給する1つまたは複数

の選択スイッチと、前記1つまたは複数のフリップフロップに垂直スタートパルスを供給するセクタとを含み、前記セクタは、前記1つまたは複数のフリップフロップのうち、先頭の前記フリップフロップに接続される、第 n 群のシフトレジスタ（ n は自然数）を含む。これにより、表示装置におけるシフトレジスタの各群は、複数のフリップフロップがセクタを共有する構成をとっているため、フリップフロップごとにセクタを備える構成と比較して、回路規模が大きくなることを抑制することができる。

[0012] また、この第1の側面において、前記表示装置は、前記表示開始位置に基づいて、前記垂直スタートパルスが入力される前記セクタと、前記画素アレイ部に前記選択パルスの供給を開始する前記シフトレジスタとが決定される。これにより、表示装置におけるシフトレジスタの各群は、複数のフリップフロップがセクタを共有する構成をとっているため、フリップフロップごとにセクタを備える構成と比較して、回路規模が大きくなることを抑制することができる。

[0013] また、この第1の側面において、前記垂直ドライバは、前記垂直スタートパルスの転送を前記出力データに対して相対的に早めてスキャン動作（以降、空転送）を行い、前記垂直方向における表示開始位置を決定する。これにより、表示装置は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。

[0014] また、この第1の側面において、前記表示装置は、前記空転送が行われた行は黒領域となる。これにより、表示装置は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。

[0015] また、この第1の側面において、前記表示装置は、前記メモリは、ラインメモリまたはフレームメモリである。これにより、表示装置は、ラインメモリを備えることで、回路規模が大きくなることを抑制することができる。また、ラインメモリの代わりにフレームメモリ等を備えることで、外部の機器

から一度に画像データの入力を受け付けて、その後の処理を行うことができる。フレームメモリの出力の際に、画像処理部は、画像データに対して黒データを挿入することで、垂直方向における部分スキャン処理を不要とすることができる。フレームメモリを備えた表示装置は、回路規模が大きくなるが、入力データフォーマットの自由度を向上させることができ、また外部の機器から画像データの入力を受け付ける際の消費電力を抑えることができる。

[0016] また、この第1の側面において、前記メモリは、前記画像データの入力を受け付けるデータ入力インターフェースの出力側に備えられる。これにより、表示装置は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。

[0017] また、この第1の側面において、前記表示装置は、前記画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける。これにより、表示装置は、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができるため、低消費電力化を実現することができる。

[0018] また、この第1の側面において、前記画素に含まれる発光素子は、有機EL素子または液晶素子である。これにより、前記画素に含まれる発光素子は、有機EL素子または液晶素子等、種々の発光素子を採用することができ、また、種々の画素を備えた表示装置を実現することができる。

[0019] また、この第1の側面において、前記垂直ドライバは、垂直方向の表示開始位置を示すアドレス信号の入力を受け付けて、垂直方向における表示開始位置を決定する1つまたは複数のアドレスデコーダを含む。これにより、表示装置は、アドレスデコーダを用いることで、シフトレジスタ方式と比較して、垂直ドライバの制御を容易化することができる。

[0020] また、この第1の側面において、前記水平ドライバは、前記黒領域における前記画素の信号線の電位状態を固定処理とする。これにより、表示装置は、黒領域について画素のトランジスタの処理が固定であるため、垂直ドライバによるスキャン処理を不要とすることができる。また、画素への信号フォ

ーマットの入力形式は、特定の信号フォーマットに限られないため自由度が増し、さらに低速化が実現できる。

[0021] 本開示の第2の側面の表示装置は、複数の画素が2次元アレイ状に配列された画素アレイ部と、画像データの入力を受け付けて、一時的に保存する第1水平ロジック回路と、前記第1水平ロジック回路から出力された前記画像データに黒データを挿入し、出力データを生成する画像処理部と、前記出力データの垂直方向における表示位置を決定する垂直ドライバを制御する、垂直ロジック回路と、前記出力データの水平方向における各画素に、前記出力データの階調情報に対応する階調電圧を供給する水平ドライバを制御する、第2水平ロジック回路とを備え、前記黒データの挿入位置と、前記垂直方向の表示位置とは、ユーザにより指定された表示開始位置に基づいて決定される。これにより、表示装置は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。また、表示装置は、ラインメモリの出力時以外のタイミングで画像データに黒データを挿入することができ、表示装置の設計の自由度を向上させることができる。

[0022] また、この第2の側面において、前記画像データへの前記黒データの挿入は、前記垂直ロジック回路および前記水平ロジック回路を含むディスプレイコントローラの動作タイミングを制御するタイミングコントローラの出力後に行われる。これにより、表示装置は、ラインメモリの出力時以外のタイミングで画像データに黒データを挿入することができ、表示装置の設計の自由度を向上させることができる。

[0023] また、この第2の側面において、前記表示装置は、前記画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける。これにより、表示装置は、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができるため、低消費電力化を実現することができる。

[0024] また、この第2の側面において、前記画像データの入力は、入力クロック

である第1クロックのタイミングで行われ、前記画像データへの前記黒データの挿入は、前記表示装置の内部で生成された第2クロックのタイミングで行われる。これにより、表示装置は、黒データの挿入は、内部生成クロックで行うため、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができ、低消費電力化を実現することができる。

[0025] また、この第1の側面において、前記表示装置は、ウェアラブル型の電子機器の一部となっている。これにより、表示装置は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。

[0026] また、この第1の側面において、前記電子機器は、前記表示装置を備えるヘッドマウントディスプレイであり、前記表示開始位置は、前記ヘッドマウントディスプレイを装着したユーザの視線の位置に基づいて決められる。これにより、表示装置は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。

図面の簡単な説明

[0027] [図1]第1実施形態における表示装置の構成例を示すブロック図である。

[図2]第1実施形態におけるデータ入力インターフェースの構成例を示す図である。

[図3]第1実施形態におけるタイミングコントローラの構成例を示す図である。

[図4]第1実施形態におけるディスプレイコントローラの構成例を示す図である。

[図5]第1実施形態における表示部の構成例を示す図である。

[図6]第1実施形態における画素の構成例を示す図である。

[図7]第1実施形態の表示装置における表示開始位置の指定例である。

[図8]第1実施形態の表示装置における水平系の制御に関する説明図である。

[図9]第1実施形態の表示装置における垂直系の制御に関する説明図である。

[図10]第1実施形態における画素の有効領域と黒領域におけるタイミングチャートの例である。

[図11]第1実施形態における画素の変形例1である。

[図12]第1実施形態における画素の変形例2である。

[図13]第1実施形態における画素の変形例3である。

[図14]第1実施形態における画素の変形例4である。

[図15]第1実施形態における画素の変形例5である。

[図16]第1実施形態における画素の変形例6である。

[図17]第1実施形態における画素の変形例7である。

[図18]第1実施形態における画素の変形例8である。

[図19]第1実施形態における画素の変形例9である。

[図20]第1実施形態の表示装置の変形例における垂直系の制御に関する説明図である。

[図21]第2実施形態におけるタイミングコントローラのブロック図である。

[図22]第2実施形態の表示装置における動作説明図である。

[図23]第2実施形態の表示装置の変形例における動作説明図である。

[図24]第1実施形態、第2実施形態およびそれらの変形例における表示装置が適用される電子機器の一例である、ヘッドマウントディスプレイの外観を示す図である。

[図25]第1実施形態、第2実施形態およびそれらの変形例における表示装置が適用される電子機器の他の例である、ヘッドマウントディスプレイの外観を示す図である。

[図26]第1実施形態、第2実施形態およびそれらの変形例における表示装置が適用される電子機器の一例である、デジタルカメラの外観を示す図である。

[図27]第1実施形態、第2実施形態およびそれらの変形例における表示装置が適用される電子機器の一例である、テレビジョン装置の外観を示す図である。

[図28]第1実施形態、第2実施形態およびそれらの変形例における表示装置が適用される電子機器の一例である、スマートフォンの外観を示す図である。

[図29]第1実施形態、第2実施形態およびそれらの変形例における表示装置が適用された車両の一構成例を示す図である。

[図30]第1実施形態、第2実施形態およびそれらの変形例における表示装置が適用される電子機器の一例である、液晶プロジェクタの外観を示す図である。

発明を実施するための形態

[0028] 以下、本開示の実施形態を、図面を参照して説明する。

[0029] (第1実施形態)

図1は、第1実施形態における表示装置の構成例を示すブロック図である。

[0030] この表示装置1は、画像を表示するための装置であり、データ入力インターフェース11、タイミングコントローラ12、ディスプレイコントローラ13、表示部14、オシレータ15、シリアルインターフェース16、レジスタ17および電子ヒューズ18を備える。また、表示装置1は、外部の機器2とM I P I D S I (Display Serial Interface) インターフェース20'を介して接続される。

[0031] 表示部14は、2次元アレイ状に配置された複数の画素を備える。以下、水平方向に配置された画素の集合を「行」と呼び、行に垂直な方向に配置された画素の集合を「列」と呼ぶ。

[0032] データ入力インターフェース11は、表示装置1の外部の機器2から、外部クロックのタイミングで、シリアル転送された画像データ等の入力を受け付ける。この画像データは、表示部14に表示するためのデータであり、例えば複数の画像データを時系列順に含む動画データや、静止画データが入力される。表示装置1は、画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける、データ入力インタ

ーフェース 11 は、シリアルを表示データをパラレルデータに変換する。

[0033] また、データ入力インターフェース 11 は、垂直同期信号および水平同期信号を生成して、パラレルデータとともに、タイミングコントローラ 12 に供給する。ここで、垂直同期信号は、画像データを表示するタイミングを示す信号であり、水平同期信号は、行を表示するタイミングを示す信号である。データ入力インターフェース 11 を構成する M I P I D S I インターフェース 20、クロック制御部 21、同期信号生成部 22、シリアルパラレル変換部 23、コマンドインターフェース 24 およびラインメモリ 25 については後述する。

[0034] タイミングコントローラ 12 は、ディスプレイコントローラ 13 が動作するタイミングを制御する。このタイミングコントローラ 12 は、パラレルデータから画素データを生成して、スタート信号とともにディスプレイコントローラ 13 に供給する。以下では、水平方向のスタート信号を水平スタートパルス H S T と呼び、垂直方向のスタート信号を垂直スタートパルス V S T と呼ぶ。タイミングコントローラ 12 を構成するクロック生成部 31、タイミング生成部 32、画像処理部 33 および輝度制御部 34 については後述する。

[0035] ディスプレイコントローラ 13 は、表示部 14 の各ドライバ回路を制御する。ディスプレイコントローラ 13 は、水平スタートパルス H S T に同期して、画素データを水平ドライバ 53 に供給する。この画素データは、R (red)、G (Green) および B (blue) 等の色ごとに、その階調を示す階調情報を含む。

[0036] また、ディスプレイコントローラ 13 は、垂直スタートパルス V S T に同期して、垂直ドライバ 52 を制御する。垂直ドライバ 52 は、ディスプレイコントローラ 13 の制御に従って、画素の行を順に駆動する。ディスプレイコントローラ 13 を構成する垂直ロジック回路 41 および水平ロジック回路 42 については後述する。

[0037] 表示部 14 は、ディスプレイコントローラ 13 の制御に基づいて、垂直ド

ライバ５２および水平ドライバ５３を駆動させ、画素データを表示する。表示部１４を構成する画素アレイ５１、垂直ドライバ５２、水平ドライバ５３およびガンマ補正回路５４については後述する。

[0038] オシレータ１５は、表示装置１の内部でクロックを生成する。表示装置１は、この内部生成クロックと同期して画像データの処理を行う。例えば、オシレータ１５は、リングオシレータを採用することができる。

[0039] シリアルインターフェース１６は、レジスタ１７や各種機能ブロックとシリアル通信を行う。シリアルインターフェース１６は、例えばレジスタ１７と３線シリアル通信を行う。

[0040] 電子ヒューズ１８は、表示装置１のディスプレイ固有の特性値情報などを記憶できる電子ヒューズでＯＴＰ（One Time Programmable）を備える。

[0041] 図２は、第１実施形態におけるデータ入力インターフェースの構成例を示す図である。

[0042] データ入力インターフェース１１は、ＭＩＰＩ ＤＳＩ（Display Serial Interface）インターフェース２０、クロック制御部２１、同期信号生成部２２、シリアルパラレル変換部２３、コマンドインターフェース２４およびラインメモリ２５を備える。

[0043] ＭＩＰＩ ＤＳＩインターフェース２０は、他のＭＩＰＩ ＤＳＩインターフェース２０'で接続された外部の機器２から、ＭＩＰＩ ＤＳＩ通信によって、シリアル転送された画像データ及び同期信号を一定の形式の入力データフォーマットで受信する。この例では、ＭＩＰＩ ＤＳＩ通信により通信を行う例を示しているが、他の通信方式によって、画像データ等の入力を受け付けてもよい。本実施形態における表示装置１は、画像データ等について、表示開始位置によらず、一定の形式の入力データフォーマットで入力を受け付けることができる。クロック制御部２１は、タイミングコントローラ１２を制御して、画像データを表示する期間にわたって、後述するクロック生成部３１にクロック信号を生成させる。同期信号生成部２２は、画像データに基づいて、水平同期信号および垂直同期信号を生成する。また、シリアル

パラレル変換部 23 は、シリアル画像データをパラレルデータに変換する。コマンドインターフェース 24 は、例えば、シリアル通信によって、レジスタ 17 からデータの入力を受け付ける。ラインメモリ 25 は、データ入力インターフェース 11 の出力側に備えられ、1 行分の画像データの入力を受け付けて一時的に保存する。ラインメモリ 25 は、メモリの例である。保存された画像データは、ラインメモリ 25 の出力時に黒データが挿入され、水平方向におけるフレキシブルな表示位置が実現される。ラインメモリ 25 の詳細については後述する。

[0044] 図 3 は、第 1 実施形態におけるタイミングコントローラの構成例を示す図である。

[0045] タイミングコントローラ 12 は、クロック生成部 31、タイミング生成部 32、画像処理部 33 および輝度制御部 34 を備える。

[0046] クロック生成部 31 は、クロック制御部 21 の制御に従って、所定の周波数の水平クロック信号および垂直クロック信号を生成する。これらクロック信号の周波数は、水平同期信号より高い周波数が生成される。クロック生成部 31 は、これらクロック信号をディスプレイコントローラ 13 に供給する。

[0047] タイミング生成部 32 は、同期信号生成部 22 から供給される垂直同期信号および水平同期信号に基づいて、垂直スタートパルス VST および水平スタートパルス HST を生成してディスプレイコントローラ 13 に供給する。

[0048] 画像処理部 33 は、ラインメモリ 25 を介してシリアルパラレル変換部 23 から供給されるパラレルデータに対して種々の画像処理を行う。例えば、画像処理部 33 は、解像度を変換する処理や、画素毎に色情報（W 等）を補間する処理等が行われる。画像処理部 33 は、画像処理によって、画素毎に画素データを生成し、出力データとして出力する。

[0049] また、本実施形態では、後述する黒データの挿入は、ラインメモリ 25 の出力時に、画像処理部 33 によって行われる例を用いて説明する。例えば、黒データの挿入は、データ入力インターフェース 11 に黒データ挿入部の機

能ブロックを設けて、この機能ブロックが実現してもよい。

[0050] 輝度制御部34は、輝度を無段階調整するため演算や輝度変調速度をコントロールし、ガンマ補正回路54を制御する。

[0051] 図4は、第1実施形態におけるディスプレイコントローラの構成例を示す図である。

[0052] ディスプレイコントローラ13は、垂直ロジック回路41および水平ロジック回路42を備える。

[0053] 垂直ロジック回路41は、垂直スタートパルスVSTに同期して、垂直ドライバ52を制御する。水平ロジック回路42は、水平スタートパルスHSTに同期して、水平ドライバ53を制御する。

[0054] 図5は、第1実施形態における表示部の構成例を示す図である。

[0055] 表示部14は、画素アレイ51、垂直ドライバ52、水平ドライバ53およびガンマ補正回路54を備える。

[0056] 画素アレイ51は、2次元アレイ状に配列された複数の画素を含む。表示部14は、カラー表示が可能であり、カラー画像を形成する単位となる1つの画素は、複数の副画素から構成される。例えば、1つの画素は、赤色光を発光する副画素、緑色光を発光する副画素および青色光を発光する副画素の3つの副画素から構成される。各画素における発光が適宜制御されることにより、画素アレイ51において所望の画像が表示される。画素の詳細な回路構成については後述する。

[0057] 1つの画素を構成する副画素の組み合わせは、3色に限定されない。例えば、色再現範囲を拡大するために補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成してもよい。また、表示装置1は、副画素が存在せず、1つの画素アレイ51が1つの画素に対応するように構成されてもよい。また、表示装置1は、カラー表示可能なものでなくてもよく、モノクロ表示を行うものであってもよい。

[0058] 画素のそれぞれは、信号線WSLと、信号線SGLとに接続される。信号線SGLのそれぞれは、水平ドライバ53に接続され、信号線WSLのそれ

ぞれは、垂直ドライバ52に接続される。また、画素には、信号線SGLを介して画素信号が供給され、信号線WSLを介して選択パルスSELが供給される。この選択パルスSELは、所定の行を駆動するための信号である。

[0059] ガンマ補正回路54は、表示装置1の特性に合わせて、階調電圧を調整し、ガンマ補正を行う。ガンマ補正回路54は、輝度制御部34によって制御され、レジスタ17に保存された輝度レベルを調整するための設定値を読み出し、階調を示す階調電圧を生成する。例えば、階調を256段階に制御する場合、互いに異なる256の値の階調電圧が生成される。ガンマ補正回路54は、それらの階調電圧を水平ドライバ53に供給する。

[0060] 水平ドライバ53は、選択された行内の画素ごとに、その画素データ内の階調情報に対応する階調電圧を選択し、画素信号として供給する。垂直ドライバ52は、ディスプレイコントローラ13の制御に従って、画素アレイ51の行を順に駆動する。水平ドライバ53は、ボルテージフォロウ形式や、RAMPDAC方式等、種々の構成の水平ドライバ53を採用することができる。

[0061] 図6は、第1実施形態における画素の構成例を示す図である。

[0062] 上述した副画素のそれぞれは、図6の画素PIXに相当する。図6は、本実施形態における画素PIXとして、有機EL表示装置1における画素PIXの回路構成の一例を示す回路図である。例えば、画素PIXの発光部は、発光素子ELが用いられる。発光素子ELは、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子の一例である。

[0063] 図6に示すように、画素PIXは、発光素子ELおよび発光素子ELに電流を流すことによって当該発光素子ELを駆動する駆動回路によって構成される。発光素子ELのカソード電極は、全ての画素PIXに対して共通に配線されたカソード電位Vcathのノードに接続されている。

[0064] 発光素子ELを駆動する駆動回路は、トランジスタT1～T4、キャパシタC1～C2によって構成される。ここでは、トランジスタT1～T4については、Pチャネル型のトランジスタを用いる構成となっている。

[0065] トランジスタT1～T4はそれぞれ、駆動トランジスタ、サンプリングトランジスタ、発光制御トランジスタおよびリセットトランジスタとも呼ばれる。また、キャパシタC1～C2はそれぞれ、保持容量および補助容量とも呼ばれる。

[0066] トランジスタT2のゲートは信号線WSLに接続され、ソースは信号線SGLに接続され、ドレインはトランジスタT1のゲートおよびキャパシタC1に接続される。キャパシタC1の一端は、トランジスタT2のドレインおよびトランジスタT1のゲートに接続され、他端は、キャパシタC2およびトランジスタT3のドレイン、トランジスタT1のソースに接続される。トランジスタT3のゲートは信号線DSLに接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタT1のドレインに接続される。トランジスタT1のゲートはトランジスタT2のドレインおよびキャパシタC1の一端に接続され、ソースはトランジスタT3のドレイン、キャパシタC1の他端およびキャパシタC2に接続され、ドレインは発光素子ELのアノードおよびトランジスタT4のソースに接続される。トランジスタT4のゲートは、信号線AZSLに接続され、ソースはトランジスタT1のソースおよび発光素子ELのアノードに接続され、ドレインは、電源線VSSに接続される。

[0067] 信号線DSLは、発光素子ELの発光および非発光を制御する発光制御信号の入力を受け付ける信号線であり、AZSLは、発光素子ELの非発光期間に発光素子ELが発光しないように制御する駆動信号の入力を受け付ける信号線である。

[0068] トランジスタT1～T4は、スイッチ素子として機能するスイッチングトランジスタであることから、Pチャネル型のトランジスタに限定されない。例えば、トランジスタT1～T4は、Nチャネル型のトランジスタでも、Pチャネル型とNチャネル型が混在した構成のものでもよい。

[0069] 上記の回路構成の画素PIXにおいて、トランジスタT1は、発光素子ELに対して直列に接続されている。トランジスタT2は、水平ドライバ53

から供給される階調電圧をサンプリングすることによって、キャパシタC 1に書き込む。トランジスタT 3は、発光素子E Lの発光および非発光を制御する。トランジスタT 4は、低電位側の電源線V S Sに接続され、発光素子E Lのアノードの電圧を初期化する。

[0070] キャパシタC 1は、トランジスタT 2によるサンプリングによって書き込まれた階調電圧を保持する。トランジスタT 1は、キャパシタC 1の保持電圧に応じた駆動電流を発光素子E Lに流すことによって発光素子E Lを駆動する。

[0071] キャパシタC 2は、階調電圧を書き込んだときに駆動トランジスタT 1のソース電位が変動するのを抑制するとともに、駆動トランジスタT 1のゲート、ドレイン間電圧を、駆動トランジスタT 1の閾値電圧にする。

[0072] 以下、表示装置1は、入力データである画像データについて、ユーザが解像度を調整し、その表示位置をフレキシブルに調整する例について説明する。

[0073] 図7は、第1実施形態の表示装置における表示開始位置の指定例である。

[0074] 以下では、画素アレイ51上の位置を説明するにあたり、X、Y座標を用いて説明する。この例では、表示装置1の水平方向をX方向とし、垂直方向をY方向とする。また、画素アレイ51の左上を原点とする。

[0075] この図では、表示装置1はヘッドマウントディスプレイとして実装される例を取り上げて、ユーザが画像データの表示位置を指定する例について説明する。この表示装置1は、ヘッドマウントディスプレイの他、例えば、ARまたはVRといった技術を用いるその他のウェアラブル型の電子機器、テレビジョン装置またはスマートフォンといった種々の電子機器の一部として実装される。ユーザは、ヘッドマウントディスプレイ上において、表示開始座標を指定する。図7A～7Cの例では、表示開始座標は、画素アレイ51の左上を $(X, Y) = (0, 0)$ の座標とし、図面右側方向を+X方向、図面下側方向を+Y方向とした場合、表示開始位置は、 $(X, Y) = (H_SHIFT, V_SHIFT)$ として表される。H_SHIFTおよびV_SH

I F T の値は、例えば、レジスタ 17 に格納され、シリアルインターフェース 16 を用いて通信される。この値は、レジスタ 17 以外の記憶領域（不図示）に格納されてもよい。

[0076] また、表示開始座標の指定は、例えば、ヘッドマウントディスプレイを装着したユーザが視線をずらした際等、ヘッドマウントディスプレイが、視線の位置の変化量から表示開始位置を自動で特定してもよい。

[0077] 図 7 A は、画素アレイ 51 の左上をユーザが表示開始位置として指定した例を示している。また、図 7 B は、画素アレイの中心付近をユーザが表示開始位置として指定した例を示している。また、図 7 C は、画素アレイ 51 の外部（この例では、 $(-X, -Y)$ 座標に対応）を表示開始位置として指定した例を示している。図 7 B および 7 C のように、表示する画像データに見切れが発生する場合、表示装置 1 は表示開始位置に応じて、画素アレイ 51 内に表示可能な部分の画像データを表示する。もし、ユーザが表示開始位置として、画素アレイ 51 の外部を指定し、画素アレイ 51 上に表示可能な部分の画像データが存在しない場合、表示装置 1 は、画像データを表示しなくてもよい。以下、「ユーザにより指定された表示開始位置」とは、ユーザが入力用のインターフェース（不図示）を介して表示開始位置を指定した場合や、表示装置 1 がユーザの視線から自動で表示開始位置を特定する場合を含む。

[0078] また、ユーザは、表示解像度についても指定してよい。ユーザが指定した表示解像度の大きさは、X 方向について、 H_ACTIVE とし、Y 方向について V_ACTIVE として説明する。

[0079] 図 8 は、第 1 実施形態の表示装置における水平系の制御に関する説明図である。

[0080] この図では、表示装置 1 は、ユーザが指定した表示開始位置を起点として、画像データを表示するための水平系の制御について説明する。また、説明のため、画素アレイ 51 の大きさを $(X, Y) = (X_MAX, Y_MAX)$ とし、画像データの解像度の大きさを $(X, Y) = (H_ACTIVE,$

V__ACTIVE)とする。また、H__ACTIVEおよびV__ACTIVEは、例えば、表示装置1において、それぞれ垂直方向および水平方向のデータの有効期間を表す値としても用いられる。H__ACTIVEおよびV__ACTIVEは、例えば、レジスタ17に格納される。

[0081] 表示装置1は、MIPIDSIインターフェース20において、入力クロックのタイミングで入力データである画像データを受信する。また表示装置1は、シリアルパラレル変換部23において、シリアルデータをパラレルデータに変換する。パラレルデータに変換された画像データは、この入力クロックのタイミングでラインメモリ25に格納される。ラインメモリ25では、一度に1行分の画像データが格納される。

[0082] 表示装置1は、オシレータ15でクロックを生成し、この内部生成クロックのタイミングでラインメモリ25に格納されたデータをタイミングコントローラ12に供給する。入力クロックは、画像データのデータ量に応じた低速なクロック周波数でよい。また、画像処理部33が以下で説明する黒データを挿入し、出力データを生成するにあたり、画像解像度を大きくするため、内部生成クロックは、入力クロックよりも高いクロック周波数を用いる。黒データの挿入は、内部生成クロックのタイミングで行われる。この内部生成クロックは、例えば、出力データを垂直ドライバ52および水平ドライバ53でスキャン処理するための必要最小限のクロック周波数とすることができ。入力クロックは、第1クロックの例であり、内部生成クロックは、第2クロックの例である。第1クロックは、オシレータ15の他、PLL回路等、他の発振回路によって生成されてもよい。

[0083] 画像処理部33は、ラインメモリ25から一行分の画像データを出力するにあたり、 $X=0$ から、 $X=H_SHIFT$ の間に、黒データを挿入する。また、画像処理部33は、画像データの出力にあたり、 $X=H_SHIFT+H_ACTIVE$ から、 $X=H_MAX$ の間に、黒データを挿入する。また、画像処理部33は、各行の画像データについて、同様の方法により、黒データの挿入を行う。これにより表示装置1は、各行について、画像データ

の表示位置以外の位置に黒データの挿入を行うことができ、水平方向における表示位置をフレキシブルに調整することができる。

[0084] ここで、図8Aを取り上げて水平系の制御について説明すると、表示装置1は、画像データのデータ量に応じた低速な入力クロックで外部の機器2から画像データの入力を受け付ける。また、画像処理部33は、ラインメモリ25の出力時に、所定の位置に黒データを挿入し、入力クロックよりも高速な内部生成クロックで画像データを出力する。図8Aの例では、画像処理部33は、1行分の出力データとして、H__SHIFTの位置まで黒データを挿入する。また、画像処理部33は、黒データの挿入後、画像データを有効データとして挿入する。また、画像処理部33は、有効データの挿入後（H__SHIFT+H__ACTIVEの位置）、H__MAXの位置まで再び黒データを挿入する。画像処理部33は、水平方向について、V__ACTIVE分の行数だけこの動作を繰り返す。このように、黒データの挿入位置は、ユーザにより指定された表示開始位置に基づいて決定される。

[0085] 次に、図8Bを取り上げて、水平系の制御について説明する。図8Bでは、画像データが画素アレイ51から見切れる位置にある場合について説明する。この図では、H__SHIFTの位置は、図8Aよりも+X方向側にあるため、画像データが水平方向に収まりきらない例を示している。この場合、画像処理部33は、図8Aの場合と同様に、ラインメモリ25の出力時にH__SHIFTの位置まで黒データを挿入する。また、画像処理部33は、黒データの挿入後、画像データを有効データとして挿入する。この場合、画像処理部33は、H__SHIFTの位置からH__MAXの位置まで画像データを挿入する。画像処理部33は、水平方向について、V__ACTIVE分の行数だけこの動作を繰り返す。この黒データの挿入は、H__SHIFTおよびH__ACTIVEから生成されるデータイネーブル信号に基づいて行われる。

[0086] 図9は、第1実施形態の表示装置における垂直系の制御に関する説明図である。

[0087] 図9は、表示装置1の垂直ドライバ52の一部を示している。この図では

、表示装置 1 は、ユーザが指定した表示開始位置に基づいて、その位置を起点として画像データを表示するための垂直系の制御について説明する。

[0088] 本実施形態における垂直ドライバ 5 2 は、複数のフリップフロップ 4 5 がカスケード接続されたシフトレジスタ 4 3 を含むシフトレジスタ方式であり、先頭のフリップフロップ 4 5 の入力側に、複数のフリップフロップに対して垂直スタートパルスを供給する 1 つまたは複数のセクタ 4 4 を含んでいる。本実施形態では、垂直ドライバ 5 2 は、4 つのフリップフロップ 4 5 が 1 つのセクタ 4 4 を共有する構成となっている。また、フリップフロップ 4 5 は、垂直方向における画素数分だけ含まれており、例えば、画素アレイ 5 1 が、垂直方向に 1 0 0 画素含む場合、フリップフロップ 4 5 も同じ数だけ含まれる。

[0089] 本実施形態における垂直ドライバ 5 2 は、垂直スタートパルス V S T を垂直クロック信号に同期してシフト動作を行う。この際、垂直ドライバ 5 2 は、垂直スタートパルス V S T の転送を出力データに対して相対的に早めてスキャン動作を行う空転送を行う。また、空転送によって、垂直方向における表示開始位置を決定することを垂直方向における部分スキャンと呼ぶ。空転送は、 $Y = 0 \sim V_SHIFT$ までの行について行われる。垂直スタートパルス V S T が出力データよりも早められた行については、空転送が行われるため、フリップフロップ 4 5 からの出力である選択パルス S E L が選択スイッチ 4 6 を介して画素アレイ 5 1 に供給されず、出力データが画素アレイ 5 1 に表示されない。そのため、これらの行については、黒領域となる。

[0090] 一方、垂直スタートパルス V S T は、順次、シフト動作によって各フリップフロップ 4 5 に転送される。表示装置 1 は、垂直ドライバ 5 2 において出力データと、垂直スタートパルス V S T とのタイミングが一致した行から、出力データの出力を開始する。水平ドライバ 5 3 が、選択された行内の画素 P I X ごとに、階調情報に対応する階調電圧を選択し、画素信号として画素アレイ 5 1 に供給することで、表示装置 1 は、出力データを画素アレイ 5 1 に表示する。このように、垂直ドライバ 5 2 は垂直方向における表示位置を

決定する。

[0091] これにより、垂直ドライバ52は、垂直ロジック回路41の制御によって、垂直スタートパルスVSTが画像データに対して早められた行(V_S H I F Tの位置)まで、出力データの表示位置をずらすことができ、垂直方向における表示位置をフレキシブルに調整することができる。

[0092] 図9では、垂直ドライバ52は、ブランキング期間を考慮し、全てのフリップ45にセクタ44を接続するのではなく、4つのフリップフロップ45が1つのセクタ44を共有する構成となっている。以下では、1つまたは複数のフリップフロップ45がカスケード接続され、先頭のフリップフロップ45にセクタ44が接続され、1つまたは複数のフリップフロップ45がセクタ44を共有し、1つまたは複数のフリップフロップ45のそれぞれに選択スイッチ46が接続される構成をシフトレジスタの群と呼ぶ。本実施形態では、垂直ドライバ52は、第n群のシフトレジスタ(nは自然数)を含み、表示位置の調整は、群のシフトレジスタごとに行われる。図9では、上から順に、第1群のシフトレジスタの全体および第2群のシフトレジスタの一部を示している。

[0093] 図9では、垂直ドライバ52は、垂直ロジック回路41より、V_S H I F T[i:j]信号(iおよびjは自然数)の入力を受け付ける。V_S H I F T[i:j]信号は垂直方向の表示位置を決定する信号である。例えば、2進数の11ビットから構成されるV_S H I F T[i:j]信号の場合、上位9ビットで垂直スタートパルスVSTのセクタ44の入力位置を決定し、下位2ビットで群内の選択スイッチ46のオンオフを開始する位置を決定する。

[0094] ある群のセクタ44に入力された垂直スタートパルスVSTは、シフト動作によって、順次、それ以降のフリップフロップ45に転送される。このように、ユーザにより指定された表示開始位置に基づいて、垂直スタートパルスが入力されるセクタ44が決定され、また、画素アレイ51に選択パルスの供給を開始するその群内のシフトレジスタ43が決定される。

[0095] 図9の例では、垂直ドライバ52は、垂直ロジック回路41より、11ビ

ットの2進数によるV__SHIFT[i:j]信号の入力を受け付けて、V__SHIFT[10:2]（上位9ビット分に該当）によって垂直スタートパルスVSTを入力する群のシフトレジスタ43を決定する。また、垂直ドライバ52は、V__SHIFT[1:0]（下位2ビット分に該当）によって、群内の選択スイッチ46のオンオフを開始する位置を決定する。例えば、V__SHIFT[i:j]信号が“000__0000__0010”のように表される場合、V__SHIFT[10:2]は、“000__0000__00”が該当し、V__SHIFT[2:0]は、“10”が該当する。この例では、“000__0000__00”は、垂直ドライバ52の最上位の群のシフトレジスタ43を表し、“10”は、その群内における上から3番目スイッチを表している。この場合、垂直ドライバ52は、行方向において上から1行目（out[0]）および2行目（out[1]）について空転送を行い、上から3行目（out[3]）から出力データの出力を開始することを決定する。このように、垂直方向の表示位置は、ユーザにより指定された表示開始位置に基づいて決定される。

[0096] 1つの群に含まれるフリップフロップ45は、4つに限定されない。例えば、1つの群のシフトレジスタ43は、2つまたは8つといった数のフリップフロップ45を含んでいてもよく、任意の数のフリップフロップ45を1つの群に含めることができる。

[0097] 表示装置1は、ラインメモリ25を備える代わりに、一画面分の画像データを格納するフレームメモリを備えていてもよい。表示装置1は、ラインメモリ25の代わりにフレームメモリ等を備えることで、外部の機器2から一度に画像データの入力を受け付けて、その後の処理を行うことができる。フレームメモリの出力の際に、画像処理部33は、画像データに対して黒データを挿入することで、垂直方向における部分スキャン処理を不要とすることができる。フレームメモリを備えた表示装置1は、回路規模が大きくなるが、入力データフォーマットの自由度を向上させることができ、また外部の機器2から画像データの入力を受け付ける際の消費電力を抑えることができる。

。その他、表示装置 1 は、ラインメモリ 25 を備える代わりに、数行分の画像データを格納するパシアルフレームメモリを備えてもよい。

[0098] 図 10 は、第 1 実施形態における画素の有効領域と黒領域におけるタイミングチャートの例である。

[0099] 図 10 A は、有効領域を表示する画素 P I X のタイミングチャートの例である。具体的には、図 10 A は、信号線 W S L の電位、信号線 D S L の電位、信号線 A Z S L の電位の変化を表したタイミングチャートである。有効領域とは、有効データを出力する領域である。

[0100] なお、トランジスタ T 1 ~ T 4 は P チャネル型であるため、信号線 W S L、信号線 D S L および信号線 A Z S L が低電位の状態で、これらのトランジスタがオン状態、すなわち導通状態となり、信号線 W S L、信号線 D S L および信号線 A Z S L が高電位の状態で、これらのトランジスタがオフ状態、すなわち非導通状態となる。

[0101] 図 10 A の構成により、画素 P I X は、発光期間の前に、信号線 A Z S L をオン状態とすることにより、トランジスタ T 4 をオン状態として、発光素子 E L のアノードの電圧を初期化する。発光素子 E L のアノードの電圧を初期化した後、画素 P I X は、トランジスタ T 4 をオフ状態とする。発光期間において、画素 P I X は、トランジスタ T 2 がオン状態（信号線 W S L がオン状態）となることにより、信号線 S G L から供給された画素信号に基づいてキャパシタ C 2 の両端側の電圧が設定される。トランジスタ T 3 は、信号線 D S L がオン状態となったときにオン状態となる。トランジスタ T 1 は、トランジスタ T 3 がオン状態である期間において、キャパシタ C 2 の両端間の電圧に応じた電流を発光素子 E L に流す。発光素子 E L は、トランジスタ T 1 から供給された電流に基づいて発光する。

[0102] 次に、消灯期間では、画素 P I X は、信号線 D S L をオフ状態とし、信号線 A Z S L をオン状態として、発光素子 E L への電流を遮断し、発光素子 E L のアノードの電圧を初期化する。

[0103] 図 10 B は、黒領域を表示する画素 P I X のタイミングチャートの例であ

る。図10Bは図10Aと同様に、信号線WSLの電位、信号線DSLの電位、信号線AZSLの電位の変化を表したタイミングチャートである。

[0104] 黒領域では、電位状態は、信号線WSLをオフ状態とし、信号線DSLをオフ状態とし、信号線AZSLをオン状態とした固定処理（つまり、図10Aの消光期間と同様の処理）となる。そのため、表示装置1は、垂直ロジック回路41によるスキャン処理が不要となり、画素PIXへ入力する信号フォーマットが特定の形式に限られないため自由度が増し、さらに低速化が実現できる。

[0105] 図11は、第1実施形態における画素の変形例1である。

[0106] 表示装置1は、図6で説明した画素PIXの他、図11の画素PIXを採用することができる。図11では、画素PIXは、キャパシタC01と、トランジスタMN02～MN03と、発光素子ELとを有している。トランジスタMN02～MN03は、N型のMOSFETである。トランジスタMN02のゲートは信号線WSLに接続され、ドレインは信号線SGLに接続され、ソースはトランジスタMN03のゲートおよびキャパシタC01に接続される。キャパシタC01の一端はトランジスタMN02のソースおよびトランジスタMN03のゲートに接続され、他端はトランジスタMN03のソースおよび発光素子ELのアノードに接続される。トランジスタMN03のゲートはトランジスタMN02のソースおよびキャパシタC01の一端に接続され、ドレインは電源線VCCPに接続され、ソースはキャパシタC01の他端および発光素子ELのアノードに接続される。発光素子ELは例えば有機EL素子であり、アノードはトランジスタMN03のソースおよびキャパシタC01の他端に接続され、カソードは電源線Vcathに接続される。電源線VCCPの電圧は、第1電圧と、第1電圧よりも低い第2電圧と、に適宜切り替わる。

[0107] この構成により、画素PIXでは、トランジスタMN02がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC01の両端間の電圧が設定される。電源線VCCPの電圧が第1電圧であ

る期間に、トランジスタMN03は、キャパシタC01の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMN03から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。なお、電源線VCCPの電圧が第2電圧である期間には、発光素子ELは消光する。

[0108] 図12は、第1実施形態における画素の変形例2である。

[0109] 表示装置1は、図6で説明した画素PIXの他、図12の画素PIXを採用することができる。図12では、画素PIXは、キャパシタC11と、C12と、トランジスタMP12～MP15と、発光素子ELとを有している。トランジスタMP12～MP15はP型のMOSFETである。トランジスタMP12のゲートは信号線WSLに接続され、ソースは信号線SGLに接続され、ドレインはトランジスタMP14のゲートおよびキャパシタC12に接続される。キャパシタC11の一端は電源線VCCPに接続され、他端はキャパシタC12、トランジスタMP13のドレイン、およびトランジスタMP14のソースに接続される。キャパシタC12の一端はキャパシタC11の他端、トランジスタMP13のドレイン、およびトランジスタMP14のソースに接続され、他端はトランジスタMP12のドレインおよびトランジスタMP14のゲートに接続される。トランジスタMP13のゲートは信号線DSLに接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタMP14のソース、キャパシタC11の他端、およびキャパシタC12の一端に接続される。トランジスタMP14のゲートはトランジスタMP12のドレインおよびキャパシタC12の他端に接続され、ソースはトランジスタMP13のドレイン、キャパシタC11の他端、およびキャパシタC12の一端に接続され、ドレインは発光素子ELのアノードおよびトランジスタMP15のソースに接続される。トランジスタMP15のゲートは信号線AZSLに接続され、ソースはトランジスタMP14のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0110] この構成により、画素P 1 Xでは、トランジスタMP 1 2がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC 1 2の両端間の電圧が設定される。トランジスタMP 1 3は、信号線DSLの信号に基づいてオンオフする。トランジスタMP 1 4は、トランジスタMP 1 3がオン状態である期間において、キャパシタC 1 2の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMP 1 4から供給された電流に基づいて発光する。このようにして、画素P 1 Xは、画素信号に応じた輝度で発光する。トランジスタMP 1 5は、信号線AZSLの信号に基づいてオンオフする。トランジスタMP 1 5がオン状態である期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0111] 図1 3は、第1実施形態における画素の変形例3である。

[0112] 表示装置1は、図6で説明した画素P 1 Xの他、図1 3の画素P 1 Xを採用することができる。この画素P 1 Xは、キャパシタC 2 1と、トランジスタMN 2 2～MN 2 5と、発光素子ELとを有している。トランジスタMN 2 2～MN 2 5はN型のMOSFETである。トランジスタMN 2 2のゲートは信号線WSLに接続され、ドレインは信号線SGLに接続され、ソースはトランジスタMN 2 4のゲートおよびキャパシタC 2 1に接続される。キャパシタC 2 1の一端はトランジスタMN 2 2のソースおよびトランジスタMN 2 4のゲートに接続され、他端はトランジスタMN 2 4のソース、トランジスタMN 2 5のドレイン、および発光素子ELのアノードに接続される。トランジスタMN 2 3のゲートは信号線DSLに接続され、ドレインは電源線VCCPに接続され、ソースはトランジスタMN 2 4のドレインに接続される。トランジスタMN 2 4のゲートはトランジスタMN 2 2のソースおよびキャパシタC 2 1の一端に接続され、ドレインはトランジスタMN 2 3のソースに接続され、ソースはキャパシタC 2 1の他端、トランジスタMN 2 5のドレイン、および発光素子ELのアノードに接続される。トランジスタMN 2 5のゲートは信号線AZSLに接続され、ドレインはトランジスタ

MN 2 4 のソース、キャパシタ C 2 1 の他端、および発光素子 E L のアノードに接続され、ソースは電源線 V S S に接続される。

[0113] この構成により、画素 P I X では、トランジスタ MN 2 2 がオン状態になることにより、信号線 S G L から供給された画素信号に基づいてキャパシタ C 2 1 の両端間の電圧が設定される。トランジスタ MN 2 3 は、信号線 D S L の信号に基づいてオンオフする。トランジスタ MN 2 4 は、トランジスタ MN 2 3 がオン状態である期間において、キャパシタ C 2 1 の両端間の電圧に応じた電流を発光素子 E L に流す。発光素子 E L は、トランジスタ MN 2 4 から供給された電流に基づいて発光する。このようにして、画素 P I X は、画素信号に応じた輝度で発光する。トランジスタ MN 2 5 は、信号線 A Z S L の信号に基づいてオンオフする。トランジスタ MN 2 5 がオン状態である期間において、発光素子 E L のアノードの電圧は電源線 V S S の電圧に設定されることにより初期化される。

[0114] 図 1 4 は、第 1 実施形態における画素の変形例 4 である。

[0115] 表示装置 1 は、図 6 で説明した画素 P I X の他、図 1 4 の画素 P I X を採用することができる。この画素 P I X は、キャパシタ C 3 1 と、トランジスタ MP 3 2 ~ MP 3 6 と、発光素子 E L とを有している。トランジスタ MP 3 2 ~ MP 3 6 は P 型の MOS F E T である。トランジスタ MP 3 2 のゲートは信号線 W S L に接続され、ソースは信号線 S G L に接続され、ドレインはトランジスタ MP 3 3 のゲート、トランジスタ MP 3 4 のドレイン、およびキャパシタ C 3 1 に接続される。キャパシタ C 3 1 の一端は電源線 V C C P に接続され、他端はトランジスタ MP 3 2 のドレイン、トランジスタ MP 3 3 のゲート、およびトランジスタ MP 3 4 のドレインに接続される。トランジスタ MP 3 4 のゲートは信号線 A Z S L 1 に接続され、ソースはトランジスタ MP 3 3 のドレインおよびトランジスタ MP 3 5 のソースに接続され、ドレインはトランジスタ MP 3 2 のドレイン、トランジスタ MP 3 3 のゲート、およびキャパシタ C 3 1 の他端に接続される。トランジスタ MP 3 5 のゲートは信号線 D S L に接続され、ソースはトランジスタ MP 3 3 のドレ

インおよびトランジスタMP 3 4のソースに接続され、ドレインはトランジスタMP 3 6のソースおよび発光素子ELのアノードに接続される。トランジスタMP 3 6のゲートは信号線AZSL 2に接続され、ソースはトランジスタMP 3 5のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0116] この構成により、画素PIXでは、トランジスタMP 3 2がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC 3 1の両端間の電圧が設定される。トランジスタMP 3 5は、信号線DSLの信号に基づいてオンオフする。トランジスタMP 3 3は、トランジスタMP 3 5がオン状態である期間において、キャパシタC 3 1の両端間の電圧に応じた電流を、発光素子ELに流す。発光素子ELは、トランジスタMP 3 3から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP 3 4は、信号線AZSL 1の信号に基づいてオンオフする。トランジスタMP 3 4がオン状態である期間において、トランジスタMP 3 3のドレインおよびゲートが互いに接続される。トランジスタMP 3 6は、信号線AZSL 2の信号に基づいてオンオフする。トランジスタMP 3 6がオン状態になる期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0117] 図15は、第1実施形態における画素の変形例5である。

[0118] 表示装置1は、図6で説明した画素PIXの他、図15の画素PIXを採用することができる。キャパシタC 4 8の一端は信号線SGL 1に接続され、他端は電源線VSSに接続される。キャパシタC 4 9の一端は信号線SGL 1に接続され、他端は信号線SGL 2に接続される。トランジスタMP 4 9はP型のMOSFETであり、ゲートは信号線WSL 2に接続され、ソースは信号線SGL 1に接続され、ドレインは信号線SGL 2に接続される。

[0119] 画素PIXは、キャパシタC 4 1と、トランジスタMP 4 2～MP 4 6と、発光素子ELとを有している。トランジスタMP 4 2～MP 4 6は、P型

のMOSFETである。トランジスタMP42のゲートは信号線WSL1に接続され、ソースは信号線SGL2に接続され、ドレインはトランジスタMP43のゲートおよびキャパシタC41に接続される。キャパシタC41の一端は電源線VCCPに接続され、他端はトランジスタMP42のドレインおよびトランジスタMP43のゲートに接続される。トランジスタMP43のゲートはトランジスタMP42のドレインおよびキャパシタC41の他端に接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタMP44、MP45のソースに接続される。トランジスタMP44のゲートは信号線AZSL1に接続され、ソースはトランジスタMP43のドレインおよびトランジスタMP45のソースに接続され、ドレインは信号線SGL2に接続される。トランジスタMP45のゲートは信号線DSLに接続され、ソースはトランジスタMP43のドレインおよびトランジスタMP44のソースに接続され、ドレインはトランジスタMP46のソースおよび発光素子ELのアノードに接続される。トランジスタMP46のゲートは信号線AZSL2に接続され、ソースはトランジスタMP45のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0120] この構成により、画素PIXでは、トランジスタMP42がオン状態になることにより、信号線SGL1からキャパシタC49を介して供給された画素信号に基づいてキャパシタC41の両端間の電圧が設定される。トランジスタMP45は、信号線DSLの信号に基づいてオンオフする。トランジスタMP43は、トランジスタMP45がオン状態である期間において、キャパシタC41の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMP43から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP44は、信号線AZSL1の信号に基づいてオンオフする。トランジスタMP44がオン状態である期間において、トランジスタMP43のドレインおよび信号線SGL2が互いに接続される。トランジスタMP46は、信号線AZSL2の信号に基づいてオンオフする。トランジスタMP46

がオン状態になる期間において、発光素子E Lのアノードの電圧は電源線V S Sの電圧に設定されることにより初期化される。

[0121] 図16は、第1実施形態における画素の変形例6である。

[0122] 表示装置1は、図6で説明した画素P I Xの他、図16の画素P I Xを採用することができる。複数の画素P I Xは、表示領域100にマトリクス状に設けられ、表示領域100は、第1の制御部40と第2の制御部70の間に設けられる。

[0123] 第1の制御部40は、トランSMissionゲートT G 45、T G 46と、トランジスタM P 56、M P 57と、キャパシタC 61とを有している。トランジスタM P 56、M P 57は、P型のM O S F E Tである。トランSMissionゲートT G 45の入力端には画素信号が供給され、トランSMissionゲートT G 45の出力端は信号線14aの一端に接続される。トランSMissionゲートT G 46の入力端は信号線14bに接続され、トランSMissionゲートT G 46の出力端は電源線V o r s tに接続される。キャパシタC 61の一端は信号線14aに接続され、他端は電源線V S S 1に接続される。トランジスタM P 56のゲートは信号線I N I Lに接続され、ソースは電源線V i n iに接続され、ドレインは信号線14bに接続される。トランジスタM P 57のゲートは信号線E L Lに接続され、ソースは電源線V e lに接続され、ドレインは信号線14bに接続される。

[0124] 第2の制御部70は、トランSMissionゲートT G 72と、トランジスタM P 73と、キャパシタC 82とを有している。トランジスタM P 73は、P型のM O S F E Tである。トランSMissionゲートT G 72の入力端は信号線14aの他端に接続され、出力端はトランジスタM P 73のドレインおよびキャパシタC 82の一端に接続される。トランジスタM P 73のゲートは信号線R E F Lに接続され、ソースは電源線V r e fに接続され、ドレインはトランSMissionゲートT G 72の出力端およびキャパシタC 82の一端に接続される。キャパシタC 82の一端はトランSMissionゲートT G 72の出力端およびトランジスタM P 73のドレインに接続され、他

端は信号線14bの一端に接続される。

[0125] 画素PIXは、キャパシタC132と、トランジスタMP121～MP125と、発光素子ELとを有している。トランジスタMP121～MP125は、P型のMOSFETである。トランジスタMP122のゲートは信号線WSLに接続され、ソースは信号線14bに接続され、ドレインはトランジスタMP121のゲートおよびキャパシタC132に接続される。キャパシタC132の一端は電源線Ve1に接続され、他端はトランジスタMP122のドレインおよびトランジスタMP121のゲートに接続される。トランジスタMP121のゲートはトランジスタMP122のドレインおよびキャパシタC132の他端に接続され、ソースは電源線Ve1に接続され、ドレインはトランジスタMP123、MP124のソースに接続される。トランジスタMP123のゲートは信号線AZSLに接続され、ソースはトランジスタMP121のドレインおよびトランジスタMP124のソースに接続され、ドレインは信号線14bに接続される。トランジスタMP124のゲートは信号線DSLに接続され、ソースはトランジスタMP121のドレインおよびトランジスタMP123のソースに接続され、ドレインはトランジスタMP125のドレインおよび発光素子130のアノードに接続される。トランジスタMP125のゲートは信号線AZSLに接続され、ソースは電源線Vorstに接続され、ドレインはトランジスタMP124のドレインおよび発光素子130のアノードに接続される。

[0126] この構成により、画素PIXでは、トランジスタMP122がオン状態になることにより、トランスミッションゲートTG45、信号線14a、トランスミッションゲートTG72、キャパシタC82および信号線14bを介して供給された画素信号に基づいてキャパシタC132の両端間の電圧が設定される。トランジスタMP124は、信号線DSLの信号に基づいてオンオフする。トランジスタMP121は、トランジスタMP124がオン状態である期間において、キャパシタC132の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMP121から供給され

た電流に基づいて発光する。このようにして、画素P I Xは、画素信号に応じた輝度で発光する。トランジスタMP 1 2 3, MP 1 2 5は、信号線A Z S Lの信号に基づいてオンオフする。トランジスタMP 1 2 3がオン状態である期間において、トランジスタMP 1 2 1のドレインおよびトランジスタMP 1 2 4のソースが信号線1 4 bに接続される。トランジスタMP 1 2 5がオン状態になる期間において、発光素子E Lのアノードの電圧は電源線V o r s tの電圧に設定されることにより初期化される。また、トランジスタMP 5 6は、信号線I N I Lの信号に基づいてオンオフし、トランジスタMP 5 7は、信号線E L Lの信号に基づいてオンオフし、トランジスタMP 7 3は、信号線R E F Lの信号に基づいてオンオフする。トランジスタMP 5 6がオン状態になると、信号線1 4 bは電源線V i n iの電圧に設定され、トランジスタMP 5 7がオン状態になると、信号線1 4 bは電源線V e lの電圧に設定される。トランジスタMP 7 3がオン状態になると、キャパシタC 8 2の一端は電源線V r e fの電圧に設定されることにより初期化される。

[0127] 図1 7は、第1実施形態における画素の変形例7である。

[0128] 表示装置1は、図6で説明した画素P I Xの他、図1 7の画素P I Xを採用することができる。この画素P I Xは、キャパシタC 5 1と、トランジスタMP 5 2～MP 6 0と、発光素子E Lとを有している。トランジスタMP 5 2～MP 6 0はP型のM O S F E Tである。トランジスタMP 5 2のゲートは信号線W S Lに接続され、ソースは信号線S G Lに接続され、ドレインはトランジスタMP 5 3のドレインおよびトランジスタMP 5 4のソースに接続される。トランジスタMP 5 3のゲートは信号線D S Lに接続され、ソースは電源線V C C Pに接続され、ドレインはトランジスタMP 5 2のドレインおよびトランジスタMP 5 4のソースに接続される。トランジスタMP 5 4のゲートはトランジスタMP 5 5のソース、トランジスタMP 5 7のドレイン、およびキャパシタC 5 1に接続され、ソースはトランジスタMP 5 2, MP 5 3のドレインに接続され、ドレインはトランジスタMP 5 8, M

P 5 9 のソースに接続される。キャパシタ C 5 1 の一端は電源線 V C C P に接続され、他端はトランジスタ M P 5 4 のゲート、トランジスタ M P 5 5 のソース、およびトランジスタ M P 5 7 のドレインに接続される。キャパシタ C 5 1 は、互いに並列に接続された 2 つのキャパシタを含んでもよい。トランジスタ M P 5 5 のゲートは信号線 A Z S L 1 に接続され、ソースはトランジスタ M P 5 4 のゲート、トランジスタ M P 5 7 のドレイン、およびキャパシタ C 5 1 の他端に接続され、ドレインはトランジスタ M P 5 6 のソースに接続される。トランジスタ M P 5 6 のゲートは信号線 A Z S L 1 に接続され、ソースはトランジスタ M P 5 5 のドレインに接続され、ドレインは電源線 V S S に接続される。トランジスタ M P 5 7 のゲートは信号線 W S L に接続され、ドレインはトランジスタ M P 5 4 のゲート、トランジスタ M P 5 5 のソース、およびキャパシタ C 5 1 の他端に接続され、ソースはトランジスタ M P 5 8 のドレインに接続される。トランジスタ M P 5 8 のゲートは信号線 W S L に接続され、ドレインはトランジスタ M P 5 7 のソースに接続され、ソースはトランジスタ M P 5 4 のドレインおよびトランジスタ M P 5 9 のソースに接続される。トランジスタ 5 9 のゲートは信号線 D S L に接続され、ソースはトランジスタ M P 5 4 のドレインおよびトランジスタ M P 5 8 のソースに接続され、ドレインはトランジスタ M P 6 0 のソースおよび発光素子 E L のアノードに接続される。トランジスタ M P 6 0 のゲートは信号線 A Z S L 2 に接続され、ソースはトランジスタ M P 5 9 のドレインおよび発光素子 E L のアノードに接続され、ドレインは電源線 V S S に接続される。

[0129] この構成により、画素 P 1 X では、トランジスタ M P 5 2, M P 5 4, M P 5 8, M P 5 7 がオン状態になることにより、信号線 S G L から供給された画素信号に基づいてキャパシタ C 5 1 の両端間の電圧が設定される。トランジスタ M P 5 3, M P 5 9 は、信号線 D S L の信号に基づいてオンオフする。トランジスタ M P 5 4 は、トランジスタ M P 5 3, M P 5 9 がオン状態である期間において、キャパシタ C 5 1 の両端間の電圧に応じた電流を、発光素子 E L に流す。発光素子 E L は、トランジスタ M P 5 4 から供給された

電流に基づいて発光する。このようにして、画素P I Xは、画素信号に応じた輝度で発光する。トランジスタMP 5 5, MP 5 6は、信号線A Z S L 1の信号に基づいてオンオフする。トランジスタMP 5 5, MP 5 6がオン状態である期間において、トランジスタMP 5 4のゲートの電圧は電源線V S Sの電圧に設定されることにより初期化される。トランジスタMP 6 0は、信号線A Z S L 2の信号に基づいてオンオフする。トランジスタMP 6 0がオン状態である期間において、発光素子E Lのアノードの電圧は電源線V S Sの電圧に設定されることにより初期化される。

[0130] 図1 8は、第1実施形態における画素の変形例8である。

[0131] 表示装置1は、図6で説明した画素P I Xの他、図1 8の画素P I Xを採用することができる。信号線W S N Lの信号および信号線W S P Lの信号は、互いに反転した信号である。

[0132] 画素P I Xは、キャパシタC 6 1, C 6 2と、トランジスタMN 6 3, MP 6 4, MN 6 5~MN 6 7と、発光素子E Lとを有している。トランジスタMN 6 3, MN 6 5~MN 6 7はN型のM O S F E Tであり、トランジスタMP 6 4はP型のM O S F E Tである。トランジスタMN 6 3のゲートは信号線W S N Lに接続され、ドレインは信号線S G LおよびトランジスタMP 6 4のソースに接続され、ソースはトランジスタMP 6 4のドレイン、キャパシタC 6 1, C 6 2、およびトランジスタMN 6 5のゲートに接続される。トランジスタMP 6 4のゲートは信号線W S P Lに接続され、ソースは信号線S G LおよびトランジスタMN 6 3のドレインに接続され、ドレインはトランジスタMN 6 3のソース、キャパシタC 6 1, C 6 2、およびトランジスタMN 6 5のゲートに接続される。キャパシタC 6 1は、例えばM O M (Metal Oxide Metal) キャパシタを用いて構成され、一端はトランジスタMN 6 3のソース、トランジスタMP 6 4のドレイン、キャパシタC 6 2、およびトランジスタMN 6 5のゲートに接続され、他端は電源線V S S 2に接続される。なお、キャパシタC 6 1は、例えばM O S キャパシタやM I M (Metal Insulator Metal) キャパシタを用いて構成されてもよい。キャパシ

タC 6 2は、例えばM O Sキャパシタを用いて構成され、一端はトランジスタM N 6 3のソース、トランジスタM P 6 4のドレイン、キャパシタC 6 1の一端、およびトランジスタM N 6 5のゲートに接続され、他端は電源線V S S 2に接続される。なお、キャパシタC 6 2は、例えば、M O MキャパシタやM I Mキャパシタを用いて構成されてもよい。また、キャパシタC 6 2の他端は、電源線V S S 3（図示省略）に接続されてもよい。トランジスタM N 6 5のゲートはトランジスタM N 6 3のソース、トランジスタM P 6 4のドレイン、およびキャパシタC 6 1、C 6 2の一端に接続され、ドレインは電源線V C C Pに接続され、ソースはトランジスタM N 6 6、M N 6 7のドレインに接続される。トランジスタM N 6 6のゲートは信号線A Z Lに接続され、ドレインはトランジスタM N 6 5のソースおよびトランジスタM N 6 7のドレインに接続され、ソースは電源線V S S 1に接続される。トランジスタM N 6 7のゲートは信号線D S Lに接続され、ドレインはトランジスタM N 6 5のソースおよびトランジスタM N 6 6のドレインに接続され、ソースは発光素子E Lのアノードに接続される。

- [0133] この構成により、画素P I Xでは、トランジスタM N 6 3、M P 6 4のうちの少なくとも一方がオン状態になることにより、信号線S G Lから供給された画素信号に基づいてキャパシタC 6 1、C 6 2の両端間の電圧が設定される。トランジスタM N 6 7は、信号線D S Lの信号に基づいてオンオフする。トランジスタM N 6 5は、トランジスタM N 6 7がオン状態である期間において、キャパシタC 6 1、C 6 2の両端間の電圧に応じた電流を、発光素子E Lに流す。発光素子E Lは、トランジスタM P 6 5から供給された電流に基づいて発光する。このようにして、画素P I Xは、画素信号に応じた輝度で発光する。トランジスタM N 6 6は、信号線A Z Lの信号に基づいてオンオフしてもよい。また、トランジスタM N 6 6は、信号線A Z Lの信号に応じた抵抗値を有する抵抗素子として機能してもよい。この場合、トランジスタM N 6 5およびトランジスタM N 6 6はいわゆるソースフォロワ回路を構成する。

[0134] 図19は、第1実施形態における画素の変形例9である。

[0135] 表示装置1は、図6で説明した画素P1Xの他、図19の画素P1Xを採用することができる。図19は、液晶表示装置における画素P1Xの構成を表したものである。なお、図19では、4つの画素P1Xに対応する領域について示している。このように、画素P1Xは、液晶素子LCと、保持容量Cpと、FET110を含むものである。各画素P1Xには、走査線GLと信号線DLとが接続されている。走査線GLは、FET110の例えばゲートに接続されており、図示しない走査線駆動回路から、所定のタイミングでFET110へ走査信号を供給するための配線である。信号線DLは、外部から入力された映像信号に基づく信号を、信号線駆動回路から各画素Pへ供給するための配線である。なお、走査線駆動回路および信号線駆動回路は、有効画素領域Aの周辺領域に形成されるか、または接続されている。この画素は、駆動基板10に複数層にわたって形成されている。

[0136] 図20は、第1実施形態の表示装置の変形例における垂直系の制御に関する説明図である。

[0137] 本変形例では、垂直ドライバ52の構成は、シフトレジスタ方式ではなく、アドレスデコード方式である。図9に示した構成以外は、第1実施形態と同様であるため、説明を省略する。垂直ドライバ52は、1または複数のアドレスデコーダ47を含み、垂直ロジック回路41から垂直方向の表示開始位置を示す信号（アドレス信号）を入力として受け付ける。また、アドレスデコーダ47は、垂直方向における画素数分だけ備えられ、例えば、画素アレイ51が、垂直方向に100画素含む場合、アドレスデコーダ47も同じ数だけ含まれる。垂直ドライバ52は、アドレス信号から対象となるアドレスデコーダ47を選択し、出力データの垂直方向における表示位置を決定する。

[0138] 例えば、垂直ロジック回路41は、ユーザが指定した垂直方向の表示開始位置に関する信号をデコードし、デコード値を含むアドレス信号を生成する。垂直ロジック回路41は、デコード値から、特定の行を選択し、選択パル

スSELを出力する。水平ドライバ53は、選択パルスSELの出力に基づいて、その行における出力データを出力する。垂直ロジック回路41は、アドレスデコード方式を用いることで、シフトレジスタ方式と比較して、垂直ドライバ52の制御を容易化することができる。

[0139] 図20の例では、垂直ドライバ52は、垂直ロジック回路41からデコード信号に含まれるデコード値として、“234”という値の入力を受け付ける例である。この値は、行方向において上から3番目の行を表しており、垂直ドライバ52がその行のアドレスデコーダ47から選択パルスSELを出力する。水平ドライバ53は、選択パルスSELに基づいて、水平方向における出力データを出力する。一方で、上から1、2番目の行は、黒領域となる。

[0140] 本実施形態によれば、表示装置1は、ユーザが指定した表示開始位置に基づいて、入力された画像データの解像度および表示位置をフレキシブルに調整することができる。

[0141] また、本実施形態によれば、表示装置1は、画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける。そのため、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができるため、低消費電力化を実現することができる。

[0142] また、本実施形態によれば、表示装置1は、黒データの挿入は、内部生成クロックで行うため、入力クロックについて画像データのデータ量に応じた低速なクロック周波数とすることができ、低消費電力化を実現することができる。

[0143] また、本実施形態によれば、表示装置1におけるシフトレジスタ43の各群は、複数のフリップフロップ45がセクタ44を共有する構成をとっているため、フリップフロップ45ごとにセクタ44を備える構成と比較して、回路規模が大きくなることを抑制することができる。また、表示装置1は、ラインメモリ25を備えることで、同様に回路規模が大きくなることを

抑制することができる。

[0144] また、本実施形態によれば、表示する画像データに見切れが発生する場合、表示装置 1 はユーザが指定した表示開始位置から、画素アレイ 5 1 内に表示できる分の画像データを表示することができる。

[0145] また、本実施形態によれば、表示装置 1 は、黒領域について画素 P 1 X のトランジスタの処理が固定であるため、垂直ドライバ 5 2 によるスキャン処理を不要とすることができる。また、画素 P 1 X への信号フォーマットの入力形式は、特定の信号フォーマットに限られないため自由度が増し、さらに低速化が実現できる。

[0146] また、本実施形態によれば、前記画素に含まれる発光素子は、有機 EL 素子または液晶素子等、種々の発光素子を採用することができ、また、種々の画素 P 1 X を備えた表示装置 1 を実現することができる。

[0147] また、本実施形態によれば、表示装置 1 は、垂直ロジック回路 4 1 として、アドレスデコード方式を採用することができる。表示装置 1 は、アドレスデコーダ 4 7 を用いることで、シフトレジスタ方式と比較して、垂直ドライバ 5 2 の制御を容易化することができる。

[0148] (第 2 実施形態)

図 2 1 は、第 2 実施形態におけるタイミングコントローラのブロック図である。

[0149] 本実施形態では、第 1 実施形態とは異なり、表示装置 1 は、水平ロジック回路 4 2 の代わりに、第 1 水平ロジック回路 4 3 および第 2 水平ロジック回路 4 4 を備える。その他の構成は第 1 実施形態と同様であるため省略する。本実施形態では、表示装置 1 は、第 1 水平ロジック回路 4 3 の出力時に画素データに対して、黒データの挿入を行う。

[0150] 図 2 2 は、第 2 実施形態の表示装置における動作説明図である。

[0151] この例では、画像処理部 3 3 が、1 行分の有効データの前後に、黒データを挿入する例を取り上げて、第 1 実施形態と第 2 実施形態とを比較する。第 1 実施形態では、画像処理部 3 3 は、ラインメモリ 2 5 の出力時に黒データ

を挿入する。黒データは、H__SHIFTの位置まで挿入され、続いて表示解像度（H__ACTIVE）分の有効データが挿入される。有効データの挿入後、再び黒データが挿入され、出力データが作成される。黒データの挿入により、第2水平ロジック回路44では、有効データは第1水平ロジック回路43とは記憶領域の対応関係がずれて格納されることになる。第2実施形態では、タイミングコントローラ12は、水平スタートパルスHSTに同期して、画素データを第1水平ロジック回路43に供給する。この画素データは、R、GおよびB等の色ごとに、その階調を示す階調情報を含む。第1水平ロジック回路43は、この画素データを一時的に保存する。また、画像処理部33は、第1水平ロジック回路43の出力時に、黒データの階調情報を挿入した画素データを、第2水平ロジック回路44に供給する。この黒データの挿入は、データイネーブル信号に基づいて行われる。本実施形態においては、表示装置1は、ラインメモリ25を備えていなくてもよい。また、黒データの挿入は、ディスプレイコントローラ13内に黒データ挿入部を設けて、この機能ブロックにより実現してもよい。

[0152] 図23は、第2実施形態の表示装置の変形例における動作説明図である。

[0153] 本変形例では、画像処理部33は、ラインメモリ25の出力時に黒データを挿入するのではなく、タイミングコントローラ12の出力時に画像データに対して、黒データの挿入を行う。この黒データの挿入は、データイネーブル信号に基づいて行われる。また、黒データの挿入は、タイミングコントローラ12内に黒データ挿入部を設けて、この機能ブロックにより実現してもよい。また、本変形例においては、第1水平ロジック回路43および第2水平ロジック回路44の構成は、第1実施形態と同様な水平ロジック回路42であってもよい。

[0154] 本実施形態によれば、表示装置1は、ラインメモリ25の出力時以外のタイミングで画像データに黒データを挿入することができ、表示装置1の設計の自由度を向上させることができる。

[0155] （適用例1）

次に、上記実施の形態および変形例で説明した表示システムの適用例について説明する。

[0156] (適用例 1)

図 24 は、ヘッドマウントディスプレイ 110 の外観の一例を表すものである。ヘッドマウントディスプレイ 110 は、例えば、眼鏡形の表示部 111 の両側に、使用者の頭部に装着するための耳掛け部 112 を有する。このようなヘッドマウントディスプレイ 110 に、上記実施の形態等に係る技術を適用することができる。

[0157] (適用例 2)

図 25 は、他のヘッドマウントディスプレイ 120 の外観の一例を表すものである。ヘッドマウントディスプレイ 120 は、本体部 121 と、アーム部 122 と、鏡筒部 123 とを有する、透過式のヘッドマウントディスプレイである。このヘッドマウントディスプレイ 120 は、眼鏡 128 に装着されている。本体部 121 は、ヘッドマウントディスプレイ 120 の動作を制御するための制御基板や表示部を有している。この表示部は、表示画像の画像光を射出する。アーム部 122 は、本体部 121 と鏡筒部 123 とを連結し、鏡筒部 123 を支持する。鏡筒部 123 は、本体部 121 からアーム部 122 を介して供給された画像光を、眼鏡 128 のレンズ 129 を介して、ユーザの目に向かって投射する。このようなヘッドマウントディスプレイ 120 に、上記実施の形態等に係る技術を適用することができる。

[0158] なお、このヘッドマウントディスプレイ 120 は、いわゆる導光板方式のヘッドマウントディスプレイであるが、これに限定されるものではなく、例えば、いわゆるバードバス方式のヘッドマウントディスプレイであってもよい。このバードバス方式のヘッドマウントディスプレイは、例えば、ビームスプリッタと、部分的に透明なミラーとを備えている。ビームスプリッタは、画像情報でエンコードされた光をミラーに向けて出力し、ミラーは、光をユーザの目に向かって反射させる。ビームスプリッタおよび部分的に透明なミラーの両方は、部分的に透明である。これにより、周囲環境からの光がユ

ーザの目に到達する。

[0159] (適用例3)

図26A、26Bは、デジタルスチルカメラ130の外観の一例を表すものであり、図26Aは正面図を示し、図26Bは背面図を示す。このデジタルスチルカメラ130は、レンズ交換式一眼レフレックスタイプのカメラであり、カメラ本体部(カメラボディ)131と、撮影レンズユニット132と、グリップ部133と、モニタ134と、電子ビューファインダ135とを有する。撮像レンズユニット132は、交換式のレンズユニットであり、カメラ本体部311の正面のほぼ中央付近に設けられる。グリップ部133は、カメラ本体部311の正面の左側に設けられ、撮影者は、このグリップ部133を把持するようになっている。モニタ134は、カメラ本体部131の背面のほぼ中央よりも左側に設けられる。電子ビューファインダ135は、カメラ本体部131の背面において、モニタ14の上部に設けられる。撮影者は、この電子ビューファインダ135を覗くことにより、撮影レンズユニット132から導かれた被写体の光像を視認し、構図を決定することができる。電子ビューファインダ135に、上記実施の形態等に係る技術を適用することができる。

[0160] (適用例4)

図27は、テレビジョン装置140の外観の一例を表すものである。テレビジョン装置140は、フロントパネル142およびフィルターガラス143を含む映像表示画面部141を有する。この映像表示画面部141に、上記実施の形態等に係る技術を適用することができる。

[0161] (適用例5)

図28は、スマートフォン150の外観の一例を表すものである。スマートフォン150は、各種情報を表示する表示部151と、ユーザによる操作入力を受け付けるボタンなどを含む操作部152とを有する。この表示部151に、上記実施の形態等に係る技術を適用することができる。

[0162] (適用例6)

図 29 A、29 B は、本開示の技術が適用された車両の一構成例を表すものであり、図 29 A は、車両 200 の後部から見た車両の内部の一例を示し、図 29 B は、車両 200 の左後方からみた車両の内部の一例を示す。

[0163] 図 29 A、29 B の車両は、センターディスプレイ 201 と、コンソールディスプレイ 202 と、ヘッドアップディスプレイ 203 と、デジタルリアミラー 204 と、ステアリングホイールディスプレイ 205 と、リアエンタテインメントディスプレイ 206 とを有する。

[0164] センターディスプレイ 201 は、ダッシュボード 261 における、運転席 262 および助手席 263 に対向する場所に配置されている。図 29 A では、運転席 262 側から助手席 263 側まで延びる横長形状のセンターディスプレイ 201 の例を示すが、センターディスプレイ 201 の画面サイズや配置場所はこれに限定されるものではない。センターディスプレイ 201 は、種々のセンサで検知された情報を表示可能である。具体的な一例として、センターディスプレイ 201 には、イメージセンサで撮影した撮影画像、ToF センサで計測された、車両前方や側方の障害物までの距離画像、赤外線センサで検出された乗員の体温などを表示可能である。センターディスプレイ 201 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、およびエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。

[0165] 安全関連情報は、センサの検出結果に基づく、居眠り検知、よそ見検知、同乗している子供のいたずら検知、シートベルト装着有無、乗員の置き去り検知などの情報である。操作関連情報は、センサを用いて検出された、乗員の操作に関するジェスチャの情報である。ジェスチャは、車両内の種々の設備の操作を含んでもよく、例えば、空調設備、ナビゲーション装置、A V (Audio Visual) 装置、照明装置等の操作を含む。ライフログは、乗員全員のライフログを含む。例えば、ライフログは、各乗員の行動記録を含む。ライフログを取得し保存することにより、事故が生じた際、乗員がどのような状態であったかを確認できる。健康関連情報は、温度センサを用いて検出

された乗員の体温や、検出された体温に基づいて推測された乗員の健康状態の情報を含む。あるいは、乗員の健康状態の情報は、イメージセンサにより撮像された乗員の顔に基づいて推測されてもよい。また、乗員の健康状態の情報は、乗員と自動音声を用いて会話を行うことにより得られた乗員の回答内容に基づいて推測されてもよい。認証／識別関連情報は、センサを用いて顔認証を行うキーレスエントリ機能や、顔識別でシート高さや位置の自動調整機能などの情報を含む。エンタテインメント関連情報は、センサにより検出された乗員によるＡＶ装置の操作情報や、センサにより検出され認識された乗員に適した、表示すべきコンテンツの情報などを含む。

[0166] コンソールディスプレイ２０２は、例えばライフログ情報の表示に用いることができる。コンソールディスプレイ２０２は、運転席２６２と助手席２６３の間のセンターコンソール２６４における、シフトレバー２６５の近くに配置されている。コンソールディスプレイ２０２も、種々のセンサで検知された情報を表示可能である。また、コンソールディスプレイ２０２は、イメージセンサで撮像された車両周辺の画像を表示してもよいし、車両周辺の障害物までの距離画像を表示してもよい。

[0167] ヘッドアップディスプレイ２０３は、運転席２６２の前方のフロントガラス２６６の奥に仮想的に表示される。ヘッドアップディスプレイ２０３は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、およびエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。ヘッドアップディスプレイ２０３は、運転席２６２の正面に仮想的に配置されることが多いため、車両の速度、燃料の残量、バッテリーの残量などの車両の操作に直接関連する情報を表示するのに適している。

[0168] デジタルリアミラー２０４は、車両の後方を表示できるだけでなく、後部座席の乗員の様子も表示できるため、例えば後部座席の乗員のライフログ情報の表示に用いることができる。

[0169] ステアリングホイールディスプレイ２０５は、車両のステアリングホイー

ル 2 6 7 の中心付近に配置されている。ステアリングホイールディスプレイ 2 0 5 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、およびエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。特に、ステアリングホイールディスプレイ 2 0 5 は、運転者の手の近くにあるため、運転者の体温等のライフログ情報を表示したり、A V 装置や空調設備等の操作に関する情報などを表示するのに適している。

[0170] リアエンタテインメントディスプレイ 2 0 6 は、運転席 2 6 2 や助手席 2 6 3 の背面側に取り付けられており、後部座席の乗員が視聴するためのものである。リアエンタテインメントディスプレイ 2 0 6 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、およびエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。特に、リアエンタテインメントディスプレイ 2 0 6 は、後部座席の乗員の目の前にあるため、後部座席の乗員に関連する情報が表示される。リアエンタテインメントディスプレイ 2 0 6 は、例えば、A V 装置や空調設備の操作に関する情報を表示したり、後部座席の乗員の体温等を温度センサ 5 で計測した結果を表示してもよい。

[0171] これらのセンターディスプレイ 2 0 1、コンソールディスプレイ 2 0 2、ヘッドアップディスプレイ 2 0 3、デジタルリアミラー 2 0 4、ステアリングホイールディスプレイ 2 0 5、リアエンタテインメントディスプレイ 2 0 6 に、上記実施の形態等に係る技術を適用することができる。

[0172] (適用例 7)

図 3 0 に図示した液晶プロジェクタ 3 0 0 は、光源からの光を赤色、青色、緑色の 3 原色に分離し、それぞれの色に対して液晶表示パネルを 1 枚ずつ用いてカラー画像表示を行なう、いわゆる 3 板方式のプロジェクタである。以下では、便宜上、赤色光が入射する液晶表示パネル 1 0 を液晶表示装置 3 2 5 R、緑色光が入射する液晶表示パネル 1 0 を液晶表示装置 3 2 5 G、青色光が入射する液晶表示パネル 1 0 を液晶表示装置 3 2 5 B と呼称する。液

晶表示装置 325 R、325 G、325 B は、液晶表示パネルであり、3枚ともほぼ同じ構造を有している。これらの液晶表示装置 325 R、325 G、325 B は、制御回路 20 により制御される。

[0173] 図 30 の液晶プロジェクタ 300 は、光を発する光源 311 と、光源 311 からの光の出射側に配置される第 1 のレンズアレイ 312 と、第 1 のレンズアレイ 312 からの出射光を反射し、出射光の光路（光軸 310）を 90° 変更するミラー 314 と、ミラー 314 からの反射光が入射する第 2 のレンズアレイ 313 とを備えている。

[0174] ミラー 314 は、好適には全反射ミラーである。

[0175] 第 1 レンズアレイ 312 と第 2 レンズアレイ 313 には、それぞれ複数のマイクロレンズ 312 M、313 M が 2 次元的に配列されている。第 1 レンズアレイ 312、第 2 レンズアレイ 313 は、光の照度分布を均一化させるためのものであり、入射した光を複数の小光束に分割する機能を有している。

[0176] なお、光源 311 と第 1 レンズアレイ 312 との間に、図示しない UV（Ultra Violet）／IR（Infrared）カットフィルタを設置してもよい。

[0177] 光源 311 は、カラー画像表示に必要とされる、赤色光、青色光および緑色光を含んだ白色光を発する。光源 311 は、白色光を発する発光体（図示せず）と、発光体から発せられた光を反射、集光するリフレクターとを含んで構成されている。

[0178] 発光体としては、たとえば、超高圧水銀ランプ、ハロゲンランプ、メタルハライドランプまたはキセノンランプ等のランプが使用される。リフレクターは、集光効率が良い形状であることが望ましく、たとえば回転楕円鏡や回転放物面等の回転対称な凹面形状となっている。また、発光体の発光点は、凹面形状のリフレクターの焦点位置に配置される。

[0179] 光源 311 の発光体から出射された白色光は、リフレクターによって略平行光となり、第 1 レンズアレイ 312 を通過して全反射ミラー 314 に入射

する。全反射ミラー 314 によって光軸 310 が 90° 曲がった白色光は、第 2 レンズアレイ 313 に入射する。

[0180] 図 30 に図解の液晶プロジェクタ 300 は、第 2 レンズアレイ 313 からの光の出射側に、PS 合成素子 315 と、コンデンサレンズ 316 と、ダイクロイックミラー 317 とを有する。

[0181] PS 合成素子 315 には、第 2 レンズアレイ 313 における隣り合うマイクロレンズ間に対応する位置に、複数の位相差板 315A が設けられている。1/2 波長板が、位相差板 315A の一例である。

[0182] PS 合成素子 315 は、入射した光を P 偏光成分および S 偏光成分の偏光に分離する。また、PS 合成素子 315 は、分離した 2 つの偏光のうち、一方の偏光を、その偏光方向（たとえば P 偏光）を保ったまま偏光変換素子 315 から出射し、他方の偏光（たとえば S 偏光成分）を、1/2 波長板 315A の作用により、他の偏光成分（たとえば P 偏光成分）に変換して出射する。

[0183] PS 合成素子 315 から出射した光は、コンデンサレンズ 316 によって集光されてダイクロイックミラー 317 に入射する。

[0184] ダイクロイックミラー 317 は、入射した光のうち、たとえば赤色光 LR を反射し、その他の色の光を透過することにより、入射光を赤色光 LR とその他の色とに色分解する。

[0185] さらに、液晶プロジェクタ 300 は、ダイクロイックミラー 317 によって色分解された赤色光 LR の光路に沿って、ミラー 318 と、フィールドレンズ 324R と、入射側偏光板 330I と、液晶表示装置 325R と、出射側偏光板 330S とを有する。

[0186] ミラー 318 としては、好適には全反射ミラーが用いられる。全反射ミラー 318 は、ダイクロイックミラー 317 によって色分解された赤色光 LR を、入射側偏光板 330I および液晶表示装置 325R に向けて反射する。

[0187] 入射側偏光板 330I は、前述のように、全反射ミラー 318 から入射する赤色光 LR のうち、偏光軸 330a に一致する方向の光を通過させる。

- [0188] 液晶表示装置 325R は、入射側偏光板 330I を介して入射した赤色光 LR を、入力される画像データに応じて空間的に変調する。出射側偏光板 330S は、液晶表示パネル 325R からの変調された赤色光 LR のうち、偏光軸 330b に一致する方向の光を通過させる。
- [0189] 液晶プロジェクタ 300 は、ダイクロイックミラー 317 によって色分解された他の色の光の光路に沿って、ダイクロイックミラー 319 を有している。ダイクロイックミラー 319 は、入射した光のうち、たとえば緑色光 LG を反射して青色光 LB を透過することにより、入射した光を緑色光 LG と青色光 LB とに色分解する。
- [0190] ダイクロイックミラー 319 によって色分解された緑色光 LG の光路には、フィールドレンズ 324G と、入射側偏光板 330I と、液晶表示パネル 325G と、出射側偏光板 330S とが設けられている。
- [0191] 入射側偏光板 330I は、ダイクロイックミラー 319 から入射する緑色光 LG のうち、偏光軸 330a に一致する方向の光を通過させる。
- [0192] 液晶表示装置 325G は、入射側偏光板 330I を介して入射した緑色光 LG を、入力される画像データに応じて空間的に変調する。
- [0193] 出射側偏光板 330S は、液晶表示パネル 325G からの変調された緑色光 LG のうち、偏光軸 330b に一致する方向の光を通過させる。
- [0194] さらに、ダイクロイックミラー 319 によって色分解された青色光 LB の光路に沿って、リレーレンズ 320 と、ミラー 321 と、リレーレンズ 322 と、ミラー 323 と、フィールドレンズ 324B と、入射側偏光板 330I と、液晶表示装置 325B と、出射側偏光板 330S とが設けられている。
- [0195] ミラー 321、323 は、好適には全反射ミラーである。全反射ミラー 321 は、リレーレンズ 320 を介して入射した青色光 LB を、全反射ミラー 323 に向けて反射する。全反射ミラー 323 は、全反射ミラー 321 によって反射され、リレーレンズ 322 を介して入射した青色光 LB を、入射側偏光板 330I および液晶表示パネル 325B に向けて反射する。

- [0196] 入射側偏光板 330 I は、全反射ミラー 323 から入射する緑色光 L G のうち、偏光軸 330 a に一致する方向の光を通過させる。
- [0197] 液晶表示装置 325 B は、全反射ミラー 323 によって反射され、フィールドレンズ 324 B および入射側偏光板 330 I を介して入射した青色光 L B を、入力される画像データに応じて空間的に変調する。
- [0198] 出射側偏光板 330 S は、液晶表示パネル 325 B からの変調された青色光 L B のうち、偏光軸 330 b に一致する方向の光を通過させる。赤色光 L R、緑色光 L G および青色光 L B の光路が交わる位置には、これら 3 つの色光を合成する機能を有したクロスプリズム 326 が設置されている。
- [0199] クロスプリズム 326 は、一例として、赤色光 L R、緑色光 L G、青色光 L B がそれぞれ入射する入射面 326 R、326 G、326 B、および、赤色光 L R、緑色光 L G、青色光 L B が合成された光が出射する出射面 326 T を各々有する 4 つの直角プリズムを接合して構成されている。
- [0200] 液晶プロジェクタ 300 においては、クロスプリズム 326 内に入射した緑色光 L G を出射面 326 T 側に向けて透過し、クロスプリズム 326 内に入射した赤色光 L R および青色光 L B を出射面 326 T 側に向けて反射するように、ダイクロイック膜が各直角プリズムの接合面にコートされている。
- [0201] 以上により、クロスプリズム 326 は、入射面 326 R、326 G、326 B に入射した 3 つの色光を合成して出射面 326 T から出射する。
- [0202] また、液晶プロジェクタ 300 は、クロスプリズム 326 から出射された合成光を、スクリーン 328 に向けて投射するための投射レンズ 327 を有している。投射レンズ 327 は、好適には複数のレンズからなり、スクリーン 328 に投射する画像の大きさを調整するズーム機能や、ピント合わせ機能を有する。
- [0203] 以上、実施の形態およびその変形例、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるもので

はない。本開示が、本明細書中に記載された効果以外の効果を持っていたとしてもよい。

[0204] また、例えば、本開示は以下のような構成を取ることができる。

[0205] (1)

複数の画素が2次元アレイ状に配列された画素アレイ部と、
画像データの入力を受け付けて、一時的に保存するメモリと、
前記メモリから出力された前記画像データに黒データを挿入し、出力データを生成する画像処理部と、
前記出力データの垂直方向における表示位置を決定する垂直ドライバを制御する、垂直ロジック回路と、
前記出力データの水平方向における各画素に、前記出力データの階調情報に対応する階調電圧を供給する水平ドライバを制御する、水平ロジック回路とを備え、
前記黒データの挿入位置と、前記垂直方向の表示位置とは、ユーザにより指定された表示開始位置に基づいて決定される、
表示装置。

[0206] (2)

前記画像データの入力は、入力クロックである第1クロックのタイミングで行われ、前記画像データへの前記黒データの挿入は、前記表示装置の内部で生成された第2クロックのタイミングで行われる、(1)に記載の表示装置。

[0207] (3)

前記第2クロックにおけるクロック周波数は、前記第1クロックにおけるクロック周波数よりも高い、(2)に記載の表示装置。

[0208] (4)

前記表示装置は、オシレータまたはPLL回路をさらに備え、
前記第2クロックは、前記オシレータまたは前記PLL回路によって生成される、

(2) に記載の表示装置。

[0209] (5)

前記垂直ドライバは、

シフト動作を行う 1 つまたは複数のフリップフロップと、

前記 1 つまたは複数のフリップフロップに接続され、選択パルスを前記画素アレイ部に供給する 1 つまたは複数の選択スイッチと、

前記 1 つまたは複数のフリップフロップに垂直スタートパルスを供給するセクタとを含み、

前記セクタは、前記 1 つまたは複数のフリップフロップのうち、先頭の前記フリップフロップに接続される、

第 n 群のシフトレジスタ (n は自然数) を含む、

(1) に記載の表示装置。

[0210] (6)

前記表示開始位置に基づいて、前記垂直スタートパルスが入力される前記セクタと、前記画素アレイ部に前記選択パルスの供給を開始する前記シフトレジスタとが決定される、(5) に記載の表示装置。

[0211] (7)

前記垂直ドライバは、前記垂直スタートパルスの転送を前記出力データに対して相対的に早めて空転送を行い、前記垂直方向における表示開始位置を決定する、(5) に記載の表示装置。

[0212] (8)

前記空転送が行われた行は黒領域となる、請求項 7 に記載の表示装置。

[0213] (9)

前記メモリは、ラインメモリまたはフレームメモリである、(1) に記載の表示装置。

[0214] (10)

前記メモリは、前記画像データの入力を受け付けるデータ入力インターフェースの出力側に備えられる、(1) に記載の表示装置。

[0215] (11)

前記表示装置は、前記画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける、(1)に記載の表示装置。

[0216] (12)

前記画素に含まれる発光素子は、有機EL素子または液晶素子である、(1)に記載の表示装置。

[0217] (13)

前記垂直ドライバは、垂直方向の表示開始位置を示すアドレス信号の入力を受け付けて、垂直方向における表示開始位置を決定する1つまたは複数のアドレスデコードを含む、(1)に記載の表示装置。

[0218] (14)

前記水平ドライバは、前記黒領域における前記画素の信号線の電位状態を固定処理とする、(8)に記載の表示装置。

[0219] (15)

複数の画素が2次元アレイ状に配列された画素アレイ部と、
画像データの入力を受け付けて、一時的に保存する第1水平ロジック回路と、
前記第1水平ロジック回路から出力された前記画像データに黒データを挿入し、出力データを生成する画像処理部と、
前記出力データの垂直方向における表示位置を決定する垂直ドライバを制御する、垂直ロジック回路と、
前記出力データの水平方向における各画素に、前記出力データの階調情報に対応する階調電圧を供給する水平ドライバを制御する、第2水平ロジック回路とを備え、
前記黒データの挿入位置と、前記垂直方向の表示位置とは、ユーザにより指定された表示開始位置に基づいて決定される、
表示装置。

[0220] (16)

前記画像データへの前記黒データの挿入は、前記垂直ロジック回路および前記水平ロジック回路を含むディスプレイコントローラの動作タイミングを制御するタイミングコントローラの出力後に行われる、(1)に記載の表示装置。

[0221] (17)

前記表示装置は、前記画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける、(15)に記載の表示装置。

[0222] (18)

前記画像データの入力は、入力クロックである第1クロックのタイミングで行われ、前記画像データへの前記黒データの挿入は、前記表示装置の内部で生成された第2クロックのタイミングで行われる、(15)に記載の表示装置。

[0223] (19)

前記表示装置は、ウェアラブル型の電子機器の一部となっている、(1)に記載の表示装置。

[0224] (20)

前記電子機器は、前記表示装置を備えるヘッドマウントディスプレイであり、前記表示開始位置は、前記ヘッドマウントディスプレイを装着したユーザの視線の位置に基づいて決められる、(19)に記載の表示装置。

符号の説明

[0225] 1 : 表示装置、2 : 外部の機器、11 : データ入力インターフェース、
12 : タイミングコントローラ、13 : ディスプレイコントローラ、
14 : 表示部、15 : オシレータ、16 : シリアルインターフェース、
17 : レジスタ、18 : 電子ヒューズ、20 : MIPIDSIインターフェース、
20' : MIPIDSIインターフェース、21 : クロック制御部、

22 : 同期信号生成部、23 : シリアルパラレル変換部、
24 : コマンドインターフェース、25 : ラインメモリ、
31 : クロック生成部、32 : タイミング生成部、33 : 画像処理部、
34 : 輝度制御部、41 : 垂直ロジック回路、42 : 水平ロジック回路、
43 : シフトレジスタ、44 : セレクタ、45 : フリップフロップ
46 : 選択スイッチ、47 : アドレスデコーダ、51 : 画素アレイ、
52 : 垂直ドライバ、53 : 水平ドライバ、54 : ガンマ補正回路、
110 : ヘッドマウントディスプレイ、111 : 表示部、112 : 耳掛け
部、
120 : ヘッドマウントディスプレイ、121 : 本体部、122 : アーム
部、
123 : 鏡筒部123、128 : 眼鏡、129 : レンズ、
130 : デジタルスチルカメラ、131 : カメラ本体部、
132 : 撮影レンズユニット、133 : グリップ部、134 : モニタ、
135 : 電子ビューファインダ、140 : テレビジョン装置、
141 : 映像表示画面部、142 : フロントパネル、
143 : フィルターガラス、150 : スマートフォン、151 : 表示部、
152 : 操作部、200 : 車両、201 : センターディスプレイ、
202 : コンソールディスプレイ、203 : ヘッドアップディスプレイ、
204 : デジタルリアミラー、205 : ステアリングホイールディスプレ
イ、
206 : リアエンタテインメントディスプレイ、261 : ダッシュボード、
262 : 運転席、263 : 助手席、264 : センターコンソール、
265 : シフトレバー、266 : フロントガラス、267 : ステアリング
ホイール

請求の範囲

- [請求項1] 複数の画素が2次元アレイ状に配列された画素アレイ部と、
画像データの入力を受け付けて、一時的に保存するメモリと、
前記メモリから出力された前記画像データに黒データを挿入し、出力データを生成する画像処理部と、
前記出力データの垂直方向における表示位置を決定する垂直ドライバを制御する、垂直ロジック回路と、
前記出力データの水平方向における各画素に、前記出力データの階調情報に対応する階調電圧を供給する水平ドライバを制御する、水平ロジック回路とを備え、
前記黒データの挿入位置と、前記垂直方向の表示位置とは、ユーザにより指定された表示開始位置に基づいて決定される、
表示装置。
- [請求項2] 前記画像データの入力は、入力クロックである第1クロックのタイミングで行われ、前記画像データへの前記黒データの挿入は、前記表示装置の内部で生成された第2クロックのタイミングで行われる、請求項1に記載の表示装置。
- [請求項3] 前記第2クロックにおけるクロック周波数は、前記第1クロックにおけるクロック周波数よりも高い、請求項2に記載の表示装置。
- [請求項4] 前記表示装置は、オシレータまたはPLL回路をさらに備え、
前記第2クロックは、前記オシレータまたは前記PLL回路によって生成される、
請求項2に記載の表示装置。
- [請求項5] 前記垂直ドライバは、
シフト動作を行う1つまたは複数のフリップフロップと、
前記1つまたは複数のフリップフロップに接続され、選択パルスを前記画素アレイ部に供給する1つまたは複数の選択スイッチと、
前記1つまたは複数のフリップフロップに垂直スタートパルスを提供

給するセレクトとを含み、

前記セレクトは、前記1つまたは複数のフリップフロップのうち、
先頭の前記フリップフロップに接続される、

第 n 群のシフトレジスタ（ n は自然数）を含む、

請求項1に記載の表示装置。

[請求項6] 前記表示開始位置に基づいて、前記垂直スタートパルスが入力される前記セレクトと、前記画素アレイ部に前記選択パルスの供給を開始する前記シフトレジスタとが決定される、請求項5に記載の表示装置。

[請求項7] 前記垂直ドライバは、前記垂直スタートパルスの転送を前記出力データに対して相対的に早めてスキャン動作を行う空転送を行い、前記垂直方向における表示開始位置を決定する、請求項5に記載の表示装置。

[請求項8] 前記空転送が行われた行は黒領域となる、請求項7に記載の表示装置。

[請求項9] 前記メモリは、ラインメモリまたはフレームメモリである、請求項1に記載の表示装置。

[請求項10] 前記メモリは、前記画像データの入力を受け付けるデータ入力インターフェースの出力側に備えられる、請求項1に記載の表示装置。

[請求項11] 前記表示装置は、前記画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける、請求項1に記載の表示装置。

[請求項12] 前記画素に含まれる発光素子は、有機EL素子または液晶素子である、請求項1に記載の表示装置。

[請求項13] 前記垂直ドライバは、垂直方向の表示開始位置を示すアドレス信号の入力を受け付けて、垂直方向における表示開始位置を決定する1つまたは複数のアドレスデコーダを含む、請求項1に記載の表示装置。

[請求項14] 前記水平ドライバは、前記黒領域における前記画素の信号線の電位

状態を固定処理とする、請求項 8 に記載の表示装置。

- [請求項15] 複数の画素が 2 次元アレイ状に配列された画素アレイ部と、
画像データの入力を受け付けて、一時的に保存する第 1 水平ロジック回路と、
前記第 1 水平ロジック回路から出力された前記画像データに黒データを挿入し、出力データを生成する画像処理部と、
前記出力データの垂直方向における表示位置を決定する垂直ドライバを制御する、垂直ロジック回路と、
前記出力データの水平方向における各画素に、前記出力データの階調情報に対応する階調電圧を供給する水平ドライバを制御する、第 2 水平ロジック回路とを備え、
前記黒データの挿入位置と、前記垂直方向の表示位置とは、ユーザにより指定された表示開始位置に基づいて決定される、
表示装置。

- [請求項16] 前記画像データへの前記黒データの挿入は、前記垂直ロジック回路および前記水平ロジック回路を含むディスプレイコントローラの動作タイミングを制御するタイミングコントローラの出力後に行われる、請求項 1 に記載の表示装置。

- [請求項17] 前記表示装置は、前記画像データおよび同期信号を含む一定の形式の入力データフォーマットで外部の機器から入力を受け付ける、請求項 15 に記載の表示装置。

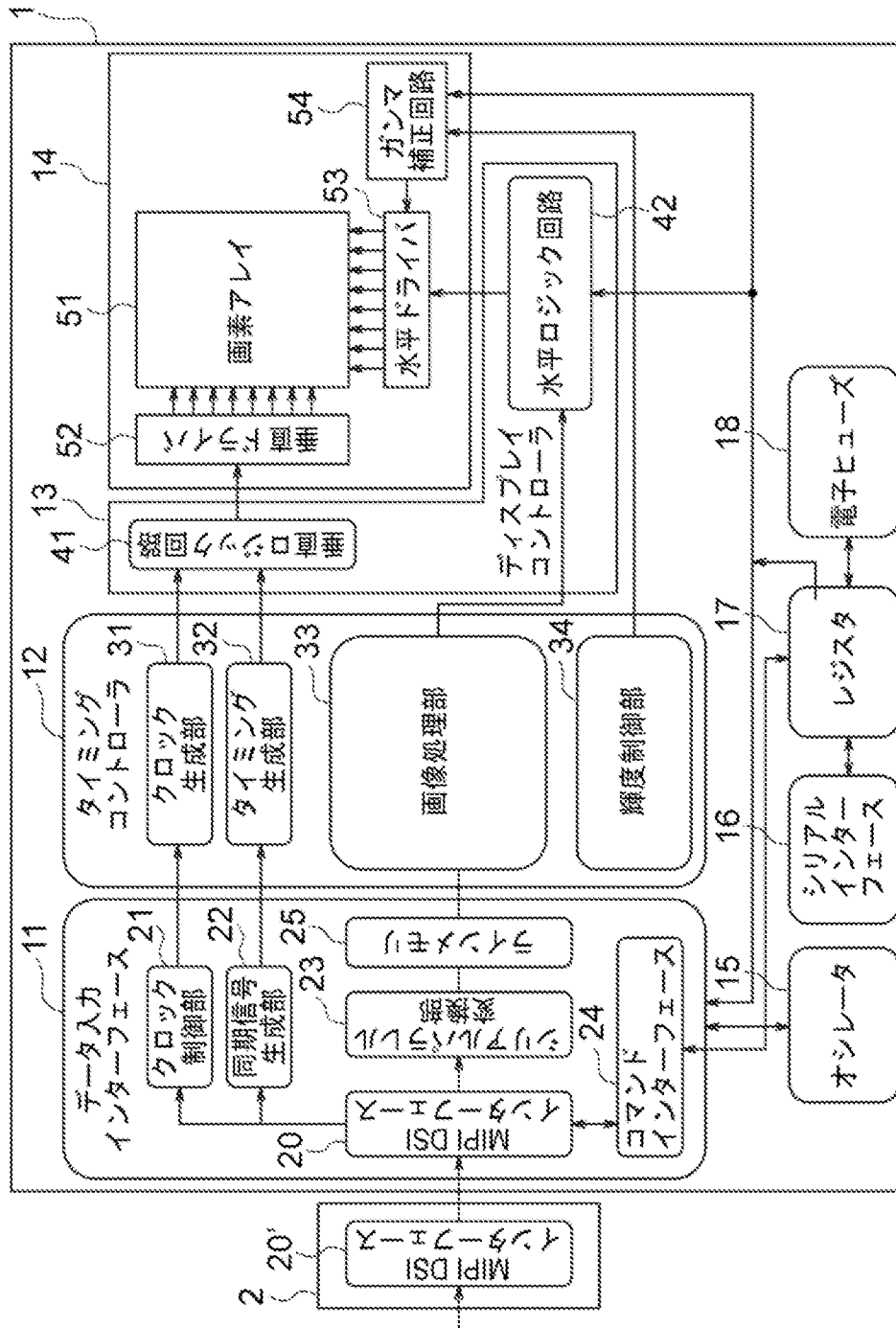
- [請求項18] 前記画像データの inputs は、入力クロックである第 1 クロックのタイミングで行われ、前記画像データへの前記黒データの挿入は、前記表示装置の内部で生成された第 2 クロックのタイミングで行われる、請求項 15 に記載の表示装置。

- [請求項19] 前記表示装置は、ウェアラブル型の電子機器の一部となっている、請求項 1 に記載の表示装置。

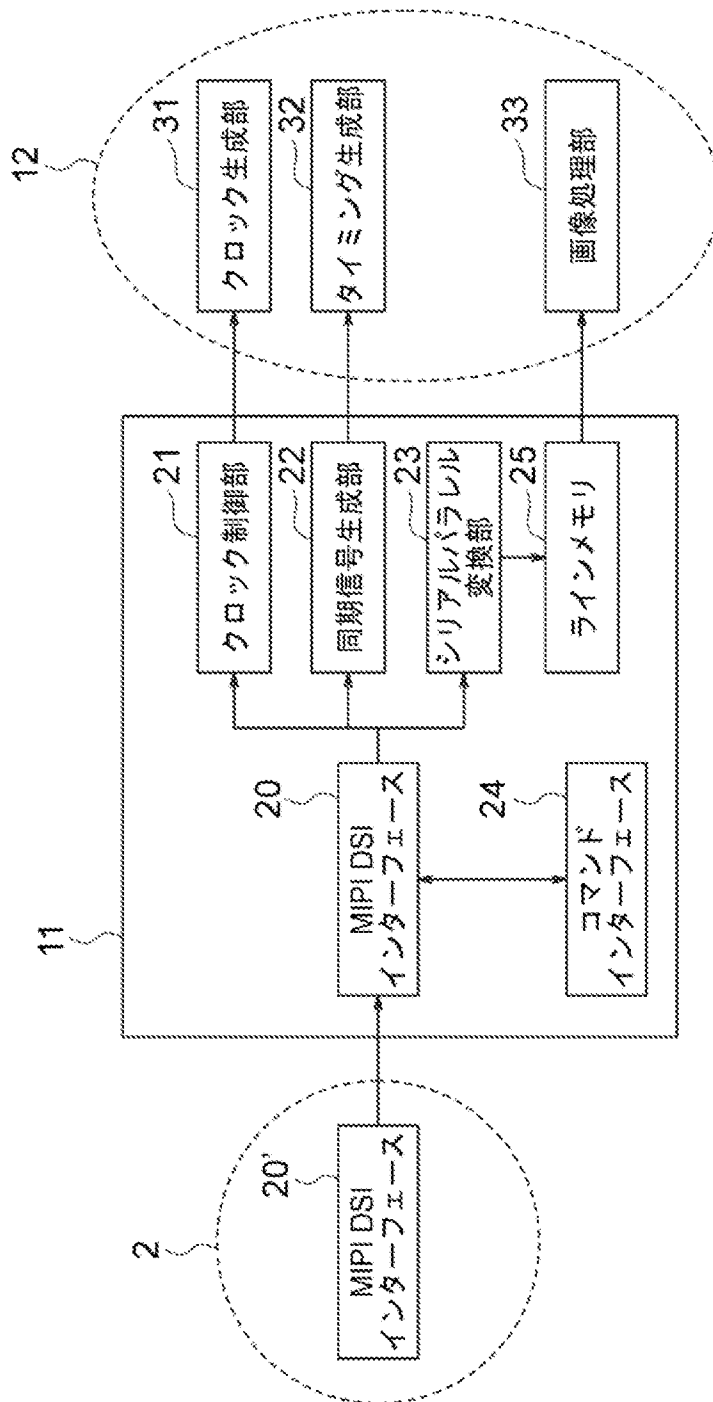
- [請求項20] 前記電子機器は、前記表示装置を備えるヘッドマウントディスプレ

イであり、前記表示開始位置は、前記ヘッドマウントディスプレイを装着したユーザの視線の位置に基づいて決められる、請求項 19 に記載の表示装置。

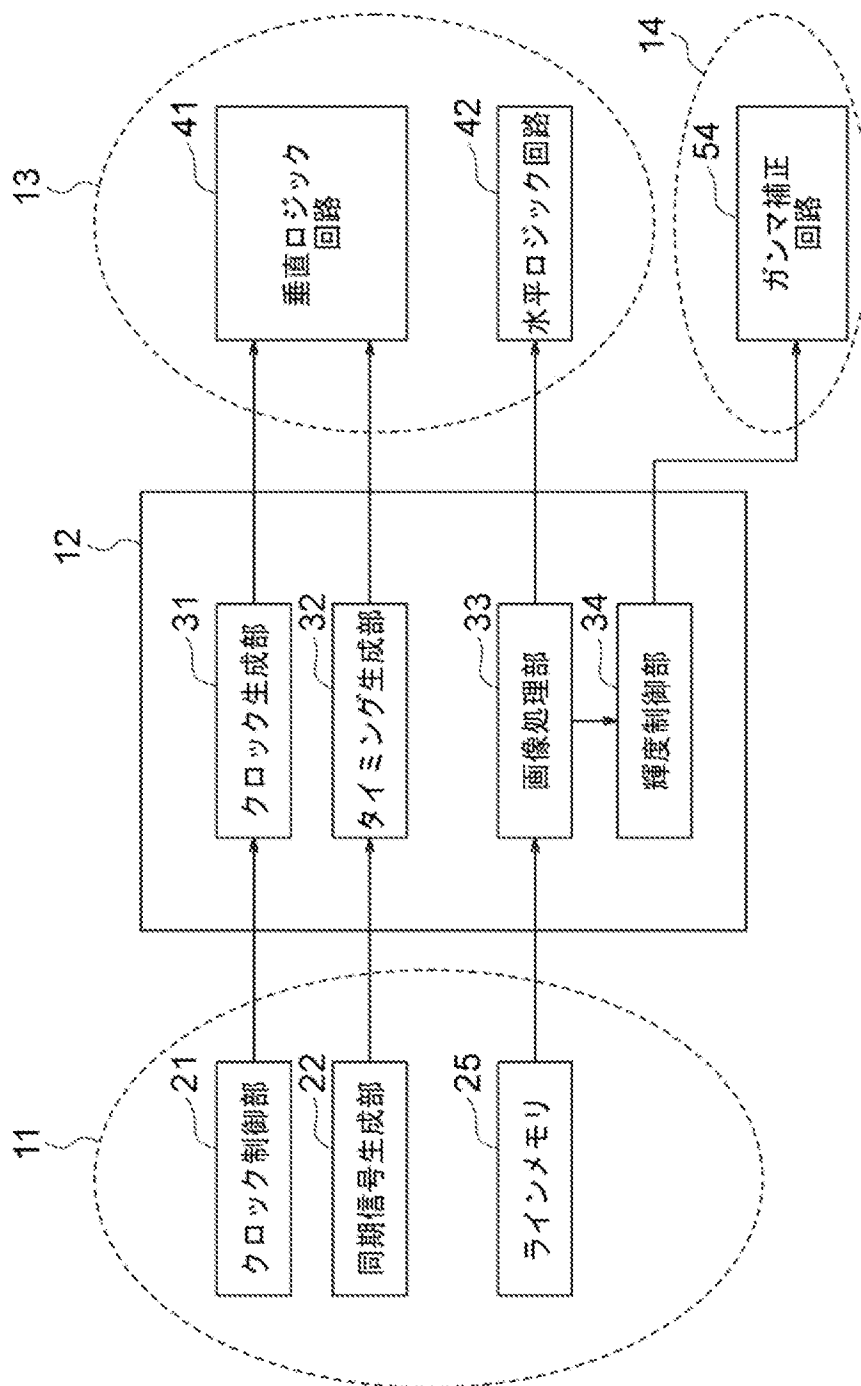
[図1]



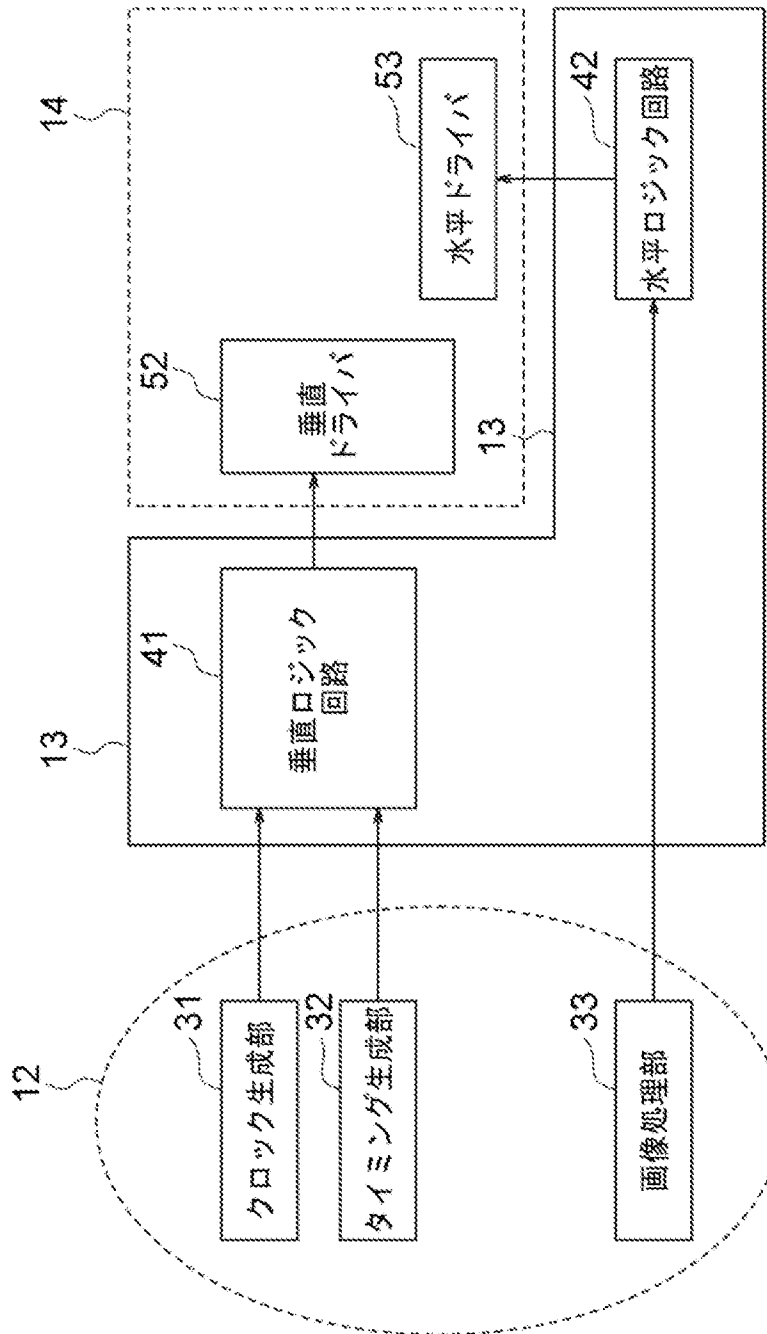
[図2]



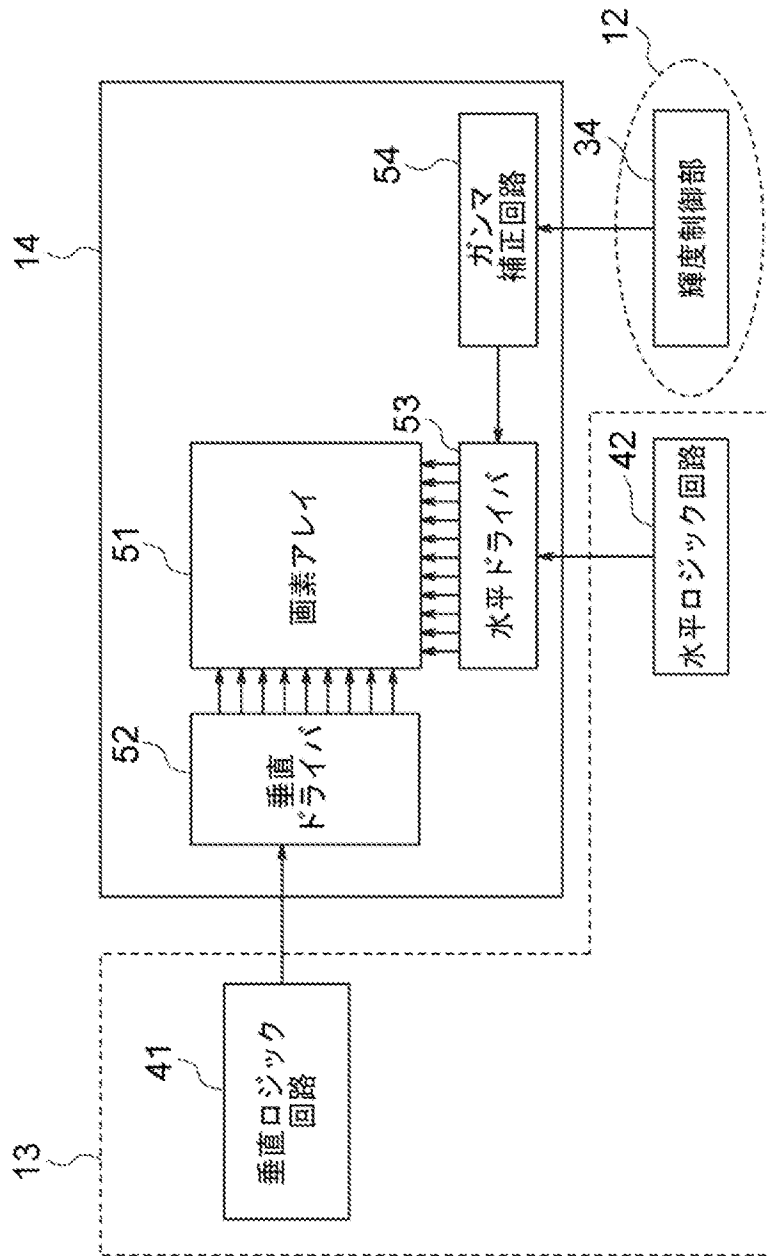
[図3]



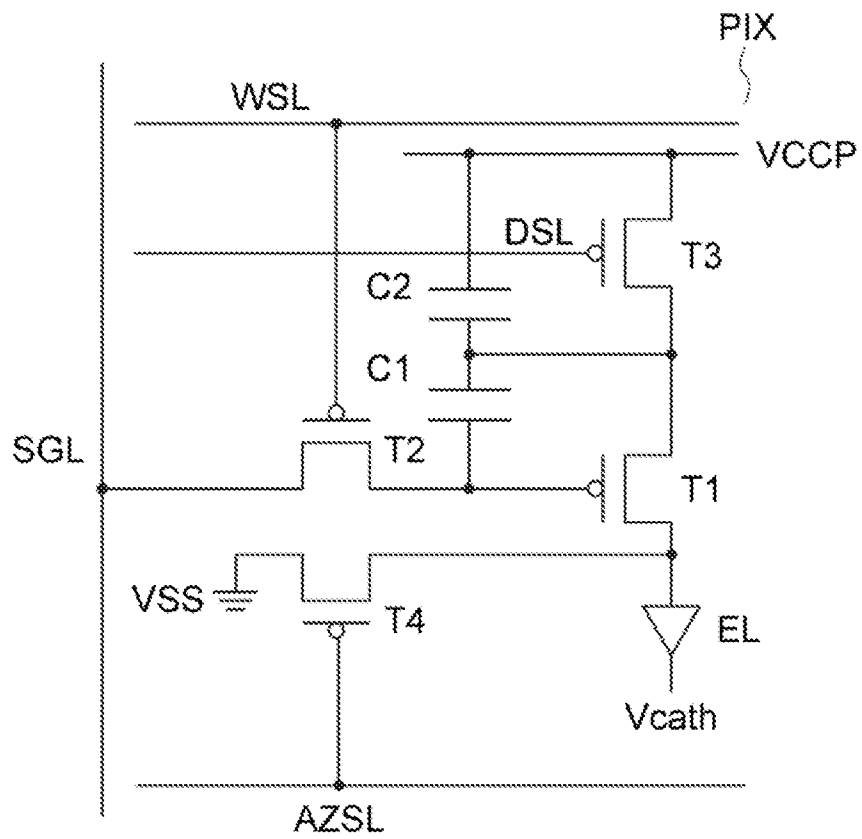
[図4]



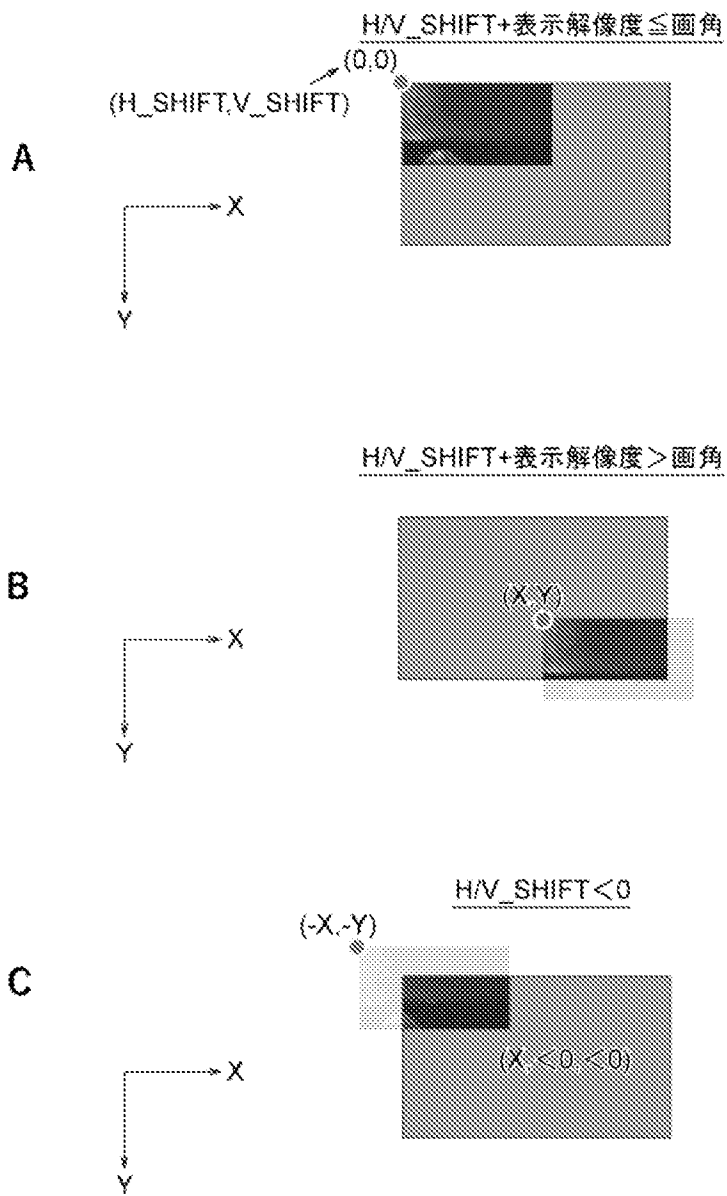
[図5]



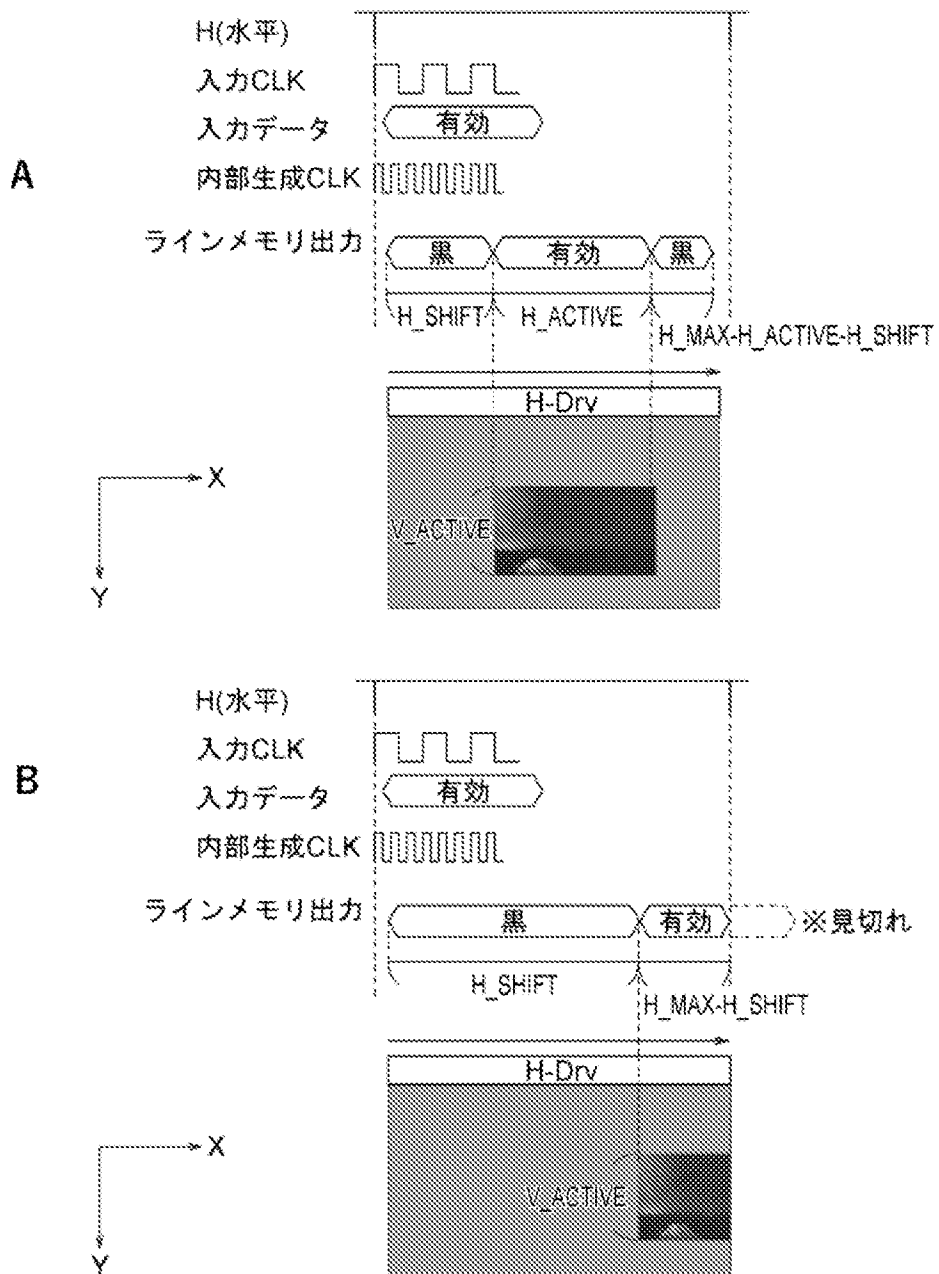
[図6]



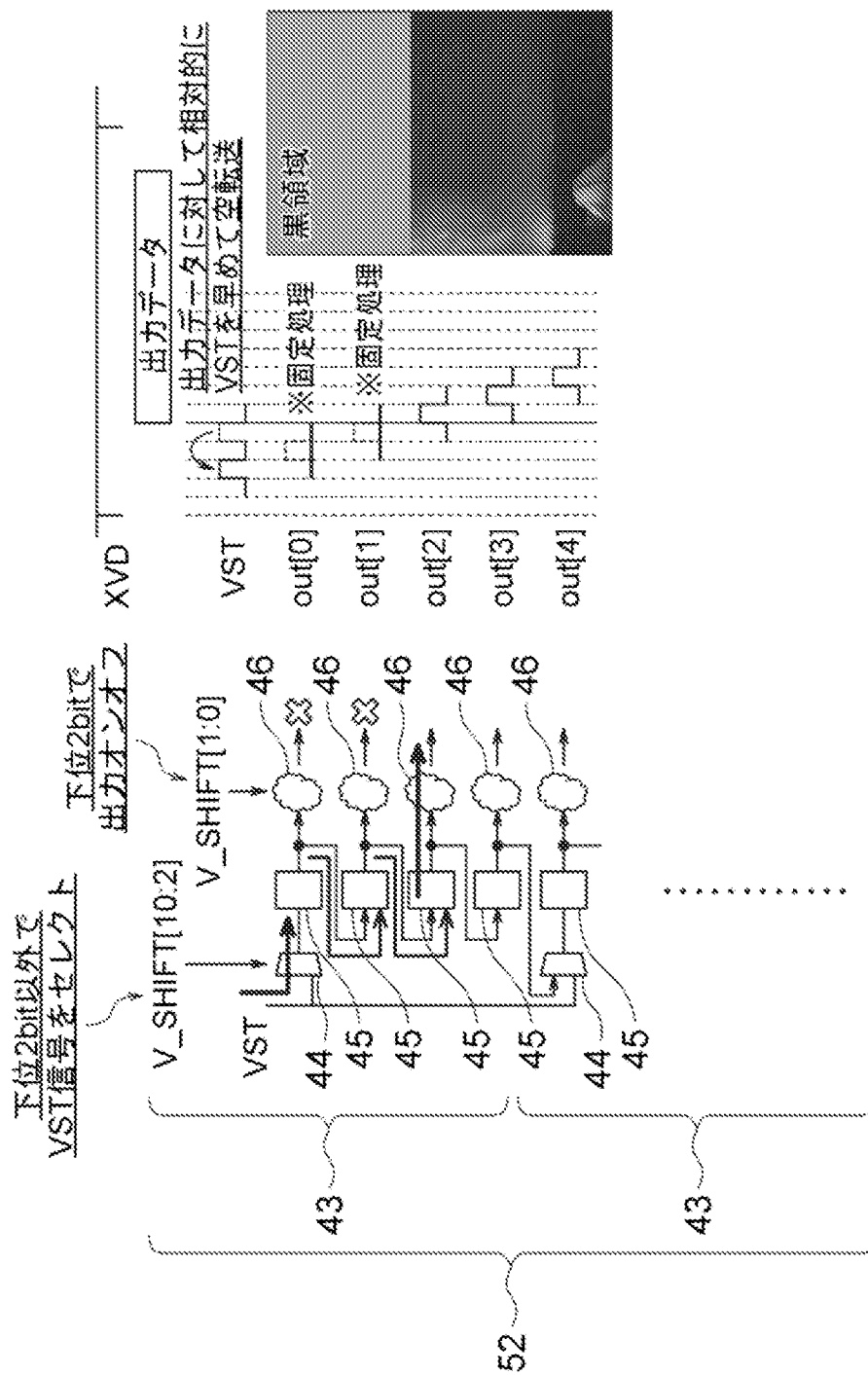
[図7]



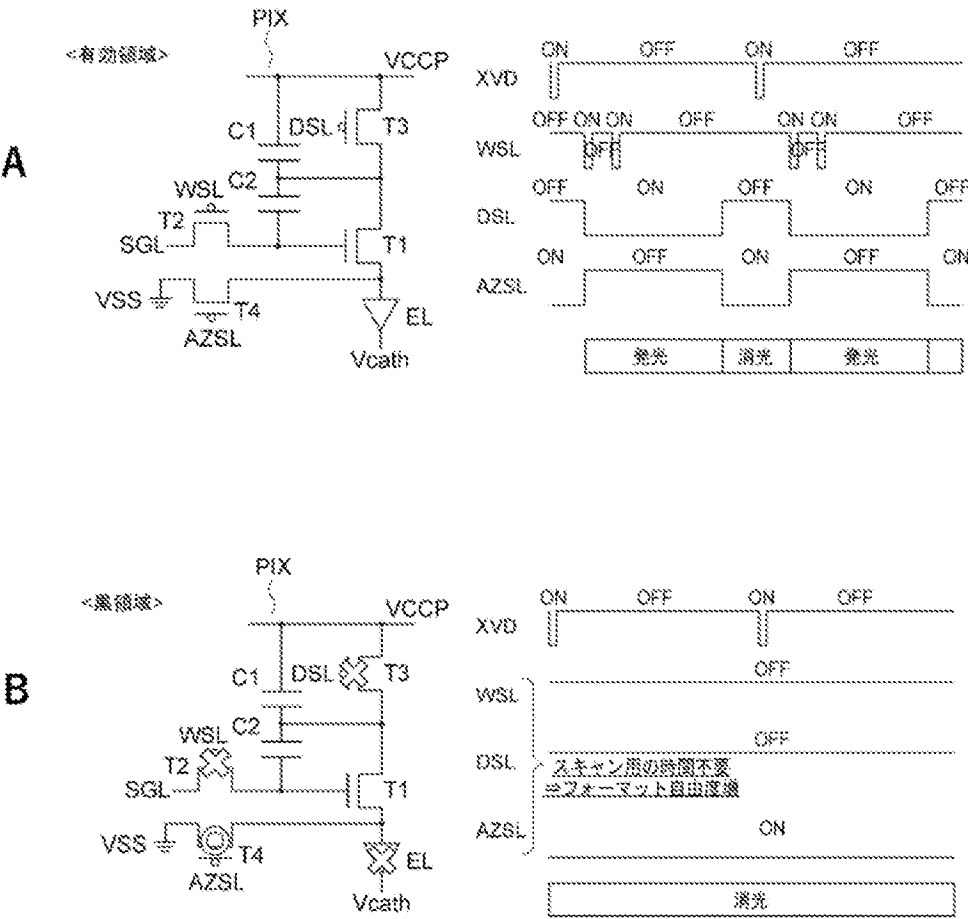
[図8]



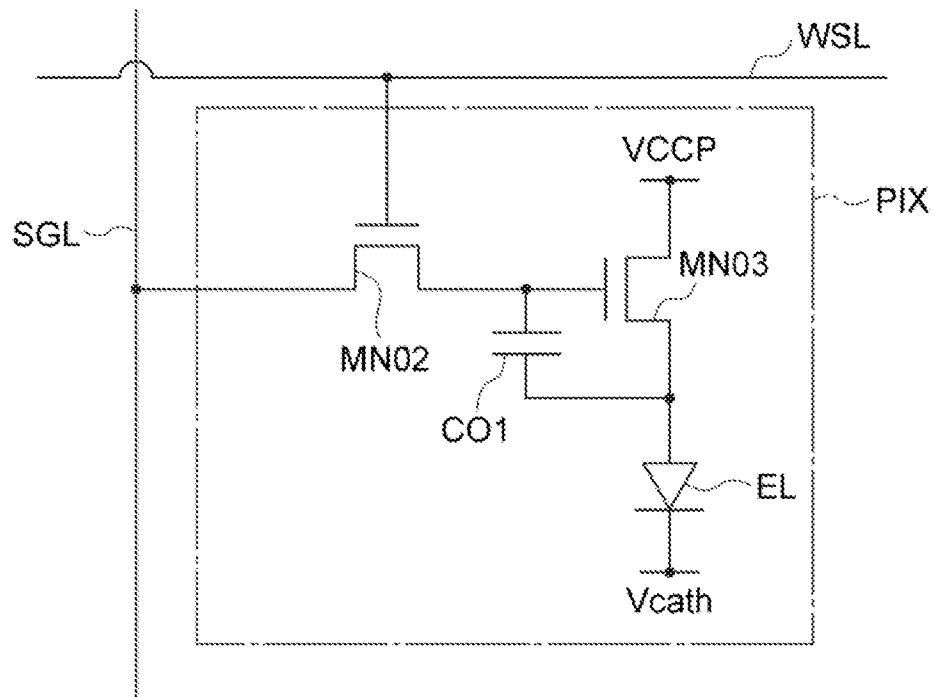
[図9]



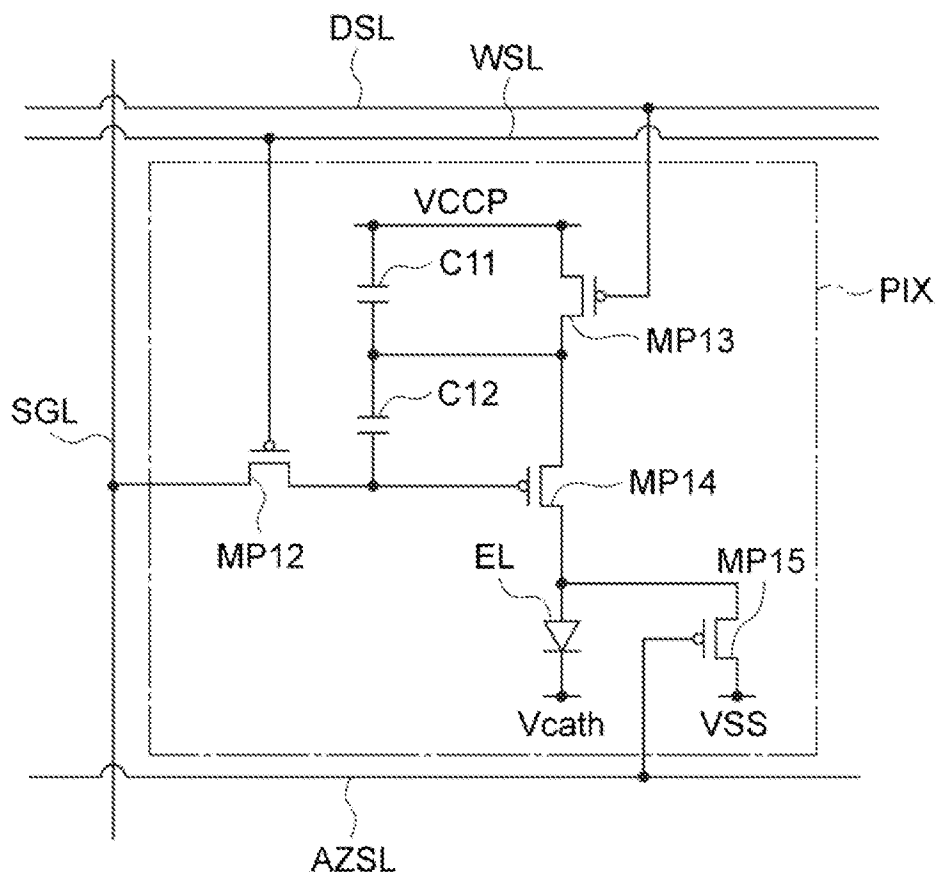
[図10]



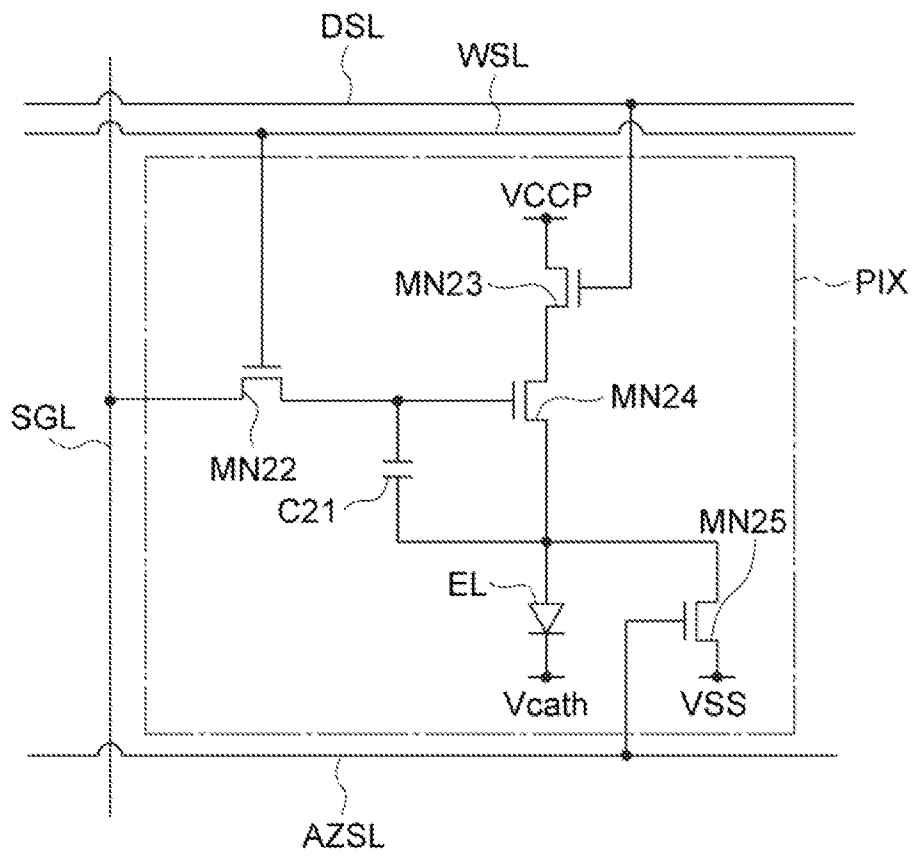
[図11]



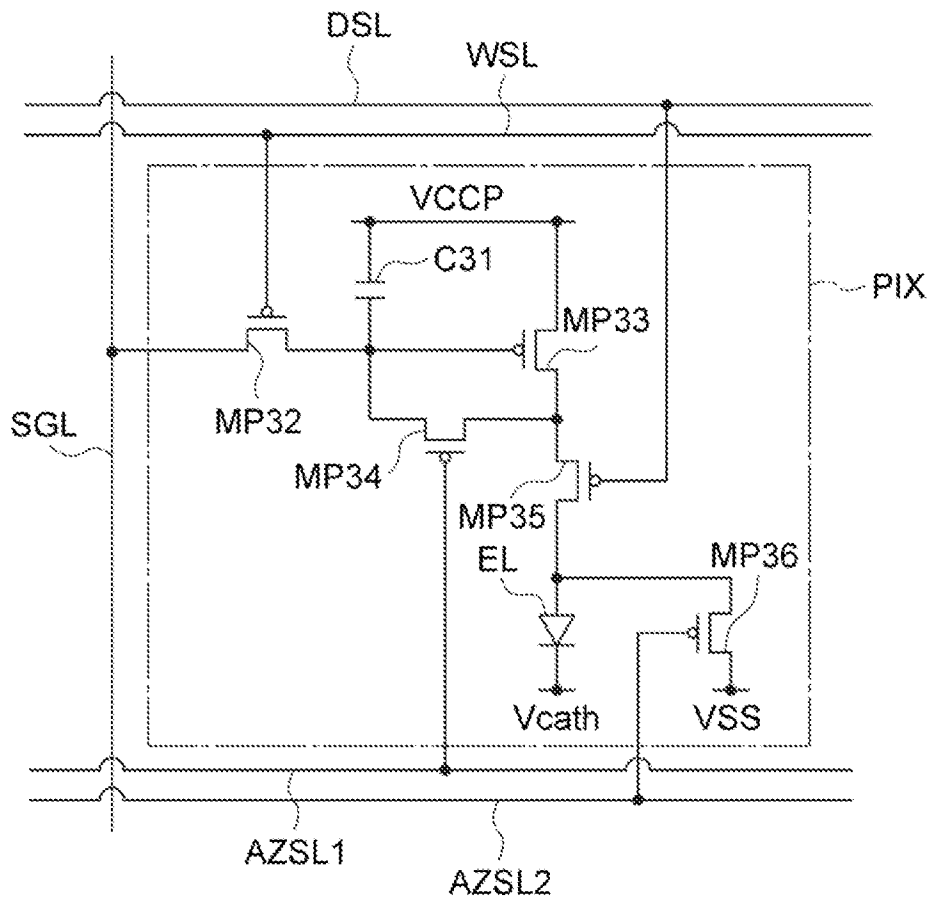
[図12]



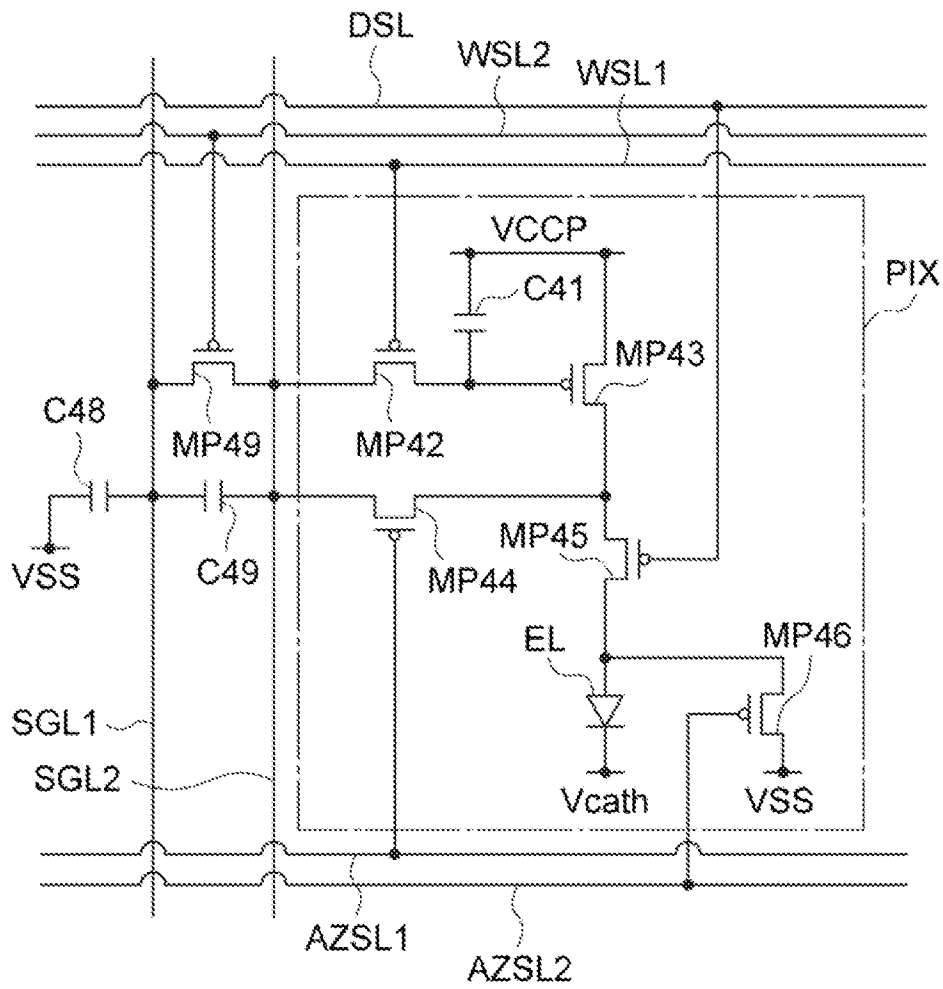
[図13]



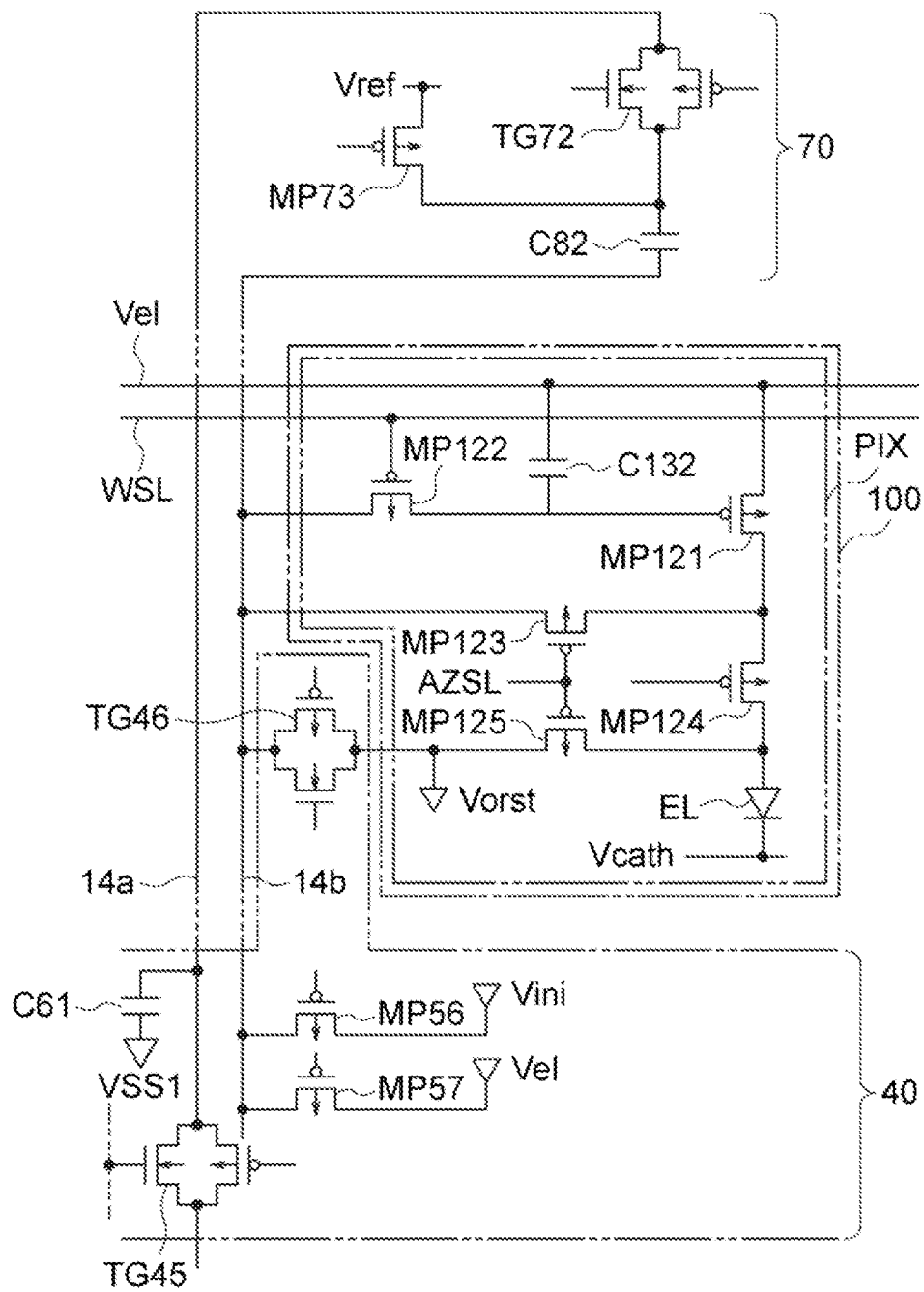
[図14]



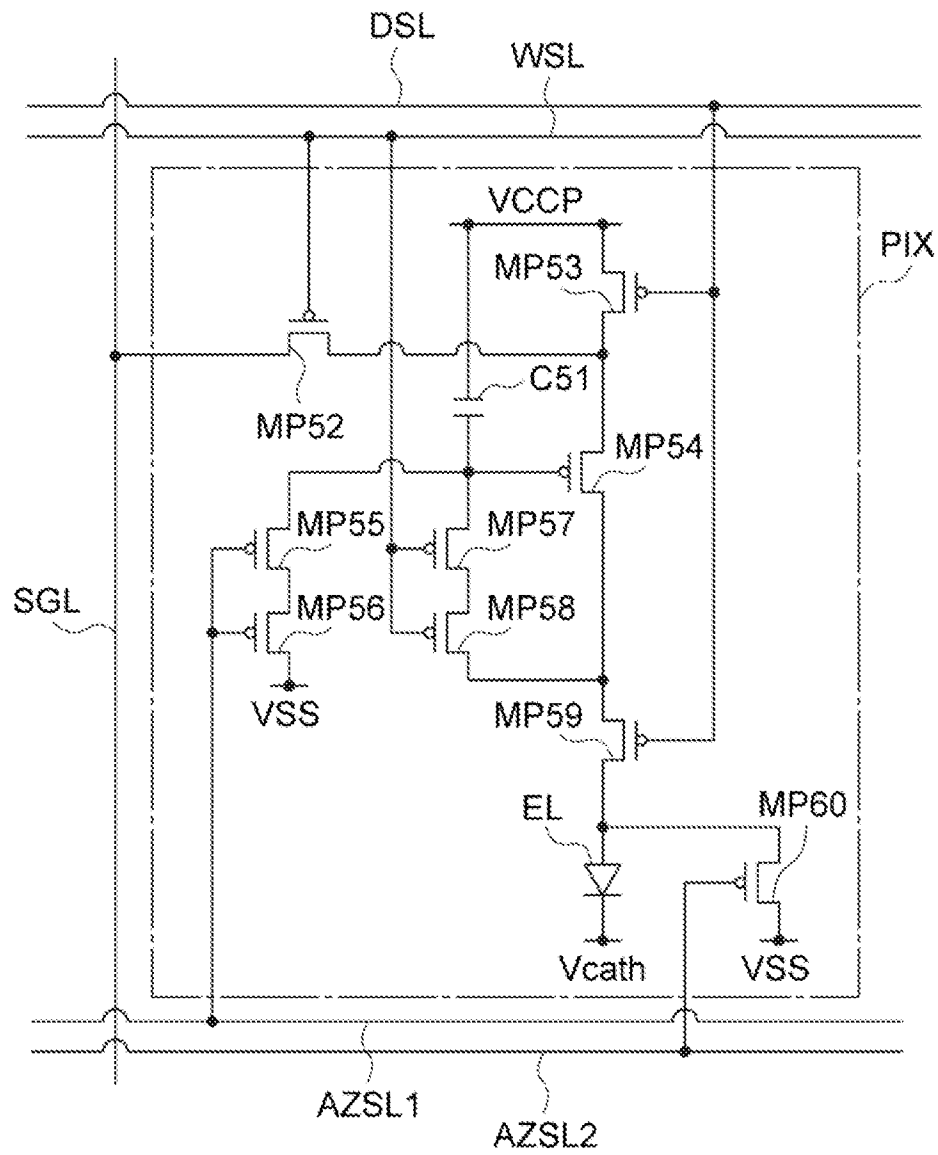
[図15]



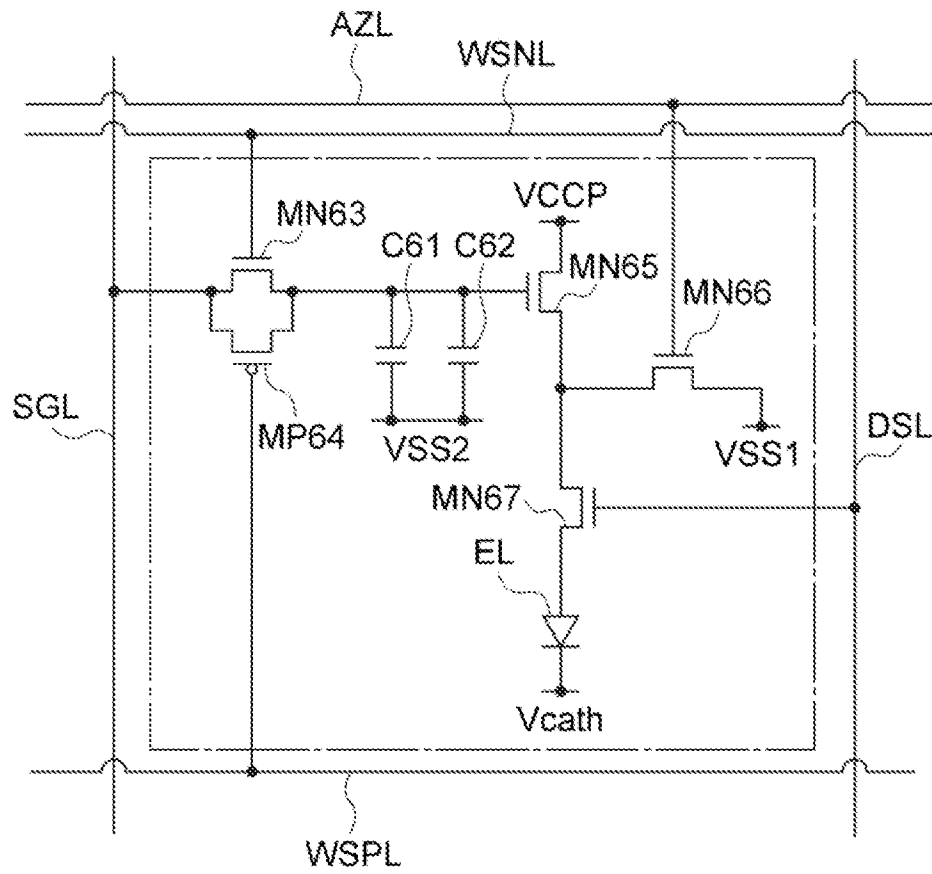
[図16]



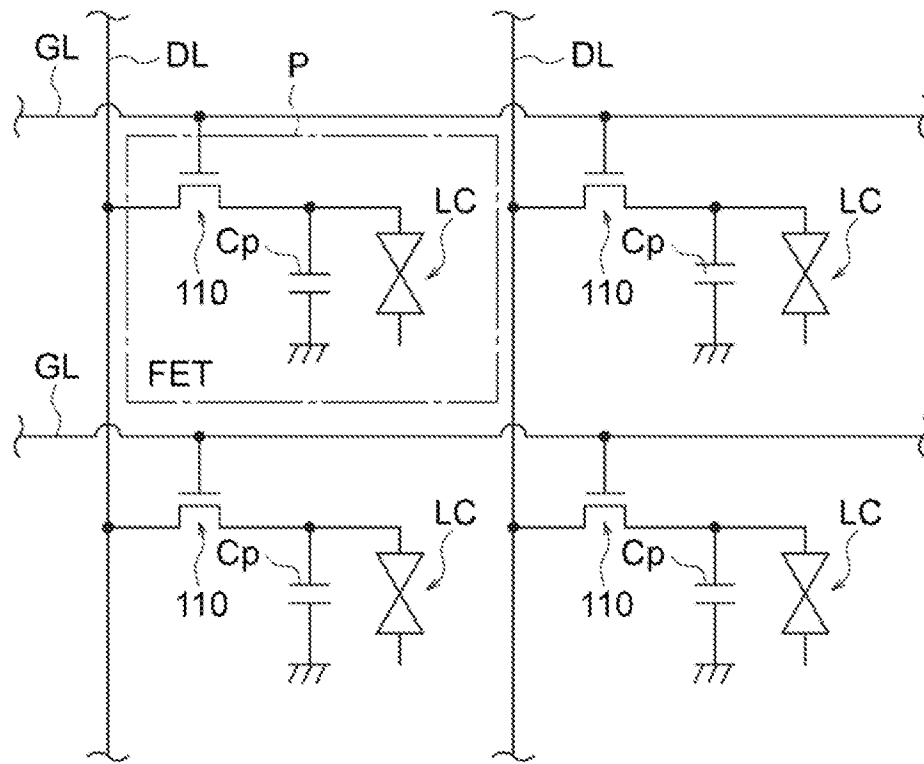
[図17]



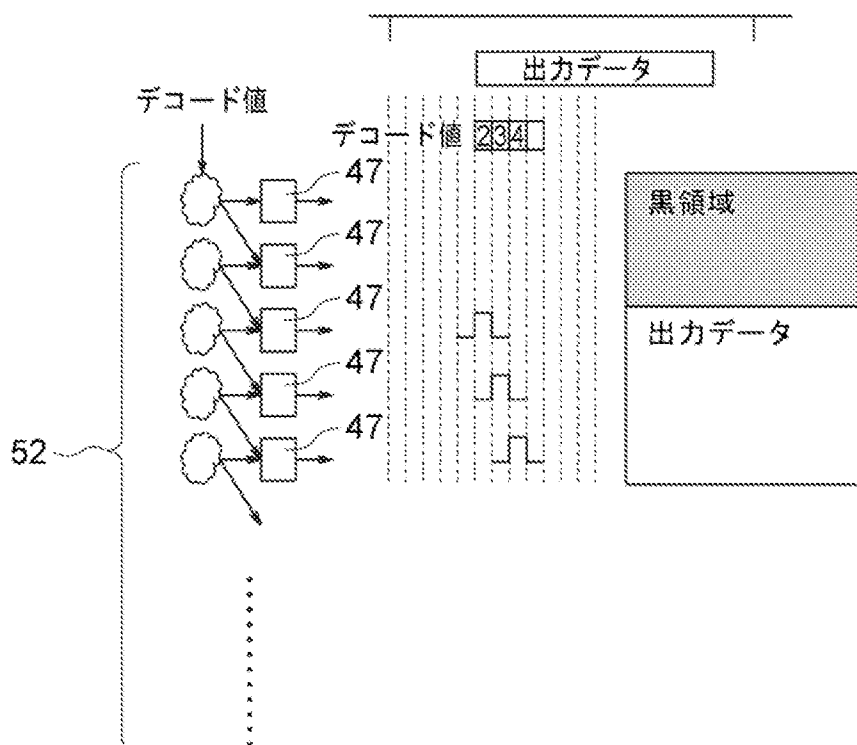
[図18]



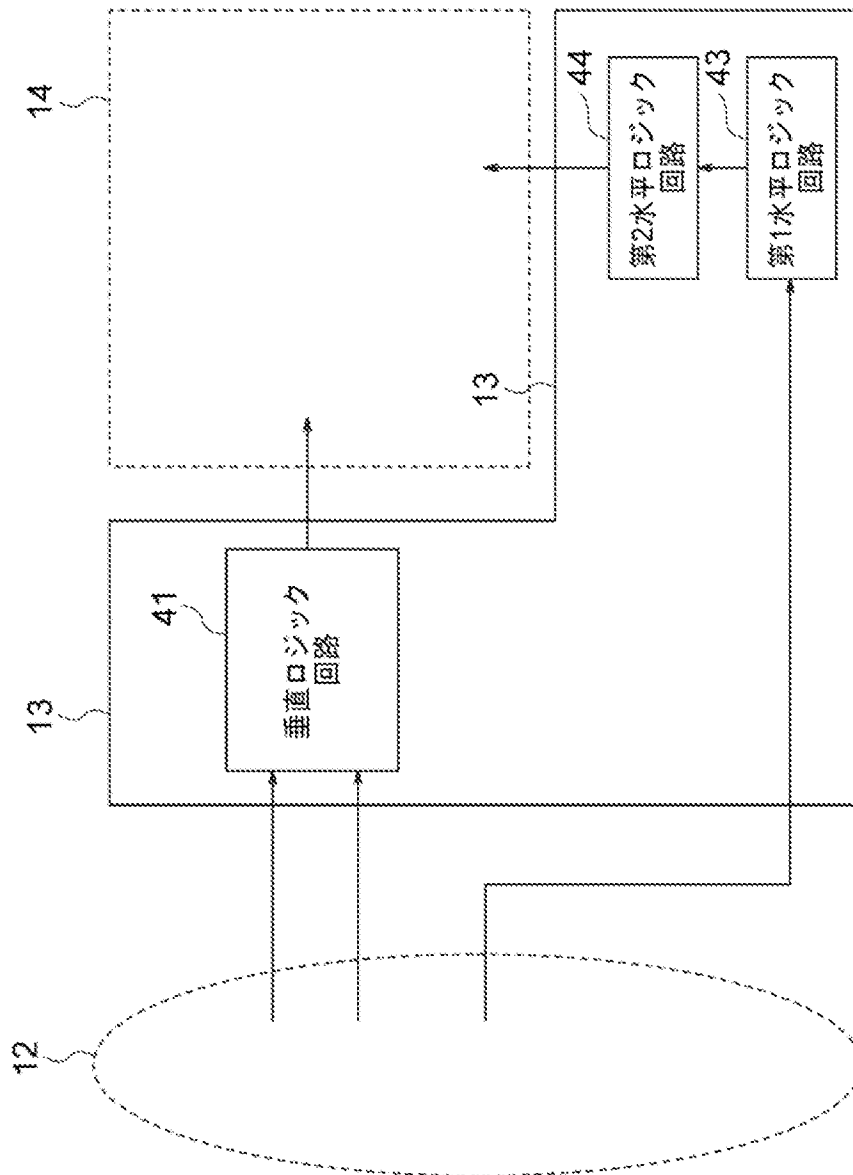
[図19]



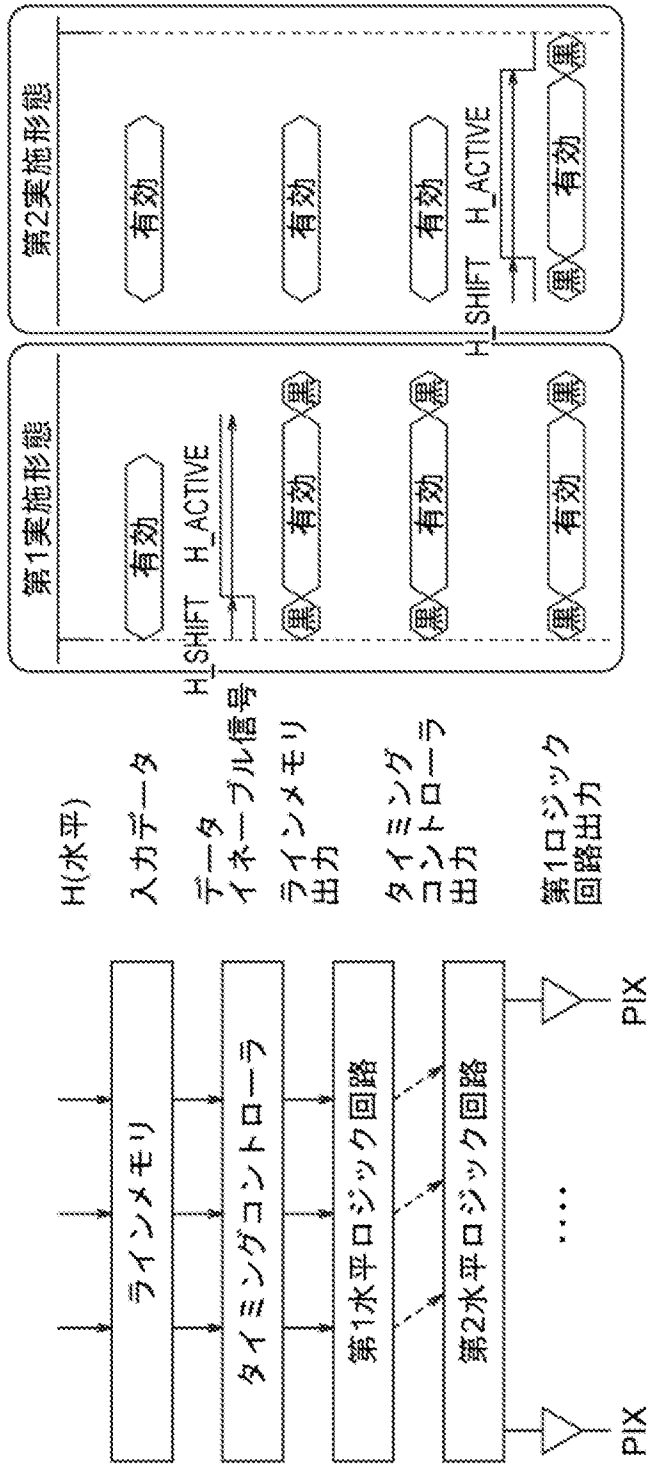
[図20]



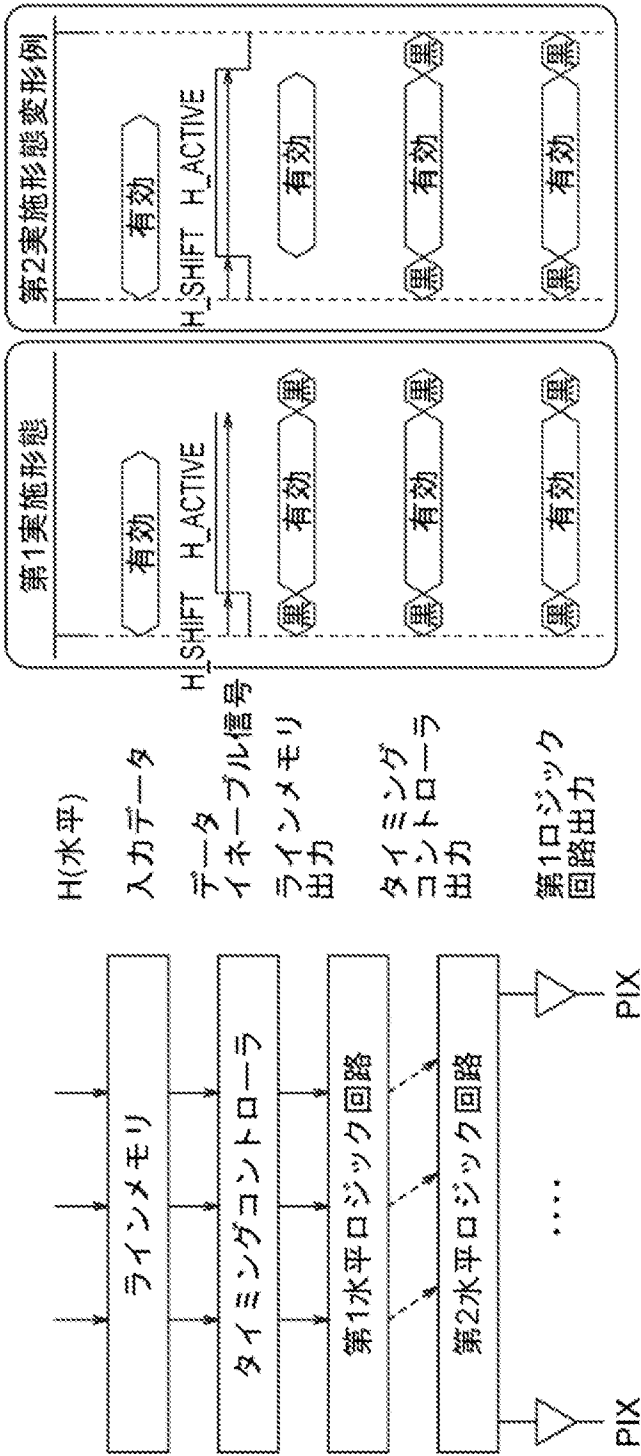
[図21]



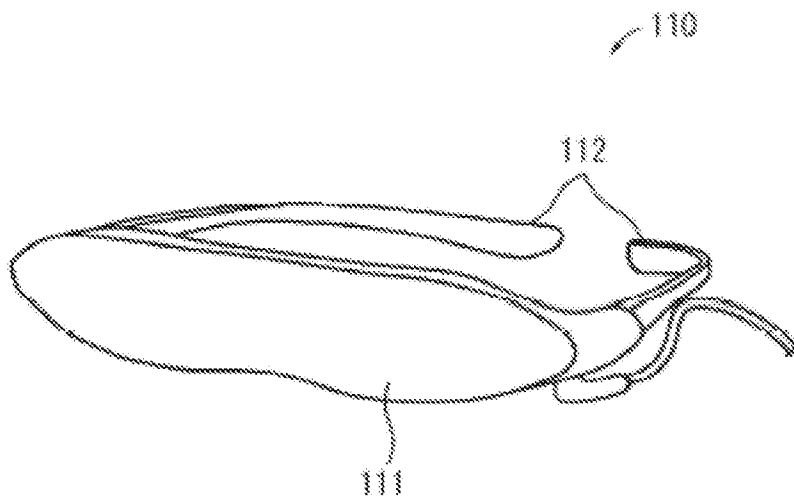
[図22]



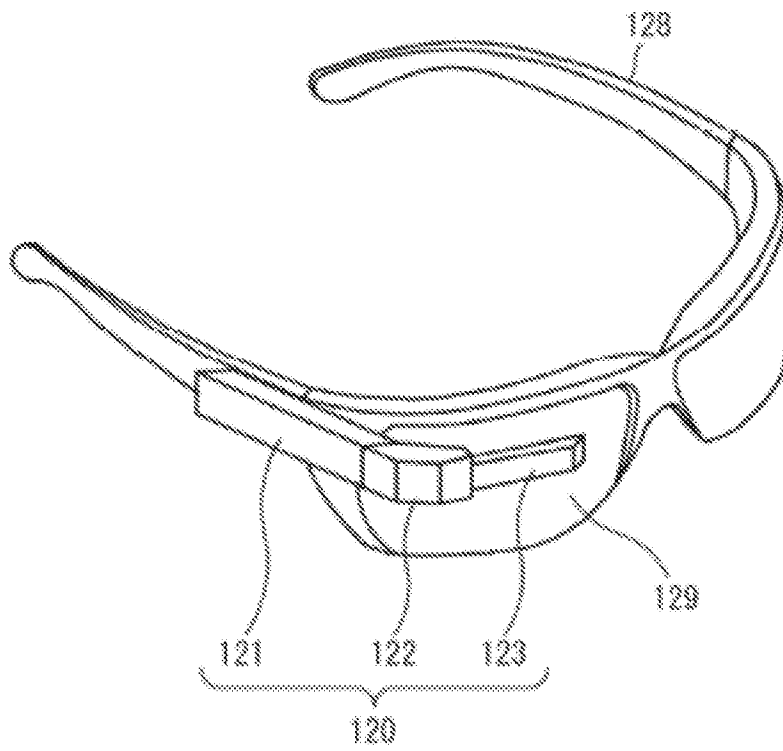
[図23]



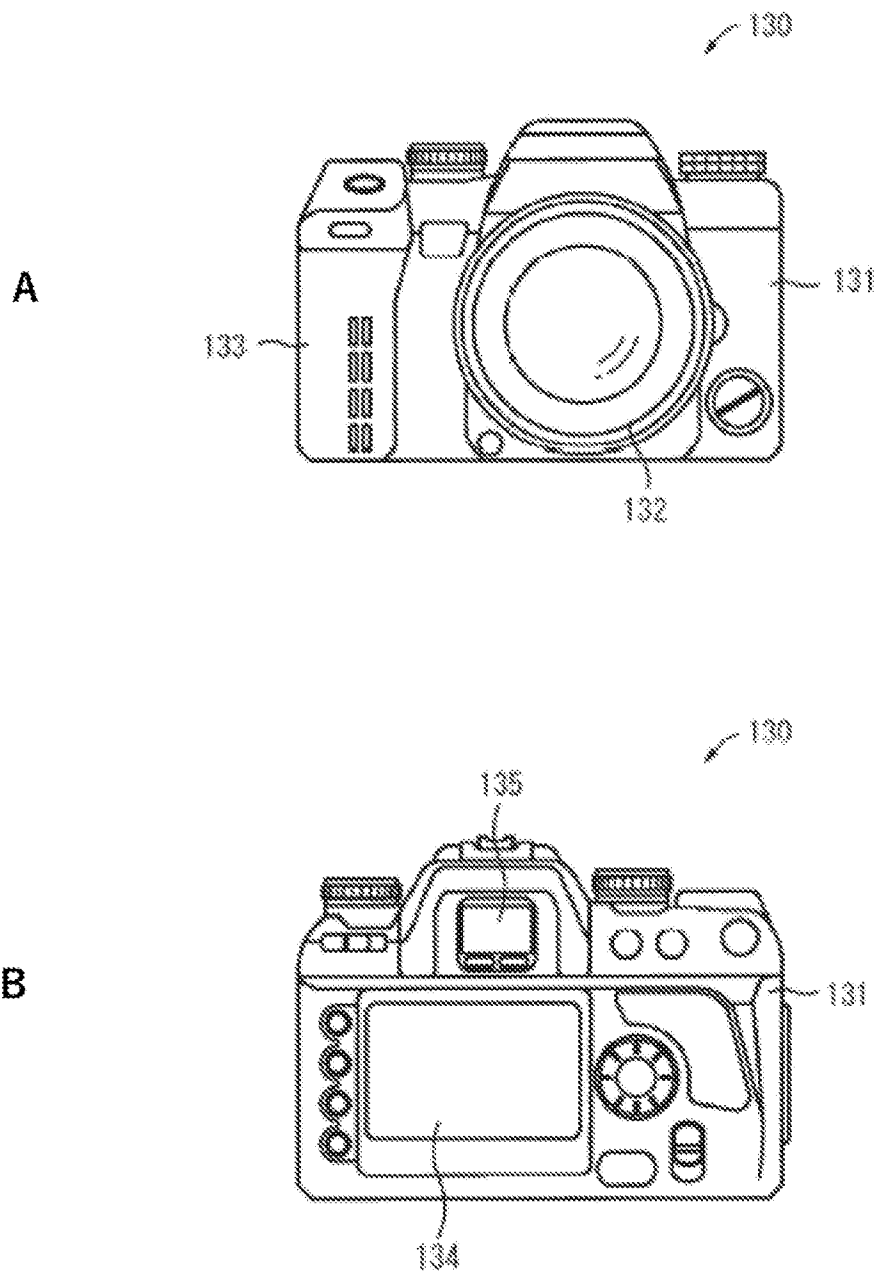
[図24]



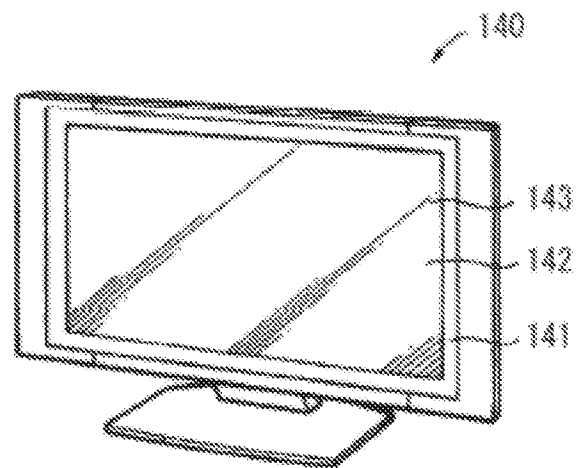
[図25]



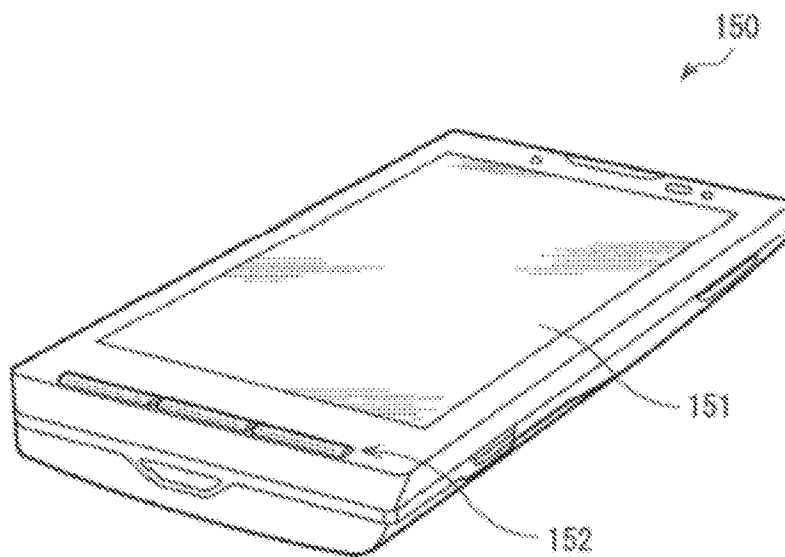
[図26]



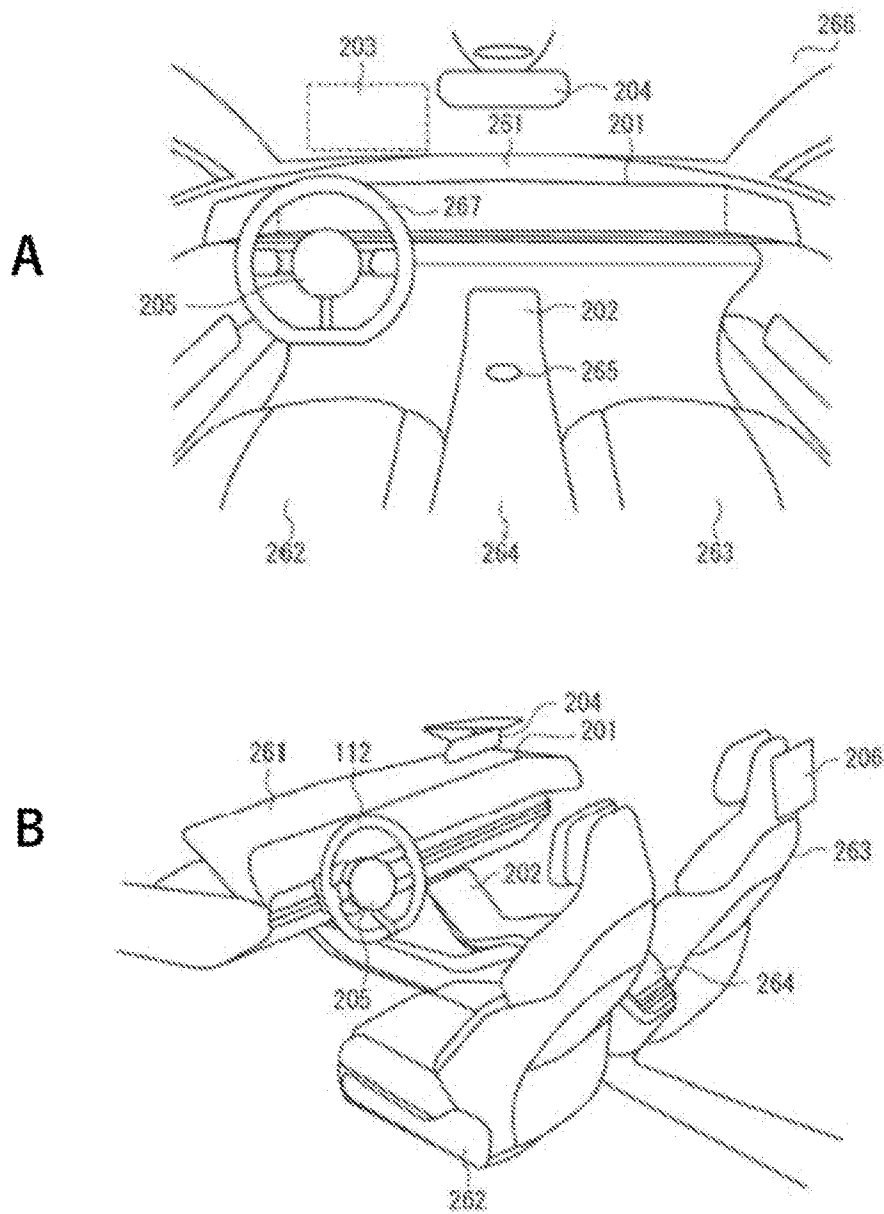
[図27]



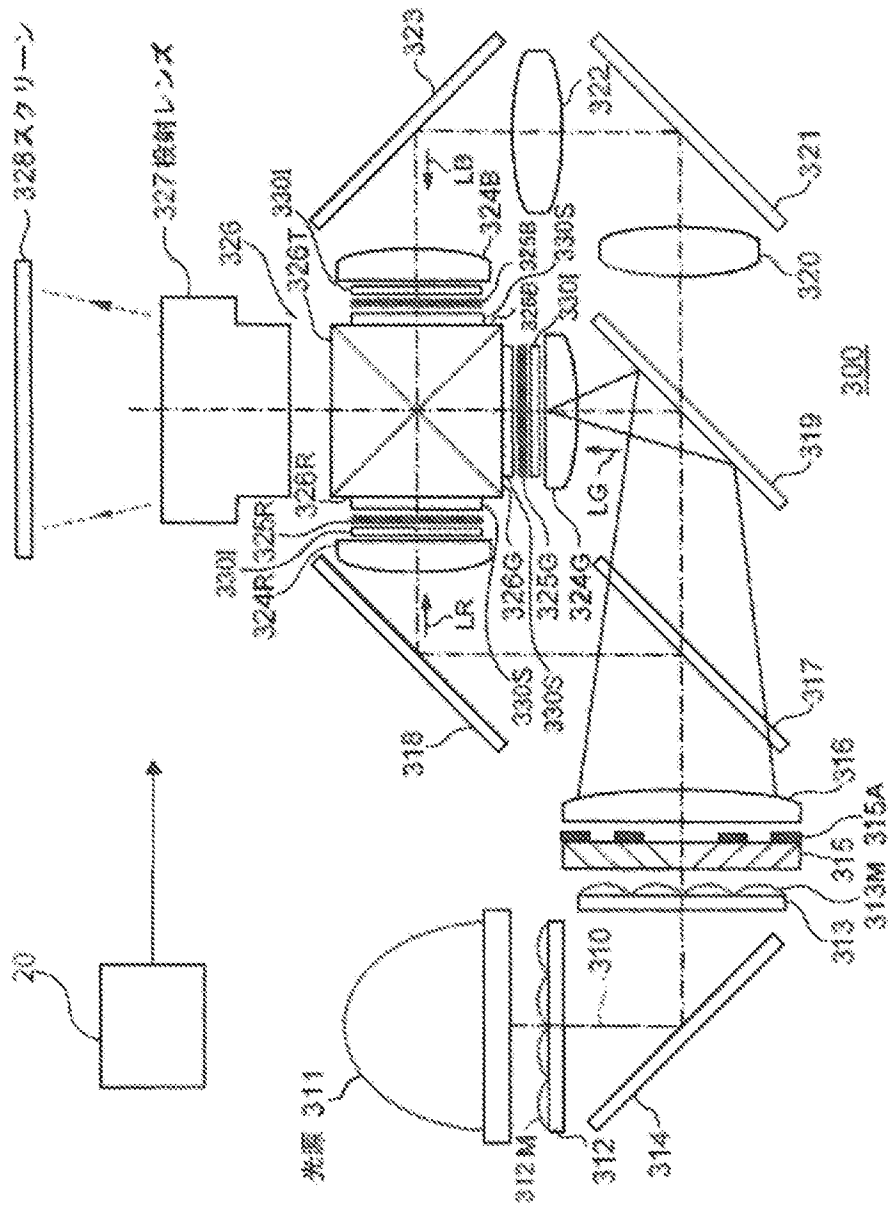
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017712

A. CLASSIFICATION OF SUBJECT MATTER <i>G09G 3/20</i> (2006.01)i; <i>G09G 3/36</i> (2006.01)i; <i>G09G 3/3208</i> (2016.01)i; <i>G09G 3/3266</i> (2016.01)i; <i>G09G 3/3275</i> (2016.01)i FI: G09G3/20 660E; G09G3/20 612J; G09G3/20 612K; G09G3/20 622D; G09G3/20 680A; G09G3/36; G09G3/3266; G09G3/3275; G09G3/3208; G09G3/20 650C; G09G3/20 623C; G09G3/20 622G; G09G3/20 622R; G09G3/20 631A According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02B27/00-30/60; G06F3/14-3/153; G09F9/00-9/46; G09G3/00-3/38; H04N1/38-1/393; H04N5/66-5/74; H04N13/00-17/06 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/220527 A1 (SONY INTERACTIVE ENTERTAINMENT INC.) 21 November 2019 (2019-11-21) paragraphs [0013]-[0072], fig. 5	1-4, 9-13, 15-20
Y	JP 2017-228884 A (SEIKO EPSON CORPORATION) 28 December 2017 (2017-12-28) paragraph [0030]	1-4, 9-13, 15-20
Y	WO 2018/003204 A1 (SONY CORPORATION) 04 January 2018 (2018-01-04) paragraphs [0018]-[0033]	1-4, 9-13, 15-20
Y	JP 2014-186084 A (SEIKO EPSON CORPORATION) 02 October 2014 (2014-10-02) paragraph [0053]	1-4, 9-13, 15-20
Y	JP 5-158465 A (I-O DATA DEVICE INC.) 25 June 1993 (1993-06-25) paragraphs [0021], [0023]	1-4, 9-13, 15-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 30 May 2024		Date of mailing of the international search report 18 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-63351 A (JAPAN DISPLAY INC.) 19 April 2018 (2018-04-19) paragraphs [0020]-[0067], fig. 1-6	2-4, 18
Y	JP 2021-51220 A (JVC KENWOOD CORP.) 01 April 2021 (2021-04-01) paragraphs [0013]-[0035]	9
Y	JP 2016-142850 A (JVC KENWOOD CORP.) 08 August 2016 (2016-08-08) paragraphs [0002], [0017]	11, 17
A	US 2011/0050676 A1 (LEE, Wook) 03 March 2011 (2011-03-03) entire text, all drawings	1-20
A	JP 10-333630 A (NEC CORPORATION) 18 December 1998 (1998-12-18) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/017712

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2019/220527	A1	21 November 2019	US 2021/0157144 A1 paragraphs [0020]-[0078], fig. 5	
JP	2017-228884	A	28 December 2017	(Family: none)	
WO	2018/003204	A1	04 January 2018	(Family: none)	
JP	2014-186084	A	02 October 2014	(Family: none)	
JP	5-158465	A	25 June 1993	(Family: none)	
JP	2018-63351	A	19 April 2018	US 2018/0108299 A1 paragraphs [0033]-[0080], fig. 1-6 CN 107945739 A KR 10-2018-0041068 A	
JP	2021-51220	A	01 April 2021	US 2022/0321868 A1 paragraphs [0022]-[0049] CN 114341703 A	
JP	2016-142850	A	08 August 2016	US 2017/0332059 A1 paragraphs [0003], [0022] EP 3252744 A1	
US	2011/0050676	A1	03 March 2011	KR 10-2011-0024529 A entire text, all drawings	
JP	10-333630	A	18 December 1998	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

G09G 3/20(2006.01)i; G09G 3/36(2006.01)i; G09G 3/3208(2016.01)i; G09G 3/3266(2016.01)i;
G09G 3/3275(2016.01)i
FI: G09G3/20 660E; G09G3/20 612J; G09G3/20 612K; G09G3/20 622D; G09G3/20 680A; G09G3/36; G09G3/3266;
G09G3/3275; G09G3/3208; G09G3/20 650C; G09G3/20 623C; G09G3/20 622G; G09G3/20 622R; G09G3/20 631A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G02B27/00-30/60; G06F3/14-3/153; G09F9/00-9/46; G09G3/00-3/38; H04N1/38-1/393; H04N5/66-5/74;
H04N13/00-17/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2019/220527 A1（株式会社ソニー・インタラクティブエンタテインメント） 21.11.2019（2019-11-21） [0013]-[0072], 図5	1-4, 9-13, 15-20
Y	JP 2017-228884 A（セイコーエプソン株式会社）28.12.2017（2017-12-28） [0030]	1-4, 9-13, 15-20
Y	WO 2018/003204 A1（ソニー株式会社）04.01.2018（2018-01-04） [0018]-[0033]	1-4, 9-13, 15-20
Y	JP 2014-186084 A（セイコーエプソン株式会社）02.10.2014（2014-10-02） [0053]	1-4, 9-13, 15-20
Y	JP 5-158465 A（株式会社アイ・オー・データ機器）25.06.1993（1993-06-25） [0021], [0023]	1-4, 9-13, 15-20

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
30.05.2024

国際調査報告の発送日
18.06.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

西田 光宏 2I 3609

電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-63351 A (株式会社ジャパンディスプレイ) 19.04.2018 (2018 - 04 - 19) [0020]-[0067], 図1-6	2-4, 18
Y	JP 2021-51220 A (株式会社 J V C ケンウッド) 01.04.2021 (2021 - 04 - 01) [0013]-[0035]	9
Y	JP 2016-142850 A (株式会社 J V C ケンウッド) 08.08.2016 (2016 - 08 - 08) [0002], [0017]	11, 17
A	US 2011/0050676 A1 (LEE, Wook) 03.03.2011 (2011 - 03 - 03) 全文, 全図	1-20
A	JP 10-333630 A (日本電気株式会社) 18.12.1998 (1998 - 12 - 18) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017712

引用文献			公表日	パテントファミリー文献	公表日
WO	2019/220527	A1	21.11.2019	US 2021/0157144 A1 [0020]-[0078], 図5	
JP	2017-228884	A	28.12.2017	(ファミリーなし)	
WO	2018/003204	A1	04.01.2018	(ファミリーなし)	
JP	2014-186084	A	02.10.2014	(ファミリーなし)	
JP	5-158465	A	25.06.1993	(ファミリーなし)	
JP	2018-63351	A	19.04.2018	US 2018/0108299 A1 [0033]-[0080], 図1-6 CN 107945739 A KR 10-2018-0041068 A	
JP	2021-51220	A	01.04.2021	US 2022/0321868 A1 [0022]-[0049] CN 114341703 A	
JP	2016-142850	A	08.08.2016	US 2017/0332059 A1 [0003], [0022] EP 3252744 A1	
US	2011/0050676	A1	03.03.2011	KR 10-2011-0024529 A 全文, 全図	
JP	10-333630	A	18.12.1998	(ファミリーなし)	