

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5390967号
(P5390967)

(45) 発行日 平成26年1月15日(2014. 1. 15)

(24) 登録日 平成25年10月18日(2013. 10. 18)

(51) Int.Cl.

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 5 0 E

請求項の数 7 (全 11 頁)

| | | | |
|-----------|------------------------------|-----------|-------------------|
| (21) 出願番号 | 特願2009-161239 (P2009-161239) | (73) 特許権者 | 000001007 |
| (22) 出願日 | 平成21年7月7日(2009. 7. 7) | | キヤノン株式会社 |
| (65) 公開番号 | 特開2011-18138 (P2011-18138A) | | 東京都大田区下丸子3丁目30番2号 |
| (43) 公開日 | 平成23年1月27日(2011. 1. 27) | (74) 代理人 | 100076428 |
| 審査請求日 | 平成24年6月29日(2012. 6. 29) | | 弁理士 大塚 康德 |
| | | (74) 代理人 | 100112508 |
| | | | 弁理士 高柳 司郎 |
| | | (74) 代理人 | 100115071 |
| | | | 弁理士 大塚 康弘 |
| | | (74) 代理人 | 100116894 |
| | | | 弁理士 木村 秀二 |
| | | (74) 代理人 | 100130409 |
| | | | 弁理士 下山 治 |
| | | (74) 代理人 | 100134175 |
| | | | 弁理士 永川 行光 |

最終頁に続く

(54) 【発明の名称】 プロセッサシステム及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

外部メモリに接続されたプロセッサシステムであって、
 メインプロセッサと、
 内部メモリ及び通信インタフェースを備えた通信プロセッサと、
 前記メインプロセッサ及び前記通信プロセッサが共通にアクセス可能な、前記外部メモリの使用の可否を制御するメモリ制御手段と、
 を備え、

前記メモリ制御手段は、

前記メインプロセッサと前記通信プロセッサとのいずれからアクセスがない場合は
 省電力状態をとり、

前記通信プロセッサの通信インタフェースを用いる処理が前記内部メモリの使用だけでは実行できない場合に、起動状態となり、前記通信プロセッサによる前記外部メモリの使用を可能にする

ことを特徴とするプロセッサシステム。

【請求項 2】

前記メモリ制御手段に設定すべき動作モードを示す設定情報を保持する保持手段をさらに備え、

前記メモリ制御手段の動作モードは前記保持手段が保持する情報を介して制御されることを特徴とする請求項 1 に記載のプロセッサシステム。

10

20

【請求項 3】

前記保持手段は、前記メインプロセッサからの前記メモリ制御手段へのアクセスの有無を示す情報と、前記通信プロセッサからの前記メモリ制御手段へのアクセスの有無を示す情報と、をさらに保持し、

前記設定情報は、前記メインプロセッサと前記通信プロセッサとの少なくともいずれかから前記メモリ制御手段へアクセスがある場合に、起動状態とするための情報が設定される

ことを特徴とする請求項 2 に記載のプロセッサシステム。

【請求項 4】

前記メインプロセッサは専用メモリを備え、

10

前記メモリ制御手段は、前記メインプロセッサの処理が前記専用メモリの使用だけでは実行できない場合に、起動状態となり、前記メインプロセッサによる前記外部メモリの使用を可能にする

ことを特徴とする請求項 1 から 3 のいずれか 1 項に記載のプロセッサシステム。

【請求項 5】

前記メモリ制御手段は、前記メインプロセッサによる前記外部メモリの使用が完了したことに応じて、前記通信プロセッサからのアクセスの有無にかかわらず省電力状態へ移行することを特徴とする請求項 1 から 4 のいずれか 1 項に記載のプロセッサシステム。

【請求項 6】

前記通信インタフェースからの情報に基づいて、前記メモリ制御手段の動作モードが変更されることを特徴とする請求項 1 に記載のプロセッサシステム。

20

【請求項 7】

外部メモリに接続されたプロセッサシステムの制御方法であって、

前記プロセッサシステムは、

メインプロセッサと、

内部メモリ及び通信インタフェースを備えた通信プロセッサと、

前記メインプロセッサ及び前記通信プロセッサが共通にアクセス可能な、前記外部メモリの使用の可否を制御するメモリ制御手段と、

を備え、

前記メモリ制御手段は、

30

前記メインプロセッサと前記通信プロセッサとのいずれからアクセスがない場合は省電力状態をとり、

前記通信プロセッサの通信インタフェースを用いる処理が前記内部メモリの使用だけでは実行できない場合に、起動状態となり、前記通信プロセッサによる前記外部メモリの使用を可能にする

ことを特徴とするプロセッサシステムの制御方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明はプロセッサシステム及びその制御方法に関し、特に、複数の CPU を具備するプロセッサシステムの電力を制御する技術に関する。

40

【背景技術】**【0002】**

プロセッサシステムの性能向上のために、複数の CPU を内蔵するマルチ CPU 方式が知られている（特許文献 1）。

【0003】

一方、プロセッサシステムにおいて、メモリ制御に関する要求が多様化、複雑化してきていることに伴い、メモリを制御するメモリコントローラの回路規模が増大している（特許文献 2）。シングル CPU のプロセッサシステムにおいては、このメモリコントローラの消費電力を抑制するために、メモリコントローラへの供給クロックを制御する構成が知

50

られている（特許文献３）。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開平６－２３１０８８号公報

【特許文献２】特開平２－２８０２５９号公報

【特許文献３】特開２００３－３０８２４６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

10

しかしながら、マルチＣＰＵ方式のプロセッサシステムにおいては、あるＣＰＵがメモリコントローラを使用していないが、その他のＣＰＵがメモリコントローラを使用しているという場合がある。このため、従来の消費電力抑制手法を、そのままマルチＣＰＵ方式のプロセッサシステムに適用すると、一方のＣＰＵのみの制御によってメモリコントローラへの供給クロックが制御される。従って、もう一方のＣＰＵがメモリコントローラを使用したい場合に、これを使用できない状況が発生する場合があった。

【０００６】

そこで、本発明は、マルチＣＰＵのプロセッサシステムにおいても適用可能な、メモリコントローラの消費電力を抑制する技術を提供することを目的とする。

【課題を解決するための手段】

20

【０００７】

上記目的を達成するため、本発明によれば、
外部メモリに接続されたプロセッサシステムであって、
メインプロセッサと、
内部メモリ及び通信インタフェースを備えた通信プロセッサと、
前記メインプロセッサ及び前記通信プロセッサが共通にアクセス可能な、前記外部メモリの使用の可否を制御するメモリ制御手段と、
を備え、

前記メモリ制御手段は、

前記メインプロセッサと前記通信プロセッサとのいずれからもアクセスがない場合は省電力状態をとり、

30

前記通信プロセッサの通信インタフェースを用いる処理が前記内部メモリの使用だけでは実行できない場合に、起動状態となり、前記通信プロセッサによる前記外部メモリの使用を可能にする

ことを特徴とするプロセッサシステムが提供される。

【発明の効果】

【０００８】

本発明によれば、マルチＣＰＵのプロセッサシステムにおいても適用可能な、メモリコントローラの消費電力を抑制する技術を提供することができる。

【図面の簡単な説明】

40

【０００９】

【図１】プロセッサシステムを含むハードウェア構成例を示す図。

【図２】ハードウェアシステムのメモリマップ例を示す図。

【図３】通信プロセッサの動作を説明するフローチャート。

【図４】メインプロセッサの動作を説明するフローチャート。

【図５】メモリコントローラのクロック入力回路を示す図。

【図６】メモリコントローラの動作状態を示す図。

【図７】メインプロセッサの動作を説明するフローチャート。

【発明を実施するための形態】

【００１０】

50

< 第 1 実施形態 >

(プロセッサシステム)

本発明の第 1 実施形態に係るプロセッサシステムを含むハードウェア構成を、図 1 を参照して説明する。図 1 中の 1 は、本実施形態に係るプロセッサシステムである。2 は、通信 I / F (通信インタフェース) である。通信 I / F 2 は、U S B 等のバス通信、有線ネットワーク、無線ネットワーク等のネットワーク通信を行うためのインターフェースである。3 は外部メモリである。図 1 のように、プロセッサシステム 1 は、通信 I / F 2 及び外部メモリ 3 に接続されている。

【 0 0 1 1 】

図 1 中の 1 1 は、通信 I / F に関する情報を処理するための通信プロセッサである。1 2 は、プロセッサシステム 1 の処理の中心を担うメインプロセッサ (汎用プロセッサ) である。1 3 は、通信プロセッサ 1 1 とメインプロセッサ 1 2 との間で情報を共有するための共有レジスタである。1 4 は、外部メモリを制御するためのメモリコントローラである。メモリコントローラ 1 4 は、メインプロセッサ 1 2 及び通信プロセッサ 1 1 が共通にアクセス可能であり、外部メモリ 3 の使用の可否を制御するメモリ制御を行う。1 5 は、プロセッサシステム 1 において、通信プロセッサ 1 1 、メインプロセッサ 1 2 、共有レジスタ 1 3 、及びメモリコントローラ 1 4 を接続するためのバスである。1 6 は、プロセッサシステム 1 の中の各ブロックからのバス使用要求に応じて、バスの使用権をどちらに与えるかを決定するバスアービタである。

【 0 0 1 2 】

図 1 中の 1 1 1 は、通信プロセッサ 1 1 において計算処理をおこなう通信 C P U (Central Processing Unit) である。1 1 2 は、通信 C P U 1 1 1 から外部メモリ 3 へのアクセスに伴う計算処理遅延を短縮するための、内部メモリとしての通信 C P U 用キャッシュメモリである。1 1 3 は、通信 I / F を制御するための通信 I / F コントローラである。

【 0 0 1 3 】

なお、本発明の目的は、コンピュータプログラムやコンピュータプログラムを格納したコンピュータ読み取り可能な記録媒体によっても実現可能である。

【 0 0 1 4 】

(メモリマップ)

図 2 (a) は、第 1 実施形態におけるハードウェアシステムのメモリマップである。0 0 0 0 0 0 0 0 番地以上 1 0 0 0 0 0 0 0 番地未満は、外部メモリ 3 用に割り当てられた空間である。1 0 0 0 0 0 0 0 番地以上 1 0 0 0 1 0 0 0 番地未満は、共有レジスタ 1 3 用に割り当てられた空間である。この内、1 0 0 0 0 0 1 0 番地はメモリコントローラ管理 / 制御用フィールドである。

【 0 0 1 5 】

図 2 (b) は、第 1 実施形態に係るメモリコントローラ管理 / 制御用フィールドの各ビット割り当てを示す図である。ビット 0 (3 0 1) は、メインプロセッサ 1 2 からメモリコントローラにアクセス中か否かを表す。ビット 1 (3 0 2) は、通信プロセッサ 1 1 からメモリコントローラにアクセス中か否かを表す。ビット 0 (3 0 1) 及びビット 1 (3 0 2) は、メモリコントローラにアクセス中の場合に値 1 が設定され、アクセス中でない場合に値 0 が設定される。

【 0 0 1 6 】

ビット 2 (3 0 3) は、メモリコントローラ 1 4 の状態 (メモリコントローラ設定) を表す。図 5 を参照して後述するように、「メモリコントローラ設定」ビット 3 0 3 に値 1 が設定されているときはメモリコントローラ 1 4 は起動状態となり、値 0 が設定されているときは省電力状態となる。メインプロセッサ 1 2 と通信プロセッサ 1 1 との少なくともいずれかがメモリコントローラ 1 4 にアクセスするときは、「メモリコントローラ設定」ビット 3 0 3 に値 1 が設定される。なお、ビット 3 からビット 1 5 (3 0 4) は、未使用領域である。このように、共有レジスタ 1 3 においては、少なくとも以下の情報が保持される。

10

20

30

40

50

- ・メモリコントローラ 14 に設定すべき動作モードを示す設定情報 (303)。
- ・メインプロセッサ 12 からのメモリコントローラ 14 へのアクセスの有無を示す情報 (301)。
- ・通信プロセッサ 11 からのメモリコントローラ 14 へのアクセスの有無を示す情報 (302)。

【0017】

(プロセッサシステムの処理)

第1実施形態に係るプロセッサシステムは、以下のように動作する。通信 I/F 2 を介して外部から通信プロセッサ 11 ヘデータが届くと、これに接続した通信 I/F コントローラ 113 から通信 CPU 111 に対して処理依頼が送られる。このような場合の通信プロセッサ 11 とメインプロセッサ 12 の処理を以下に説明する。

【0018】

通信プロセッサ 11 の処理

通信プロセッサ 11 は図3のように動作する。最初に、ステップ S401 で、この処理が、外部メモリ 3 を使わずに、通信 CPU 用キャッシュメモリ 112 だけで処理可能かどうかを判定する。もし処理可能 (ステップ S401 で YES) であれば、キャッシュメモリ 112 を用いて処理を実行 (S402) し、終了する。

【0019】

もし処理可能でない場合 (ステップ S401 で NO) は、メモリコントローラ 14 の制御を介して外部メモリ 3 を使用するために、以下の処理を行う。まず、共有レジスタ 13 にアクセスするために、バスアービタ 16 に対してバス使用要求を出し (S403)、バスアービタ 16 からアクセス使用許可を得るまで待機する (S404)。

【0020】

バスアービタ 16 からバスアクセス許可を得ると (S404 で YES)、S405 へ進む。S405 では、メモリマップ中の共有レジスタ 13 に割り当てられた領域内の、メモリコントローラ管理/制御フィールドである、10001010番地の「通信プロセッサからアクセス中」ビット (302) を 1 に設定する (S405)。

【0021】

次に、同 10001010 番地の、「メインプロセッサからアクセス中」ビット (301) が 0 かどうかを確認 (S406) する。「メインプロセッサからアクセス中」ビット (301) が 0 の場合 (S406 で YES) は、メインプロセッサ 12 がメモリコントローラ 14 にアクセスしていない状態に該当する。すなわち、メモリコントローラ 14 は省電力状態にあるため、アクセス可能な起動状態に切り替える必要がある。このため、今からメモリコントローラ 14 にアクセスするために、同 10001010 番地の、「メモリコントローラ設定」ビット 303 を 1 に設定する (S407)。そうでなければ (S406 で NO)、メインプロセッサ 12 がメモリコントローラ 14 にアクセスしている状態に該当するので、S407 をスキップする。

【0022】

次に、メモリコントローラ 14 にアクセスするために、バスアービタ 16 に対してバス使用要求を出し (S408)、バスアービタ 16 からアクセス使用許可を得るまで待機する (S409)。バスアービタ 16 からバスアクセス許可を得ると (S409 で YES)、メモリコントローラ 14 の制御の下で外部メモリ 3 に対するメモリアccessを開始し、処理を実行する (S410)。

【0023】

この処理が完了 (S411) すると、同 10001010 番地の、「通信プロセッサからアクセス中」ビット (302) を 0 に設定する (S412)。続いて、同 10001010 番地の、「メインプロセッサからアクセス中」ビット (301) が 0 かどうかを確認する (S413)。「メインプロセッサからアクセス中」ビット (301) が 0 の場合 (S413 で YES) は、メインプロセッサ 12 もメモリコントローラ 14 にアクセスしていない状態に該当するので、メモリコントローラ 14 を省電力状態にする必要がある。こ

10

20

30

40

50

のため、同 1 0 0 0 1 0 1 0 番地の、「メモリコントローラ設定」ビット 3 0 3 を 0 に設定する (S 4 1 4)。そうでなければ、メインプロセッサ 1 2 がメモリコントローラ 1 4 にアクセスしている状態に該当するので、S 4 1 4 をスキップする。そして、処理を終了する。

【 0 0 2 4 】

メインプロセッサの処理

一方、メインプロセッサ 1 2 は図 4 のように動作する。まず、共有レジスタ 1 3 にアクセスするために、バスアービタ 1 6 に対してバス使用要求を出し (S 5 0 1)、バスアービタ 1 6 からアクセス使用許可を得るまで待機する (S 5 0 2)。バスアービタ 1 6 からバスアクセス許可を得ると (S 5 0 2 で Y E S)、S 5 0 3 へ進む。

10

【 0 0 2 5 】

S 5 0 3 では、メモリマップ中の共有レジスタ 1 3 に割り当てられた領域内の、メモリコントローラ管理 / 制御フィールドである、1 0 0 0 1 0 1 0 番地の「メインプロセッサからアクセス中」ビット (3 0 1) を 1 に設定する。

【 0 0 2 6 】

次に、同 1 0 0 0 1 0 1 0 番地の、「通信プロセッサからアクセス中」ビット (3 0 2) が 0 かどうかを確認する (S 5 0 4)。0 の場合 (S 5 0 4 で Y E S) は、通信プロセッサ 1 1 がメモリコントローラ 1 4 にアクセスしておらず、メモリコントローラ 1 4 は省電力状態にあることに該当する。このため、今からメモリコントローラ 1 4 にアクセスできるようにするために、同 1 0 0 0 1 0 1 0 番地の、「メモリコントローラ設定」ビット 3 0 3 を 1 に設定する (S 5 0 5)。そうでなければ (S 5 0 4 で N O)、通信プロセッサ 1 1 がメモリコントローラ 1 4 にアクセスしている状態に該当するので、S 5 0 5 をスキップする。

20

【 0 0 2 7 】

次に、メモリコントローラ 1 4 にアクセスするために、バスアービタ 1 6 に対してバス使用要求を出し (S 5 0 6)、バスアービタ 1 6 からアクセス使用許可を得るまで待つ (S 5 0 7)。バスアービタ 1 6 からバスアクセス許可を得ると、メモリコントローラ 1 4 の制御の下で外部メモリ 3 へのメモリアccessを開始し、処理を実行する (S 5 0 8)。この処理が完了 (S 5 0 9) すると、同 1 0 0 0 1 0 1 0 番地の、「メインプロセッサからアクセス中」ビット (3 0 1) を 0 に設定する (S 5 1 0)。

30

【 0 0 2 8 】

続いて、同 1 0 0 0 1 0 1 0 番地の、「通信プロセッサからアクセス中」ビット (3 0 2) が 0 かどうかを確認する (S 5 1 1)。「通信プロセッサからアクセス中」ビット (3 0 2) が 0 の場合は、通信プロセッサ 1 1 もメモリコントローラ 1 4 にアクセスしていない状態に該当する。このため、メモリコントローラ 1 4 を省電力状態にするために、同 1 0 0 0 1 0 1 0 番地の、「メモリコントローラ設定」ビット 3 0 3 を 0 に設定する (S 5 1 2)。そうでなければ、通信プロセッサ 1 1 がメモリコントローラ 1 4 にアクセスしている状態に該当するので、S 5 1 2 をスキップする。そして、処理を終了する。

【 0 0 2 9 】

(「メモリコントローラ設定」ビット)

40

図 5 に示すように、1 0 0 0 1 0 1 0 番地の、「メモリコントローラ設定」ビット 3 0 3 の値及び、プロセッサシステムのクロック信号は、AND 回路の入力に接続されている。そして、この AND 回路の出力は、メモリコントローラのクロック入力に接続されている。このため、同 1 0 0 0 1 0 1 0 番地の、「メモリコントローラ設定」ビット 3 0 3 が 0 になると、メモリコントローラのクロック入力に 0 になる。クロック入力に変化しないため、メモリコントローラは動作せず、省電力状態になる。

【 0 0 3 0 】

通信プロセッサ 1 1 及びメインプロセッサ 1 2 が上記のように動作することで、図 6 (a) のように、メモリコントローラ 1 4 は、少なくともどちらかのプロセッサがアクセスしている間だけ ON になる。図 6 は、通信プロセッサ 1 1 又はメインプロセッサ 1 2 から

50

のメモリコントローラ 14 へのアクセスの有無と、メモリコントローラ 14 の動作状態との関係を示す図である。これによって、メモリコントローラ 14 の省電力が達成される。

【0031】

上記のように、メモリコントローラ 14 は、メインプロセッサ 12 と通信プロセッサ 11 とのいずれからもアクセスがない場合は省電力状態をとる。一方、通信プロセッサ 11 の通信 I/F 2 を用いる処理が通信 CPU 用キャッシュメモリ 112 の使用だけでは実行できない場合に、起動状態となり、通信プロセッサ 11 による外部メモリ 3 の使用を可能にする。このため、本実施形態によれば、マルチ CPU 方式のプロセッサシステムにおいて、各プロセッサが必要としていない期間は、メモリコントローラを省電力状態にすることができ、全体としてメモリコントローラの消費電力を抑制することが可能となる。

10

【0032】

また、メモリコントローラ 14 の動作モードは共有レジスタ 13 が保持する情報を介して制御される。特に、本実施形態では、メインプロセッサ 12 と通信プロセッサ 11 との少なくともいずれかからメモリコントローラ 14 へアクセスがある場合に、起動状態とするための情報（「メインコントローラ設定」ビット "1"）が設定される。このため、本実施形態は容易に実装することが可能である。

【0033】

< 第 2 実施形態 >

第 1 実施形態では、通信プロセッサ 11 とメインプロセッサ 12 との少なくともいずれかがメモリコントローラ 14 にアクセスしている間は「メモリコントローラ設定」ビットを 1 に設定して、メモリコントローラ 14 を動作させていた。しかし、用途によっては、メインプロセッサ 12 による外部メモリ 3 の使用が完了した時点で、通信プロセッサ 11 からのアクセスの有無にかかわらず、メモリコントローラ 14 を省電力モードに移行させることが望ましい場合がある。そこで、本発明の第 2 実施形態では、メインプロセッサ 12 からのアクセスの終了に応じて、メモリコントローラ 14 を省電力モードに移行させる構成を説明する。

20

【0034】

本実施形態に係るプロセッサシステムを含むハードウェアシステムの構成、ハードウェアシステムのメモリマップ、メモリコントローラ管理 / 制御用フィールドのビット割当て、及び通信プロセッサの動作は、前述の第 1 実施形態で説明したものと同様である。すなわち、プロセッサシステム 1 のハードウェア構成は図 1 で表され、メモリマップ、ビット割り当ては図 2 (a)、図 2 (b) で表され、通信プロセッサ 11 の動作は図 3 のフローチャートで表される。

30

【0035】

第 2 実施形態に係るプロセッサシステム中、メインプロセッサ 12 は、図 7 のように動作する。図 7 の S801 ~ S810 の各ステップの処理は、図 4 の S501 ~ S510 と同様であるため、説明を省略する。

【0036】

本実施形態では、S810 の処理を終了すると、「通信プロセッサからアクセス中」ビット 302 の値を確認せずに、S811 へ進む。S811 では、メモリコントローラ 14 を省電力状態にするために、同 10001010 番地の、「メモリコントローラ設定」ビット 303 を 0 に設定する。

40

【0037】

図 5 に示すように、同 10001010 番地の、「メモリコントローラ設定」ビット 303 の値及び、プロセッサシステムのクロック信号は、AND 回路の入力に接続されている。そして、この AND 回路の出力は、メモリコントローラのクロック入力に接続されている。このため、同 10001010 番地の、「メモリコントローラ設定」ビット 303 が 0 になると、メモリコントローラのクロック入力になる。クロック入力に変化しないため、メモリコントローラは動作せず、省電力状態になる。

【0038】

50

通信プロセッサ 1 1 及びメインプロセッサ 1 2 が上記のように動作することで、図 6 (b) のように、メモリコントローラ 1 4 は、どちらかのプロセッサがアクセスすれば ON になる。

【 0 0 3 9 】

また、プロセッサシステム 1 の中心であるメインプロセッサ 1 2 の処理が完了すると、プロセッサシステム 1 としての処理も終了する。従って、通信プロセッサ 1 1 がメモリコントローラ 1 4 へアクセスしていたとしても、メインプロセッサからメモリコントローラ 1 4 へのアクセスが無くなれば、メモリコントローラ 1 4 は OFF になる。これによって、メモリコントローラ 1 4 の省電力が達成される。

【 0 0 4 0 】

メモリコントローラ 1 4 は、メインプロセッサ 1 2 による外部メモリ 3 の使用が完了したことに応じて、通信プロセッサ 1 1 からのアクセスの有無にかかわらず省電力状態へ移行する。このため、メインプロセッサ 1 2 の処理を優先的に実行する必要がある用途において、好適に適用することができる。

【 0 0 4 1 】

< < その他の実施形態 > >

上記の構成では、通信プロセッサ 1 1 のみが専用の内部メモリ (通信 CPU 用キャッシュメモリ 1 1 2) を備えていたが、メインプロセッサも専用メモリを備えてもよい。この場合、メモリコントローラ 1 4 は、メインプロセッサ 1 2 の処理が専用メモリの使用だけでは実行できない場合に、起動状態となって、メインプロセッサ 1 2 による外部メモリ 3 の使用を可能にしてもよい。このような構成によれば、メインプロセッサ 1 2 が外部メモリ 3 の使用を必要とする場合にだけメモリコントローラ 1 4 を起動状態にすることができ、システム全体の省電力効果を効果的に高めることができる。

【 0 0 4 2 】

また、メモリコントローラ 1 4 の動作モードの変更は、通信インタフェースからの情報に基づいて行ってもよい。例えば、以下のような構成とすることができる。

(構成例 1) : 内部キャッシュだけでは処理できない事象を、通信 I / F 2 (例えば、LAN, WLAN, USB) を用いて検出する。この通信 I / F 2 において、特定の信号 / パケット / プロトコルを検出した場合にメモリコントローラ 1 4 を ON にする。

(構成例 2) : 内部キャッシュだけでは処理できない事象を、バスアービタ 1 6 やバスアドレスデコーダ (不図示) 等のハードウェアにて検出する。検出結果は、メモリコントローラ 1 4 のクロック供給部に直接接続 (クロックゲーティング) し、かつ、共有レジスタ 1 3 も設定する。

(構成例 3) : 内部キャッシュだけでは処理できない事象を、ソフトウェアにて検出する。すなわち、メモリコントローラ 1 4 を OFF する前に、当該プロセッサの内部キャッシュに特定のプログラム (キャッシュされたコードの中から外れて外部メモリ 3 にアクセスしに行く直前に、共有レジスタ 1 3 を設定する) をロードしておく。

【 0 0 4 3 】

なお、上記の構成は、通信プロセッサとメインプロセッサとの組み合わせだけでなく、複数のプロセッサを備えた構成ならばどのような構成にも適用することができる。すなわち、外部メモリに接続されたプロセッサシステムであって、第 1 及び第 2 のプロセッサと、第 1 及び第 2 のプロセッサが共通に使用可能な、外部メモリへのアクセスを制御するメモリコントローラとを備えたプロセッサシステムにも適用できる。この場合、メモリコントローラは、第 1 及び第 2 のプロセッサの少なくともいずれかによるアクセスがあるときのみ起動状態をとり、それ以外は省電力状態をとることで、マルチプロセッサシステムにおける省電力化を効果的に実現することが可能である。

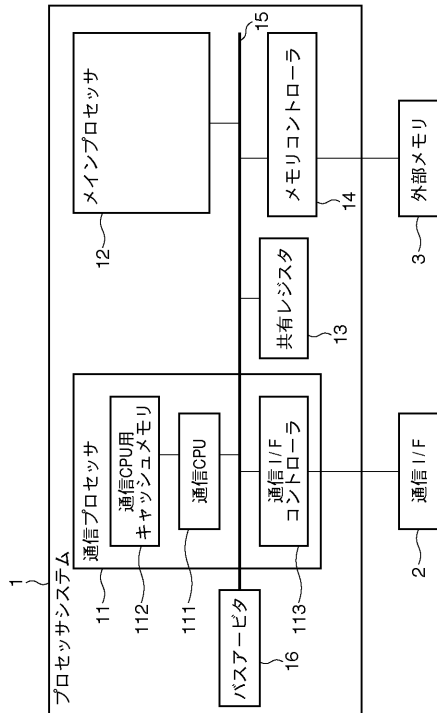
10

20

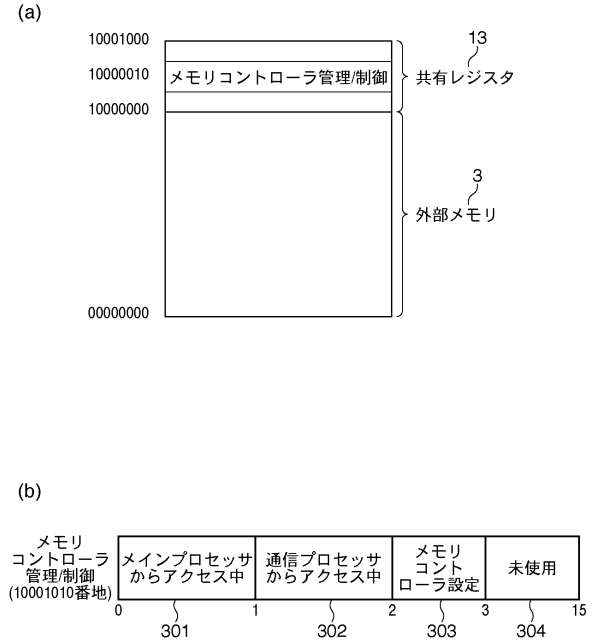
30

40

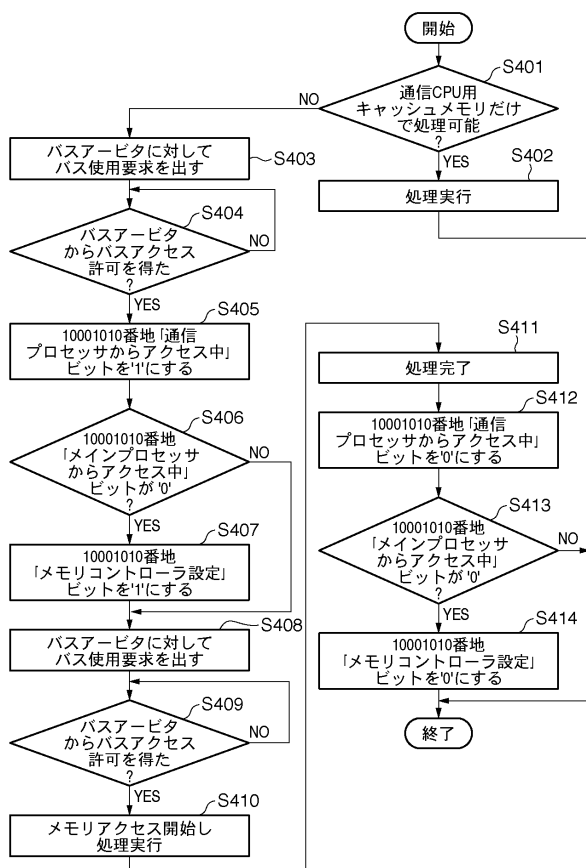
【図 1】



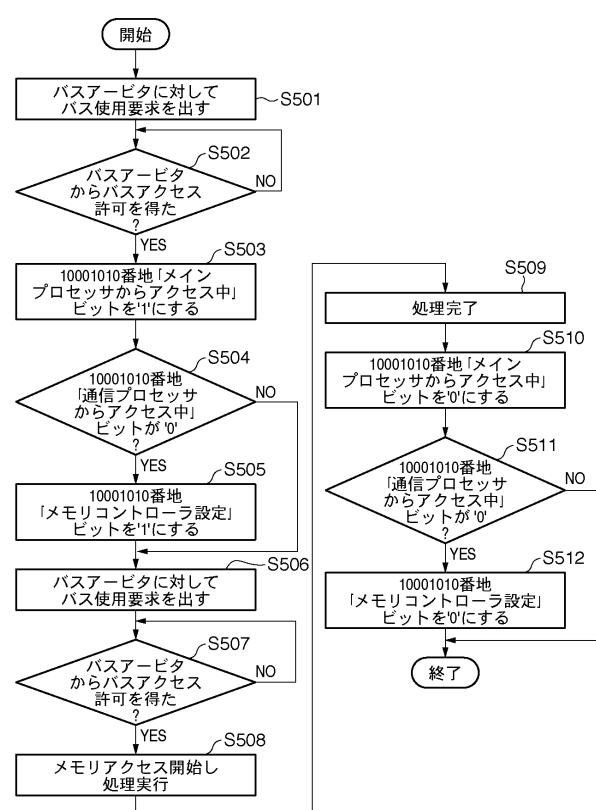
【図 2】



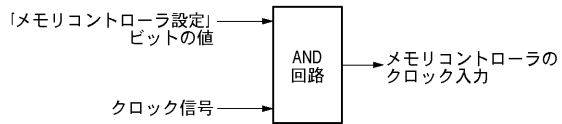
【図 3】



【図 4】



【図 5】



【図 6】

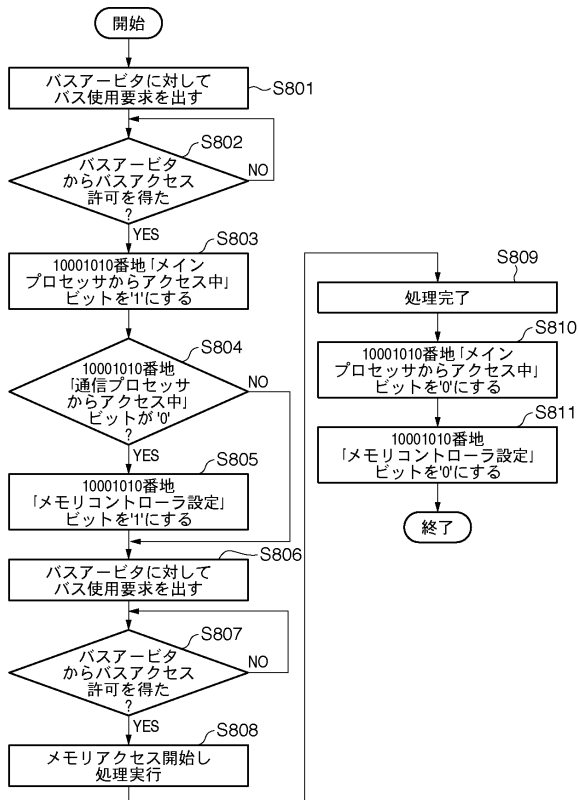
(a)

| | | | | |
|-----------------|-----|----|----|----|
| 通信プロセッサからのアクセス | 無し | 有り | 有り | 無し |
| メインプロセッサからのアクセス | 無し | 無し | 有り | 有り |
| メインコントローラの状態 | OFF | ON | ON | ON |

(b)

| | | | | |
|-----------------|-----|-------|----|-------|
| 通信プロセッサからのアクセス | 無し | 無し→有り | 有り | 有り |
| メインプロセッサからのアクセス | 無し | 無し | 有り | 有り→無し |
| メインコントローラの状態 | OFF | ON | ON | OFF |

【図 7】



フロントページの続き

(72)発明者 山本 哲也
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 野田 佳邦

(56)参考文献 特表2009-515263(JP,A)
特開平11-161778(JP,A)
特開2005-346672(JP,A)
特開2002-229692(JP,A)
特開平02-257249(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 12/00 - 12/06