

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 泰瑞 G 史巴克
SPARKS, TERRY G.
2. 艾傑 辛海
SINGHAL, AJAY
3. 柯克 J 史卓佐斯基
STROZEWSKI, KIRK J.

住居所地址：(中文/英文)

1. 美國德州奧斯汀市曼朵西諾大道8808號
8808 MENDOCINO DRIVE, AUSTIN, TEXAS 78735, U.S.A.
2. 美國德州奧斯汀市西瑪吉山路7408號
7408 WEST MAJIC MOUNTAIN LANE, AUSTIN, TEXAS 78681, U.S.A.
3. 美國德州圓石市卡斯凱灣2904號
2904 CASCADE COVE, ROUND ROCK, TEXAS 78664, U.S.A.

國 籍：(中文/英文)

1. 均美 國 U.S.A.
2. 印度 INDIA

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 美國；2003年01月17日；10/346,263

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2003年01月17日；10/346,263

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於半導體製造之領域，更特定言之，係關於在一半導體裝置中產生小特徵之領域。

【先前技術】

在半導體製造領域，任何製造程序之一重要特徵係用該製程可以可靠地產生之最小特徵尺寸。該最小特徵尺寸，在很大程度上，不僅指示一積體電路裝置之性能或速度而且指示該裝置之尺寸。一積體電路裝置之尺寸或速度係關鍵參數。因此，一般而言，希望在任何製造設施中可以產生不斷變小之特徵。

減小特徵尺寸之一傳統方法係用下一代微影蝕刻設備(通常稱為步進機)取代現存步進機。此方法之明顯缺陷係要求大量資本來購買、安裝並檢驗新一代步進機。因此，取代現存設備通常成本高昂，製造商總是有興趣實施延長其步進機使用壽命的製造技術。

與小特徵之製造相關的另一問題係關於缺陷。眾所周知，假定製造設施中的缺陷為相同位準，則當最小幾何形狀縮小時，重大缺陷的數量會增加。在使用光阻以及光阻處理傾向於產生相對大量顆粒之微影蝕刻領域尤其如此。最好可以實施一製程，其中一特徵之最終或蝕刻後尺度可靠地小於該對應微影蝕刻特徵之印刷尺度。

【發明內容】

本發明係藉由一半導體製造方法解決該等確定之問題，

多互連層與一或更多層間介電質(interlevel dielectric ;ILD)層。介電質層 106與ESL 104也可指包括基板 102之一部分。

在一具體實施例中，ESL 104係具有大約500埃之一厚度的一氮化矽(SiN)或摻雜碳的氮化矽(SiCN)層。該氮化矽可包括電漿增強化學汽相沈積(plasma enhanced chemically vapor deposited ; PECVD)氮化矽，其係藉由在保持大約300至500°C之溫度範圍的一化學汽相沈積(chemical vapor deposition ; CVD)反應室之中由銨與矽烷形成一電漿而產生。當需要一低介電常數材料時，可用碳酸化氮化矽代替傳統氮化矽。

介電質層 106可包括大約3000至9000埃之一電性絕緣材料，例如二氧化矽(SiO₂)或碳酸化氧化矽(SiCOH)。介電質 106很可能當作置放於其上方與下方的一對互連(圖中未顯示)之間的一ILD層。在層 106之一氧化矽具體實施例中，該氧化矽之形成可藉由CVD，分解四正矽酸乙酯(tetraethylorthosilicate ; TEOS)，使矽烷與氧反應，使二氯矽烷與一氧化二氮反應，或另外合適之CVD氧化技術。層 106之SiCOH具體實施例可用作一低K介電質(具有小於大約3.0之一介電常數的一材料)，其中需要減小層內與層間電容性耦合效應。

現參考圖 2，一蓋層 108係形成於介電質層 106之上。將蓋層 108併入該製程係出於至少兩個原因。當介電質層 106作為一ILD之時，其通常經過某種平坦化處理，例如化學機械研磨(chemical mechanical polish ; CMP)處理。該平坦化之

在圖3與圖4所示之一具體實施例中，藉由第一塗佈晶圓100形成具有該聚合物UL 110之薄膜109。UL 110之一厚度係較佳介於3500至15000埃之範圍。而後在大約150至250°C之範圍的溫度下烘烤該塗佈UL以便交叉鏈接該聚合物材料並且機械地硬化該薄膜。在烘烤UL 110之後，於UL 110之上塗佈IL 112。IL 112之一厚度係較佳介於大約500至3000埃之範圍。如圖4所示，在塗佈具有該成像層之晶圓之後，在較佳為90至140°C之範圍的溫度下烘烤IL 112以形成薄膜109。

然後如圖5所示，藉由一傳統光罩將IL 112曝露於成像輻射，並將其浸入一合適的光阻顯影液之中以選擇性地移除IL之部分並產生一圖案化之IL 114。可使用，例如，248 nm或193 nm之微影設備實施IL 112之曝露。圖案化IL 114定義一空隙或印刷特徵116。因為UL 110對光不敏感，所以用微影蝕刻處理該成像層以產生圖案化IL 114使UL 110實質上保持完好。

現參考圖6，藉由處理UL 110以產生一空隙(本文稱為UL 110之中的錐形壁通道120)，將圖案化IL 114之中的印刷特徵116轉移至UL 110。在一具體實施例中，本文稱為乾式顯影處理的處理係用於將印刷特徵116轉移至UL 110之中。UL 110之乾式顯影處理使用之化學品與處理條件在UL 110之中產生一錐形壁通道120，其中顧名思義，錐形壁通道120之特徵係錐形或傾斜側壁122。根據本發明，側壁122以介於大約70°與89°(相對於該下面的基板之一上部表面)之間

的一角度特徵性傾斜，並實質上筆直(如斷面圖所示)。通道120之錐形側壁122較為有利地提供用於有效定義小於其對應印刷特徵116之一積體電路特徵的一機構。換言之，UL 110之處理形成相對於該印刷特徵之尺寸有效地縮小該積體電路之幾何結構的一錐形壁通道120。

在一具體實施例中，可在一傳統電漿蝕刻室(例如用於乾式蝕刻氧化矽之一室)執行UL 110之乾式顯影處理。在一較佳具體實施例中，用於UL 110之乾式顯影處理的蝕刻機係專用於此處理而不用於該製造設施中的其它蝕刻處理。在此「專用室」具體實施例中，理論上講，該室專用於乾式顯影處理可以減少缺陷並改善該乾式顯影處理之效率。在傳統雙層處理中，該下層使用傾向於形成垂直側壁或，更差的，弓形側壁空隙的一 O_2 化學品加以顯影或蝕刻。垂直側壁空隙無法實現上文說明之特徵尺寸減小優勢。因為該弓形側壁空隙之特徵係在該乾式顯影過程中易於倒塌的下層材料之較薄懸垂部分，所以該弓形側壁空隙效率較低。

本發明之一具體實施例，如圖6所示，有利地在低壓下使用一高密度 N_2 電漿使得UL 110之乾式顯影處理可產生錐形壁通道120。出於本發明之目的，一高密度電漿係指具有超過大約 10^{11} 個離子/立方厘米之一離子密度的一電漿，而「低壓」係指15 mT或更小之一壓力。在一具體實施例中，UL 110之乾式顯影處理係在一感應耦合電漿反應器中執行，該反應器使用超過500 W之一射頻(radio frequency; RF)電源，超過50 W之一射頻偏壓電源，至少20 sccm之一 N_2 流速(沒

有其它氣體進入該室)，小於15 mT之一壓力與低於10°C之一晶圓(夾頭)溫度。該乾式顯影處理可，例如，使用500至2500 W之一射頻電源，50至200 W之一射頻偏壓電源，20至100 sccm之一N₂流速，3至15 mT之一室壓與-10至10°C之一晶圓溫度。從理論上講，該N₂乾式顯影化學品結合高密度低壓電漿蝕刻參數與NH₃/O₂電漿相比可產生一更高濃度之氮「中性」，而且大量中性氮可在錐形壁通道120中產生錐形側壁122。當一UL厚度大約係5000埃時，藉由該揭示之乾式顯影技術產生的側壁122之錐形導致大約40至70 nm之一特徵尺寸縮小。因此，本文揭示之BLR乾式顯影處理技術可用於產生具有大約170 nm之一印刷尺度(參考數字124)與大約105 nm之一最終或更低尺度(126)的一錐形壁通道120。

錐形壁通道120之形成提供至少兩個主要優點。第一，錐形壁通道120可用於形成一最終特徵，該最終特徵之一最小特徵尺寸小於該微影蝕刻可印刷的最小特徵尺寸。若圖案化IL 114之中的印刷特徵116具有大約係該步進機可印刷之最小特徵尺寸之一尺度，則該錐形壁通道120將導致形成於該下面的晶圓之中具有小於該可印刷最小尺度之一最小尺度的一積體電路特徵。熟悉微影蝕刻領域並受益於本發明者應瞭解，依此方式，錐形壁通道120可藉提供縮小一印刷特徵之尺寸的替代性方法而延長該微影蝕刻設備之使用壽命。該錐形壁通道120也可用於藉由在不影響性能或該完成裝置之晶粒尺寸的情況下致動該微影蝕刻參數之鬆弛，減

發明提供實現上述優勢之用於製造更小特徵尺寸而實質上不改變該微影蝕刻成像製程或設備的一製程。雖然本發明係參考其特定說明性具體實施例說明，但無意將本發明限於該等說明性具體實施例。熟習技術人士應明白，可不背離本發明之精神而做出修改與變更。因此，本文意在將屬於所附申請專利範圍及其同等事項的所有此等修改與變更包括在本發明內。

【圖式簡單說明】

參考以上結合附圖之說明可最佳瞭解本發明及其進一步優點，其中：

圖1係一半導體基板之部分斷面圖，該半導體基板之上形成一蝕刻阻止層與一介電質層；

圖2說明圖1之後的處理，其中在該介電質層之上形成一介電蓋層；

圖3說明圖2之後的處理，其中一雙層光阻結構之下層係塗佈於該晶圓之上；

圖4說明圖3之後的處理，其中形成該雙層光阻結構之一成像層；

圖5說明圖4之後的處理，其中藉由微影蝕刻成像圖案化該成像層；

圖6說明圖5之後的處理，其中在該雙層光阻之下層之中形成一錐形壁通道；

圖7說明圖6之後的處理，其中藉由該錐形壁通道定義之一特徵係形成於該下面的介電質之中；以及

圖 8 說明圖 7 之後的處理，其中將該下層從該晶圓剝落。

【圖式代表符號說明】

100	半導體晶圓
102	基板
104	蝕刻阻止層
106	介電質層
108	蓋層
109	薄膜
110	下層
112	成像層
114	成像層
116	印刷特徵
120	通道
122	側壁
124	印刷尺度
126	完成尺度
128	特徵

拾壹、圖式：

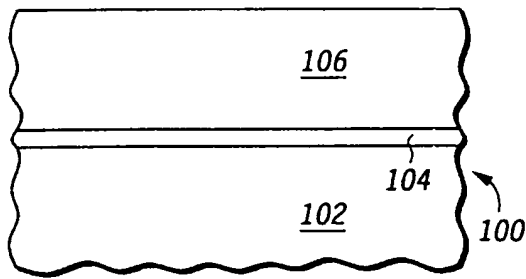


圖 1

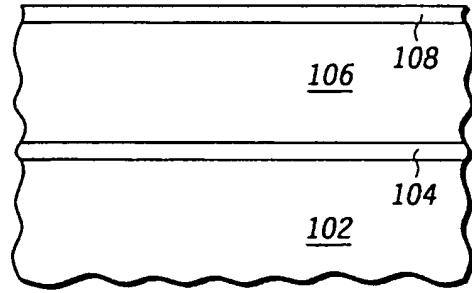


圖 2

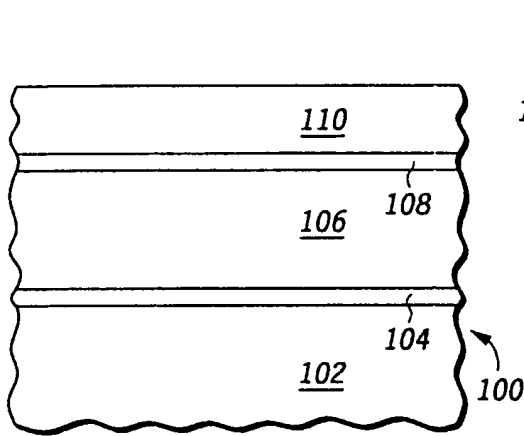


圖 3

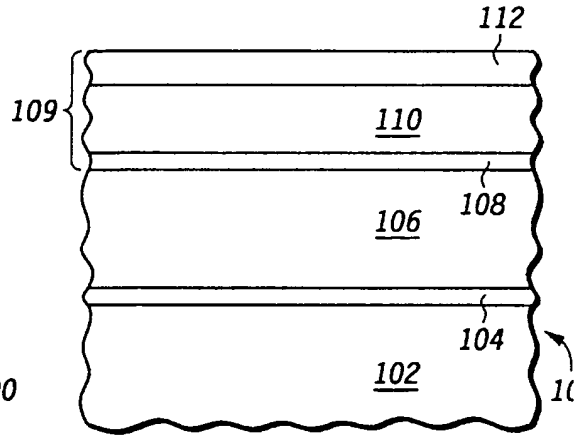


圖 4

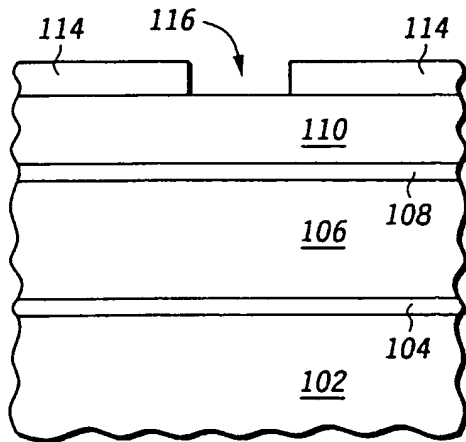


圖 5

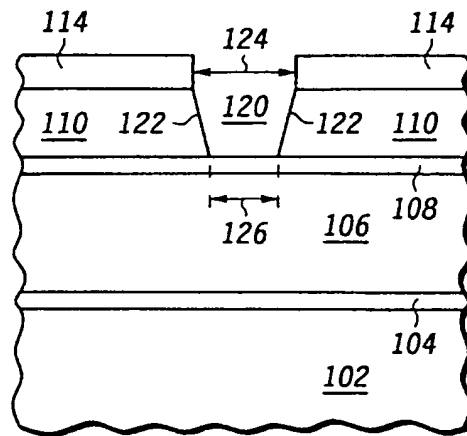


圖 6

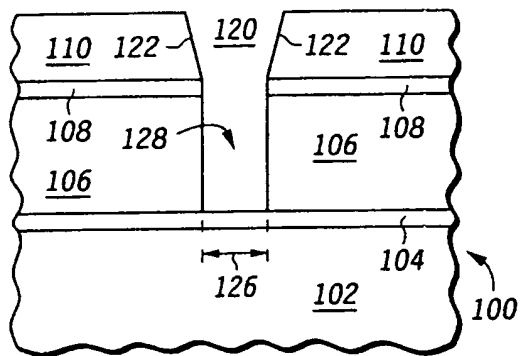


圖 7

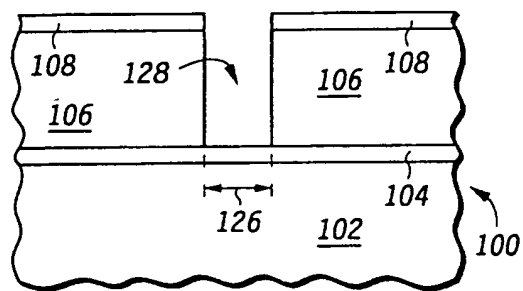


圖 8

柒、指定代表圖：

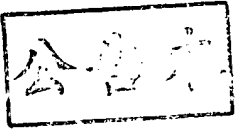
(一)本案指定代表圖為：第（ 8 '）圖。

(二)本代表圖之元件代表符號簡單說明：

100	半導體晶圓
102	基板
104	蝕刻阻止層
106	介電質層
108	蓋層
126	完成尺度
128	特徵

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）



發明專利說明書

中文說明書替換頁(93年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092135222

※ 申請日期：92.12.12 ✓

※IPC 分類：H01L 2/3065, 2/308
(2006.01)

壹、發明名稱：(中文/英文)

用以製作小特徵之半導體製造方法

SEMICONDUCTOR FABRICATION METHOD FOR MAKING SMALL
FEATURES

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

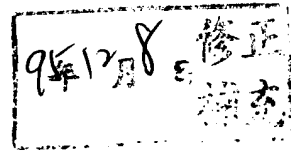
住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.



該方法較佳包括在一半導體基板之上形成具有一成像層與一下層之一雙層光阻。圖案化該成像層以產生或定義具有一印刷尺度之一印刷特徵。而後處理該下層以在該下層產生一傾斜側壁空隙。該空隙之一完成尺度接近該下面的基板並小於該印刷尺度。依此方式，該下層空隙在下面的基板之上曝露小於印刷於該成像層中的特徵之尺寸的一幾何形狀，從而有效地縮小該特徵而不必改變該成像設備或曝露程序。處理該下層可包括將該晶圓曝露於保持溫度小於 10°C 的一高密度低壓以 N_2 為基礎的電漿。

【實施方式】

現在將詳細參考本發明的當前較佳具體實施例，在所附圖式中說明其範例。應注意，該等圖式係簡化形式，並未按比例繪製。儘管以下說明係關於該等已說明之具體實施例，但應瞭解，顯示此等具體實施例係作說明之用並非限制本發明。以下詳細說明意在涵蓋由所附申請專利範圍定義的本發明之精神及範圍之內的所有修正、替代與等效物。

應瞭解並明白，本文說明之製程步驟與結構並非涵蓋製造一積體電路之一完整流程。本發明之實施可結合在此技術中傳統使用的不同積體電路製造技術，而且本文只包括理解本發明所必需之常用製程步驟。因此，例如，以下之說明不解決該等形成之電晶體之互連或通常稱為「後端」處理之其它處理。

一般而言，本發明考慮一種半導體製造技術，其中一特徵係印刷或定義於一可棄式薄膜之上的一光阻薄膜中。然

後處理該可棄式薄膜以產生具有錐形側壁之一開口或空隙。該錐形側壁終止於一下面的基板，使得該基板介面之開口的尺度小於該印刷特徵的尺度。為產生該等錐形側壁而對該可棄式薄膜之處理可包括一高密度低壓以 N_2 為基礎的電漿蝕刻。處理該可棄式薄膜之後，可將該經處理之可棄式薄膜保持在適當位置並蝕刻該基板以在該基板中產生一蝕刻特徵。該蝕刻特徵之一尺度與該基板介面之開口的尺度大約相等(即小於該印刷尺度)。

以此方式，可實現至少兩項製造方面的改善。第一，該處理技術可用於產生小於用一現存微影蝕刻製程印刷之最小特徵尺寸的特徵尺寸。第二，該處理技術使得一製造商可以生產具有較少缺陷之小特徵。更明確地說，該揭示之製程可用於提升一微影蝕刻特徵之尺寸而不必增加該完成特徵之尺寸。該鬆弛微影蝕刻處理將導致較少缺陷。

現參考該等圖示，圖1至圖8說明強調本發明之重要方面的一半導體製造處理程序。圖1係在製造一積體電路之過程中處於一中間階段的一半導體晶圓100之一局部斷面圖。如圖1所示，晶圓100包括一基板102，其上形成一蝕刻阻止層(etch stop layer; ESL)104與一介電質層106。基板102可包括一單晶矽或其它經處理包括複數個電子裝置的半導體基板，該等電子裝置通常包括p型通道與n型通道之金屬氧化物半導體場效電晶體(metal-oxide-semiconductor field effect transistor; MOSFET)與分散電晶體隔離結構。此外，基板102可包括為半導體製造領域之人士所熟知之一或更

後，蓋層 108 之沈積可用來實現一所需的最終 ILD 厚度，其中該最終 ILD 包括介電質層 106 與蓋層 108。在介電質層 106 係或包括一低 K 材料如 SiCOH 之具體實施例中，一相對較薄之蓋層 108 可提供一穩定薄膜，並且該薄膜之上可形成後續層。在一具體實施例中，蓋層 108 包括大約 800 埃之以 TEOS 為基礎的氧化矽。

現參考圖 3 與圖 4，蓋層 108 之上形成一薄膜 109。薄膜 109 係在該製造程序完成前需移除之一臨時薄膜。在一具體實施例中，薄膜 109 係一雙層光阻 (bilayer photoresist; BLR)，其包括一相對較厚之吸光聚合下層或可棄式薄膜 (UL) 110 與一相對較薄之成像層 (IL) 112。在一具體實施例中，IL 112 係包含具有按重量計大約占 6% 至 15% 的一矽含量之一含矽光阻成像層，而 UL 110 係一光不敏感聚合物。雙層光阻係用於補償使用一短成像波長 (248 nm 或更短) 與一大數值孔徑 (NA) 的透鏡微影蝕刻系統之聚焦特徵的減小深度。此等系統幾乎廣泛應用於生產 100 nm 或更小之幾何形狀。在此等系統中，減小該光阻厚度以補償聚焦之所減小深度成效有限。若該光阻太薄，則其不可在該晶圓之後續蝕刻過程中用做一圖案轉移遮罩。雙層光阻藉由提供一薄膜成像層與一較厚光不敏感下層解決此問題。在圖案化該成像層之後，使用蝕刻該下層但實質上不蝕刻該成像層或該下面的基板之一特殊蝕刻處理，將所得到之圖案轉移至該較厚下層。一市售雙層光阻之一範例係 Shipley 公司 LLC 製造之 SiBER™ 光阻系統。

95年12月8日(受)正替換頁

少重大缺陷之數量。更明確地說，錐形壁通道可與一微影處理結合使用，該微影蝕刻處理以大於特徵116之規定最小尺度的一尺度印刷特徵116。在完成該晶圓蝕刻處理之後，在該晶圓中產生之特徵將具有可與特徵116之規定最小特徵相比擬的一最小特徵。

參考圖7，在UL 110之乾式顯影處理之後，該積體電路之一特徵128使用以UL 110(與IL 112)作為一蝕刻遮罩的一各向異性蝕刻製程在晶圓100中形成。通常，一以氟為基礎的反應性離子蝕刻(reactive ion etch; RIE)製程係用於形成積體電路特徵128。在已描述之具體實施例中，特徵128係形成於下面的介電質106與蓋層108中的一通道。在另一具體實施例中，一經過相似處理之空隙可用作一溝渠，使用一鑲嵌製程在該溝渠中可形成一互連。如圖7所示，通常在該蝕刻製程過程中蝕刻掉IL 114之含矽具體實施例，僅留下包括特徵128的晶圓100之上的UL 110。使用的該蝕刻製程將理想地產生實質上垂直的側壁，從而將空隙120之完成尺度轉移至該等下面的薄膜。因此，如圖7所示，特徵128具有實質上與UL 110之中的錐形壁通道120的完成尺度相等的一完成特徵尺寸(126)。

參考圖8，UL 110之其餘部分使用一傳統光阻剝離溶液從晶圓100剝離。在此階段，晶圓100係處於後續處理(圖中未顯示)之狀態，例如用可以用作一接觸或一互連的一導電材料填充特徵128之金屬沈積處理。

因而，從本發明中受益的熟習技術人士應明白，依據本

伍、中文發明摘要：

本發明揭示一種半導體製造方法，其包括在一半導體基板(102)之上形成包括一成像層(112)與一下層(110)的一薄膜(109)。該成像層(112)係圖案化以產生具有一印刷尺度(124)之一印刷特徵(116)。而後，處理該下層(110)以在該下層(110)中產生一傾斜側壁空隙(120)，其中該空隙(120)具有接近該下面的基板並小於該印刷尺度的一完成尺度(126)。處理該下層(110)可包括將該晶圓曝露於高密度低壓氮(N₂)電漿。

陸、英文發明摘要：

A semiconductor fabrication method that includes forming a film (109) comprising an imaging layer (112) and an under layer (110) over a semiconductor substrate (102). The imaging layer (112) is patterned to produce a printed feature (116) having a printed dimension (124). The under layer (110) is then processed to produce a sloped sidewall void (120) in the under layer (110) wherein the void (120) has a finished dimension (126) in proximity to the underlying substrate that is less than the printed dimension. Processing the under layer (110) may include exposing the wafer to high density low pressure N₂ plasma.

拾、申請專利範圍：

1. 一種半導體製造方法，其包括：

在一半導體基板之上形成一聚合可棄式薄膜；

在該可棄式薄膜之一表面上形成一含矽光阻薄膜；

在該光阻薄膜中定義具有一印刷尺度之一特徵；以及

使用具有該定義之特徵之該光阻薄膜做為一光罩處理該印刷特徵之下的該可棄式薄膜以產生特徵為傾斜側壁之一空隙，其中接近該基板之該空隙之一尺度小於該印刷尺度。

2. 如申請專利範圍第 1 項之方法，其中該光阻薄膜包括大約 500 至 3000 埃之一厚度，其中該光阻層之一矽含量按重量計係介於大約 6% 至 15% 之一範圍之內，而且其中該可棄式薄膜包括具有大約 3500 至 15000 埃之一厚度的一聚合物層。

3. 如申請專利範圍第 1 項之方法，其中處理該可棄式薄膜包括將該薄膜曝露於一高密度低壓電漿，其中該電漿包括一氮(N₂)電漿，並且其中在該可棄式薄膜之處理過程中該半導體基板之溫度保持在 10°C 以下。

4. 一種半導體製造方法，其包括：

在一半導體基板之上形成包括一成像層與一下層之一雙層光阻；

圖案化該成像層以產生具有一印刷尺度之一印刷特徵；以及

在一電漿反應室中曝露該晶圓於一以氮(N₂)為基礎的

電漿以在該下層中產生一空隙，其中該空隙具有接近於該下面的基板之一完成尺度，其中該空隙之該完成尺度小於該印刷尺度；以及

使用該下層作為一蝕刻遮罩以蝕刻該基板以在該基板中形成一積體電路特徵，其中該積體電路特徵之尺度係藉由該下層空隙之該完成尺度決定。

5. 如申請專利範圍第4項之方法，其中該成像層包括具有大約500至3000埃之一厚度的一含矽光阻，其中該成像層之一矽含量按重量計係介於大約6%至15%之一範圍之內，而且其中該下層包括具有大約3500至15000埃之一厚度的一聚合物層。
6. 如申請專利範圍第4項之方法，其中氮(N₂)係在該下層之該處理過程中引入之唯一氣體，其中維持該半導體基板之溫度小於10°C，而且其中維持該反應器之壓力低於15 mT。
7. 如申請專利範圍第4項之方法，其中該下層空隙之特徵係具有相對於該基板之一上部表面介於大約70°至89°之一傾斜度的傾斜且實質上筆直的側壁。
8. 一種半導體製造方法，其包括：

在一半導體基板之上形成一聚合可棄式薄膜；

在該可棄式薄膜之一上表面上形成一光阻薄膜；

在該可棄式薄膜之上的該光阻薄膜中定義具有一印刷尺度之一開口；

使用一高密度氮電漿處理該開口之下的該可棄式薄膜

以產生特徵為傾斜側壁的一空隙，其中接近該基板之該空隙之一尺度小於該印刷尺度；以及

使用該經處理之可棄式薄膜作為一蝕刻遮罩來蝕刻該基板以在該基板中形成一積體電路特徵，其中該積體電路特徵之一尺度係藉由接近該基板之該空隙的該尺度決定。

9. 如申請專利範圍第8項之方法，其中該光阻薄膜包括一含矽光阻，其中該含矽光阻之一厚度係介於大約500至3000埃之範圍之內並且該聚合物薄膜之一厚度係介於大約3500至15000埃之範圍之內。
10. 如申請專利範圍第8項之方法，其中該可棄式薄膜之處理的進一步特徵係以超過 10^{11} 個離子/立方厘米之一電漿密度，低於15 mT之壓力與小於 10°C 之溫度，處理該可棄式薄膜。