

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-516467
(P2025-516467A)

(43)公表日 令和7年5月30日(2025.5.30)

(51)国際特許分類	F I			
H 0 1 L 25/07 (2006.01)	H 0 1 L	25/08		D
H 0 1 L 25/04 (2023.01)	H 0 1 L	25/04		Z
	H 0 1 L	25/08		Z

審査請求 未請求 予備審査請求 未請求 (全39頁)

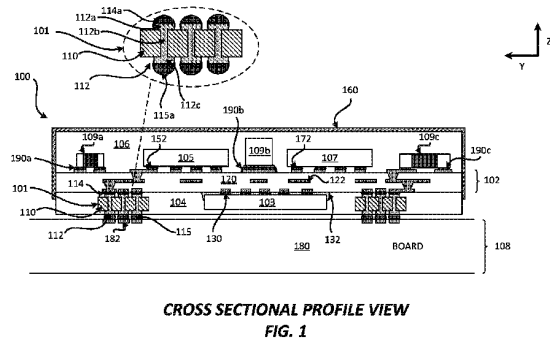
(21)出願番号 特願2024-561867(P2024-561867)
 (86)(22)出願日 令和5年4月24日(2023.4.24)
 (85)翻訳文提出日 令和6年10月18日(2024.10.18)
 (86)国際出願番号 PCT/US2023/019661
 (87)国際公開番号 WO2023/219786
 (87)国際公開日 令和5年11月16日(2023.11.16)
 (31)優先権主張番号 17/741,986
 (32)優先日 令和4年5月11日(2022.5.11)
 (33)優先権主張国・地域又は機関 米国(US)
 (81)指定国・地域 AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV
 最終頁に続く

(71)出願人 595020643
 クゥアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
 (74)代理人 110003708
 弁理士法人鈴榮特許総合事務所
 (72)発明者 スン、ヤンヤン
 アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
 (72)発明者 クルカルニ、スリカント
 アメリカ合衆国、カリフォルニア州 9
 最終頁に続く

(54)【発明の名称】 高密度相互接続部のために構成された基板及び相互接続ダイを備えるパッケージ

(57)【要約】

第1の表面及び第2の表面を備える基板(102)と、基板の第1の表面に結合された第1の集積デバイス(103)と、基板の第1の表面に結合された相互接続ダイ(110)と、基板の第1の表面に結合された第1の封入層(104)であって、第1の集積デバイス及び相互接続ダイを封入する、第1の封入層と、基板の第2の表面に結合された第2の集積デバイス(105)と、を備える、パッケージ。



【特許請求の範囲】

【請求項 1】

第 1 の表面及び第 2 の表面を備える基板と、
前記基板の前記第 1 の表面に結合された第 1 の集積デバイスと、
前記基板の前記第 1 の表面に結合された相互接続ダイと、
前記基板の前記第 1 の表面に結合された第 1 の封入層であって、前記第 1 の集積デバイス及び前記相互接続ダイを封入する、第 1 の封入層と、
前記基板の前記第 2 の表面に結合された第 2 の集積デバイスと、
を備える、パッケージ。

【請求項 2】

10

前記相互接続ダイが、
ダイ基板と、
複数のダイ相互接続部と、
を備える、請求項 1 に記載のパッケージ。

【請求項 3】

前記複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 150 ~ 270 マイクロメートルの範囲のピッチを有する、請求項 2 に記載のパッケージ。

【請求項 4】

前記相互接続ダイが、約 100 ~ 200 マイクロメートルの範囲の厚さを有する、請求項 2 に記載のパッケージ。

20

【請求項 5】

前記複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、請求項 2 に記載のパッケージ。

【請求項 6】

前記ダイ基板が、ガラス及び / 又はシリコンを含む、請求項 2 に記載のパッケージ。

【請求項 7】

前記基板の前記第 2 の表面に結合された第 2 の封入層を更に備える、請求項 1 に記載のパッケージ。

【請求項 8】

前記第 2 の封入層に結合された外側金属層を更に備える、請求項 7 に記載のパッケージ

30

【請求項 9】

前記第 1 の集積デバイスが、第 1 のチップレットを含み、前記第 2 の集積デバイスが、第 2 のチップレットを含む、請求項 1 に記載のパッケージ。

【請求項 10】

前記相互接続ダイが、前記第 1 の集積デバイスの横方向に位置する、請求項 1 に記載のパッケージ。

【請求項 11】

前記第 1 の集積デバイスが、第 1 のチップレットを含み、前記第 2 の集積デバイスが、第 2 のチップレットを含む、請求項 1 に記載のパッケージ。

40

【請求項 12】

第 1 の表面及び第 2 の表面を備える基板と、
前記基板の前記第 1 の表面に結合された第 1 の集積デバイスと、
前記基板の前記第 1 の表面に結合された相互接続ダイと、
前記基板の前記第 1 の表面に結合された第 1 の封入層であって、前記第 1 の集積デバイス及び前記相互接続ダイを封入する、第 1 の封入層と、
前記基板の前記第 2 の表面に結合された第 2 の集積デバイスと、
を備える、パッケージ、
を備える、デバイス。

【請求項 13】

50

前記相互接続ダイが、
ダイ基板と、
複数のダイ相互接続部と、
を備える、請求項 1 2 に記載のデバイス。

【請求項 1 4】

前記複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 1 5 0 ~ 2 7 0 マイクロメートルの範囲のピッチを有する、請求項 1 3 に記載のデバイス。

【請求項 1 5】

前記相互接続ダイが、約 1 0 0 ~ 2 0 0 マイクロメートルの範囲の厚さを有する、請求項 1 3 に記載のデバイス。

10

【請求項 1 6】

前記複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、請求項 1 3 に記載のデバイス。

【請求項 1 7】

前記ダイ基板が、ガラス及び / 又はシリコンを含む、請求項 1 3 に記載のデバイス。

【請求項 1 8】

前記基板の前記第 2 の表面に結合された第 2 の封入層を更に備える、請求項 1 2 に記載のデバイス。

【請求項 1 9】

前記第 2 の封入層に結合された外側金属層を更に備える、請求項 1 8 に記載のデバイス

20

【請求項 2 0】

前記第 1 の集積デバイスが、第 1 のチップレットを含み、前記第 2 の集積デバイスが、第 2 のチップレットを含む、請求項 1 2 に記載のデバイス。

【請求項 2 1】

前記相互接続ダイが、前記第 1 の集積デバイスの横方向に位置する、請求項 1 2 に記載のデバイス。

【請求項 2 2】

前記第 1 の集積デバイスが、第 1 のチップレットを含み、前記第 2 の集積デバイスが、第 2 のチップレットを含む、請求項 1 2 に記載のデバイス。

30

【請求項 2 3】

前記デバイスが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット (I o T) デバイス、及び自動ビークル内のデバイスからなる群から選択される、請求項 1 2 に記載のデバイス。

【請求項 2 4】

パッケージを作製するための方法であって、

第 1 の表面及び第 2 の表面を備える基板を準備することと、

40

前記基板の前記第 1 の表面に第 1 の集積デバイスを結合することと、

前記基板の前記第 1 の表面に相互接続ダイを結合することと、

前記基板の前記第 1 の表面に第 1 の封入層を結合することであって、前記第 1 の封入層が、前記第 1 の集積デバイス及び前記相互接続ダイを封入する、ことと、

前記基板の前記第 2 の表面に第 2 の集積デバイスを結合することと、

を含む、方法。

【請求項 2 5】

前記相互接続ダイが、

ダイ基板と、

複数のダイ相互接続部と、

50

を備える、請求項 24 に記載の方法。

【請求項 26】

前記複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 150 ~ 270 マイクロメートルの範囲のピッチを有する、請求項 25 に記載の方法。

【請求項 27】

前記相互接続ダイが、約 100 ~ 200 マイクロメートルの範囲の厚さを有する、請求項 25 に記載の方法。

【請求項 28】

前記複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、請求項 25 に記載の方法。

【請求項 29】

前記ダイ基板が、ガラス及び / 又はシリコンを含む、請求項 25 に記載の方法。

【請求項 30】

前記基板の前記第 2 の表面に第 2 の封入層を結合することを更に含む、請求項 24 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001] 本出願は、2022年5月11日に米国特許庁に出願された非仮出願第 17 / 741, 986 号に対する優先権及び利益を主張するものであり、その内容全体は、その全体が以下に完全に記載されるかのように、かつ全ての適用可能な目的のために、参照により本明細書に組み込まれる。

【0002】

[0002] 様々な特徴は、基板と集積デバイスとを有するパッケージに関する。

【背景技術】

【0003】

[0003] パッケージは、基板と集積デバイスとを含み得る。これら構成要素は一緒に結合されて、様々な電気的機能を実行することができるパッケージを提供する。より良好に実行するパッケージを提供し、かつパッケージの全体的なサイズを低減することが、継続的に必要とされている。

【発明の概要】

【0004】

[0004] 様々な特徴は、基板と集積デバイスとを有するパッケージに関する。

【0005】

[0005] 一実施例が、第 1 の表面及び第 2 の表面を備える基板と、基板の第 1 の表面に結合された第 1 の集積デバイスと、基板の第 1 の表面に結合されたダミーダイと、基板の第 1 の表面に結合された第 1 の封入層であって、第 1 の集積デバイス及びダミーダイを封入する、第 1 の封入層と、基板の第 2 の表面に結合された第 2 の集積デバイスと、を備える、パッケージを提供する。

【0006】

[0006] 別の実施例は、パッケージを備えるデバイスを提供する。パッケージは、第 1 の表面及び第 2 の表面を備える基板と、基板の第 1 の表面に結合された第 1 の集積デバイスと、基板の第 1 の表面に結合されたダミーダイと、基板の第 1 の表面に結合された第 1 の封入層であって、第 1 の集積デバイス及びダミーダイを封入する、第 1 の封入層と、基板の第 2 の表面に結合された第 2 の集積デバイスと、を備える。

【0007】

[0007] 別の実施例は、パッケージを作製するための方法を提供する。本方法は、第 1 の表面及び第 2 の表面を備える基板を準備する。本方法は、基板の第 1 の表面に第 1 の集積デバイスを結合する。本方法は、基板の第 1 の表面に相互接続ダイを結合する。本方

10

20

30

40

50

法は、基板の第 1 の表面に第 1 の封入層を結合し、第 1 の封入層が第 1 の集積デバイス及び相互接続ダイを封入する。本方法は、基板の第 2 の表面に第 2 の集積デバイスを結合する。

【図面の簡単な説明】

【0008】

【0008】 以下に記載される「発明を実施するための形態」を、同様の参照符号が全体を通して対応するものを識別する図面と併せ読むことにより、様々な特徴、性質、及び利点が明らかとなり得る。

【図 1】【0009】 基板及び少なくとも 1 つの相互接続ダイを含むパッケージの例示的な断面プロファイル図を示す。

10

【図 2】【0010】 基板及び少なくとも 1 つの相互接続ダイを含むパッケージの例示的な断面プロファイル図を示す。

【図 3 A】【0011】 相互接続ダイを作製するための例示的なシーケンスを示す。

【図 3 B】相互接続ダイを作製するための例示的なシーケンスを示す。

【図 4 A】【0012】 相互接続ダイを作製するための例示的なシーケンスを示す図である。

【図 4 B】相互接続ダイを作製するための例示的なシーケンスを示す図である。

【図 5】【0013】 相互接続ダイを作製するための方法の例示的なフローチャートを示す。

【図 6 A】【0014】 基板及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

【図 6 B】基板及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

20

【図 6 C】基板及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

【図 7】【0015】 基板及び相互接続ダイを含むパッケージを作製するための方法の例示的なフローチャートを示す。

【図 8 A】【0016】 基板及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

【図 8 B】基板及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

【図 8 C】基板及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

30

【図 9】【0017】 基板及び相互接続ダイを含むパッケージを作製するための方法の例示的なフローチャートを示す。

【図 10 A】【0018】 基板を作製するための例示的なシーケンスを示す。

【図 10 B】基板を作製するための例示的なシーケンスを示す。

【図 11】【0019】 基板を作製するための方法の例示的なフローチャートを示す。

【図 12】【0020】 本明細書で説明される、ダイ、電子回路、集積デバイス、集積受動デバイス (integrated passive device、IPD)、受動構成要素、パッケージ、及び / 又はデバイスパッケージを一体化し得る様々な電子デバイスを示す。

【発明を実施するための形態】

40

【0009】

【0021】 以下の説明では、本開示の様々な態様の完全な理解をもたらすために、具体的な詳細が記載される。しかしながら、当業者には、これらの具体的な詳細を伴わずとも、諸態様を実践することができる点が理解されるであろう。例えば、不必要な詳細で諸態様を不明瞭にすることを回避するために、回路がブロック図で示される場合がある。他の事例では、本開示の諸態様を不明瞭にすることがないように、周知の回路、構造、及び技術が、詳細には示されない場合がある。

【0010】

【0022】 本開示は、第 1 の表面及び第 2 の表面を備える基板と、基板の第 1 の表面に結合された第 1 の集積デバイスと、基板の第 1 の表面に結合された相互接続ダイと、基板

50

の第1の表面に結合された第1の封入層であって、第1の集積デバイス及び相互接続ダイを封入する、第1の封入層と、基板の第2の表面に結合された第2の集積デバイスと、を備える、パッケージについて説明する。以下で更に説明するように、パッケージは、高密度相互接続部を提供し、これは、パッケージを小さく薄く保ちながら、改善されたパッケージ性能を提供するのに役立つ。

【0011】

基板及び相互接続ダイを備える例示的なパッケージ

【0023】 図1は、基板及び高密度相互接続部を含むパッケージ100の断面プロファイル図を示す。パッケージ100は、複数のはんだ相互接続部115を介してボード108に結合されている。ボード108は、少なくとも1つのボード誘電体層180と、複数のボード相互接続部182と、を含む。ボード108は、プリント回路基板（printed circuit board、PCB）を含み得る。

10

【0012】

【0024】 パッケージ100は、少なくとも1つの相互接続ダイ101、基板102、集積デバイス103、集積デバイス105、集積デバイス107、受動デバイス109a、受動デバイス109b、受動デバイス109c、封入層104、封入層106、及び外側金属層160を含む。基板102は、少なくとも1つの誘電体層120、及び複数の相互接続部122を含む。基板102は、第1の表面（例えば、底面）及び第2の表面（例えば、上面）を含む。

【0013】

【0025】 集積デバイス103（例えば、第1の集積デバイス）は、複数のはんだ相互接続部130を介して基板102の第1の表面（例えば、底面）に結合されている。集積デバイス103は、複数のピラー相互接続部（図示せず）及び複数のはんだ相互接続部130を介して基板102に結合され得る。集積デバイス103と基板102との間にアンダーフィル132が存在し得る。少なくとも1つの相互接続ダイ101は、複数のはんだ相互接続部114を介して基板102の第1の表面に結合され得る。以下で更に説明するように、少なくとも1つの相互接続ダイ101は、パッケージ100のための高密度相互接続部を提供するように構成され得る。封入層104は、基板102の第1の表面に結合され得る。封入層104は、集積デバイス103及び少なくとも1つの相互接続ダイ101を（例えば、部分的に又は完全に）封入し得る。封入層104は、モールド、樹脂、及び/又はエポキシを含み得る。封入層104は、封入のための手段であり得る。封入層104は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。集積デバイス103は、前側及び裏側を含み得る。集積デバイス103の前側は、基板102に面し得る。集積デバイス103の裏側は、ボード108に面し得る。集積デバイス103の裏側は、封入層104によって覆われ得る。いくつかの実装形態では、集積デバイス103の裏側（例えば、裏側表面）は、露出されたままであり得る（例えば、封入層104によって覆われていない）。集積デバイス103の裏側がどのように露出され得るかの一例が、図2に示され以下で説明される。

20

30

【0014】

【0026】 少なくとも1つの相互接続ダイ101は、ダイ基板110と、複数のダイ相互接続部112と、を含む。ダイ基板110は、シリコンを含み得る。複数のダイ相互接続部112は、パッド相互接続部112a（例えば、パッド）、ピア相互接続部112b（例えば、ピア）、及びパッド相互接続部112c（例えば、パッド）を含む。パッド相互接続部112aは、ピア相互接続部112bに結合されている。ピア相互接続部112bは、パッド相互接続部112cに結合されている。パッド相互接続部112aは、はんだ相互接続部114aに結合されている。はんだ相互接続部114aは、複数のはんだ相互接続部114の一部である。複数のはんだ相互接続部114は、複数のダイ相互接続部112に結合されている。パッド相互接続部112cは、はんだ相互接続部115aに結合されている。はんだ相互接続部115aは、複数のはんだ相互接続部115の一部であ

40

50

る。少なくとも1つの相互接続ダイ101は、ダミーダイであり得る。相互接続ダイ101は、トランジスタを含まなくてもよい。少なくとも1つの相互接続ダイ101は、能動構成要素を含まなくてもよい。少なくとも1つの相互接続ダイ101は、ダイの相互接続のための手段であり得る。

【0015】

[0027] 複数のダイ相互接続部112は、約150~270マイクロメートルの範囲の、隣接するダイ相互接続部の間のピッチを有し得る。封入層104は、約150~300マイクロメートルの範囲の厚さ(例えば、高さ)を有し得る。複数のはんだ相互接続部115は、約100マイクロメートルの直径及び/又は厚さを有し得る。複数のはんだ相互接続部114、少なくとも1つの相互接続ダイ101、及び複数のはんだ相互接続部115を合わせた合計厚さ(例えば、高さ)は、約250~400マイクロメートルの範囲であり得る。これらの寸法は、少なくとも1つの相互接続ダイ101の使用を介して可能であり、これは、(i)より薄いパッケージ100を提供するのに役立つ一方で、依然として、(例えば、適切なスタンドオフ高さを有する)底側集積デバイスを収容することが可能であり、(ii)小ピッチ(例えば、150~270マイクロメートル)を有する相互接続部を封入層内に提供するのに役立ち、したがって、高密度ルーティング(例えば、高密度相互接続部)を封入層内に提供するのに役立つ。

【0016】

[0028] 集積デバイス105(例えば、第2の集積デバイス)は、複数のはんだ相互接続部152を介して基板102の第2の表面(たとえば、上面)に結合されている。例えば、集積デバイス105は、複数のはんだ相互接続部152を介して基板102の複数の相互接続部122に結合され得る。集積デバイス105は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部152を介して基板102に結合され得る。集積デバイス107(例えば、第3の集積デバイス)は、複数のはんだ相互接続部172を介して基板102の第2の表面に結合されている。例えば、集積デバイス107は、複数のはんだ相互接続部172を介して基板102の複数の相互接続部122に結合され得る。集積デバイス107は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部172を介して基板102に結合され得る。受動デバイス109aは、複数のはんだ相互接続部190aを介して基板102の第2の表面に結合されている。例えば、受動デバイス109aは、複数のはんだ相互接続部190aを介して基板102の複数の相互接続部122に結合されている。受動デバイス109bは、複数のはんだ相互接続部190bを介して基板102の第2の表面に結合されている。例えば、受動デバイス109bは、複数のはんだ相互接続部190bを介して基板102の複数の相互接続部122に結合されている。受動デバイス109cは、複数のはんだ相互接続部190cを介して基板102の第2の表面に結合されている。例えば、受動デバイス109cは、複数のはんだ相互接続部190cを介して基板102の複数の相互接続部122に結合されている。受動デバイス(例えば、109a、109b、109c)は、キャパシタ及び/又はインダクタを含み得る。

【0017】

[0029] 封入層106は、基板102の第2の表面(例えば、上面)に結合されている。封入層106は、集積デバイス105、集積デバイス107、受動デバイス109a、受動デバイス109b、及び受動デバイス109cを封入し得る。封入層106は、モールド、樹脂、及び/又はエポキシを含み得る。封入層106は、封入のための手段であり得る。封入層106は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。

【0018】

[0030] 外側金属層160は、封入層106の外面に結合され得る。封入層106の外面は、上面及び側面を含むことができる。外側金属層160はまた、基板102の側面及び封入層104の側面に結合され得る。外側金属層160は、接地に結合されるように構成され得る。外側金属層160は、パッケージ100のための電磁界干渉(electrom

10

20

30

40

50

agnetic interference、EMI) シールドとして動作するように構成され得る。外側金属層160は、基板102の複数の相互接続部122のうちの1つ又は複数の相互接続部に結合されるように構成され得る。

【0019】

[0031] 図2は、基板及び高密度相互接続部を含むパッケージ200の断面プロファイル図を示す。パッケージ200は、図1のパッケージ100と同様であり、したがって、パッケージ100と同じ又は同様の構成要素を含む。パッケージ200は、図1の少なくとも1つの相互接続ダイ101とは異なる構成を有する少なくとも1つの相互接続ダイ201を含む。

【0020】

[0032] パッケージ200は、複数のはんだ相互接続部115を介してボード108に結合されている。ボード108は、少なくとも1つのボード誘電体層180と、複数のボード相互接続部182と、を含む。ボード108は、プリント回路基板(printed circuit board、PCB)を含み得る。

【0021】

[0033] パッケージ200は、少なくとも1つの相互接続ダイ201、基板102、集積デバイス103、集積デバイス105、集積デバイス107、受動デバイス109a、受動デバイス109b、受動デバイス109c、封入層104、封入層106、及び外側金属層160を含む。少なくとも1つの相互接続ダイ201は、複数のはんだ相互接続部114を介して基板102の第1の表面に結合されている。

【0022】

[0034] 少なくとも1つの相互接続ダイ201は、ダイ基板110と、複数のダイ相互接続部112と、を含む。ダイ基板110は、シリコンを含み得る。複数のダイ相互接続部112は、パッド相互接続部112a(例えば、パッド)、及びビア相互接続部112b(例えば、ビア)を含む。パッド相互接続部112aは、ビア相互接続部112bに結合されている。パッド相互接続部112aは、はんだ相互接続部114aに結合されている。はんだ相互接続部114aは、複数のはんだ相互接続部114の一部である。複数のはんだ相互接続部114は、複数のダイ相互接続部112に結合されている。ビア相互接続部112bは、はんだ相互接続部115aに結合されている。はんだ相互接続部115aは、複数のはんだ相互接続部115の一部である。少なくとも1つの相互接続ダイ101は、ダミーダイであり得る。したがって、少なくとも1つの相互接続ダイ201と少なくとも1つの相互接続ダイ101との間の1つの予想される違いは、少なくとも1つの相互接続ダイ201がパッド相互接続部112cを含まないことである。パッド相互接続部112cを有しないことの1つの利点は、少なくとも1つの相互接続ダイ201が少なくとも1つの相互接続ダイ101よりも薄くなり得ることであり、これは、パッケージの全体的な厚さを低減するのに役立つ。少なくとも1つの相互接続ダイ201は、ダミーダイであり得る。相互接続ダイ201は、トランジスタを含まなくてもよい。少なくとも1つの相互接続ダイ201は、能動構成要素を含まなくてもよい。少なくとも1つの相互接続ダイ201は、ダイの相互接続のための手段であり得る。

【0023】

[0035] 少なくとも1つの相互接続ダイ201の複数のダイ相互接続部112は、約150~270マイクロメートルの範囲の隣接するダイ相互接続部間のピッチを有し得る。封入層104は、約150~300マイクロメートルの範囲の厚さ(例えば、高さ)を有し得る。複数のはんだ相互接続部115は、約100マイクロメートルの直径及び/又は厚さを有し得る。複数のはんだ相互接続部114、少なくとも1つの相互接続ダイ201、及び複数のはんだ相互接続部115を合わせた合計厚さ(例えば、高さ)は、約250~400マイクロメートルの範囲であり得る。これらの寸法は、少なくとも1つの相互接続ダイ201の使用を介して可能であり、これは、(i)より薄いパッケージ200を提供するのに役立つ一方で、依然として、(例えば、適切なスタンドオフ高さを有する)底側集積デバイスを収容することが可能であり、(ii)小ピッチ(例えば、150~2

10

20

30

40

50

70マイクロメートル)を有する相互接続部を封入層内に提供するのに役立つ、したがって、高密度ルーティング(例えば、高密度相互接続部)を封入層内に提供するのに役立つ。

【0024】

【0036】 パッケージ200とパッケージ100との間の別の違いは、パッケージ200の集積デバイス103の裏側が露出していることである。図2に示すように、集積デバイス103の裏側の少なくとも一部分は、封入層104によって覆われていない。これは、パッケージ200の作製プロセス中に、封入層104の一部分、集積デバイス103の裏側の一部分、及び/又は少なくとも1つの相互接続ダイ201の一部分が、パッケージ200の底側の研削プロセス及び/又は研磨プロセス中に除去され得るために生じ得る。しかしながら、パッケージ200のいくつかの実装形態では、集積デバイス103の裏側は封入層104によって覆われ得ることに留意されたい。

10

【0025】

【0037】 集積デバイス(例えば、103、105、107)は、ダイ(例えば、半導体ベアダイ)を含み得る。集積デバイスは、電力管理集積回路(power management integrated circuit、PMIC)を含み得る。集積デバイスは、アプリケーションプロセッサを含み得る。集積デバイスは、モデムを含み得る。集積デバイスは、無線周波数(radio frequency、RF)デバイス、受動デバイス、フィルタ、キャパシタ、インダクタ、アンテナ、送信機、受信機、ガリウムヒ素(GaAs)ベースの集積デバイス、表面弾性波(surface acoustic wave、SAW)フィルタ、バルク弾性波(bulk acoustic wave、BAW)フィルタ、発光ダイオード(light emitting diode、LED)集積デバイス、シリコン(Si)ベースの集積デバイス、炭化ケイ素(SiC)ベースの集積デバイス、メモリ、電源管理プロセッサ、及び/又はこれらの組み合わせを含み得る。集積デバイス(例えば、103、105、107)は、少なくとも1つの電子回路(例えば、第1の電子回路、第2の電子回路など)を含み得る。集積デバイスは、トランジスタを含み得る。集積デバイスは、電気構成要素及び/又は電気デバイスの一例であり得る。いくつかの実装形態では、集積デバイスはチップレットであり得る。チップレットは、他のタイプの集積デバイスのための作製プロセスと比較して、より良好な歩留まりをもたらすプロセスを使用して作製することができ、このことにより、チップレットを作製する全体的なコストを引き下げることができる。異なるチップレットは、異なるサイズ及び/又は形状を有し得る。異なるチップレットは、異なる機能を提供するように構成することができる。異なるチップレットは、異なる相互接続部密度(例えば、異なる幅及び/又は間隔を有する相互接続部)を有し得る。いくつかの実装形態では、いくつかのチップレットを使用して、1つ又は複数のチップ(例えば、1つ又は複数の集積デバイス)の機能を実行することができる。いくつかの機能を実行するいくつかのチップレットを使用することは、パッケージの機能の全てを実行するために単一のチップを使用することに比べて、パッケージの全体的なコストを低減し得る。

20

30

【0026】

【0038】 パッケージ(例えば、100、200)は、無線周波数(RF)パッケージ内に実装することができる。RFパッケージは、無線周波数フロントエンド(radio frequency front end、RFFE)パッケージとすることができる。パッケージ(例えば、100、200)は、ワイヤレスフィデリティ(Wireless Fidelity、WiFi)通信及び/又はセルラー通信(例えば、2G、3G、4G、5G)を提供するように構成され得る。パッケージ(例えば、100、300)は、グローバル移動体通信システム(Global System for Mobile Communications、GSM)、ユニバーサル移動体通信システム(Universal Mobile Telecommunications System、UMTS)、及び/又はロングタームエボリューション(Long-Term Evolution、LTE)をサポートするように構成され得る。パッケージ(例えば、100、200)は、異なる周波数及び/又は通信プロトコルを有する信号を送信及び受信するように構成され得る。

40

【0027】

50

【0039】 様々な相互接続ダイについて説明したが、ここで、相互接続ダイを作製するためのシーケンスについて以下で説明する。

【0028】

相互接続ダイを作製するための例示的なシーケンス

【0040】 いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図3A～図3Bは、相互接続ダイを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、相互接続ダイ101を提供又は作製するために、図3A～図3Bのシーケンスが使用され得る。しかしながら、図3A～図3Bのプロセスは、本開示で説明する相互接続ダイのいずれか（例えば、201）を作製するために使用され得る。

10

【0029】

【0041】 図3A～図3Bのシーケンスは、相互接続ダイを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。

【0030】

【0042】 段階1は、図3Aに示すように、ダイ基板110を準備した後の状態を示す。ダイ基板110は、シリコンを含む。ダイ基板110は、第1の表面及び第2の表面を含み得る。いくつかの実装形態では、ダイ基板110の第1の表面は上面であってよく、ダイ基板110の第2の表面は底面であってよい。いくつかの実装形態では、ダイ基板110の第1の表面は底面であってよく、ダイ基板110の第2の表面は上面であってよい。

20

【0031】

【0043】 段階2は、ダイ基板110内に複数のキャビティ302が形成された後の状態を示す。例えば、複数のキャビティ302は、ダイ基板110の第1の表面を通して形成され得る。複数のキャビティ302は、溝を含み得る。複数のキャビティ302は、ダイ基板110の厚さを部分的に通って延びていてもよい。複数のキャビティ302を形成するために、レーザアブレーションプロセス及び/又はエッチングプロセスが使用され得る。

30

【0032】

【0044】 段階3は、複数のキャビティ302内に及び/又はダイ基板110の第1の表面の上に金属層305が形成された後を示す。金属層305は、銅を含み得る。金属層305を形成するために、めっきプロセスが使用され得る。

【0033】

【0045】 段階4は、金属層305の一部が除去された後の状態を示す。例えば、複数のキャビティ302内に金属層305が残るように、ダイ基板110の第1の表面に結合された金属層305の一部が除去され得る。金属層305の一部を除去するために、研磨プロセスが使用され得る。複数のキャビティ302内に位置する、金属層305からの残りの金属は、図1及び図2で説明したような複数の相互接続部112bを画定し得る。

40

【0034】

【0046】 段階5は、図3Bに示すように、ダイ基板110の第1の表面の上に金属層307が形成された後の状態を示す。金属層307を形成するために、めっきプロセスが使用され得る。金属層307は、金属層305に結合され得る。金属層307は、図1及び図2で説明したように、複数の相互接続部112aを画定し得る。金属層307は、相互接続ダイの前側相互接続部を表し得る。

【0035】

【0047】 段階6は、ダイ基板110を薄化した後の状態を示す。例えば、少なくともダイ基板110aが残って金属層305の底側が露出するように、ダイ基板110の一部

50

分を除去してもよい。いくつかの実装形態では、少なくともダイ基板 110 a 及びダイ基板 110 b が残るように、ダイ基板 110 の一部分が除去されてよい。ダイ基板 110 b が存在する場合、金属層 305 の底側は露出されない。ダイ基板 110 の一部分を除去するために、研削プロセスが使用され得る。いくつかの実装形態では、段階 6 は、相互接続部を含み、ダイ基板 110 の中、上方、又は下方に追加の相互接続部が形成されない、相互接続ダイの一実装形態を示し得る。更なる相互接続部が形成されない場合、段階 8 において後述する方法と同様の方法で個片化が行われ得る。以下で更に説明するように、段階 6 で示される相互接続ダイは、基板に結合するために使用され得る。

【0036】

[0048] 段階 7 は、ダイ基板 110 の第 2 の表面の上に金属層 309 が形成された後の状態を示す。金属層 309 を形成するために、めっきプロセスが使用され得る。金属層 309 は、金属層 305 に結合され得る。金属層 309 は、図 1 及び図 2 で説明したように、複数の相互接続部 112 c を画定し得る。金属層 309 は、相互接続ダイの裏側相互接続部を表し得る。

10

【0037】

[0049] 段階 8 は、いくつかの相互接続ダイを形成するための個片化後の状態を示す。ダイ基板 110 をいくつかの相互接続ダイ（例えば、101）に個片化するために、機械的プロセスが使用され得る。ダイ基板 110 を個片化するためにソーが使用され得る。

【0038】

相互接続ダイを作製するための例示的なシーケンス

20

[0050] いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図 4 A ~ 図 4 B は、相互接続ダイを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、相互接続ダイ 101 を提供又は作製するために、図 4 A ~ 図 4 B のシーケンスが使用され得る。しかしながら、図 4 A ~ 図 4 B のプロセスは、本開示で説明する相互接続ダイのいずれか（例えば、201）を作製するために使用され得る。

【0039】

[0051] 図 4 A ~ 図 4 B のシーケンスは、相互接続ダイを提供又は作製するためのシーケンスを簡略化及び / 又は明確化するために、1 つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの 1 つ又は複数を変換若しくは置換することができる。

30

【0040】

[0052] 段階 1 は、図 4 A に示すように、ダイ基板 110 を準備した後の状態を示す。ダイ基板 110 は、シリコンを含む。ダイ基板 110 は、第 1 の表面及び第 2 の表面を含み得る。いくつかの実装形態では、ダイ基板 110 の第 1 の表面は上面であってよく、ダイ基板 110 の第 2 の表面は底面であってよい。いくつかの実装形態では、ダイ基板 110 の第 1 の表面は底面であってよく、ダイ基板 110 の第 2 の表面は上面であってよい。

【0041】

[0053] 段階 2 は、ダイ基板 110 内に複数のキャビティ 402 が形成された後の状態を示す。例えば、複数のキャビティ 402 は、ダイ基板 110 の第 1 の表面を通して形成され得る。複数のキャビティ 402 は、溝を含み得る。複数のキャビティ 402 は、ダイ基板 110 の厚さを部分的に通って延びていてもよい。複数のキャビティ 402 を形成するために、レーザアブレーションプロセス及び / 又はエッチングプロセスが使用され得る。

40

【0042】

[0054] 段階 3 は、複数のキャビティ 402 内に及び / 又はダイ基板 110 の第 1 の表面の上に金属層 405 が形成された後を示す。金属層 405 は、銅を含み得る。金属層 405 を形成するために充填プロセスが使用されてもよく、充填プロセスでは、複数のキ

50

ャビティ 4 0 2 を充填するために導電性ペーストが使用されてもよい。

【 0 0 4 3 】

【0055】 段階 4 は、金属層 4 0 5 の一部分が除去された後の状態を示す。例えば、複数のキャビティ 4 0 2 内に金属層 4 0 5 が残るように、ダイ基板 1 1 0 の第 1 の表面に結合された金属層 4 0 5 の一部分が除去され得る。金属層 4 0 5 の一部分を除去するために、研磨プロセスが使用され得る。複数のキャビティ 4 0 2 内に位置する、金属層 4 0 5 からの残りの金属は、図 1 及び図 2 で説明したような複数の相互接続部 1 1 2 b を画定し得る。

【 0 0 4 4 】

【0056】 段階 5 は、図 4 B に示すように、ダイ基板 1 1 0 の第 1 の表面の上に金属層 4 0 7 が形成された後の状態を示す。金属層 4 0 7 を形成するために、めっきプロセスが使用され得る。金属層 4 0 7 は、金属層 4 0 5 に結合され得る。金属層 4 0 7 は、図 1 及び図 2 で説明したように、複数の相互接続部 1 1 2 a を画定し得る。金属層 4 0 7 は、相互接続ダイの前側相互接続部を表し得る。

10

【 0 0 4 5 】

【0057】 段階 6 は、ダイ基板 1 1 0 を薄化した後の状態を示す。例えば、少なくともダイ基板 1 1 0 a が残って金属層 4 0 5 の底側が露出するように、ダイ基板 1 1 0 の一部分を除去してもよい。いくつかの実装形態では、少なくともダイ基板 1 1 0 a 及びダイ基板 1 1 0 b が残るように、ダイ基板 1 1 0 の一部分が除去されてよい。ダイ基板 1 1 0 b が存在する場合、金属層 4 0 5 の底側は露出されない。ダイ基板 1 1 0 の一部分を除去するために、研削プロセスが使用され得る。いくつかの実装形態では、段階 6 は、相互接続部を含み、ダイ基板 1 1 0 の中、上方、又は下方に追加の相互接続部が形成されない、相互接続ダイの一実装形態を示し得る。更なる相互接続部が形成されない場合、段階 8 において後述する方法と同様の方法で個片化が行われ得る。以下で更に説明するように、段階 6 で示される相互接続ダイは、基板に結合するために使用され得る。

20

【 0 0 4 6 】

【0058】 段階 7 は、ダイ基板 1 1 0 の第 2 の表面の上に金属層 4 0 9 が形成された後の状態を示す。金属層 4 0 9 を形成するために、めっきプロセスが使用され得る。金属層 4 0 9 は、金属層 4 0 5 に結合され得る。金属層 4 0 9 は、図 1 及び図 2 で説明したように、複数の相互接続部 1 1 2 c を画定し得る。金属層 4 0 9 は、相互接続ダイの裏側相互接続部を表し得る。

30

【 0 0 4 7 】

【0059】 段階 8 は、いくつかの相互接続ダイを形成するための個片化後の状態を示す。ダイ基板 1 1 0 をいくつかの相互接続ダイ（例えば、1 0 1）に個片化するために、機械的プロセスが使用され得る。ダイ基板 1 1 0 を個片化するためにソーが使用され得る。

【 0 0 4 8 】

相互接続ダイを作製するための方法の例示的なフロー図

【0060】 いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図 5 は、相互接続ダイを提供又は作製する方法 5 0 0 の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載の相互接続ダイ 1 0 1 を提供又は作製するために、図 5 の方法 5 0 0 が使用され得る。しかしながら、本開示で説明される相互接続ダイのうちのいずれか（例えば、2 0 1）を提供又は作製するために、方法 5 0 0 が使用され得る。

40

【 0 0 4 9 】

【0061】 図 5 の方法 5 0 0 は、相互接続ダイを提供又は作製するための方法を簡略化及び/又は明確化するために、1 つ又は複数のプロセスを組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【 0 0 5 0 】

【0062】 方法は、（5 0 5 において）ダイ基板（例えば、1 1 0）を準備する。ダイ基板 1 1 0 は、シリコンを含む。ダイ基板 1 1 0 は、第 1 の表面及び第 2 の表面を含み得

50

る。いくつかの実装形態では、ダイ基板 110 の第 1 の表面は上面であってよく、ダイ基板 110 の第 2 の表面は底面であってよい。いくつかの実装形態では、ダイ基板 110 の第 1 の表面は底面であってよく、ダイ基板 110 の第 2 の表面は上面であってよい。図 3 A の段階 1 は、ダイ基板を準備することの一例を図示し説明する。図 4 A の段階 1 は、ダイ基板を準備することの一例を図示し説明する。

【0051】

【0063】 方法は、(510 において) ダイ基板 110 内に複数のキャビティ (例えば、302、402) を形成する。例えば、複数のキャビティ (例えば、302、402) は、ダイ基板 110 の第 1 の表面を通して形成され得る。複数のキャビティ (例えば、302、402) は、溝を含み得る。複数のキャビティ (例えば、302、402) は、ダイ基板 110 の厚さを部分的に通って延びていてもよい。複数のキャビティ (例えば、302、402) を形成するために、レーザアブレーションプロセス及び/又はエッチングプロセスが使用され得る。図 3 A の段階 2 は、ダイ基板内にキャビティを形成することの一例を図示し説明する。図 4 A の段階 2 は、ダイ基板内にキャビティを形成することの一例を図示し説明する。

10

【0052】

【0064】 方法は、(515 において) ダイ基板 110 の複数のキャビティ (例えば、302、402) 内に導電性材料を形成する。導電性材料は、金属層 (例えば、305、405) を含み得る。導電性材料は、ダイ基板 110 の表面の上に形成され得る。導電性材料は、銅を含み得る。導電性材料を形成するために、めっきプロセスが使用され得る。導電性材料を形成するために、充填プロセスが使用され得る。図 3 A の段階 3 は、ダイ基板内に導電性材料を形成することの一例を図示し説明する。図 4 A の段階 3 は、ダイ基板内に導電性材料を形成することの一例を図示し説明する。いくつかの実装形態では、導電性材料を形成することは、導電性材料の一部を除去することを含み得る。導電性材料の一部を除去するために、研磨プロセスが使用され得る。導電性材料の一部を除去することは、ダイ基板 110 の第 1 の表面に結合された導電性材料の一部を除去し、ダイ基板 110 の複数のキャビティ (例えば、302、402) 内に位置する導電性材料を残すことを含み得る。図 3 A の段階 4 は、ダイ基板内の導電性材料の一部を除去することの一例を図示し説明する。図 4 A の段階 4 は、ダイ基板内の導電性材料の一部を除去することの一例を図示し説明する。

20

30

【0053】

【0065】 方法は、(520 において) 複数の前側相互接続部を形成する。前側相互接続部は、ダイ基板 110 の上側に結合され得る。複数の前側相互接続部は、ダイ基板 110 の上面上のバターニングされた金属層 (例えば、307、407) によって画定され得る。金属層 (例えば、307、407) を形成するために、めっきプロセスが使用され得る。金属層 307 は、金属層 305 に結合され得る。金属層 407 は、金属層 405 に結合され得る。金属層 407 は、図 1 及び図 2 で説明したように、複数の相互接続部 112 b を画定し得る。金属層 407 は、相互接続ダイの前側相互接続部を表し得る。複数の相互接続部 112 a は、相互接続ダイの複数の前側相互接続部を表し得る。図 3 B の段階 5 は、前側相互接続部を形成することの一例を図示し説明する。図 4 B の段階 5 は、前側相互接続部を形成することの一例を図示し説明する。

40

【0054】

【0066】 方法は、(525 において) ダイ基板 (例えば、110) を薄化する。異なる実装形態は、ダイ基板 110 を別様に薄化してもよい。例えば、いくつかの実装形態は、金属層 (例えば、305、405) の底側が露出されるようにダイ基板 110 を薄化してもよい。いくつかの実装形態は、金属層 (例えば、305、405) の底側を露出させることなくダイ基板 110 を薄化してもよい。ダイ基板 110 の一部を除去するために、研削プロセスが使用され得る。図 3 B の段階 6 は、ダイ基板を薄化することの一例を図示し説明する。図 4 B の段階 6 は、ダイ基板を薄化することの一例を図示し説明する。

【0055】

50

【0067】 方法は、任意選択的に、（530において）複数の裏側相互接続部を形成する。裏側相互接続部は、ダイ基板110の底側に結合され得る。複数の裏側相互接続部は、ダイ基板110の上面上のパターニングされた金属層（例えば、309、409）によって画定され得る。金属層（例えば、309、409）を形成するために、めっきプロセスが使用され得る。金属層309は、金属層305に結合され得る。金属層409は、金属層405に結合され得る。金属層409は、図1及び図2で説明したように、複数の相互接続部112cを画定し得る。金属層409は、相互接続ダイの裏側相互接続部を表し得る。複数の相互接続部112cは、相互接続ダイの複数の裏側相互接続部を表し得る。図3Bの段階7は、裏側相互接続部を形成することの一例を図示し説明する。図4Bの段階7は、裏側相互接続部を形成することの一例を図示し説明する。

10

【0056】

【0068】 方法は、（535において）、いくつかの相互接続ダイ（例えば、101、201）を形成するために、ダイ基板110を個片化する。ダイ基板110をいくつかの相互接続ダイ（例えば、101）に個片化するために、機械的プロセスが使用され得る。ダイ基板110を個片化するためにソーが使用され得る。図3Bの段階8は、個片化の一例を図示し説明する。図4Bの段階8は、個片化の一例を図示し説明する。

【0057】

基板及び相互接続ダイを備えるパッケージを作製するための例示的なシーケンス

【0069】 いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図6A～図6Cは、パッケージを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、パッケージ100を提供又は作製するために、図6A～図6Cのシーケンスが使用され得る。しかしながら、図6A～図6Cのプロセスは、本開示で説明するパッケージのいずれか（例えば、200）を作製するために使用され得る。

20

【0058】

【0070】 図6A～図6Cのシーケンスは、パッケージを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。

30

【0059】

【0071】 図6Aに示すように、段階1は、基板102を準備した後の状態を示す。基板102は、少なくとも1つの誘電体層120、及び複数の相互接続部122を含む。基板102は、第1の表面（例えば、上面）及び第2の表面（例えば、底面）を含み得る。基板102は、図10A～図10Bで説明した方法を使用して作製され得る。いくつかの実装形態では、コア基板（例えば、コア層を含む基板）を準備する。

【0060】

【0072】 段階2は、集積デバイス103が基板102の第1の表面（例えば、底面）に結合された後の状態を示す。集積デバイス103は、複数のはんだ相互接続部130を介して基板102に結合され得る。集積デバイス103を基板102に結合するために、はんだリフロープロセスが使用され得る。いくつかの実装形態では、集積デバイス103は、複数のピラー相互接続部（図示せず）及び複数のはんだ相互接続部130を介して基板102に結合され得る。段階2はまた、少なくとも1つの相互接続ダイ101が基板102の第1の表面に結合された後の状態を示す。少なくとも1つの相互接続ダイ101は、複数のはんだ相互接続部114を介して基板102に結合され得る。少なくとも1つの相互接続ダイ101を基板102に結合するために、はんだリフロープロセスが使用され得る。段階2はまた、第1の集積デバイス105と基板102との間に設けられた及び/又は形成されたアンダーフィル132を示す。

40

【0061】

【0073】 段階3は、封入層104が設けられ、基板102に結合された後の状態を示

50

す。封入層 104 は、集積デバイス 103 及び少なくとも 1 つの相互接続ダイ 101 を封入し得る。封入層 104 は、基板 102 の第 1 の表面に結合され得る。封入層 104 は、モールド、樹脂、及び / 又はエポキシを含み得る。封入層 104 は、封入のための手段であり得る。封入層 104 は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。

【0062】

[0074] 段階 4 は、封入層 104 の一部分が除去された後の状態を示す。封入層 104 の一部分を除去するために、研削プロセス及び / 又は研磨プロセスが使用され得る。いくつかの実装形態では、少なくとも 1 つの相互接続ダイ 101 の一部分及び / 又は集積デバイス 103 の裏側の一部分もまた除去され得る。

10

【0063】

[0075] 段階 5 は、図 6 B に示すように、集積デバイス 105、集積デバイス 107、及び複数の受動デバイス 109 (例えば、109a、109b、109c) が基板 102 の第 2 の表面 (例えば、上面) に結合された後の状態を示す。集積デバイス 105 は、複数のピラー相互接続部 (図示せず) 及び複数のはんだ相互接続部 152 を介して基板 102 に結合され得る。集積デバイス 107 は、複数のピラー相互接続部 (図示せず) 及び複数のはんだ相互接続部 172 を介して基板 102 に結合され得る。複数の受動デバイス 109 (例えば、109a、109b、109c) は、対応する複数のはんだ相互接続部 (例えば、190a、190b、190c) を介して基板 102 に結合され得る。集積デバイス及び / 又は受動デバイスを基板 102 に結合するために、はんだリフロープロセスが使用され得る。

20

【0064】

[0076] 段階 6 は、封入層 106 が設けられ、基板 102 に結合された後の状態を示す。封入層 106 は、集積デバイス (例えば、105、107) 及び受動デバイス (例えば、109a、109b、109c) を封入し得る。封入層 106 は、基板 102 の第 2 の表面に結合され得る。封入層 106 は、モールド、樹脂、及び / 又はエポキシを含み得る。封入層 106 は、封入のための手段であり得る。封入層 106 は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。

【0065】

[0077] 段階 7 は、図 6 C に示すように、複数のはんだ相互接続部 115 が少なくとも 1 つの相互接続ダイ 101 に結合された後の状態を示す。複数のはんだ相互接続部 115 を少なくとも 1 つの相互接続ダイ 101 に結合するために、はんだリフロープロセスが使用され得る。

30

【0066】

[0078] 段階 8 は、封入層 106 の外面上に外側金属層 160 が形成された後の状態を示す。外側金属層 160 を形成するために、スパッタリングプロセスが使用され得る。外側金属層 160 は、封入層 106 の上面、封入層 106 の側面、基板 102 の側面、及び / 又は封入層 104 の側面上に形成され得る。段階 8 は、パッケージ 100 を示し得る。パッケージ 100 は、一度に 1 つずつ作製してもよく、あるいは 1 つ又は複数のウェハの一部として一緒に作製してから、個々のパッケージに個片化してもよい。

40

【0067】

基板及び相互接続ダイを備えるパッケージを作製するための方法の例示的なフロー図

[0079] いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図 7 は、パッケージを提供又は作製する方法 700 の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載のパッケージ 100 を提供又は作製するために、図 7 の方法 700 が使用され得る。しかしながら、本開示で説明されるパッケージのうちの一つ (例えば、200) を提供又は作製するために、方法 700 が使用され得る。

【0068】

50

【0080】 図7の方法700は、パッケージを提供又は作製するための方法を簡略化及び/又は明確化するために、1つ又は複数のプロセスを組み合わせる得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【0069】

【0081】 方法は、(705において)基板(例えば、102)を準備する。基板102は、少なくとも1つの誘電体層120、及び複数の相互接続部122を含む。基板102は、第1の表面(例えば、上面)及び第2の表面(例えば、底面)を含み得る。基板102は、図10A~図10Bで説明した方法を使用して作製され得る。いくつかの実施態様では、コア基板(例えば、コア層を含む基板)を準備する。図6Aの段階1は、基板を準備することの一例を図示し説明する。

10

【0070】

【0082】 方法は、(710において)、基板102の第1の表面(例えば、底面)に集積デバイス(例えば、103)及び少なくとも1つの相互接続ダイ(例えば、101)を結合する。集積デバイス103は、複数のはんだ相互接続部130を介して基板102に結合され得る。集積デバイス103を基板102に結合するために、はんだリフロープロセスが使用され得る。少なくとも1つの相互接続ダイ101は、複数のはんだ相互接続部114を介して基板102に結合され得る。少なくとも1つの相互接続ダイ101を基板102に結合するために、はんだリフロープロセスが使用され得る。図6Aの段階2は、基板に集積デバイス及び相互接続ダイを結合することの一例を図示し説明する。

20

【0071】

【0083】 方法は、(715において)基板(例えば、102)に結合された封入層(例えば、104)を形成する。封入層104(例えば、第1の封入層)は、集積デバイス103及び少なくとも1つの相互接続ダイ101を封入し得る。封入層104は、基板102の第1の表面に結合され得る。封入層104は、モールド、樹脂、及び/又はエポキシを含み得る。封入層104は、封入のための手段であり得る。封入層104は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。いくつかの実装形態では、封入層を形成することは、封入層104の一部を除去することを含み得る。封入層104の一部を除去するために、研削プロセス及び/又は研磨プロセスが使用され得る。いくつかの実装形態では、少なくとも1つの相互接続ダイ101の一部及び/又は集積デバイス103の裏側の一部分もまた除去され得る。図6Aの段階3及び4は、封入層を設け、封入層の一部を除去することの一例を図示し説明する。

30

【0072】

【0084】 方法は、(720において)、基板102の第2の表面(例えば、上面)に、集積デバイス(例えば、105、107)及び受動デバイス(例えば、109a、109b、109c)を結合する。集積デバイス105は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部152を介して基板102に結合され得る。集積デバイス107は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部172を介して基板102に結合され得る。複数の受動デバイス109(例えば、109a、109b、109c)は、対応する複数のはんだ相互接続部(例えば、190a、190b、190c)を介して基板102に結合され得る。集積デバイス及び/又は受動デバイスを基板102に結合するために、はんだリフロープロセスが使用され得る。図6Bの段階5は、基板に集積デバイス及び受動デバイスを結合することの一例を図示し説明する。

40

【0073】

【0085】 方法は、(725において)封入層(例えば、106)を形成する。封入層は、基板102に結合されている。封入層106(例えば、第2の封入層)は、集積デバイス(例えば、105、107)及び受動デバイス(例えば、109a、109b、109c)を封入し得る。封入層106は、基板102の第2の表面に結合され得る。封入層106は、モールド、樹脂、及び/又はエポキシを含み得る。封入層106は、封入のための手段であり得る。封入層106は、圧縮及びトランスファー成形プロセス、シート成

50

形プロセス、又は液体成形プロセスを使用することにより設けることができる。図 6 B の段階 6 は、封入層を設けることの一例を図示し説明する。

【0074】

【0086】 方法は、(730において)複数のはんだ相互接続部(例えば、115)を少なくとも1つの相互接続ダイ101に結合する。複数のはんだ相互接続部115を少なくとも1つの相互接続ダイ101に結合するために、はんだリフロープロセスが使用され得る。図6Cの段階7は、はんだ相互接続部を基板に結合することの一例を図示し説明する。

【0075】

【0087】 方法は、(735において)封入層106の外面上に外側金属層(例えば、160)を形成する。外側金属層160を形成するために、スパッタリングプロセスが使用され得る。外側金属層160は、封入層106の上面、封入層106の側面、基板102の側面、及び/又は封入層104の側面上に形成され得る。外側金属層160は、基板102の複数の相互接続部122のうちの1つの相互接続部に結合され得る。外側金属層160は、パッケージ100のための電磁界干渉(EMI)シールドとして動作するように構成され得る。図6Cの段階8は、外側金属層を形成することの一例を図示し説明する。

10

【0076】

【0088】 いくつかの実装形態では、いくつかのパッケージが同時に作製される。このような場合、方法は、パッケージ(例えば、100、200)を個片化し得る。

20

【0077】

基板及び相互接続ダイを備えるパッケージを作製するための例示的なシーケンス

【0089】 いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図8A~図8Cは、パッケージを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、パッケージ200が提供又は作製するために、図8A~図8Cのシーケンスが使用され得る。しかしながら、図8A~図8Cのプロセスは、本開示で説明するパッケージのいずれか(例えば、100)を作製するために使用され得る。

【0078】

【0090】 図8A~図8Cのシーケンスは、パッケージを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ又は複数の段階を組み合わせる得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。

30

【0079】

【0091】 図8Aに示すように、段階1は、基板102を準備した後の状態を示す。基板102は、少なくとも1つの誘電体層120、及び複数の相互接続部122を含む。基板102は、第1の表面(例えば、上面)及び第2の表面(例えば、底面)を含み得る。基板102は、図10A~図10Bで説明した方法を使用して作製され得る。いくつかの実装形態では、コア基板(例えば、コア層を含む基板)を準備する。

40

【0080】

【0092】 段階2は、集積デバイス105、集積デバイス107、及び複数の受動デバイス109(例えば、109a、109b、109c)が基板102の第2の表面(例えば、上面)に結合された後の状態を示す。集積デバイス105は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部152を介して基板102に結合され得る。集積デバイス107は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部172を介して基板102に結合され得る。複数の受動デバイス109(例えば、109a、109b、109c)は、対応する複数のはんだ相互接続部(例えば、190a、190b、190c)を介して基板102に結合され得る。集積デバイス及び/又は受動デバイスを基板102に結合するために、はんだリフロープロセスが使用され得る。

50

【 0 0 8 1 】

【0093】 段階3は、封入層106が設けられ、基板102に結合された後の状態を示す。封入層106（例えば、第2の封入層）は、集積デバイス（例えば、105、107）及び受動デバイス（例えば、109a、109b、109c）を封入し得る。封入層106は、基板102の第2の表面に結合され得る。封入層106は、モールド、樹脂、及び/又はエポキシを含み得る。封入層106は、封入のための手段であり得る。封入層106は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。

【 0 0 8 2 】

【0094】 段階4は、図8Bに示すように、集積デバイス103が基板102の第1の表面（例えば、底面）に結合された後の状態を示す。集積デバイス103は、複数のはんだ相互接続部130を介して基板102に結合され得る。集積デバイス103は、複数のピラー相互接続部（図示せず）及び複数のはんだ相互接続部130を介して基板102に結合され得る。集積デバイス103を基板102に結合するために、はんだリフロープロセスが使用され得る。段階2はまた、少なくとも1つの相互接続ダイ201が基板102の第1の表面に結合された後の状態を示す。少なくとも1つの相互接続ダイ201は、複数のはんだ相互接続部114を介して基板102に結合され得る。少なくとも1つの相互接続ダイ201を基板102に結合するために、はんだリフロープロセスが使用され得る。段階2はまた、第1の集積デバイス105と基板102との間に設けられた及び/又は形成されたアンダーフィル132を示す。

【 0 0 8 3 】

【0095】 段階5は、封入層104（例えば、第1の封入層）が設けられ、基板102に結合された後の状態を示す。封入層104は、集積デバイス103及び少なくとも1つの相互接続ダイ201を封入し得る。封入層104は、基板102の第1の表面に結合され得る。封入層104は、モールド、樹脂、及び/又はエポキシを含み得る。封入層104は、封入のための手段であり得る。封入層104は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。

【 0 0 8 4 】

【0096】 段階6は、封入層104の一部が除去された後の状態を示す。封入層104の一部を除去するために、研削プロセス及び/又は研磨プロセスが使用され得る。少なくとも1つの相互接続ダイ201の部分及び/又は集積デバイス103の裏側の一部もまた除去され得る。相互接続ダイ201の一部を除去することにより、ダイ基板110の一部を除去することができ、それによりダイ基板110内の相互接続部が露出され得る。

【 0 0 8 5 】

【0097】 段階7は、図8Cに示すように、複数のはんだ相互接続部115が少なくとも1つの相互接続ダイ201に結合された後の状態を示す。複数のはんだ相互接続部115を少なくとも1つの相互接続ダイ201に結合するために、はんだリフロープロセスが使用され得る。

【 0 0 8 6 】

【0098】 段階8は、封入層106の外面上に外側金属層160が形成された後の状態を示す。外側金属層160を形成するために、スパッタリングプロセスが使用され得る。外側金属層160は、封入層106の上面、封入層106の側面、基板102の側面、及び/又は封入層104の側面上に形成され得る。段階8は、パッケージ200を示し得る。パッケージ200は、一度に1つずつ作製してもよく、あるいは1つ又は複数のウェハの一部として一緒に作製してから、個々のパッケージに個片化してもよい。

【 0 0 8 7 】

基板及び相互接続ダイを備えるパッケージを作製するための方法の例示的なフロー図

【0099】 いくつかの実装形態では、パッケージを作製することは、いくつかのプロセ

10

20

30

40

50

スを含む。図 9 は、パッケージを提供又は作製する方法 900 の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載のパッケージ 200 を提供又は作製するために、図 9 の方法 900 が使用され得る。しかしながら、本開示で説明されるパッケージのうちのいずれか（例えば、100）を提供又は作製するために、方法 900 が使用され得る。

【0088】

[0100] 図 9 の方法 900 は、パッケージを提供又は作製するための方法を簡略化及び/又は明確化するために、1つ又は複数のプロセスを組み合わせる得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【0089】

[0101] 方法は、(905において)基板(例えば、102)を準備する。基板102は、少なくとも1つの誘電体層120、及び複数の相互接続部122を含む。基板102は、第1の表面(例えば、上面)及び第2の表面(例えば、底面)を含み得る。基板102は、図10A~図10Bで説明した方法を使用して作製され得る。いくつかの実装形態では、コア基板(例えば、コア層を含む基板)を準備する。図8Aの段階1は、基板を準備することの一例を図示し説明する。

【0090】

[0102] 方法は、(910において)、基板102の第2の表面(例えば、上面)に、集積デバイス(例えば、105、107)及び受動デバイス(例えば、109a、109b、109c)を結合する。集積デバイス105は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部152を介して基板102に結合され得る。集積デバイス107は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部172を介して基板102に結合され得る。複数の受動デバイス109(例えば、109a、109b、109c)は、対応する複数のはんだ相互接続部(例えば、190a、190b、190c)を介して基板102に結合され得る。集積デバイス及び/又は受動デバイスを基板102に結合するために、はんだリフロープロセスが使用され得る。図8Aの段階2は、基板に集積デバイス及び受動デバイスを結合することの一例を図示し説明する。

【0091】

[0103] 方法は、(915において)封入層(例えば、106)を形成する。封入層は、基板102に結合されている。封入層106(例えば、第2の封入層)は、集積デバイス(例えば、105、107)及び受動デバイス(例えば、109a、109b、109c)を封入し得る。封入層106は、基板102の第2の表面に結合され得る。封入層106は、モールド、樹脂、及び/又はエポキシを含み得る。封入層106は、封入のための手段であり得る。封入層106は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。図8Aの段階3は、封入層を設けることの一例を図示し説明する。

【0092】

[0104] 方法は、(920において)、基板102の第1の表面(例えば、底面)に集積デバイス(例えば、103)及び少なくとも1つの相互接続ダイ(例えば、101)を結合する。集積デバイス103は、複数のはんだ相互接続部130を介して基板102に結合され得る。集積デバイス103は、複数のピラー相互接続部(図示せず)及び複数のはんだ相互接続部130を介して基板102に結合され得る。集積デバイス103を基板102に結合するために、はんだリフロープロセスが使用され得る。少なくとも1つの相互接続ダイ101は、複数のはんだ相互接続部114を介して基板102に結合され得る。少なくとも1つの相互接続ダイ101を基板102に結合するために、はんだリフロープロセスが使用され得る。図8Bの段階4は、基板に集積デバイス及び相互接続ダイを結合することの一例を図示し説明する。

【0093】

[0105] 方法は、(925において)基板(例えば、102)に結合された封入層(例えば、104)を形成する。封入層104(例えば、第1の封入層)は、集積デバイス

10

20

30

40

50

103及び少なくとも1つの相互接続ダイ101を封入し得る。封入層104は、基板102の第1の表面に結合され得る。封入層104は、モールド、樹脂、及び/又はエポキシを含み得る。封入層104は、封入のための手段であり得る。封入層104は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。いくつかの実装形態では、封入層を形成することは、封入層104の一部を除去することを含み得る。封入層104の一部を除去するために、研削プロセス及び/又は研磨プロセスが使用され得る。いくつかの実装形態では、少なくとも1つの相互接続ダイ101の一部及び/又は集積デバイス103の裏側の一部分もまた除去され得る。図8Bの段階5及び6は、封入層を設け、封入層の一部を除去することの一例を図示し説明する。

10

【0094】

[0106] 方法は、(930において)複数のはんだ相互接続部(例えば、115)を少なくとも1つの相互接続ダイ101に結合する。複数のはんだ相互接続部115を少なくとも1つの相互接続ダイ101に結合するために、はんだリフロープロセスが使用され得る。図8Cの段階7は、はんだ相互接続部を基板に結合することの一例を図示し説明する。

【0095】

[0107] 方法は、(735において)封入層106の外面上に外側金属層(例えば、160)を形成する。外側金属層160を形成するために、スパッタリングプロセスが使用され得る。外側金属層160は、封入層106の上面、封入層106の側面、基板102の側面、及び/又は封入層104の側面上に形成され得る。図8Cの段階8は、外側金属層を形成することの一例を図示し説明する。

20

【0096】

[0108] いくつかの実装形態では、いくつかのパッケージが同時に作製される。このような場合、方法は、パッケージ(例えば、100、200)を個片化し得る。

【0097】

基板を作製するための例示的なシーケンス

[0109] いくつかの実装形態では、基板を作製することは、いくつかのプロセスを含む。図10A~図10Bは、基板を提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、基板102を提供又は作製のために、図10A~図10Bのシーケンスが使用され得る。しかしながら、図10A~図10Bのプロセスは、本開示で説明する基板のいずれかを作製するために使用され得る。

30

【0098】

[0110] 図10A~図10Bのシーケンスは、基板を提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。

【0099】

[0111] 段階1は、図10Aに示すように、キャリア1000を準備した後の状態を示す。シード層1001及び相互接続部1002が、キャリア1000の上に位置し得る。相互接続部1002は、シード層1001の上に位置し得る。相互接続部1002を形成するために、めっきプロセス及びエッチングプロセスが使用され得る。いくつかの実装形態では、キャリア1000には、シード層1001と、相互接続部1002を形成するようにパターンニングされた金属層とを設けることができる。相互接続部1002は、複数の相互接続部142からの相互接続部のうちの少なくともいくつかを表すことができる。

40

【0100】

[0112] 段階2は、誘電体層1020が、キャリア1000、シード層1001、及び相互接続部1002の上に形成された後の状態を示す。誘電体層1020を形成するために、堆積プロセス及び/又は積層プロセスが使用され得る。誘電体層1020は、プリ

50

プレグ及び/又はポリイミドを含み得る。誘電体層 1020 は、フォトイメージャブル誘電体を含み得る。しかしながら、異なる実装形態は、誘電体層に関して異なる材料を使用することもできる。

【0101】

【0113】 段階 3 は、誘電体層 1020 内に複数のキャビティ 1010 が形成された後の状態を示す。複数のキャビティ 1010 は、エッチングプロセス（例えば、フォトエッチングプロセス）又はレーザプロセスを使用して形成され得る。

【0102】

【0114】 段階 4 は、複数のキャビティ 1010 内及びその上を含む、誘電体層 1020 内及び誘電体層 1020 の上に相互接続部 1012 が形成された後の状態を示す。例えば、ビア、パッド、及び/又はトレースが形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。 10

【0103】

【0115】 段階 5 は、誘電体層 1020 及び相互接続部 1012 の上に誘電体層 1022 が形成された後の状態を示す。誘電体層 1022 を形成するために、堆積プロセス及び/又は積層プロセスが使用され得る。誘電体層 1022 は、プリプレグ及び/又はポリイミドを含み得る。誘電体層 1022 は、フォトイメージャブル誘電体を含み得る。しかしながら、異なる実装形態は、誘電体層に関して異なる材料を使用することもできる。

【0104】

【0116】 図 10B に示すように、段階 6 は、誘電体層 1022 内に複数のキャビティ 1030 が形成された後の状態を示す。複数のキャビティ 1030 は、エッチングプロセス（例えば、フォトエッチングプロセス）又はレーザプロセスを使用して形成され得る。 20

【0105】

【0117】 段階 7 は、複数のキャビティ 1030 内及びその上を含む、誘電体層 1022 内及び誘電体層 1022 の上に相互接続部 1014 が形成された後の状態を示す。例えば、ビア、パッド、及び/又はトレースが形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。

【0106】

【0118】 段階 8 は、キャリア 1000 が少なくとも 1 つの誘電体層 140 及びシード層 1001 から分離され（例えば、取り外され、除去され、研削され）、シード層 1001 の一部分が除去され（例えば、エッチング除去され）、少なくとも 1 つの誘電体層 120 及び複数の相互接続部 122 を含む基板 102 が残された後の状態を示す。少なくとも 1 つの誘電体層 120 は、誘電体層 1020 及び/又は誘電体層 1022 を表し得る。複数の相互接続部 122 は、相互接続部 1002、1012 及び/又は 1014 を表し得る。 30

【0107】

【0119】 異なる実装形態は、金属層（単数又は複数）及び/又は相互接続部を形成するために、異なるプロセスを用いることができる。いくつかの実装形態では、金属層（単数又は複数）を形成するために、化学気相成長（chemical vapor deposition、CVD）プロセス、物理気相成長（physical vapor deposition、PVD）プロセス、スパッタリングプロセス、スプレーコーティングプロセス、及び/又はめっきプロセスが使用され得る。 40

【0108】

基板を作製するための方法の例示的なフロー図

【0120】 いくつかの実装形態では、基板を作製することは、いくつかのプロセスを含む。図 11 は、基板を提供又は作製する方法 1100 の例示的なフロー図を示す。いくつかの実装形態では、本開示の基板（単数又は複数）を提供又は作製するために、図 11 の方法 1100 が使用され得る。例えば、基板 102 を作製するために、図 11 の方法 1100 が使用され得る。

【0109】

【0121】 図11の方法1100は、基板を提供又は作製するための方法を簡略化及び／又は明確化するために、1つ又は複数のプロセスを組み合わせる得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【0110】

【0122】 方法は、(1105において)キャリア(例えば、1000)を準備する。異なる実装形態は、キャリア1000に異なる材料を使用することができる。キャリア1000は、シード層(例えば、1001)を含み得る。シード層1001は、金属(例えば、銅)を含み得る。キャリアは、基板、ガラス、石英、及び／又はキャリアテープを含み得る。図10Aの段階1は、シード層が設けられているキャリアの一例を図示し説明する。

10

【0111】

【0123】 方法は、(1110において)キャリア1000及びシード層1001の上に相互接続部を形成しパターニングする。相互接続部を形成するために金属層がパターニングされ得る。金属層及び相互接続部を形成するために、めっきプロセスが使用され得る。いくつかの実装形態では、キャリア及びシード層は、金属層を含み得る。金属層は、シード層の上に位置し、金属層は、相互接続部(例えば、142)を形成するようにパターニングされ得る。図10Aの段階1は、シード層及びキャリアの上に相互接続部を形成しパターニングすることの一例を図示し説明する。

【0112】

【0124】 方法は、(1115において)シード層1001、キャリア1000、及び相互接続部1002の上に誘電体層1020を形成する。誘電体層1020を形成するために、堆積プロセス及び／又は積層プロセスが使用され得る。誘電体層1020は、プリプレグ及び／又はポリイミドを含み得る。誘電体層1020は、フォトイメージャブル誘電体を含み得る。誘電体層1020を形成することはまた、誘電体層1020内に複数のキャビティ(例えば、1010)を形成することを含み得る。複数のキャビティは、エッチングプロセス(例えば、フォトエッチングプロセス)又はレーザプロセスを使用して形成され得る。図10Aの段階2~3は、誘電体層と、誘電体層内のキャビティとを形成することの一例を図示し説明する。

20

【0113】

【0125】 方法は、(1120において)誘電体層内に及び誘電体層の上に相互接続部を形成する。例えば、相互接続部1012を誘電体層1020内に及び誘電体層1020の上に形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。相互接続部を形成することは、誘電体層の上及び／又は誘電体層内に、パターニングされた金属層を設けることを含み得る。相互接続部を形成することはまた、誘電体層のキャビティ内に相互接続部を形成することを含み得る。図10Aの段階4は、誘電体層内に及び誘電体層の上に相互接続部を形成することの一例を図示し説明する。

30

【0114】

【0126】 方法は、(1125において)誘電体層1020及び相互接続部1012の上に誘電体層1022を形成する。誘電体層1022を形成するために、堆積プロセス及び／又は積層プロセスが使用され得る。誘電体層1022は、プリプレグ及び／又はポリイミドを含み得る。誘電体層1022は、フォトイメージャブル誘電体を含み得る。誘電体層1022を形成することはまた、誘電体層1022内に複数のキャビティ(例えば、1030)を形成することを含み得る。複数のキャビティは、エッチングプロセス(例えば、フォトエッチングプロセス)又はレーザプロセスを使用して形成され得る。図10A~図10Bの段階5~段階6は、誘電体層と、誘電体層内のキャビティとを形成することの一例を図示し説明する。

40

【0115】

【0127】 方法は、(1130において)誘電体層内に及び誘電体層の上に相互接続部を形成する。例えば、相互接続部1014を誘電体層1022内に及び誘電体層1022の上に形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。相

50

互接続部を形成することは、誘電体層の上及び/又誘電体層内に、パターンニングされた金属層を設けることを含み得る。相互接続部を形成することはまた、誘電体層のキャビティ内に相互接続部を形成することを含み得る。相互接続部を形成することは、ポスト相互接続部を形成することを含み得る。図10Bの段階7は、ポスト相互接続部を形成することを含む、誘電体層内に及び誘電体層の上に相互接続部を形成することの一例を図示し説明する。

【0116】

[0128] 方法は、(1135において)キャリア(例えば、1000)をシード層(例えば、1001)から分離する。キャリア1000は、取り外されてもよく、かつ/又は研削されてもよい。方法はまた、(1135において)シード層(例えば、1001)の一部分を除去してもよい。シード層1001の一部分を除去するために、エッチングプロセスが使用され得る。図10Bの段階8は、キャリアを分離すること及びシード層除去の一例を図示し説明する。

10

【0117】

[0129] 異なる実装形態は、金属層(単数又は複数)を形成するために、異なるプロセスを使用することができる。いくつかの実装形態では、金属層(単数又は複数)を形成するために、化学気相成長(CVD)プロセス、物理気相成長(PVD)プロセス、スパッタリングプロセス、スプレーコーティングプロセス、及び/又はめっきプロセスが使用され得る。

【0118】

20

例示的な電子デバイス

[0130] 図12は、前述のデバイス、集積デバイス、集積回路(integrated circuit、IC)パッケージ、集積回路(IC)デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、パッケージオンパッケージ(package-on-package、POP)、システムインパッケージ(System in Package、SiP)、又はシステムオンチップ(System on Chip、SoC)のうちのいずれかと一体化され得る様々な電子デバイスを示す。例えば、携帯電話デバイス1202、ラップトップコンピュータデバイス1204、固定ロケーション端末デバイス1206、ウェアラブルデバイス1208、又は自動ビークル1210が、本明細書で説明されるようなデバイス1200を含み得る。デバイス1200は、例えば、本明細書で説明されるデバイス及び/又は集積回路(IC)パッケージのうちのいずれかであり得る。図12に示すデバイス1202、1204、1206、及び1208、並びにビークル1210は、単なる例に過ぎない。モバイルデバイス、ハンドヘルドパーソナル通信システム(personal communication system、PCS)ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム(global positioning system、GPS)対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器などの固定位置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス(例えば、時計、眼鏡)、モノのインターネット(Internet of things、IoT)デバイス、サーバ、ルータ、自動ビークル(例えば、自律ビークル)内に実装された電子デバイス、又はデータ若しくはコンピュータ命令を記憶するか若しくは取り出す任意の他のデバイス、あるいはこれらの任意の組み合わせを含む、デバイス(例えば、電子デバイス)の群を含むがこれらに限定されない他の電子デバイスもまた、デバイス1200を搭載し得る。

30

40

【0119】

[0131] 図1~図2、図3A~図3B、図4A~図4B、図5、図6A~図6C、図7、図8A~図8C、図9、図10A~図10B、及び図11~図12に示す構成要素、プロセス、特徴、及び/又は機能のうちの1つ又は複数が、単一の構成要素、プロセス、特徴、若しくは機能に再構成及び/又は組み合わせられてもよく、いくつかの構成要素、プロセス、又は機能において具現化されてもよい。追加的な要素、構成要素、プロセス、及び/又は機能もまた、本開示から逸脱することなく追加することができる。本開示にお

50

る図 1 ~ 図 2、図 3 A ~ 図 3 B、図 4 A ~ 図 4 B、図 5、図 6 A ~ 図 6 C、図 7、図 8 A ~ 図 8 C、図 9、図 10 A ~ 図 10 B、及び図 11 ~ 図 12、並びにその対応する説明は、ダイ及び / 又は IC に限定されないことにも留意されたい。いくつかの実装形態では、デバイス及び / 又は集積デバイスを製造、構築、提供、及び / 又は生産するために、図 1 ~ 図 2、図 3 A ~ 図 3 B、図 4 A ~ 図 4 B、図 5、図 6 A ~ 図 6 C、図 7、図 8 A ~ 図 8 C、図 9、図 10 A ~ 図 10 B、及び図 11 ~ 図 12、並びにその対応する説明を使用することができる。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、集積受動デバイス (IPD)、ダイパッケージ、集積回路 (IC) デバイス、デバイスパッケージ、集積回路 (IC) パッケージ、ウェハ、半導体デバイス、パッケージオンパッケージ (POP) デバイス、放熱デバイス、及び / 又はインターポーザを含み得る。

10

【0120】

[0132] 本開示における図は、様々な部品、構成要素、物体、デバイス、パッケージ、集積デバイス、集積回路、及び / 又はトランジスタの、実際の表現及び / 又は概念的表現を表し得る点に留意されたい。いくつかの事例では、図は、正確な縮尺ではない場合がある。いくつかの事例では、明瞭化の目的のために、全ての構成要素及び / 又は部品が示されていない場合もある。いくつかの事例では、図中の様々な部品及び / 又は構成要素の、位置、場所、サイズ、及び / 又は形状は、例示的なものであり得る。いくつかの実装形態では、図中の様々な構成要素及び / 又は部品は、任意選択的なものであり得る。

【0121】

[0133] 「例示的」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用される。「例示的」として本明細書に記載の実装形態又は態様はいずれも、必ずしも本開示の他の態様よりも好ましい又は有利であるとして解釈されるべきではない。同様に、「態様」という用語は、本開示の全ての態様が、説明する特徴、利点、又は動作モードを含むことを必要とするとは限らない。「結合されている (coupled)」という用語は、本明細書では、2つの物体間の直接的又は間接的な結合 (例えば、機械的結合) を指すために使用されている。例えば、物体 A が物体 B に物理的に接触しており、物体 B が物体 C に接触している場合には、物体 A と物体 C とは、それらが互いに物理的に直接接触していない場合であっても、依然として互いに結合されていると見なすことができる。物体 B に結合される物体 A は、物体 B の少なくとも一部に結合することができる。「電氣的に結合される」という用語は、電流 (例えば、信号、電力、接地) が 2つの物体間を伝播し得るように、2つの物体が直接的又は間接的に一緒に結合されることを意味し得る。電氣的に結合されている 2つの物体は、それら 2つの物体の間に電流を伝播させる場合もあれば、又は伝播させない場合もある。用語「第 1」、「第 2」、「第 3」、及び「第 4」(及び / 又は、第 4 を上回るいずれかのもの) の使用は、自由裁量によるものである。説明されている構成要素のうちのいずれも、第 1 の構成要素、第 2 の構成要素、第 3 の構成要素、又は第 4 の構成要素とすることができる。例えば、第 2 の構成要素と称されている構成要素は、第 1 の構成要素、第 2 の構成要素、第 3 の構成要素、又は第 4 の構成要素とすることもできる。「封入する」、「封入すること」という用語、及び / 又はその派生語は、物体が別の物体を部分的に封入し得ること、又は完全に封入し得ることを意味する。「上部」及び「底部」という用語は、自由裁量によるものである。上部に位置する構成要素が、底部に配置されている構成要素の上に位置する場合がある。上部の構成要素が底部の構成要素と見なされる場合もあり、その逆も同様である。本開示で説明されるように、第 2 の構成要素「の上に (over)」位置する第 1 の構成要素とは、底部又は上部が自由裁量によってどのように定義されているかに応じて、その第 1 の構成要素が、第 2 の構成要素の上方又は下方に位置することを意味し得る。別の実施例では、第 1 の構成要素が、第 2 の構成要素の第 1 の表面の上に (例えば、上方に) 位置する場合があり、第 3 の構成要素が、第 2 の構成要素の第 2 の表面の上に (例えば、下方に) 位置する場合があり、この場合、第 2 の表面は、第 1 の表面の反対側にある。ある 1 つの構成要素が別の構成要素の上に位置するという文脈において、本出願で使用される場合の「~の上に」という用語は、別の構成要素上に、及び / 又は別の構成要素内に存在してい

20

30

40

50

る（例えば、構成要素の表面上に存在しているか、又は構成要素内に埋め込まれている）構成要素を意味するために使用することができる点に更に留意されたい。それゆえ、例えば、第2の構成要素の上に存在している第1の構成要素とは、（1）第1の構成要素が第2の構成要素の上に存在しているが、第2の構成要素には直接接触していないこと、（2）第1の構成要素が第2の構成要素上に（例えば、第2の構成要素の表面上に）存在していること、及び/又は（3）第1の構成要素が第2の構成要素内に存在している（例えば、第2の構成要素内に埋め込まれている）ことを意味し得る。第2の構成要素の「内に（in）」位置する第1の構成要素は、第2の構成要素内に部分的に位置する場合もあれば、又は第2の構成要素内に完全に位置する場合もある。約X～XXである値は、XとXXとの間の値であって、XとXXとを含む値を意味し得る。XとXXとの間の値（単数又は複数）は、離散的又は連続的であり得る。本開示で使用される場合の「約（about）『値X』」又は「およそ（approximately）値X」という用語は、「値X」の10パーセントの範囲内を意味する。例えば、約1又はおよそ1の値とは、0.9～1.1の範囲の値を意味することになる。

10

【0122】

[0134] いくつかの実装形態では、相互接続部とは、2つの点、要素、及び/又は構成要素間の電氣的接続を可能にするか若しくは容易にする、デバイス又はパッケージの要素若しくは構成要素である。いくつかの実装形態では、相互接続部は、トレース（例えば、トレース相互接続部）、ビア（例えば、ビア相互接続部）、パッド（例えば、パッド相互接続部）、ピラー、メタライゼーション層、再配線層、及び/又はアンダーバンプメタライゼーション（under bump metallization、UBM）層/相互接続部を含み得る。いくつかの実装形態では、相互接続部は、信号（例えば、データ信号）、接地、及び/又は電力に関する電気経路を提供するように構成することが可能な、導電性材料を含み得る。相互接続部は、2つ以上の要素又は構成要素を含み得る。相互接続部は、1つ又は複数の相互接続部によって画定され得る。相互接続部は、1つ又は複数の金属層を含み得る。相互接続部は、回路の一部とすることができる。異なる実装形態は、相互接続部を形成するために、異なるプロセス及び/又はシーケンスを使用することができる。いくつかの実装形態では、相互接続部を形成するために、化学気相成長（CVD）プロセス、物理気相成長（PVD）プロセス、スパッタリングプロセス、スプレーコーティング、及び/又はめっきプロセスが使用され得る。

20

30

【0123】

[0135] また、本明細書に含まれている様々な開示は、フローチャート、フロー図、構造図、又はブロック図として示されているプロセスとして、説明される場合がある点にも留意されたい。フローチャートは、逐次プロセスとして動作を説明し得るものであるが、それらの動作のうちの多くは、並行して、又は同時に実行することができる。更には、動作の順序を並べ替えることもできる。プロセスは、その動作が完了すると終了する。

【0124】

[0136] 以下では、更なる例を、本開示の理解を容易にするために説明する。

【0125】

[0137] 態様1：第1の表面及び第2の表面を備える基板と、基板の第1の表面に結合された第1の集積デバイスと、基板の第1の表面に結合された相互接続ダイと、基板の第1の表面に結合された第1の封入層であって、第1の集積デバイス及び相互接続ダイを封入する、第1の封入層と、基板の第2の表面に結合された第2の集積デバイスと、を備える、パッケージ。

40

【0126】

[0138] 態様2：相互接続ダイが、ダイ基板と、複数のダイ相互接続部と、を備える、態様1に記載のパッケージ。

【0127】

[0139] 態様3：複数のダイ相互接続部からの2つの隣接するダイ相互接続部が、約150～270マイクロメートルの範囲のピッチを有する、態様2に記載のパッケージ。

50

【 0 1 2 8 】

【0140】 態様 4 : 相互接続ダイが、約 1 0 0 ~ 2 0 0 マイクロメートルの範囲の厚さを有する、態様 1 ~ 3 に記載のパッケージ。

【 0 1 2 9 】

【0141】 態様 5 : 複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、態様 2 ~ 4 に記載のパッケージ。

【 0 1 3 0 】

【0142】 態様 6 : ダイ基板が、ガラス及び / 又はシリコンを含む、態様 2 ~ 5 に記載のパッケージ。

【 0 1 3 1 】

【0143】 態様 7 : 基板の第 2 の表面に結合された第 2 の封入層を更に備える、態様 1 ~ 6 に記載のパッケージ。

【 0 1 3 2 】

【0144】 態様 8 : 第 2 の封入層に結合された外側金属層を更に備える、態様 7 に記載のパッケージ。

【 0 1 3 3 】

【0145】 態様 9 : 第 1 の集積デバイスが、第 1 のチップレットを含み、第 2 の集積デバイスが、第 2 のチップレットを含む、態様 1 ~ 8 に記載のパッケージ。

【 0 1 3 4 】

【0146】 態様 1 0 : 相互接続ダイが、第 1 の集積デバイスの横方向に位置する、態様 1 ~ 9 に記載のパッケージ。

【 0 1 3 5 】

【0147】 態様 1 1 : 第 1 の集積デバイスが、第 1 のチップレットを含み、第 2 の集積デバイスが、第 2 のチップレットを含む、態様 1 ~ 1 0 に記載のパッケージ。

【 0 1 3 6 】

【0148】 態様 1 2 : パッケージを備えるデバイス。パッケージは、第 1 の表面及び第 2 の表面を備える基板と、基板の第 1 の表面に結合された第 1 の集積デバイスと、基板の第 1 の表面に結合された相互接続ダイと、基板の第 1 の表面に結合された第 1 の封入層であって、第 1 の集積デバイス及び相互接続ダイを封入する、第 1 の封入層と、基板の第 2 の表面に結合された第 2 の集積デバイスと、を備える。

【 0 1 3 7 】

【0149】 態様 1 3 : 相互接続ダイが、ダイ基板と、複数のダイ相互接続部と、を備える、態様 1 2 に記載のデバイス。

【 0 1 3 8 】

【0150】 態様 1 4 : 複数のダイ相互接続部からの 1 3 つの隣接するダイ相互接続部が、約 1 5 0 ~ 2 7 0 マイクロメートルの範囲のピッチを有する、態様 2 に記載のデバイス。

【 0 1 3 9 】

【0151】 態様 1 5 : 相互接続ダイが、約 1 0 0 ~ 2 0 0 マイクロメートルの範囲の厚さを有する、態様 1 2 ~ 1 4 に記載のデバイス。

【 0 1 4 0 】

【0152】 態様 1 6 : 複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、態様 1 3 ~ 1 5 に記載のデバイス。

【 0 1 4 1 】

【0153】 態様 1 7 : ダイ基板が、ガラス及び / 又はシリコンを含む、態様 1 3 ~ 1 6 に記載のデバイス。

【 0 1 4 2 】

【0154】 態様 1 8 : 基板の第 2 の表面に結合された第 2 の封入層を更に備える、態様 1 2 ~ 1 7 に記載のデバイス。

【 0 1 4 3 】

10

20

30

40

50

【0155】 態様 19：第 2 の封入層に結合された外側金属層を更に備える、態様 18 に記載のデバイス。

【0144】

【0156】 態様 20：第 1 の集積デバイスが、第 1 のチップレットを含み、第 2 の集積デバイスが、第 2 のチップレットを含む、態様 12 ~ 19 に記載のデバイス。

【0145】

【0157】 態様 21：相互接続ダイが、第 1 の集積デバイスの横方向に位置する、態様 12 ~ 20 に記載のデバイス。

【0146】

【0158】 態様 22：第 1 の集積デバイスが、第 1 のチップレットを含み、第 2 の集積デバイスが、第 2 のチップレットを含む、態様 12 ~ 21 に記載のデバイス。

10

【0147】

【0159】 態様 23：デバイスが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット（IoT）デバイス、及び自動ビークル内のデバイスからなる群から選択される、態様 12 ~ 22 に記載のデバイス。

【0148】

【0160】 態様 24：パッケージを作製するための方法。方法は、第 1 の表面及び第 2 の表面を備える基板を準備する。本方法は、基板の第 1 の表面に第 1 の集積デバイスを結合する。本方法は、基板の第 1 の表面に相互接続ダイを結合する。本方法は、基板の第 1 の表面に第 1 の封入層を結合し、第 1 の封入層が第 1 の集積デバイス及び相互接続ダイを封入する。本方法は、基板の第 2 の表面に第 2 の集積デバイスを結合する。

20

【0149】

【0161】 態様 25：相互接続ダイが、ダイ基板と、複数のダイ相互接続部と、を備える、態様 24 に記載の方法。

【0150】

【0162】 態様 26：複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 150 ~ 270 マイクロメートルの範囲のピッチを有する、態様 25 に記載の方法。

30

【0151】

【0163】 態様 27：相互接続ダイが、約 100 ~ 200 マイクロメートルの範囲の厚さを有する、態様 24 ~ 26 に記載の方法。

【0152】

【0164】 態様 28：複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、態様 25 ~ 27 に記載の方法。

【0153】

【0165】 態様 29：ダイ基板が、ガラス及び / 又はシリコンを含む、態様 25 ~ 28 に記載の方法。

【0154】

40

【0166】 態様 30：基板の第 2 の表面に第 2 の封入層を結合することを更に含む、態様 24 ~ 29 に記載の方法。

【0155】

【0167】 本明細書で説明されている本開示の様々な特徴は、本開示から逸脱することなく、種々のシステムにおいて実装することができる。本開示の上記の態様は、単なる例に過ぎず、本開示を限定するものとして解釈されるべきではない点に留意されたい。本開示の諸態様の説明は、例示的であることが意図されており、特許請求の範囲を限定することを意図するものではない。それゆえ、本教示は、他のタイプの装置に容易に適用することができ、当業者には、多くの代替形態、修正形態、及び変形形態が明らかとなるであろう。

50

【 図 4 A 】

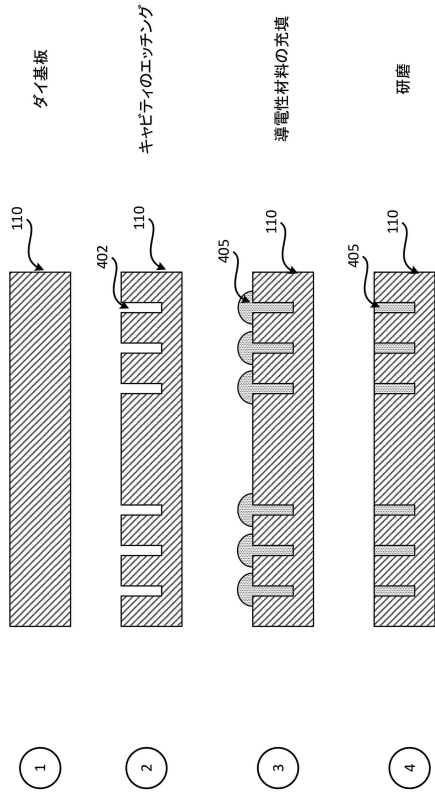


FIG. 4A

【 図 4 B 】

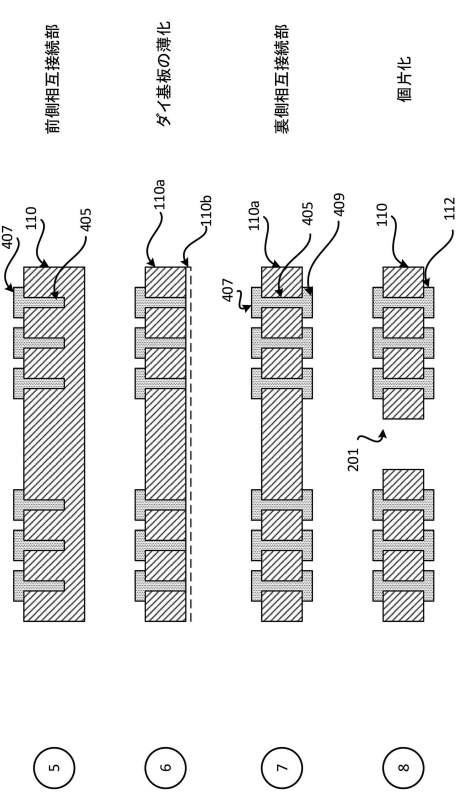


FIG. 4B

10

20

【 図 5 】

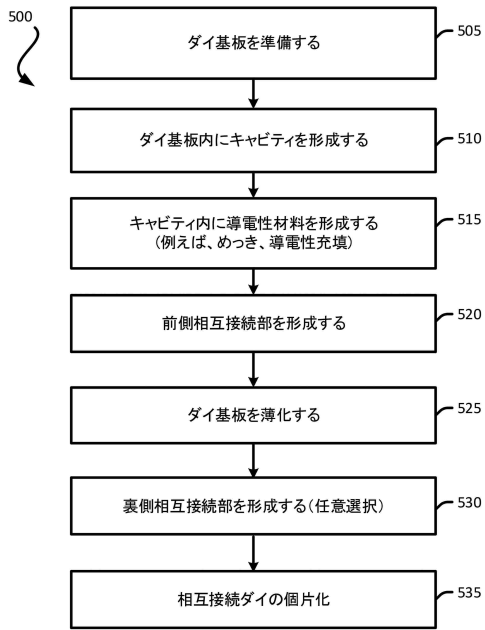


FIG. 5

【 図 6 A 】

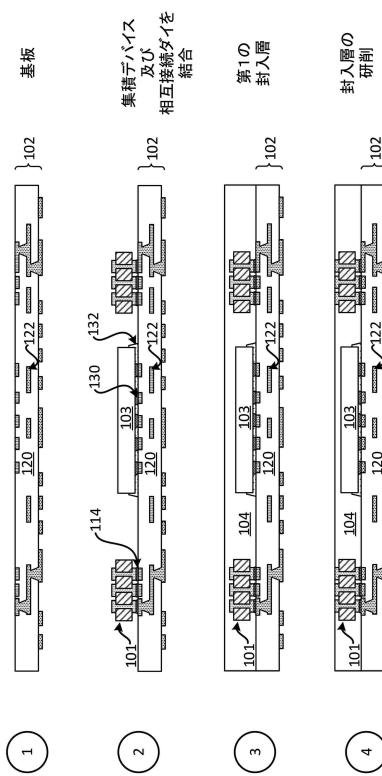


FIG. 6A

30

40

50

【 図 6 B 】

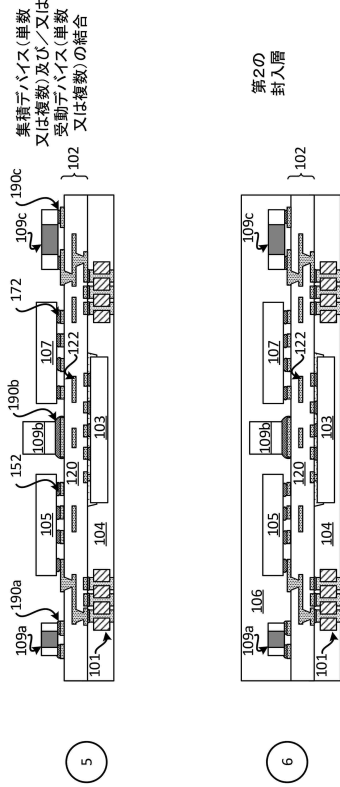


FIG. 6B

【 図 6 C 】

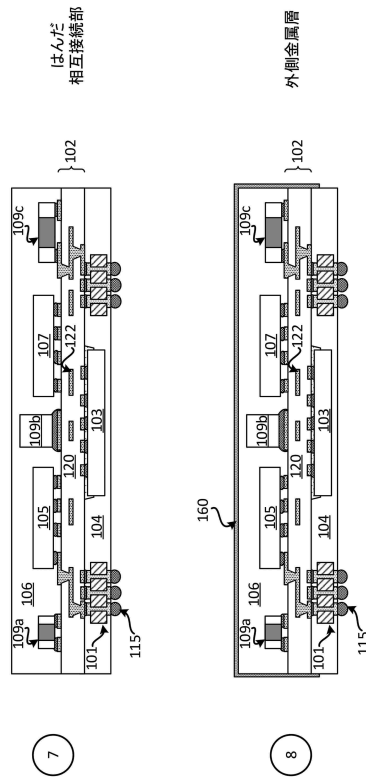


FIG. 6C

【 図 7 】

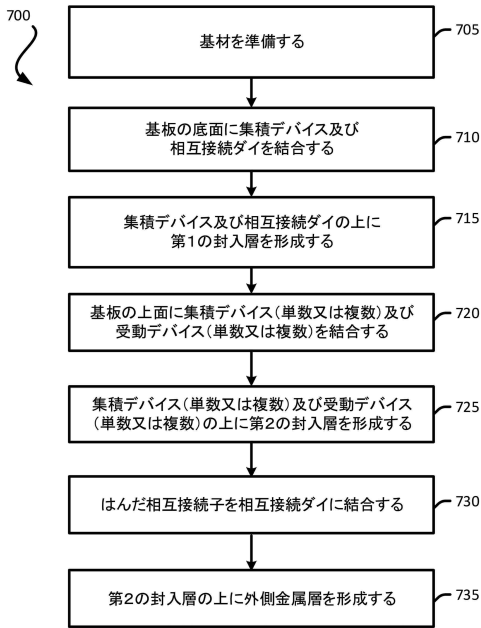


FIG. 7

【 図 8 A 】

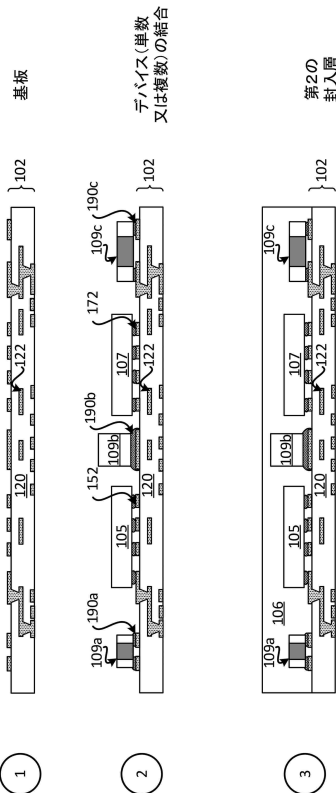


FIG. 8A

10

20

30

40

50

【 図 8 B 】

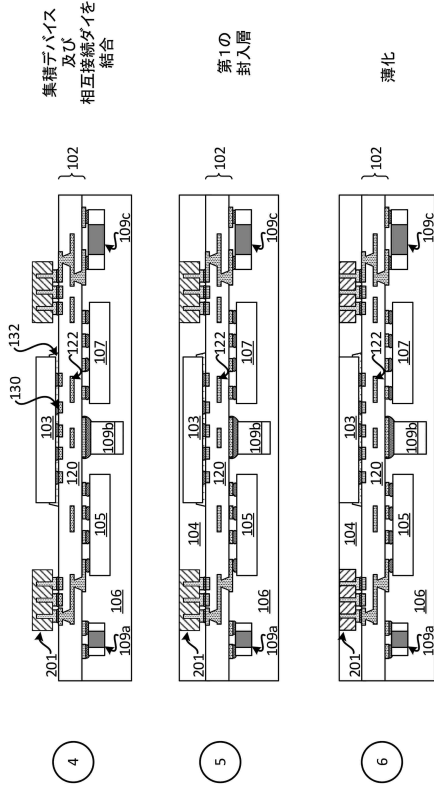


FIG. 8B

【 図 8 C 】

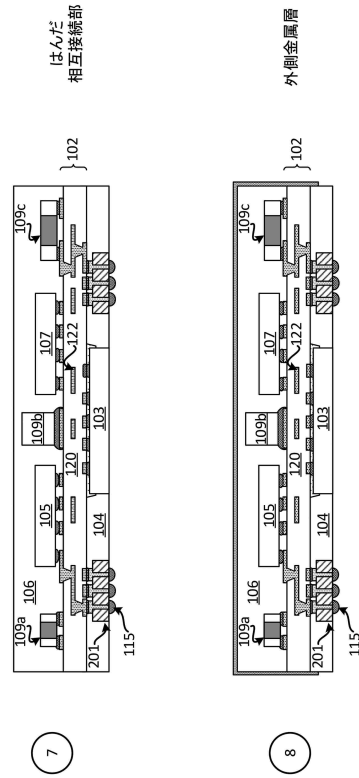


FIG. 8C

【 図 9 】

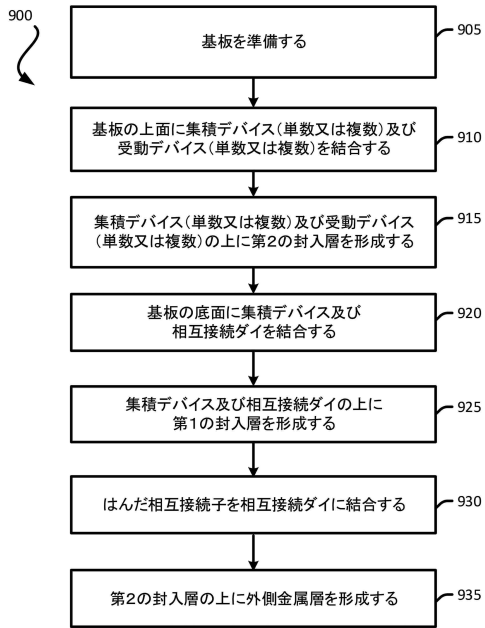


FIG. 9

【 図 10 A 】

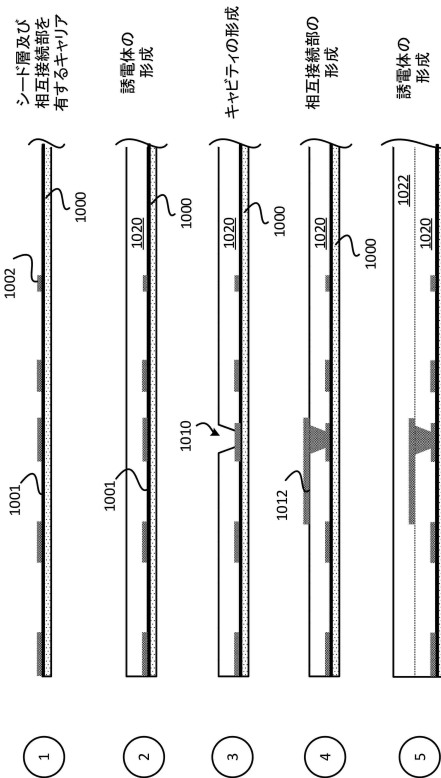


FIG. 10A

10

20

30

40

50

【 図 1 0 B 】

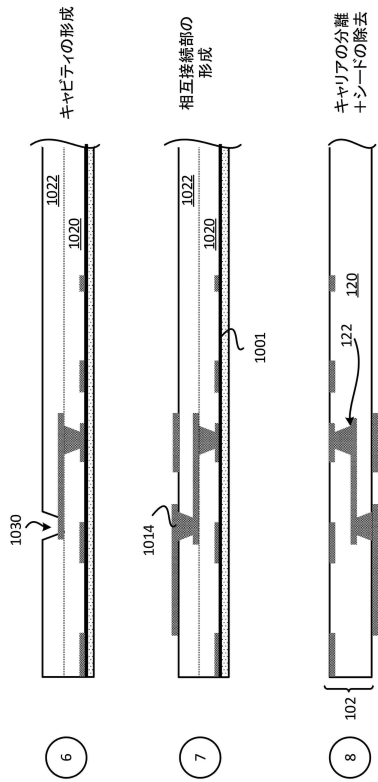


FIG. 10B

【 図 1 1 】

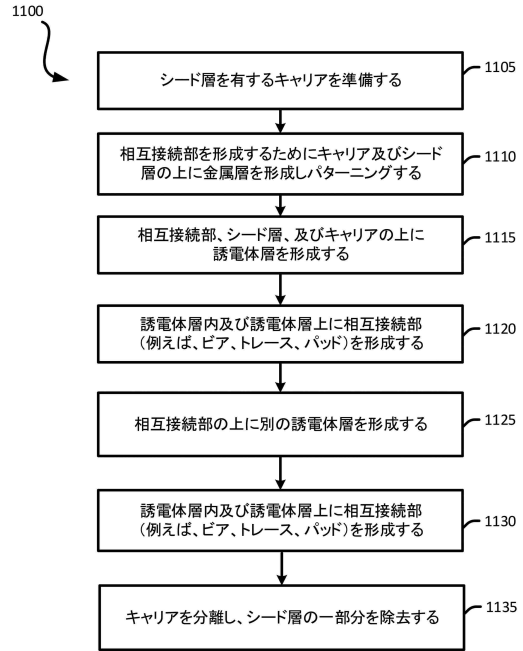


FIG. 11

【 図 1 2 】

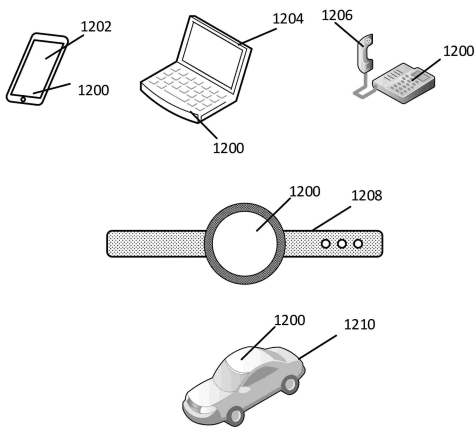


FIG. 12

10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/019661

A. CLASSIFICATION OF SUBJECT MATTER		
INV. H01L25/065 H01L25/16 H01L23/552		
ADD. H01L21/60		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2020/343151 A1 (NOMURA TADASHI [JP] ET AL) 29 October 2020 (2020-10-29) paragraphs [0041], [0044], [0046] - [0049]; figures 1-16 -----	1-5, 7, 8, 10, 12-16, 18, 19, 21, 23-28, 30
X	US 2012/320536 A1 (YAMAMOTO ISSEI [JP]) 20 December 2012 (2012-12-20) paragraphs [0072], [0082], [0086], [0089]; figures 4, 5b-8b ----- -/--	1-7, 10, 12-18, 21, 23-30
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 1 August 2023	Date of mailing of the international search report 04/10/2023	
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Manook, Rhoda	

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/019661

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>US 2020/083172 A1 (HSIEH HAO-CHIH [TW] ET AL) 12 March 2020 (2020-03-12)</p> <p>paragraphs [0030], [0031], [0033]; figures 5a, 5b, 6</p> <p>-----</p>	<p>1-5, 7, 10, 12-16, 18, 21, 23-28, 30</p>
X	<p>US 2021/098421 A1 (WU CHIE-WEI [TW] ET AL) 1 April 2021 (2021-04-01)</p> <p>paragraphs [0084], [0102], [0105], [0106]; figure 12</p> <p>-----</p>	<p>1-7, 10, 12-18, 21, 23-30</p>

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2023/019661

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

10

20

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

- 2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims;; it is covered by claims Nos.:
1-8, 10, 12-19, 21, 23-30

30

40

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-8, 10, 12-19, 21, 23-30

(re. claims 2, 13, 25)

A package comprising: a substrate comprising a first surface and a second surface; a first integrated device coupled to the first surface of the substrate; an interconnection die coupled to the first surface of the substrate; a first encapsulation layer coupled to the first surface of the substrate, wherein the first encapsulation layer encapsulates the first integrated device and the interconnection die; and a second integrated device coupled to the second surface of the substrate and wherein the interconnection die comprises: a die substrate; and a plurality of die interconnects.

1.1. claims: 7, 8, 18, 19, 30

(re. claims 7-8, 18-19, 30):

A package comprising:
 a substrate comprising a first surface and a second surface;
 a first integrated device coupled to the first surface of the substrate;
 an interconnection die coupled to the first surface of the substrate;
 a first encapsulation layer coupled to the first surface of the substrate, wherein the first encapsulation layer encapsulates the first integrated device and the interconnection die; and
 a second integrated device coupled to the second surface of the substrate
 , further comprising a second encapsulation layer coupled to the second surface of the substrate and further comprising an outer metal layer coupled to the second encapsulation layer.

1.2. claims: 10, 21

(re. claims 10 and 21)

A package comprising:
 a substrate comprising a first surface and a second surface;
 a first integrated device coupled to the first surface of the substrate;
 an interconnection die coupled to the first surface of the substrate;
 a first encapsulation layer coupled to the first surface of the substrate, wherein the first encapsulation layer encapsulates the first integrated device and the interconnection die; and
 a second integrated device coupled to the second surface of the substrate
 the interconnection die is located laterally to the first integrated device.

10

20

30

40

50

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

2. claims: 9, 11, 20, 22

(re. claims 9 and 11 and 20 and 22) A package comprising: a substrate comprising a first surface and a second surface; a first integrated device coupled to the first surface of the substrate; an interconnection die coupled to the first surface of the substrate; a first encapsulation layer coupled to the first surface of the substrate, wherein the first encapsulation layer encapsulates the first integrated device and the interconnection die; and a second integrated device coupled to the second surface of the substrate. and the first integrated device includes a first chiplet and the second integrated device includes a second chiplet.

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2023/019661

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2020343151 A1	29-10-2020	CN 111566805 A	21-08-2020
		JP 7167945 B2	09-11-2022
		JP WO2019138895 A1	10-12-2020
		US 2020343151 A1	29-10-2020
		WO 2019138895 A1	18-07-2019

US 2012320536 A1	20-12-2012	CN 102792785 A	21-11-2012
		JP 5510461 B2	04-06-2014
		JP WO2011129161 A1	11-07-2013
		TW 201145483 A	16-12-2011
		US 2012320536 A1	20-12-2012

US 2020083172 A1	12-03-2020	CN 110890334 A	17-03-2020
		US 2020083172 A1	12-03-2020
		US 2022415810 A1	29-12-2022

US 2021098421 A1	01-04-2021	NONE	

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者

ジャオ、リリー

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者

シャー、ミ lind

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5