



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0119573
(43) 공개일자 2016년10월14일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) H01L 21/033 (2006.01)
(52) CPC특허분류
H01L 21/0274 (2013.01)
H01L 21/0337 (2013.01)
(21) 출원번호 10-2015-0048427
(22) 출원일자 2015년04월06일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
남윤석
경기도 용인시 기흥구 동백죽전대로527번길 신동백 롯데캐슬에코 206-601
(74) 대리인
특허법인씨엔에스

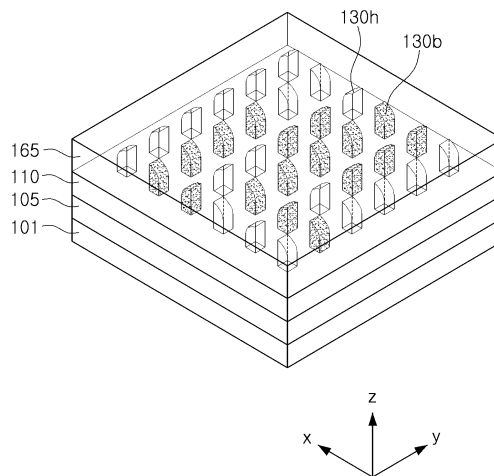
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 소자의 미세 패턴 형성 방법

(57) 요약

본 발명의 실시예에 따른 반도체 소자의 미세 패턴 형성 방법은, 피식각층 상에 제1 방향으로 연장되는 제1 스페이서 패턴들을 형성하는 단계, 상기 제1 스페이서 패턴들을 덮는 제1 평탄화층을 형성하는 단계, 상기 제1 평탄화층 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 라인 마스크 패턴들을 형성하는 단계, 상기 라인 마스크 패턴들을 식각 마스크로 이용하여 상기 제1 스페이서 패턴들을 식각하여 복수의 희생 기둥들을 형성하는 단계, 상기 복수의 희생 기둥들 사이를 매립하는 제2 평탄화층을 형성하는 단계, 상기 복수의 희생 기둥들 중 일부를 제거하여 상기 제2 평탄화층 내에 복수의 개구들을 형성하는 단계, 및 상기 복수의 개구들이 형성된 상기 제2 평탄화층을 이용하여 상기 피식각층을 식각함으로써, 상기 피식각층 내에 복수의 홀(hole)들을 형성하는 단계를 포함할 수 있다.

대표도 - 도16



명세서

청구범위

청구항 1

피식각층 상에 제1 방향으로 연장되는 제1 스페이서 패턴들을 형성하는 단계;

상기 제1 스페이서 패턴들을 덮는 제1 평탄화층을 형성하는 단계;

상기 제1 평탄화층 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 라인 마스크 패턴들을 형성하는 단계;

상기 라인 마스크 패턴들을 식각 마스크로 이용하여 상기 제1 스페이서 패턴들을 식각하여 복수의 희생 기둥들을 형성하는 단계;

상기 복수의 희생 기둥들 사이를 매립하는 제2 평탄화층을 형성하는 단계;

상기 복수의 희생 기둥들 중 일부를 제거하여 상기 제2 평탄화층 내에 복수의 개구들을 형성하는 단계; 및

상기 복수의 개구들이 형성된 상기 제2 평탄화층을 이용하여 상기 피식각층을 식각함으로써, 상기 피식각층 내에 복수의 홀(hole)들을 형성하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 2

제1 항에 있어서,

상기 복수의 개구들을 형성하는 단계는,

상기 제2 평탄화층의 일부 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 복수의 희생 기둥들 중 일부를 선택적으로 식각하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 3

제1 항에 있어서,

상기 제1 스페이서 패턴들을 형성하는 단계는,

상기 피식각층 상에 제1 방향으로 연장되는 제1 희생 패턴들을 형성하는 단계;

상기 제1 희생 패턴들의 측벽에 제1 스페이서들을 형성하는 단계; 및

상기 제1 희생 패턴들을 제거하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 4

제3 항에 있어서,

상기 제1 희생 패턴들을 형성하는 단계는,

상기 피식각층 상에 제1 희생층을 형성하는 단계;

상기 제1 희생층 상에 상기 제1 방향으로 연장되는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제1 희생층을 식각하는 단계; 및

상기 제1 포토레지스트 패턴을 제거하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 5

제3 항에 있어서,

상기 제1 스페이서들을 형성하는 단계는,

상기 제1 희생 패턴들을 콘포멀(conformal)하게 덮는 스페이서 물질층을 형성하는 단계; 및

상기 스페이서 물질층을 에치백(etch back)하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 6

제1 항에 있어서,

상기 라인 마스크 패턴들을 형성하는 단계는,

상기 제1 평탄화층 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제2 스페이서 패턴들을 형성하는 단계; 및

상기 제2 스페이서 패턴들을 식각 마스크로 이용하여 상기 하드 마스크층을 식각하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 7

제6 항에 있어서,

상기 제2 스페이서 패턴들을 형성하는 단계는,

상기 제2 하드 마스크층 상에 상기 제2 방향으로 연장되는 제2 희생 패턴들을 형성하는 단계;

상기 제2 희생 패턴들의 측벽에 제2 스페이서들을 형성하는 단계; 및

상기 제2 희생 패턴들을 제거하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 8

제7 항에 있어서,

상기 제2 희생 패턴들을 형성하는 단계는,

상기 제2 하드 마스크층 상에 제2 희생층을 형성하는 단계;

상기 제2 희생층 상에 상기 제2 방향으로 연장되는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 희생층을 식각하는 단계; 및

상기 제2 포토레지스트 패턴을 제거하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 9

제7 항에 있어서,

상기 제2 스페이서들을 형성하는 단계는,

상기 제2 희생 패턴들을 콘포멀하게 덮는 스페이서 물질층을 형성하는 단계; 및
상기 스페이서 물질층을 에치백(etch back)하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 10

제1 항에 있어서,
상기 복수의 희생 기둥들을 형성하는 단계는,
상기 제1 평탄화층 및 상기 제1 스페이서 패턴들을 함께 이방성 식각하는 단계; 및
상기 라인 마스크 패턴들 및 상기 제1 평탄화층을 제거하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 11

제1 항에 있어서,
상기 제1 방향과 상기 제2 방향은 실질적으로 수직 교차하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 12

제1 항에 있어서,
상기 제1 스페이서 패턴들의 선폭과 상기 제2 스페이서 패턴들의 선폭은 실질적으로 동일한 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 13

제1 항에 있어서,
상기 제1 스페이서 패턴들의 피치는 상기 제2 스페이서 패턴들의 피치와 실질적으로 동일한 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 14

피식각층 상에 제1 하드 마스크층을 형성하는 단계;
상기 제1 하드 마스크층 상에 제1 방향으로 연장되며, 제1 피치로 서로 평행하게 배열되는 제1 희생 패턴들을 형성하는 단계;
상기 제1 희생 패턴들의 측벽에 제1 스페이서들을 형성하는 단계;
상기 제1 희생 패턴들을 제거하여 제1 방향으로 연장되며, 제2 피치로 서로 평행하게 배열되는 제1 스페이서 패턴들을 형성하는 단계;
상기 제1 스페이서들을 덮는 제1 평탄화층을 형성하는 단계;
상기 제1 평탄화층 상에 제2 하드마스크층을 형성하는 단계;
상기 제2 하드마스크층 상에 상기 제1 방향과 실질적으로 수직 교차하는 제2 방향으로 연장되며, 제3 피치로 서로 평행하게 배열되는 제2 희생 패턴들을 형성하는 단계;
상기 제2 희생 패턴들의 측벽에 제2 스페이서들을 형성하는 단계;

상기 제2 희생 패턴들을 제거하여 상기 제2 방향으로 연장되며, 제4 피치로 서로 평행하게 배열되는 제2 스페이서 패턴들을 형성하는 단계;

상기 제2 스페이서 패턴들을 식각 마스크로 이용하여 상기 제2 하드 마스크층을 식각하여 라인 마스크 패턴들을 형성하는 단계;

상기 라인 마스크 패턴들을 식각 마스크로 이용하여 상기 제1 스페이서 패턴들을 식각하여 복수의 희생 기둥들을 형성하는 단계;

상기 복수의 희생 기둥들 사이를 매립하는 제2 평탄화층을 형성하는 단계;

상기 제2 평탄화층의 일부 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 복수의 희생 기둥들 중 일부를 선택적으로 제거함으로써, 상기 제2 평탄화층 내에 복수의 개구들을 형성하는 단계;

상기 복수의 개구들이 형성된 제2 평탄화층을 식각 마스크로 이용하여 제1 하드 마스크층을 식각함으로써, 복수의 개구들이 형성된 하드 마스크 패턴을 형성 단계;

상기 하드 마스크 패턴을 식각 마스크로 이용하여 상기 피식각층을 식각함으로써, 상기 피식각층에 복수의 홀(hole)들을 형성하는 단계를 포함하는 반도체 소자의 미세 패턴 형성 방법.

청구항 15

제14 항에 있어서,

상기 제1 피치는 상기 제2 피치의 2배에 해당하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 16

제14 항에 있어서,

상기 제3 피치는 상기 제4 피치의 2배에 해당하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 17

제14 항에 있어서,

상기 제1 피치는 상기 제3 피치와 실질적으로 동일한 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 18

제14 항에 있어서,

상기 제2 피치는 상기 제4 피치와 실질적으로 동일한 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 19

제14 항에 있어서,

상기 제1 스페이서의 선폭과 상기 제2 스페이서의 선폭은 실질적으로 동일한 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

청구항 20

제14 항에 있어서,

상기 제1 평탄화층을 형성하는 단계 후에, 추가적인 평탄화 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자의 미세 패턴 형성 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 고집적화로 인해 디자인 룰(design rule)이 감소하고, 미세 패턴의 형성이 요구되고 있다. 특히, 포토리소그래피(photolithography) 장비의 해상도 한계를 초월하는 미세 패턴들을 구현하는 것이 요구된다. 따라서, 포토 리소그래피 공정의 한계를 초월하는 미세한 폭 및 피치를 가지는 패턴들을 구현할 수 있는 다양한 방법이 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 기술적 과제는, 미세한 크기 및 미세한 피치를 가지는 홀(hole)들을 용이하게 형성할 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 미세 패턴 형성 방법은 피식각층 상에 제1 방향으로 연장되는 제1 스페이서 패턴들을 형성하는 단계, 상기 제1 스페이서 패턴들을 덮는 제1 평탄화층을 형성하는 단계, 상기 제1 평탄화층 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 라인 마스크 패턴들을 형성하는 단계, 상기 라인 마스크 패턴들을 식각 마스크로 이용하여 상기 제1 스페이서 패턴들을 식각하여 복수의 희생 기둥들을 형성하는 단계, 상기 복수의 희생 기둥들 사이를 매립하는 제2 평탄화층을 형성하는 단계, 상기 복수의 희생 기둥들 중 일부를 제거하여 상기 제2 평탄화층 내에 복수의 개구들을 형성하는 단계, 및 상기 복수의 개구들이 형성된 상기 제2 평탄화층을 이용하여 상기 피식각층을 식각함으로써, 상기 피식각층 내에 복수의 홀(hole)들을 형성하는 단계를 포함할 수 있다.

[0005] 본 발명의 일 실시예에 있어서, 상기 복수의 개구들을 형성하는 단계는 상기 제2 평탄화층의 일부 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계, 및 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 복수의 희생 기둥들 중 일부를 선택적으로 식각하는 단계를 포함할 수 있다.

[0006] 본 발명의 일 실시예에 있어서, 상기 제1 스페이서 패턴들을 형성하는 단계는 상기 피식각층 상에 제1 방향으로 연장되는 제1 희생 패턴들을 형성하는 단계, 상기 제1 희생 패턴들의 측벽에 제1 스페이서들을 형성하는 단계 및 상기 제1 희생 패턴들을 제거하는 단계를 포함할 수 있다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제1 희생 패턴들을 형성하는 단계는 상기 피식각층 상에 제1 희생층을 형성하는 단계, 상기 제1 희생층 상에 상기 제1 방향으로 연장되는 제1 포토레지스트 패턴을 형성하는 단계, 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제1 희생층을 식각하는 단계, 및 상기 제1 포토레지스트 패턴을 제거하는 단계를 포함할 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 제1 스페이서들을 형성하는 단계는 상기 제1 희생 패턴들을 콘포멀

(conformal)하게 덮는 스페이서 물질층을 형성하는 단계, 및 상기 스페이서 물질층을 에치백(etch back)하는 단계를 포함할 수 있다.

- [0009] 본 발명의 일 실시예에 있어서, 상기 라인 마스크 패턴들을 형성하는 단계는 상기 제1 평탄화층 상에 하드 마스크층을 형성하는 단계, 상기 하드 마스크층 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제2 스페이서 패턴들을 형성하는 단계, 및 상기 제2 스페이서 패턴들을 식각 마스크로 이용하여 상기 하드 마스크층을 식각하는 단계를 포함할 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 제2 스페이서 패턴들을 형성하는 단계는 상기 제2 하드 마스크층 상에 상기 제2 방향으로 연장되는 제2 희생 패턴들을 형성하는 단계, 상기 제2 희생 패턴들의 측벽에 제2 스페이서들을 형성하는 단계, 및 상기 제2 희생 패턴들을 제거하는 단계를 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 제2 희생 패턴들을 형성하는 단계는 상기 제2 하드 마스크층 상에 제2 희생층을 형성하는 단계, 상기 제2 희생층 상에 상기 제2 방향으로 연장되는 제2 포토레지스트 패턴을 형성하는 단계, 상기 제2 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 희생층을 식각하는 단계, 및 상기 제2 포토레지스트 패턴을 제거하는 단계를 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 제2 스페이서들을 형성하는 단계는 상기 제2 희생 패턴들을 콘포멀하게 덮는 스페이서 물질층을 형성하는 단계, 및 상기 스페이서 물질층을 에치백(etch back)하는 단계를 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 복수의 희생 기둥들을 형성하는 단계는 상기 제1 평탄화층 및 상기 제1 스페이서 패턴들을 함께 이방성 식각하는 단계, 및 상기 라인 마스크 패턴들 및 상기 제1 평탄화층을 제거하는 단계를 포함할 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 제1 방향과 상기 제2 방향은 실질적으로 수직 교차할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 제1 스페이서 패턴들의 선폭과 상기 제2 스페이서 패턴들의 선폭은 실질적으로 동일할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제1 스페이서 패턴들의 피치는 상기 제2 스페이서 패턴들의 피치와 실질적으로 동일할 수 있다.
- [0017] 본 발명의 일 실시예에 따른 미세 패턴 형성 방법은 피식각층 상에 제1 하드 마스크층을 형성하는 단계, 상기 제1 하드 마스크층 상에 제1 방향으로 이격되고, 상기 제1 방향과 실질적으로 수직 교차하는 제2 방향으로 이격되는 복수의 희생 희생 기둥들을 형성하는 단계, 상기 복수의 희생 희생 기둥들 사이를 매립하는 평탄화층을 형성하는 단계, 상기 평탄화층 내의 상기 복수의 희생 희생 기둥들 중 일부를 제거하여 상기 제1 하드 마스크층을 노출시키는 상기 평탄화층 내에 복수의 개구들을 형성하는 단계, 상기 복수의 개구들이 형성된 상기 평탄화층을 식각 마스크로 이용하여 상기 제1 하드 마스크층을 식각함으로써 복수의 개구들을 포함하는 하드 마스크 패턴을 형성하는 단계, 및 상기 하드 마스크 패턴을 식각 마스크로 이용하여 상기 피식각층에 복수의 홀(hole)들을 형성하는 단계를 포함할 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 복수의 희생 희생 기둥들을 형성하는 단계는 상기 제1 하드 마스크층 상에 상기 제1 방향으로 연장되는 제1 스페이서 패턴들을 형성하는 단계, 상기 제1 스페이서 패턴들 상에 상기 제2 방향으로 연장되는 라인 마스크 패턴들을 형성하는 단계, 및 상기 라인 마스크 패턴들을 식각 마스크로 이용하여 상기 제1 스페이서 패턴들을 식각하는 단계를 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 라인 마스크 패턴들을 형성하는 단계는 상기 제1 스페이서 패턴들 상에 제2 하드 마스크층을 형성하는 단계, 상기 제2 하드 마스크층 상에 제2 스페이서 패턴들을 형성하는 단계, 및 상기 제2 스페이서 패턴들을 식각 마스크로 이용하여 상기 제2 하드 마스크층을 식각하는 단계를 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 제1 스페이서 패턴들의 선폭과 상기 라인 마스크 패턴들의 선폭은 실질적으로 동일할 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 제1 스페이서 패턴들의 피치는 상기 라인 마스크 패턴들의 피치와 실질적으로 동일할 수 있다.

- [0022] 본 발명의 일 실시예에 따른 미세 패턴 형성 방법은 피식각층 상에 제1 하드 마스크층을 형성하는 단계, 상기 제1 하드 마스크층 상에 제1 방향으로 연장되며, 제1 피치로 서로 평행하게 배열되는 제1 희생 패턴들을 형성하는 단계, 상기 제1 희생 패턴들의 측벽에 제1 스페이서들을 형성하는 단계, 상기 제1 희생 패턴들을 제거하여 제1 방향으로 연장되며, 제2 피치로 서로 평행하게 배열되는 제1 스페이서 패턴들을 형성하는 단계, 상기 제1 스페이서들을 덮는 제1 평탄화층을 형성하는 단계, 상기 제1 평탄화층 상에 제2 하드마스크층을 형성하는 단계, 상기 제2 하드마스크층 상에 제2 방향으로 연장되며, 제3 피치로 서로 평행하게 배열되는 제2 희생 패턴들을 형성하는 단계, 상기 제2 희생 패턴들의 측벽에 제2 스페이서들을 형성하는 단계, 상기 제2 희생 패턴들을 제거하여 상기 제2 방향으로 연장되며, 제4 피치로 서로 평행하게 배열되는 제2 스페이서 패턴들을 형성하는 단계, 상기 제2 스페이서 패턴들을 식각 마스크로 이용하여 상기 제2 하드 마스크층을 식각하여 라인 마스크 패턴들을 형성하는 단계, 상기 라인 마스크 패턴들을 식각 마스크로 이용하여 상기 제1 스페이서 패턴들을 식각하여 복수의 희생 기둥들을 형성하는 단계, 상기 복수의 희생 기둥들 사이를 매립하는 제2 평탄화층을 형성하는 단계, 상기 제2 평탄화층의 일부 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 복수의 희생 기둥들 중 일부를 선택적으로 제거함으로써, 상기 제2 평탄화층 내에 복수의 개구들을 형성하는 단계, 상기 복수의 개구들이 형성된 제2 평탄화층을 식각 마스크로 이용하여 제1 하드 마스크층을 식각함으로써, 복수의 개구들이 형성된 하드 마스크 패턴을 형성 단계, 상기 하드 마스크 패턴을 식각 마스크로 이용하여 상기 피식각층을 식각함으로써, 상기 피식각층에 복수의 홀(hole)들을 형성하는 단계를 포함할 수 있다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 제1 방향과 상기 제2 방향은 실질적으로 서로 수직일 수 있다.
- [0024] 본 발명의 일 실시예에 있어서, 상기 제1 피치는 상기 제2 피치의 2배에 해당할 수 있다.
- [0025] 본 발명의 일 실시예에 있어서, 상기 제3 피치는 상기 제4 피치의 2배에 해당할 수 있다.
- [0026] 본 발명의 일 실시예에 있어서, 상기 제1 피치는 상기 제3 피치와 실질적으로 동일할 수 있다.
- [0027] 본 발명의 일 실시예에 있어서, 상기 제2 피치는 상기 제4 피치와 실질적으로 동일할 수 있다.
- [0028] 본 발명의 일 실시예에 있어서, 상기 제1 스페이서의 선폭과 상기 제2 스페이서의 선폭은 실질적으로 동일할 수 있다.
- [0029] 본 발명의 일 실시예에 있어서, 상기 제1 평탄화층을 형성하는 단계 후에, 추가적인 평탄화 공정을 수행하는 단계를 더 포함할 수 있다.

발명의 효과

- [0030] 본 발명의 일 실시예에 따르면, 반도체 소자를 제조하기 위해 필요한 미세한 크기 및 미세한 피치를 가지는 홀들을 용이하게 형성할 수 있다.
- [0031] 본 발명의 일 실시예에 따르면, 홀들의 크기 산포를 줄일 수 있고, 미세한 크기 및 미세한 피치를 가지는 홀들의 형성 방법을 단순화할 수 있다.
- [0032] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시예를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0033] 도 1은 내지 도 18은 본 발명의 일 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위한 사시도 및 평면도들이다.
 도 19는 본 발명의 다른 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위한 사시도이다.
 도 20은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자(인버터)의 회로도이

다.

도 21은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자(인버터)의 레이아웃도(평면도)이다.

도 22a 및 22b는 도 21의 I-I' 및 II-II' 선을 따라 자른 반도체 소자(인버터)의 단면도들이다.

도 23은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자(SRAM 셀)의 회로도이다.

도 24은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자(SRAM 셀)의 레이아웃도(평면도)이다.

도 25은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자의 금속 배선 레이아웃도(평면도)이다.

도 26는 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함하는 저장 장치를 나타낸 블록도이다.

도 27는 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함하는 전자 기기를 나타낸 블록도이다.

도 28은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함하는 시스템을 보여주는 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 다음과 같이 설명한다.
- [0035] 본 발명의 실시예는 여러 가지 다른 형태로 변형되거나 여러 가지 실시예가 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 실시예로 한정되는 것은 아니다. 또한, 본 발명의 실시예는 당해 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면 상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0036] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprise)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0037] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것일 수 있다.
- [0038] 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0039] 도 1 내지 도 18은 본 발명의 일 실시예에 따른 반도체 소자의 미세 패턴 형성 방법을 설명하기 위한 사시도 및 평면도들이다.
- [0040] 도 1을 참조하면, 하부 구조층(101) 상에 피식각층(105)이 형성될 수 있다. 일 실시예에서, 하부 구조층(101)은 반도체 기판일 수 있다. 상기 반도체 기판은 단결정 실리콘 웨이퍼, SOI(silicon on insulator) 기판 또는 실리콘 에피택시얼층을 포함할 수 있다. 상기 반도체 기판 상에는 트랜지스터들이 배치될 수 있다. 일 실시예에서, 하부 구조층(101)은 도핑된 다결정 실리콘, 금속 실리콘사이드, 금속 물질, 금속 질화물 또는 이들의 조합으로 이

루어진 도전성 물질을 포함할 수 있다.

- [0041] 피식각층(105)을 형성하기 전에 하부 구조층(101) 상에 식각 정지층이 형성될 수도 있다. 상기 식각 정지층은 실리콘 산화물(SiO_x), 실리콘 질화물(Si_xN_y), 실리콘 산질화물(SiON), 실리콘 탄화물(SiC), 실리콘 탄질화물(SiCN) 또는 이들의 조합으로 이루어질 수 있다. 피식각층(105)은 실리콘 산화물(SiO_x), 또는 낮은 유전율을 가지는 로우-k(low-k) 유전물질일 수 있다. 상기 로우-k(low-k) 유전물질은 TEOS(TetraEthylOrthoSilicate), USG(Undoped Silicate Glass), PSG(PhosphoSilicate Galss), BSG(BoroSilicate Glass), BPSG(BoroPhosphoSilicate Glass), FSG(Fluoride Silicate Glass), SOG(Spin On Glass), TOSZ(Tonen SilaZene) 또는 이들의 조합으로 이루어질 수 있다.
- [0042] 다음으로, 피식각층(105) 상에 제1 하드 마스크층(110) 및 제1 희생층(115)이 순차적으로 적층될 수 있다.
- [0043] 제1 하드 마스크층(110)은 각각 실리콘 산화물(SiO_x), 실리콘 산질화물(SiON), 실리콘 질화물(Si_xN_y), 실리콘탄 질화물(SiCN) 또는 다결정질 실리콘 중 적어도 하나로 이루어질 수도 있다. 예를 들어, 제1 하드 마스크층(110)은 다결정질 실리콘으로 이루어질 수 있다.
- [0044] 제1 희생층(115)은 후속의 공정에서 제1 스페이서들(130a)을 형성하기 위한 층이다(도 3 참조). 제1 희생층(115)은 제1 하드 마스크층(110)에 대해 식각 선택성을 가지는 물질로 이루어질 수 있다. 제1 희생층(115)은 ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask) 중에서 어느 하나를 포함할 수 있다. 예를 들어, 제1 희생층(115)은 SOH로 이루어질 수 있다.
- [0045] 제1 희생층(115) 상에는 반사 방지층이 더 형성될 수 있고, 상기 반사 방지층은 후속의 포토리소그래피(photolithography) 공정 시에 하부막질에 의한 빛의 반사를 방지하기 위한 층이다. 상기 반사 방지층은 유기 화합물 또는 무기 화합물로 이루어질 수 있다. 예를 들어, 상기 반사 방지층은 실리콘 산질화막(SiON)으로 이루어질 수 있다.
- [0046] 제1 하드 마스크층(110) 및 제1 희생층(115)은 원자층 증착법(Atomic Layer Deposition, ALD), 화학 기상 증착법(Chemical Vapor Deposition, CVD) 또는 스핀 코팅 (spin coating) 등의 공정에 의해 형성될 수 있으며, 물질에 따라 베이킹(bake) 공정이나 경화 공정이 추가될 수도 있다.
- [0047] 이어서, 제1 희생층(115) 상에 제1 방향(예를 들어, y 방향)으로 연장되는 복수의 서로 평행한 라인 형태의 제1 포토레지스트 패턴들(120a)이 형성될 수 있다. 제1 포토레지스트 패턴들(120a)은 포토레지스트 물질을 도포하고, 그 포토레지스트 물질에 노광(expose) 및 현상(development) 공정을 수행하여 형성될 수 있다. 제1 포토레지스트 패턴들(120a)은 포토리소그래피 공정으로 구현 가능한 최소의 선폭 및 최소의 피치를 가지도록 형성될 수 있다. 이와 같이 형성된 제1 포토레지스트 패턴들(120a)의 선폭(W1)은 제1 포토레지스트 패턴들(120a) 간의 간격(S1)보다 작을 수 있다. 제1 포토레지스트 패턴들(120a)은 선폭(W1)과 간격(S1)을 합한 값인 일정한 피치(P1)로 서로 평행하게 배열될 수 있다. 제1 포토레지스트 패턴들(120a)의 선폭(W1)은 최종적으로 형성하고자 하는 홀들의 피치를 고려하여 결정될 수 있다. 예를 들어, 제1 포토레지스트 패턴들(120a)의 선폭(W1)은 26nm 내지 36nm 범위이고, 피치(P1)는 88nm 내지 108nm 범위일 수 있다.
- [0048] 도 2를 참조하면, 제1 포토레지스트 패턴들(120a)을 식각 마스크로 이용하여 제1 희생층(115)을 이방성 식각함으로써, 제1 하드 마스크층(110) 상에 제1 방향으로 연장되는 복수의 서로 평행한 라인 형태의 제1 희생 패턴들(115a)을 형성할 수 있다. 이때, 제1 희생 패턴들(115a)의 피치는 도 1에 도시된 제1 포토레지스트 패턴들(120a)의 피치(P1)와 실질적으로 동일할 수 있다.
- [0049] 제1 희생 패턴들(115a)을 형성하고 난 후, 제1 포토레지스트 패턴들(120a)은 애싱(ashing) 및 스트립(strip) 공정에 의해 제거될 수 있다.
- [0050] 도 3을 참조하면, 제1 희생 패턴들(115a)의 측벽에 제1 스페이서들(130)이 형성될 수 있다.
- [0051] 구체적으로, 제1 희생 패턴들(115a)을 콘포멀(conformal)하게 덮는 제1 스페이서 물질층을 형성한 후, 에치백(etch back) 공정을 수행함으로써 제1 희생 패턴들(115a)의 측벽에 제1 스페이서들(130)을 형성할 수 있다. 상

기 제1 스페이서 물질층의 두께는 최종적으로 형성하고자 하는 피식각층(105) 내의 복수의 홀들(105h, 도 18 참조)의 크기를 고려하여 결정될 수 있다.

[0052] 상기 제1 스페이서 물질층은 제1 희생 패턴들(115a) 및 제1 하드 마스크층(110) 모두에 대해 식각 선택성을 가지는 물질로 이루어질 수 있다. 예를 들어, 제1 하드 마스크층(110)이 다결정질 실리콘으로 이루어지고, 제1 희생 패턴들(115a)이 SOH로 이루어진 경우, 상기 제1 스페이서 물질층은 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물로 이루어질 수 있다.

[0053] 상기 제1 스페이서 물질층의 두께는 후속에서 형성되는 제1 스페이서 패턴(130a)(도 4 참조)의 선포에 영향을 주고, 나아가, 최종적으로 형성하고자 하는 피식각층(105) 내의 홀들(105h)(도 18 참조)의 크기에 영향을 주기 때문에, 상기 제1 스페이서 물질층은 두께를 미세하고 정확하게 조절할 수 있는 원자층 증착법(ALD)에 의해 형성될 수 있다. 이와 같이, 원자층 증착법(ALD)에 의해 상기 제1 스페이서 물질층을 형성함으로써, 최종적으로 형성되는 홀들의 크기 산포를 1nm 수준으로 감소할 수 있다.

[0054] 도 4를 참조하면, 제1 희생 패턴들(115a)을 제거하여, 제1 하드 마스크층(110) 상에 제1 방향(예를 들어, y 방향)으로 연장되는 복수의 서로 평행한 라인 형태의 제1 스페이서 패턴들(130a)을 형성할 수 있다.

[0055] 특정한 식각 조건으로 제1 희생 패턴들(115a)을 선택적으로 제거함으로써, 제1 하드 마스크층(110) 상에 독립적으로 배치된 제1 스페이서 패턴들(130a)을 형성할 수 있다. 이때, 제1 스페이서 패턴들(130a) 각각의 선포(W2)은 제1 스페이서 패턴들(130a) 간의 간격(S2)보다 작을 수 있다. 또한, 제1 스페이서 패턴들(130a) 간의 간격(S2)은 제1 희생 패턴들(115a)의 선포(W1)과 실질적으로 동일할 수 있다. 제1 스페이서 패턴들(130a)은 선포(W2)과 간격(S2)을 합한 값인 일정한 피치(P2)로 서로 평행하게 배열될 수 있다. 제1 스페이서 패턴들(130a)의 피치(P2)는 제1 포토레지스트 패턴들(120a)의 피치(P1)의 1/2에 해당할 수 있다. 예를 들어, 제1 스페이서 패턴들(130a)의 선포(W2)은 16nm 내지 20nm 범위이고, 제1 스페이서 패턴들(130a)의 피치(P2)는 44nm 내지 54nm 범위일 수 있다.

[0056] 도 5를 참조하면, 제1 스페이서 패턴들(130a)을 덮는 제1 평탄화층(135)이 형성될 수 있다. 제1 평탄화층(135)은 예를 들어, SOH로 이루어질 수 있다. 제1 평탄화층(135)은 스핀 코팅 공정을 이용하여 제1 스페이서 패턴들(130a)을 완전히 덮는 두께로 형성될 수 있고, 스핀 코팅 공정이 완료된 후에 베이킹 공정이 수행될 수 있다. 스핀 코팅 공정을 이용하여 제1 평탄화층(135)이 형성되므로, 평탄한 상면을 가지는 제1 평탄화층(135)이 형성될 수 있다.

[0057] 도 6을 참조하면, 제1 평탄화층(135) 상에 제2 하드 마스크층(140) 및 제2 희생층(145)을 순차적으로 적층할 수 있다.

[0058] 제2 하드 마스크층(140)은 각각 실리콘 산화물(SiO_x), 실리콘 산질화물(SiON), 실리콘 질화물(Si_xN_y), 실리콘탄 질화물(SiCN) 또는 다결정질 실리콘 중 적어도 하나로 이루어질 수도 있다. 예를 들어, 제1 하드 마스크층(140)은 다결정질 실리콘으로 이루어질 수 있다.

[0059] 제2 희생층(145)은 후속의 공정에서 제2 스페이서들(160)을 형성하기 위한 층이다(도 3 참조). 제2 희생층(145)은 제2 하드 마스크층(140)에 대해 식각 선택성을 가지는 물질로 이루어질 수 있다. 제2 희생층(145)은 ACL 또는 SOH 중에서 어느 하나를 포함할 수 있다. 예를 들어, 제1 희생층(145)은 SOH로 이루어질 수 있다.

[0060] 제2 희생층(145) 상에 반사 방지층이 더 형성될 수 있다. 상기 반사 방지층은 유기 화합물 또는 무기 화합물로 이루어질 수 있다. 예를 들어, 상기 반사 방지층은 실리콘 산질화막(SiON)으로 이루어질 수 있다.

[0061] 이어서, 제2 희생층(145) 상에 제2 방향(예를 들어, x 방향)으로 연장되는 복수의 서로 평행한 라인 형태의 제2 포토레지스트 패턴들(150a)을 형성할 수 있다. 상기 제2 방향(예를 들어, x 방향)은 상기 제1 방향(예를 들어, y 방향)과 실질적으로 수직 교차할 수 있다. 제2 포토레지스트 패턴들(150a)은 포토레지스트 물질을 도포하고, 그 포토레지스트 물질에 노광 및 현상 공정을 수행하여 형성될 수 있다. 제2 포토레지스트 패턴들(150a)은 포토리소그래피 공정으로 구현 가능한 최소의 선포 및 최소의 피치를 가지도록 형성될 수 있다. 이와 같이 형성된 제2 포토레지스트 패턴들(150a)의 선포(W3)은 제2 포토레지스트 패턴들(150a) 간의 간격(S3)보다 작을 수 있다.

제2 포토레지스트 패턴들(150a)은 선폭(W3)과 간격(S3)을 합한 값인 일정한 피치(P3)로 서로 평행하게 배열될 수 있다. 제2 포토레지스트 패턴들(150a)의 선폭(W3)은 최종적으로 형성하고자 하는 홀들의 피치를 고려하여 결정될 수 있다. 예를 들어, 제2 포토레지스트 패턴들(150a)의 선폭(W3)은 26nm 내지 36nm 범위이고, 피치(P3)는 88nm 내지 108nm 범위일 수 있다.

- [0062] 도 7을 참조하면, 제2 희생 패턴들(145a)의 측벽에 제2 스페이서들(160)을 형성할 수 있다.
- [0063] 먼저, 제2 포토레지스트 패턴들(150a)을 식각 마스크로 이용하여 제1 희생층(145)을 이방성 식각함으로써, 제2 하드 마스크층(140) 상에 제2 방향(예를 들어, x 방향)으로 연장되는 복수의 서로 평행한 라인 형태의 제2 희생 패턴들(145a)을 형성할 수 있다. 이때, 제2 희생 패턴들(145a)의 피치(P3)는 도 6에 도시된 제2 포토레지스트 패턴들(150a)의 피치(P3)와 실질적으로 동일할 수 있다. 제2 희생 패턴들(145a)을 형성하고 난 후, 제2 포토레지스트 패턴들(150a)은 애싱 및 스트립 공정에 의해 제거될 수 있다.
- [0064] 다음으로, 제2 희생 패턴들(145a)을 콘포멀하게 덮는 제2 스페이서 물질층을 형성한 후, 에치백 공정을 수행함으로써 제2 희생 패턴들(145a)의 측벽에 제2 스페이서들(160)을 형성할 수 있다.
- [0065] 상기 제2 스페이서 물질층의 두께는 최종적으로 형성하고자 하는 피식각층(105) 내의 복수의 홀들(105h, 도 18 참조)의 크기를 고려하여 결정될 수 있다.
- [0066] 상기 제2 스페이서 물질층은 제2 희생 패턴들(145a) 및 제2 하드 마스크층(140) 모두에 대해 식각 선택성을 가지는 물질로 이루어질 수 있다. 예를 들어, 제2 하드 마스크층(140)이 다결정질 실리콘으로 이루어지고, 제2 희생 패턴들(145a)이 SOH로 이루어진 경우, 상기 제2 스페이서 물질층은 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물로 이루어질 수 있다.
- [0067] 상기 제2 스페이서 물질층의 두께는 후속에서 형성되는 제2 스페이서 패턴(160a)(도 8 참조) 및 라인 마스크 패턴(140a)(도 10 참조)의 선폭에 영향을 주고, 나아가, 최종적으로 형성하고자 하는 피식각층(105) 내의 홀들(105h)(도 18 참조)의 크기에 영향을 주기 때문에, 상기 제2 스페이서 물질층은 두께를 미세하고 정확하게 조절할 수 있는 원자층 증착법(ALD)에 의해 형성될 수 있다. 이와 같이, 원자층 증착법(ALD)에 의해 상기 제2 스페이서 물질층을 형성함으로써, 최종적으로 형성되는 홀들의 크기 산포를 1nm 수준으로 감소할 수 있다.
- [0068] 도 8 및 평면도인 도 9를 함께 참조하면, 제2 희생 패턴들(145a)을 제거하여, 제2 하드 마스크층(140) 상에 제2 방향(예를 들어, x 방향)으로 연장되는 복수의 서로 평행한 라인 형태의 제2 스페이서 패턴들(160a)을 형성할 수 있다.
- [0069] 특정한 식각 조건으로 제2 희생 패턴들(145a)을 선택적으로 제거함으로써, 제2 하드 마스크층(140) 상에 독립적으로 배치된 제2 스페이서 패턴들(160a)을 형성할 수 있다. 이때, 제2 스페이서 패턴들(160a)의 선폭(W4)은 제2 스페이서 패턴들(160a) 간의 간격(S4)보다 작을 수 있다. 또한, 제2 스페이서 패턴들(160a) 간의 간격(S4)은 제2 희생 패턴들(145a)의 선폭(W3)과 실질적으로 동일할 수 있다. 제2 스페이서 패턴들(160a)의 선폭(W4)은 제1 스페이서 패턴들(130a, 도 4 참조)의 선폭(W2)와 실질적으로 동일할 수 있다. 제2 스페이서 패턴들(160a)은 선폭(W4)과 간격(S4)을 합한 값인 일정한 피치(P4)로 서로 평행하게 배열될 수 있다. 제2 스페이서 패턴들(160a)의 피치(P4)는 제2 포토레지스트 패턴들(150a)의 피치(P3)의 1/2에 해당할 수 있다. 제2 스페이서 패턴들(160a)의 피치(P4)는 제1 스페이서 패턴들(130a, 도 4 참조)의 피치(P2)와 실질적으로 동일할 수 있다. 예를 들어, 제2 스페이서 패턴들(160a)의 선폭(W4)은 16nm 내지 20nm 범위이고, 제2 스페이서 패턴들(160a)의 피치(P4)는 44nm 내지 54nm 범위일 수 있다.
- [0070] 도 10을 참조하면, 제2 스페이서 패턴들(160a)을 식각 마스크로 이용하여 제2 하드 마스크층(140)을 이방성 식각함으로써, 제1 평탄화층(135) 상에 제2 방향(예를 들어, x 방향)으로 연장되는 복수의 서로 평행한 라인 형태의 라인 마스크 패턴들(140a)을 형성할 수 있다.
- [0071] 라인 마스크 패턴들(140a)의 피치(P4)는 제2 스페이서 패턴들(160a)의 피치(P4)와 실질적으로 동일할 수 있다. 라인 마스크 패턴들(140a)의 선폭은 제2 스페이서 패턴들(160a)의 선폭(W4)과 실질적으로 동일할 수 있다. 예를 들어, 라인 마스크 패턴들(140a)의 선폭은 16nm 내지 20nm 범위이고, 라인 마스크 패턴들(140a)의 피치(P4)는

44nm 내지 54nm 범위일 수 있다.

- [0072] 도 11을 참조하면, 라인 마스크 패턴들(140a)를 식각 마스크로 이용하여 제1 평탄화층(135) 및 제1 스페이서 패턴들(130a)을 함께 이방성 식각할 수 있다. 이때, 이방성 식각 공정은 제1 평탄화층(135) 및 제1 스페이서 패턴들(130a)에 대해 식각 선택비가 없는 공정 조건으로 제1 하드 마스크층(110)의 상면이 드러나도록 수행될 수 있다. 그 결과, 제1 스페이서 패턴들(130a)와 라인 마스크 패턴들(140a)이 교차하는 영역에서 제1 평탄화층(135) 내에 기둥 형태로 잔존하는 복수의 희생 기둥들(130b)이 형성될 수 있다.
- [0073] 도 12 및 도 13을 함께 참조하면, 라인 마스크 패턴들(140a) 및 잔존하는 제1 평탄화층(135)을 제거함으로써, 제1 하드 마스크층(110) 상에 제1 방향(예를 들어, y 방향) 및 제2 방향(예를 들어, x 방향)으로 이격되고, 사각형 격자 형태로 배치된 복수의 희생 기둥들(130b)을 형성할 수 있다. 복수의 희생 기둥들(130b)은 제1 방향(예를 들어, y 방향)으로 제4 피치(P4)로 배열되고, 제2 방향(예를 들어, x 방향)으로 제3 피치(P3)로 배열될 수 있다. 희생 기둥들(130b)의 피치(P4)는 라인 마스크 패턴들(140a)의 피치(P4)와 실질적으로 동일할 수 있다. 희생 기둥들(130b)의 피치(P2)는 제1 스페이서 패턴들(140a)의 피치(P2)와 실질적으로 동일할 수 있다. 도 13에 도시된 바와 같이, 각각의 희생 기둥들(130b)은 상부에서 바라보았을 때 사각 기둥 형태일 수 있다. 사각 기둥의 제1 방향(예를 들어, y 방향)의 폭(W4')은 라인 마스크 패턴(140a)의 선평과 실질적으로 동일할 수 있다. 사각 기둥의 제2 방향(예를 들어, x 방향)의 폭(W2')은 제1 스페이서 패턴(130a)의 선평(W2)과 실질적으로 동일할 수 있다.
- [0074] 도 14 및 평면도인 도 15를 함께 참조하면, 복수의 희생 기둥들(130b) 사이를 매립하는 제2 평탄화층(165)을 형성한 후, 제2 평탄화층(165) 상에 제3 포토레지스트 패턴(170a)을 형성할 수 있다.
- [0075] 제2 평탄화층(165)은 예를 들어, SOH로 이루어질 수 있다. 제2 평탄화층(165)은 스핀 코팅 공정을 이용하여 복수의 희생 기둥들(130b)을 완전히 덮는 두께로 형성될 수 있고, 스핀 코팅 공정이 완료된 후에 베이킹 공정이 수행될 수 있다. 스핀 코팅 공정을 이용하여 제2 평탄화층(165)이 형성되므로, 평탄한 상면을 가지는 제2 평탄화층(165)이 형성될 수 있다. 제2 평탄화층(165)에 대해, 복수의 희생 기둥들의 상면이 노출되도록 에치백 또는 CMP 공정이 추가적으로 수행될 수 있다.
- [0076] 제2 평탄화층(165) 상에 반사 방지층이 더 형성될 수 있다. 제3 포토레지스트 패턴(170a)은 제2 평탄화층(165) 내에서 복수의 희생 기둥들(130b) 중 일부를 제거하기 위한 것으로서, 제3 포토레지스트 패턴(170a)은 후속의 식각 공정을 통해 제거하고자 하는 희생 기둥들(130b)에 대응하는 오픈영역들(OP)을 포함할 수 있다.
- [0077] 도 16을 참조하면, 제3 포토레지스트 패턴(170a)을 식각 마스크로 이용하여 오픈영역들(OP) 내의 희생 기둥들(130b)을 선택적으로 제거함으로써, 제2 평탄화층(165) 내에 복수의 개구들(130h)을 형성할 수 있다.
- [0078] 오픈영역들(OP) 내의 희생 기둥들(130b)을 제거하기 위해, 희생 기둥들(130b)이 노출되도록 제2 평탄화층(165)의 일부가 먼저 식각될 수 있다. 이어서, 제2 평탄화층(165)에 대해 식각 선택성이 있는 식각 공정에 의해 오픈영역들(OP) 내의 희생 기둥들(130b)이 제거될 수 있다. 그 결과, 제2 평탄화층(165) 내에 복수의 개구들(130h)이 형성될 수 있다. 개구들(130h)의 크기는 희생 기둥들(130b)의 크기와 실질적으로 동일할 수 있다.
- [0079] 도 17을 참조하면, 복수의 개구들(130h)이 형성된 제2 평탄화층(165)을 식각 마스크로 이용하여 제1 하드 마스크층(110)을 식각함으로써, 복수의 개구들(110h)이 형성된 하드 마스크 패턴을 형성할 수 있다. 다음으로, 제2 평탄화층(165) 및 희생 기둥들(130b)을 제거하여 하드 마스크 패턴만을 남길 수 있다.
- [0080] 도 18을 참조하면, 상기 하드 마스크 패턴을 식각 마스크로 이용하여 피식각층(105)을 식각함으로써, 피식각층(105) 내에 복수의 홀들(105h)을 형성할 수 있다. 복수의 홀들(105h)은 사각기둥 형태로 도시되어 있으나, 본 발명은 이에 한정되지 않는다.

- [0081] 도 19는 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 설명하기 위한 사시도이다.
- [0082] 도 19에 도시된 사각 격자 형태로 배치된 기둥들은, 도 12에 도시된 것과 달리, 평탄한 상면을 갖는다. 이를 형성하는 방법을 아래에 설명한다.
- [0083] 우선, 도 5를 참조하여 설명한 바와 같이, 제1 스페이서 패턴들(130a)을 덮는 제1 평탄화층(135)을 형성한 후, 추가적인 평탄화 공정을 수행함으로써, 예를 들어, 화학적 기계적 연마(chemical mechanical polishing, CMP) 공정을 수행함으로써, 제1 스페이서 패턴들(130a)의 상부를 평탄한 면으로 형성할 수 있다.
- [0084] 다음으로, 도 6 내지 도 11을 참조하여 설명한 후속의 공정들을 수행함으로써, 도 19에 도시된 바와 같은 사각 격자 형태로 배치되며, 평탄한 상면을 갖는 복수의 희생 기둥들(130b')을 형성할 수 있다.
- [0085] 이후, 도 13 내지 도 18을 참조하여 설명한 후속의 공정들을 수행함으로써, 피식각층(105) 내에 원하는 복수의 홀들(105h)을 형성할 수 있다.
- [0086] 도 20은 본 발명의 실시예에 따른 미세 패턴 형성 방법을 이용하여 형성된 반도체 소자(인버터)의 회로도이다. 구체적으로, 도 20에 도시된 반도체 소자는 CMOS(Complementary Metal-Oxide-Semiconductor) 인버터이다. 도 21은 본 발명의 실시예에 따른 미세 패턴 형성 방법을 이용하여 형성된 반도체 소자(인버터)의 개략적인 레이아웃도이다. 이는 예시적인 것이며, 본 발명은 이에 한정되지 않는다.
- [0087] 도 20을 참조하면, CMOS 인버터는 PMOS(P-type Metal-Oxide-Semiconductor) 전계 효과 트랜지스터(P1)와 NMOS(N-type Metal-Oxide-Semiconductor) 전계 효과 트랜지스터(N1)로 구성될 수 있다. PMOS 및 NMOS 전계 효과 트랜지스터들은 전원 전압 라인(Vdd)과 접지 전압 라인(Vss) 사이에 직렬로 연결되며, PMOS 및 NMOS 전계 효과 트랜지스터의 게이트들에는 입력 신호가 공통으로 입력될 수 있다. 그리고, PMOS 및 NMOS 전계 효과 트랜지스터의 드레인들에서 출력 신호가 공통으로 출력될 수 있다. 이러한 CMOS 인버터는 입력 신호(IN)를 인버팅하여 출력 신호(OUT)로 출력할 수 있다. 다시 말해, 인버터의 입력 신호로 로직 레벨 '1'이 입력될 때, 출력 신호로서 로직 레벨 '0'이 출력되며, 인버터의 입력 신호로 로직 레벨 '0'이 입력될 때, 출력 신호로서 로직 레벨 '1'이 출력될 수 있다.
- [0088] 도 21을 참조하면, 기판은 N형 불순물로 도핑된 영역인 N웰(well) 영역(NW) 및 P형 불순물로 도핑된 영역을 포함할 수 있다. 제1 활성 핀들(203)은 P형 불순물로 도핑된 영역에 형성되고, 제2 활성 핀들(205)은 N웰 영역(NW)에 형성될 수 있다. 제1 활성 핀들(203)은 NMOS 전계 효과 트랜지스터를 구성하고, 제2 활성 핀들(205)은 PMOS 전계 효과 트랜지스터를 구성할 수 있다.
- [0089] 서로 이격된 제1 활성 핀들(203) 및 제2 활성 핀들(205)은 일 방향(예를 들어, y 방향)으로 길게 연장되도록 형성될 수 있다. 또한, 게이트 전극(210)은 타 방향(예를 들어, x 방향)으로 길게 연장되고, 제1 내지 제2 활성 핀들(203, 205)과 교차하도록 형성될 수 있다.
- [0090] 게이트 전극(210)의 양측의 활성 핀들에는 소스/드레인 영역들이 형성될 수 있다. 또한, 상기 각각의 소스/드레인 영역에 연결되는 복수의 소스/드레인 콘택들(230)이 형성될 수 있다. 복수의 소스/드레인 콘택들(230)은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 형성될 수 있다. 복수의 소스/드레인 콘택들(230)은 일 방향(예를 들어, y 방향)으로 일정한 피치(P4)로 배열되고, 타 방향(예를 들어, x 방향)으로 일정한 피치(P2)로 배열될 수 있다. 게이트 전극(210)에는 게이트 전극(210)과 연결되는 게이트 콘택(235)이 형성될 수 있다.
- [0091] NMOS 전계 효과 트랜지스터 및 PMOS 전계 효과 트랜지스터의 드레인들을 연결하기 위해 배선(240)이 형성될 수 있다.

- [0092] 도 22a 및 도 22b는 도 21의 I-I' 및 II-II' 선을 따라 자른 반도체 소자(인버터)의 단면도들이다.
- [0093] 도 22a 및 도 22b를 함께 참조하면, 반도체 소자는 소자 분리막(202)에 의해 정의된 활성 핀들(205)을 포함하는 기판(201), 활성 핀들(205)를 감싸며 가로지르는 게이트 전극(210), 게이트 전극(210)과 활성 핀들(205) 사이에 배치된 게이트 절연막(207), 게이트 전극(210)의 양 측벽에 배치된 스페이서들(215)을 포함할 수 있다. 게이트 절연막(207)은 게이트 전극(210)과 소자 분리막(202) 사이에도 배치될 수 있다.
- [0094] 게이트 절연막(207)은 실리콘 산화물, 실리콘 산질화물, 또는 고유전율을 가지는 하이-k(high-k) 유전물질을 포함할 수 있다. 상기 하이-k(high-k) 유전물질은 탄탈륨 산화물, 티타늄 산화물, 하프늄 산화물, 지르코늄 산화물, 알루미늄 산화물, 이트륨 산화물, 니오븀 산화물, 하프늄 실리케이트, 지르코늄 실리케이트 및 이들의 조합 중 어느 하나일 수 있다.
- [0095] 또한, 반도체 소자는 게이트 전극(210)의 양 측에 배치된 용기된 소스/드레인들(220), 용기된 소스/드레인(220) 상에 일정한 피치(P4)로 배치된 소스/드레인 콘택들(230), 일부 소스/드레인 콘택(230) 상에 배치된 배선(240)을 포함할 수 있다. 여기서, 게이트 전극의 게이트 길이(Lg)는 예를 들어, 7nm 내지 10nm 범위일 수 있다. 소스/드레인 콘택들(230)의 크기는 예를 들어, 16nm 내지 20nm 범위이고, 소스/드레인 콘택들(230)의 피치(P4)는 예를 들어, 44nm 내지 54nm 범위일 수 있다.
- [0096] 용기된 소스/드레인들(220)은 실리콘 게르마늄 에피택셜층일 수 있다. 상기 실리콘 게르마늄 에피택셜층은 게르마늄의 농도가 다른 영역을 포함할 수 있다.
- [0097] 소스/드레인 콘택들(230)은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 층간 절연막(228) 내에 용기된 소스/드레인들(220)의 일부를 노출시키는 홀들(230h)를 형성한 후, 홀들(230h) 내에 전도성 물질을 채움으로써, 형성될 수 있다. 상기 전도성 물질은 금속 질화물과 금속 물질을 포함할 수 있다. 예를 들어, 금속 질화물은 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 티타늄 알루미늄 질화물(TiAlN) 또는 텅스텐 질화물(WN) 등 중의 적어도 하나를 포함할 수 있고, 금속 물질은 알루미늄(Al), 텅스텐(W), 또는 몰리브데늄(Mo) 등 중의 적어도 하나를 포함할 수 있다. 용기된 소스/드레인(220)과 소스/드레인 콘택(230) 사이에 금속 실리사이드층(225)이 더 배치될 수 있다.
- [0098] 도 23 및 도 24는 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자(SRAM 셀)를 설명하기 위한 회로도 및 레이아웃도이다. 구체적으로, 도 23 및 도 24에 도시된 반도체 소자는 6개의 트랜지스터로 구성되는 SRAM 셀에 대한 것이다. 이는 예시적인 것이며, 본 발명은 이에 한정되지 않는다.
- [0099] 도 23을 참조하면, SRAM 셀은 제1 및 제2 풀다운 트랜지스터(TN1, TN2), 제1 및 제2 풀업 트랜지스터(TP1, TP2) 및 제1 및 제2 패스 트랜지스터(TN3, TN4)로 구성될 수 있다. 이때, 제1 및 제2 풀다운 트랜지스터(TN1, TN2)의 소스는 접지 전압 라인(Vss)에 연결되며, 제1 및 제2 풀업 트랜지스터(TP1, TP2)의 소스는 전원 전압 라인(Vdd)에 연결될 수 있다.
- [0100] 그리고, NMOS 전계 효과 트랜지스터로 이루어진 제1 풀다운 트랜지스터(TN1)와 PMOS 전계 효과 트랜지스터로 이루어진 제1 풀업 트랜지스터(TP1)가 직렬로 연결되어 제1 인버터를 구성하며, NMOS 전계 효과 트랜지스터로 이루어진 제2 풀다운 트랜지스터(TN2)와 PMOS 전계 효과 트랜지스터로 이루어진 제2 풀업 트랜지스터(TP2)가 직렬로 연결되어 제2 인버터를 구성할 수 있다. 제1 인버터의 출력단은 제1 패스 트랜지스터(TN3)의 소스에 연결되고, 제2 인버터의 출력단은 제2 패스 트랜지스터(TN4)의 소스에 연결될 수 있다. 또한, 제1 및 제2 인버터는 하나의 래치(latch) 회로를 구성하기 위해 입력단과 출력단이 서로 교차되어 연결될 수 있다. 그리고, 제1 및 제2 패스 트랜지스터(TN3, TN4)의 드레인은 각각 제1 및 제2 비트라인(BL, /BL)에 연결될 수 있다. 제1 및 제2 패스 트랜지스터(TN3, TN4)의 게이트는 워드 라인(WL)과 연결될 수 있다.
- [0101] 도 24를 참조하면, 기판은 N형 불순물로 도핑된 영역인 N웰(well) 영역(NW) 및 그 외 P형 불순물로 도핑된 영역을 포함할 수 있다. 제1 활성 핀들(404) 및 제4 활성 핀들(407)은 P형 불순물로 도핑된 영역에 형성되고, 제2 활성 핀(405) 및 제3 활성 핀(406)은 N웰 영역(NW)에 형성될 수 있다. 제2 및 제3 활성 핀(405, 406)은 PMOS

전계 효과 트랜지스터를 구성하고, 제1 및 제4 활성 핀들(404, 407)은 NMOS 전계 효과 트랜지스터를 구성할 수 있다.

- [0102] 서로 이격된 제1 활성 핀들(404), 제2 활성 핀(405), 제3 활성 핀(406), 제4 활성 핀들(407)은 일 방향(예를 들어, y 방향)으로 길게 연장되도록 형성될 수 있다. 제2 활성 핀(405)과 제3 활성 핀(406)은 제1 활성 핀들(404)과 제4 활성 핀들(407)보다 연장된 길이가 짧을 수 있다. 또한, 제1 게이트 전극(410), 제2 게이트 전극(415), 제3 게이트 전극(420), 제4 게이트 전극(425)은 타 방향(예를 들어, x 방향)으로 길게 연장되고, 제1 내지 제4 활성 핀들(404, 405, 406, 407)과 교차하도록 형성될 수 있다.
- [0103] 게이트 전극들(410, 415, 420, 425)의 양측의 활성 핀들에는 소스/드레인 영역들이 형성될 수 있다. 또한, 상기 각각의 소스/드레인 영역에 연결되는 복수의 소스/드레인 콘택들(430)이 형성될 수 있다. 복수의 소스/드레인 콘택들(430)은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 형성될 수 있다. 복수의 소스/드레인 콘택들(430)은 일 방향(예를 들어, y 방향)으로 일정한 피치(P4)로 배열되고, 타 방향(예를 들어, x 방향)으로 일정한 피치(P2)로 배열될 수 있다.
- [0104] 제1 공유 콘택(shared contact)(445)은 제2 활성 핀(405), 제3 게이트 전극(420)과 배선(441)을 동시에 연결할 수 있다. 제2 공유 콘택(446)은 제3 활성 핀(406), 제1 게이트 전극(410)과, 배선(442)을 동시에 연결할 수 있다. 제2 및 제4 게이트 전극(415)에 연결되는 게이트 콘택들(435)이 형성될 수 있다.
- [0105] 도 25은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자의 금속 배선 레이아웃도(평면도)이다.
- [0106] 도 25를 참조하면, 하부 금속 배선들(610)이 일 방향(예를 들어, y 방향)으로 길게 연장되도록 형성될 수 있다. 또한, 상부 금속 배선들(640)이 타 방향(예를 들어, x 방향)으로 길게 연장되어 하부 금속 배선들(610)과 교차하도록 형성될 수 있다. 상부 금속 배선(640)의 일부 영역은 하부 금속 배선(610)과 겹치는 수 있다. 상부 금속 배선들(640)과 하부 금속 배선들(610) 사이에는 낮은 유전율을 가지는 층간 절연막이 배치될 수 있다. 상기 층간 절연막 내에 상부 금속 배선들(640)과 하부 금속 배선들(610)을 연결시키기는 복수의 비아 콘택들(630)이 형성될 수 있다. 비아 콘택들(630)은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 형성될 수 있다. 복수의 비아 콘택들(630)은 일 방향(예를 들어, y 방향)으로 일정한 피치(P4)로 배열되고, 타 방향(예를 들어, x 방향)으로 일정한 피치(P2)로 배열될 수 있다.
- [0107] 도 26은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함하는 저장 장치를 나타낸 블록도이다.
- [0108] 도 26을 참조하면, 본 실시예에 따른 저장 장치(1000)는 호스트(HOST)와 통신하는 컨트롤러(1010) 및 데이터를 저장하는 메모리(1020-1, 1020-2, 1020-3)를 포함할 수 있다. 컨트롤러(1010) 및 각 메모리(1020-1, 1020-2, 1020-3)는, 상술한 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함할 수 있다.
- [0109] 컨트롤러(1010)와 통신하는 호스트(HOST)는 저장 장치(1000)가 장착되는 다양한 전자 기기일 수 있으며, 예를 들어 스마트폰, 디지털 카메라, 데스크 톱, 랩톱, 미디어 플레이어 등일 수 있다. 컨트롤러(1010)는 호스트(HOST)에서 전달되는 데이터 쓰기 또는 읽기 요청을 수신하여 메모리(1020-1, 1020-2, 1020-3)에 데이터를 저장하거나, 메모리(1020-1, 1020-2, 1020-3)로부터 데이터를 인출하기 위한 명령(CMD)을 생성할 수 있다.
- [0110] 도 26에 도시한 바와 같이, 저장 장치(1000) 내에 하나 이상의 메모리(1020-1, 1020-2, 1020-3)가 컨트롤러(1010)에 병렬로 연결될 수 있다. 복수의 메모리(1020-1, 1020-2, 1020-3)를 컨트롤러(1010)에 병렬로 연결함으로써, SSD(Solid State Drive)와 같이 큰 용량을 가지는 저장 장치(1000)를 구현할 수 있다.
- [0111] 도 27은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함하는 전자 기기를 나타낸 블록도이다.
- [0112] 도 27을 참조하면, 본 실시예에 따른 전자 기기(2000)는 통신부(2010), 입력부(2020), 출력부(2030), 메모리(2040) 및 프로세서(2050)를 포함할 수 있다.

- [0113] 통신부(2010)는 유/무선 통신 모듈을 포함할 수 있으며, 무선 인터넷 모듈, 근거리 통신 모듈, GPS 모듈, 이동 통신 모듈 등을 포함할 수 있다. 통신부(2010)에 포함되는 유/무선 통신 모듈은 다양한 통신 표준 규격에 의해 외부 통신망과 연결되어 데이터를 송수신할 수 있다.
- [0114] 입력부(2020)는 사용자가 전자 기기(2000)의 동작을 제어하기 위해 제공되는 모듈로서, 기계식 스위치, 터치스크린, 음성 인식 모듈 등을 포함할 수 있다. 또한, 입력부(2020)는 트랙 볼 또는 레이저 포인터 방식 등으로 동작하는 마우스, 또는 핑거 마우스 장치를 포함할 수도 있으며, 그 외에 사용자가 데이터를 입력할 수 있는 다양한 센서 모듈을 더 포함할 수도 있다.
- [0115] 출력부(2030)는 전자 기기(2000)에서 처리되는 정보를 음성 또는 영상의 형태로 출력하며, 메모리(2040)는 프로세서(2050)의 처리 및 제어를 위한 프로그램이나, 또는 데이터 등을 저장할 수 있다. 프로세서(2050)는 필요한 동작에 따라 메모리(2040)에 명령어를 전달하여 데이터를 저장 또는 인출할 수 있다. 프로세서(2050) 및 메모리(2040)는 상술한 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함할 수 있다.
- [0116] 메모리(2040)는 전자 기기(2000)에 내장되거나 또는 별도의 인터페이스를 통해 프로세서(2050)와 통신할 수 있다. 별도의 인터페이스를 통해 프로세서(2050)와 통신하는 경우, 프로세서(2050)는 SD, SDHC, SDXC, MICRO SD, USB 등과 같은 다양한 인터페이스 규격을 통해 메모리(2040)에 데이터를 저장하거나 또는 인출할 수 있다.
- [0117] 프로세서(2050)는 전자 기기(2000)에 포함되는 각부의 동작을 제어한다. 프로세서(2050)는 음성 통화, 화상 통화, 데이터 통신 등과 관련된 제어 및 처리를 수행하거나, 멀티미디어 재생 및 관리를 위한 제어 및 처리를 수행할 수도 있다. 또한, 프로세서(2050)는 입력부(2020)를 통해 사용자로부터 전달되는 입력을 처리하고 그 결과를 출력부(2030)를 통해 출력할 수 있다. 또한, 프로세서(2050)는 앞서 설명한 바와 같이 전자 기기(2000)의 동작을 제어하는데 있어서 필요한 데이터를 메모리(2040)에 저장하거나 메모리(2040)로부터 인출할 수 있다.
- [0118] 도 28은 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함하는 시스템을 보여주는 개략도이다.
- [0119] 도 28을 참조하면, 시스템(3000)은 제어기(3100), 입/출력 장치(3200), 메모리(3300) 및 인터페이스(3400)를 포함할 수 있다. 시스템(3000)은 모바일 시스템 또는 정보를 전송하거나 전송 받는 시스템일 수 있다. 상기 모바일 시스템은 PDA, 휴대용 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 폰(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player) 또는 메모리 카드(memory card)일 수 있다.
- [0120] 제어기(3100)는 프로그램을 실행하고, 시스템(3000)을 제어하는 역할을 할 수 있다. 제어기(3100)는, 예를 들어 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러(microcontroller) 또는 이와 유사한 장치일 수 있다.
- [0121] 입/출력 장치(3200)는 시스템(3000)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 시스템(3000)은 입/출력 장치(3200)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(3200)는, 예를 들어 키패드(keypad), 키보드(keyboard) 또는 표시장치(display)일 수 있다.
- [0122] 메모리(3300)는 제어기(3100)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 및/또는 제어기(3100)에서 처리된 데이터를 저장할 수 있다.
- [0123] 인터페이스(3400)는 시스템(3000)과 외부의 다른 장치 사이의 데이터 전송통로일 수 있다. 제어기(3100), 입/출력 장치(3200), 메모리(3300) 및 인터페이스(3400)는 버스(3500)를 통하여 서로 통신할 수 있다.
- [0124] 제어기(3100) 또는 메모리(3300) 중 적어도 하나는 상술한 본 발명의 일 실시예에 따른 미세 패턴 형성 방법을 이용하여 제조된 반도체 소자를 포함할 수 있다.
- [0125] 본 발명은 상술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고

할 것이다.

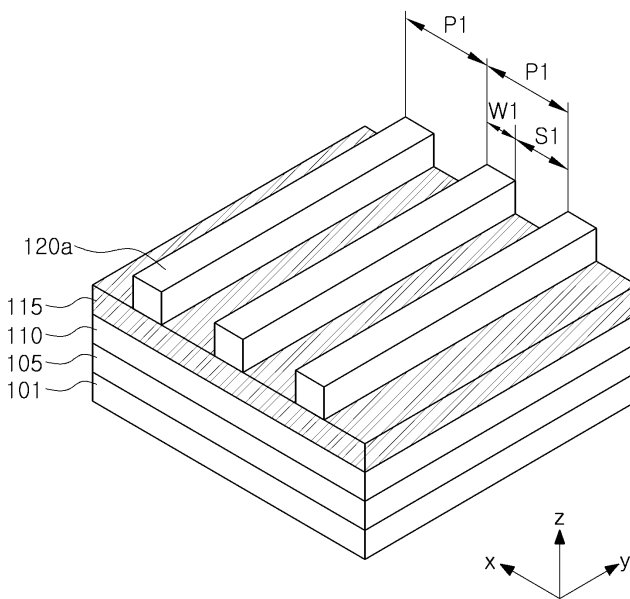
부호의 설명

[0126]

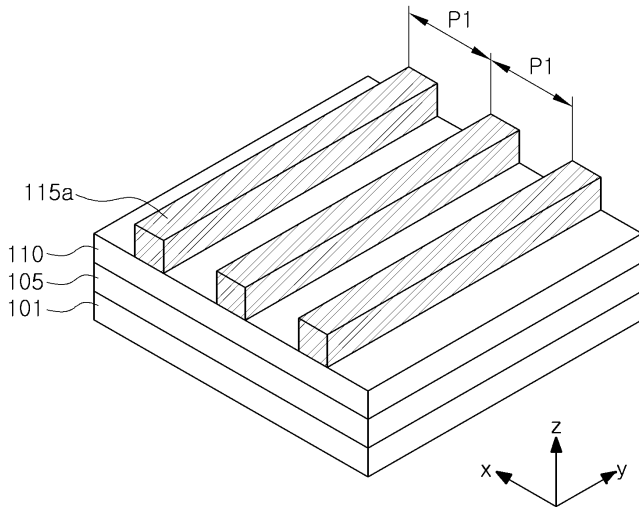
- 101: 하부구조층 105: 피식각층
- 105h: 홀(hole) 110: 제1 하드 마스크층
- 115: 제1 희생층 115a: 제1 희생 패턴
- 120a: 제1 포토레지스트 패턴 130: 제1 스페이서
- 130a: 제1 스페이서 패턴 130b, 130b': 희생 기둥
- 110h, 130h: 개구 135: 제1 평탄화층
- 140: 제2 하드 마스크층 140a: 라인 마스크 패턴
- 145: 제2 희생층 145a: 제2 희생 패턴
- 150a: 제2 포토레지스트 패턴 160: 제2 스페이서
- 160a: 제2 스페이서 패턴 165: 제2 평탄화층
- 170a: 제3 포토레지스트 패턴 140: 제2 하드 마스크층

도면

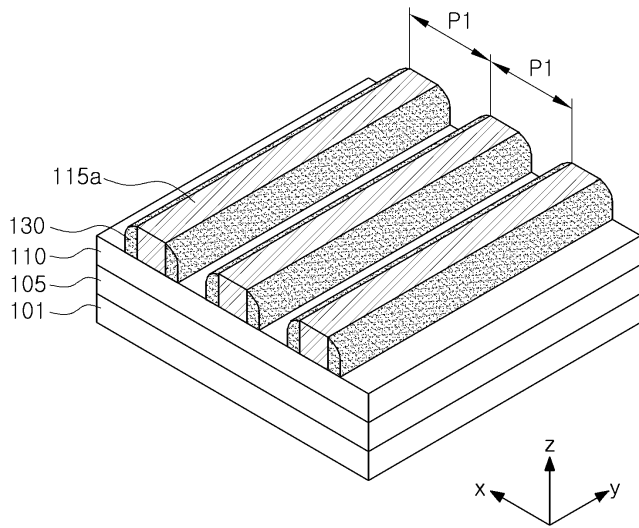
도면1



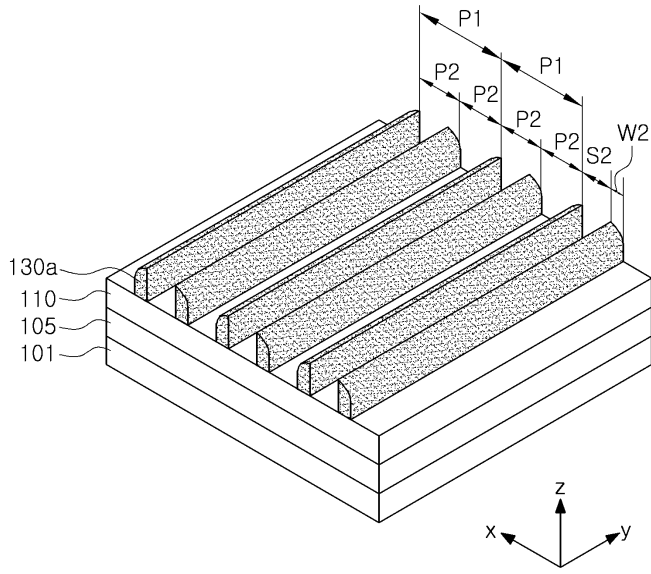
도면2



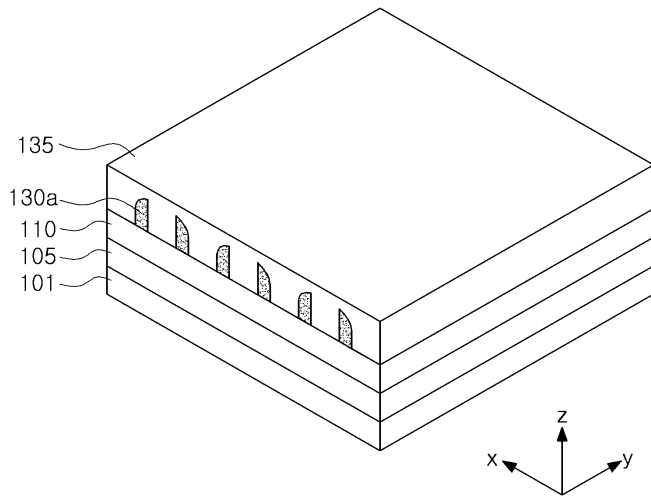
도면3



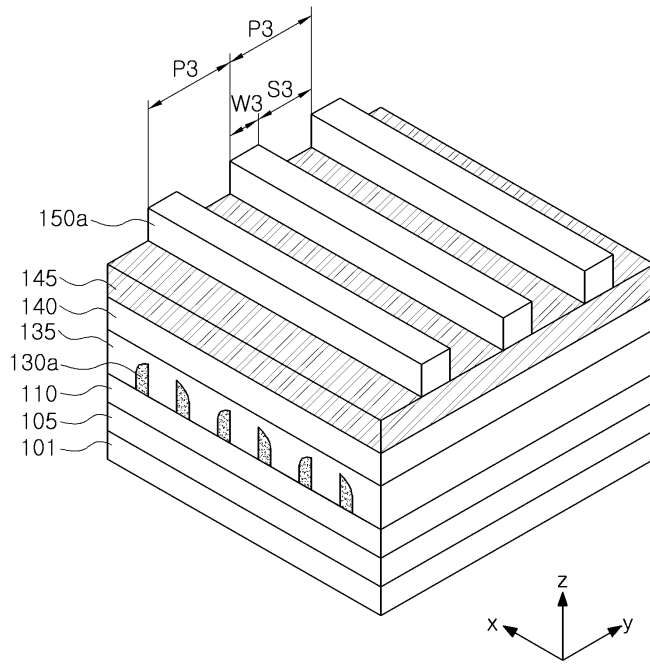
도면4



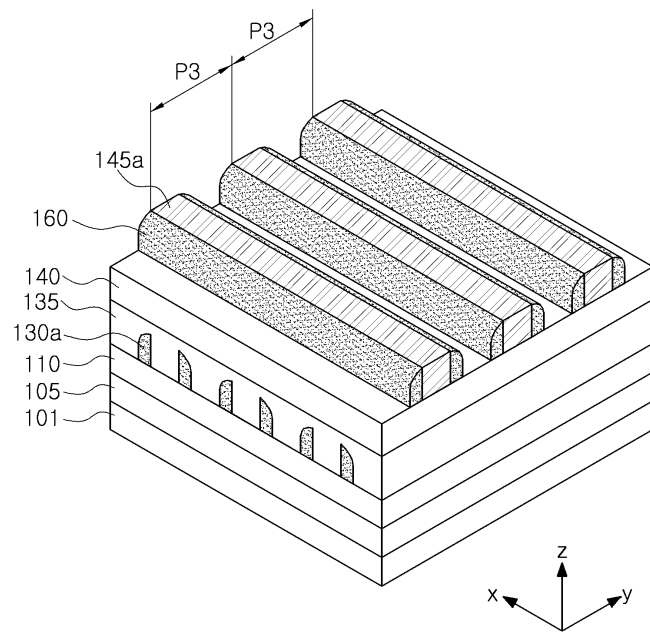
도면5



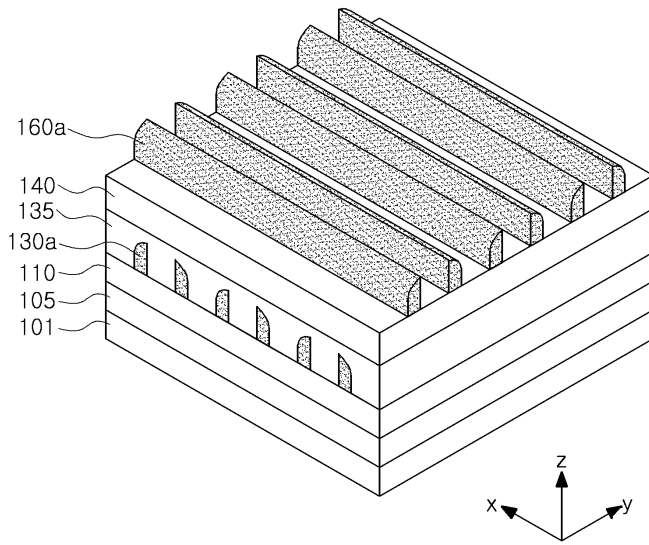
도면6



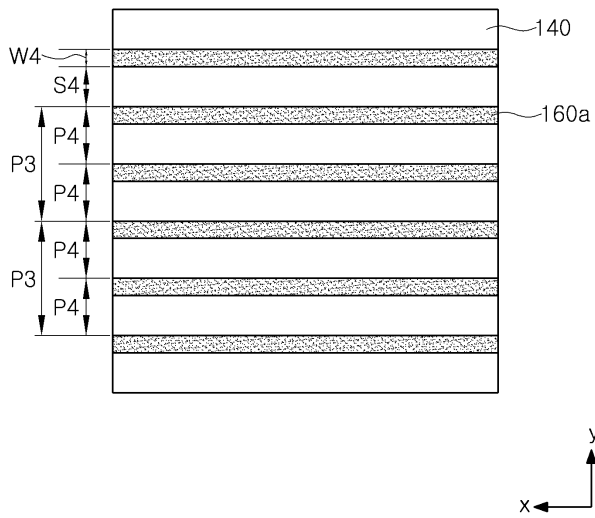
도면7



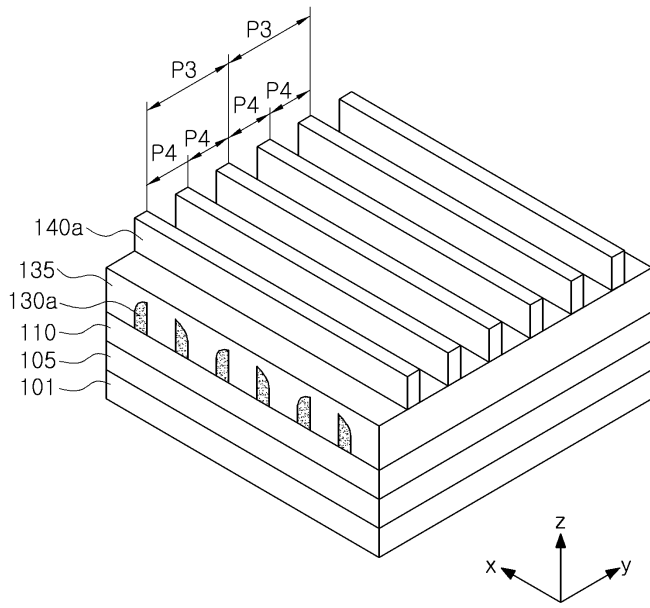
도면8



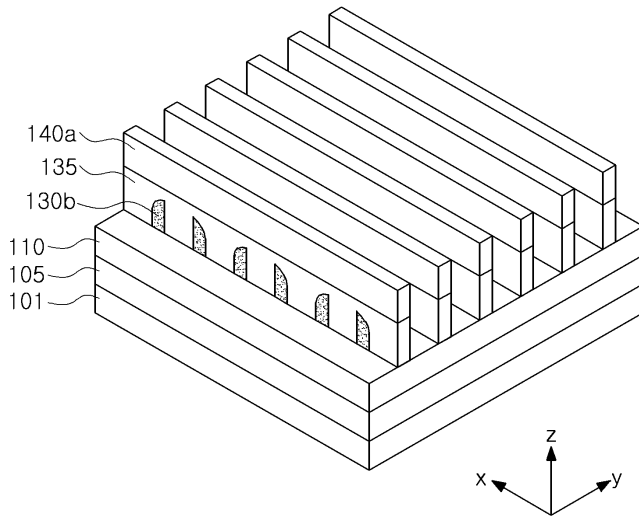
도면9



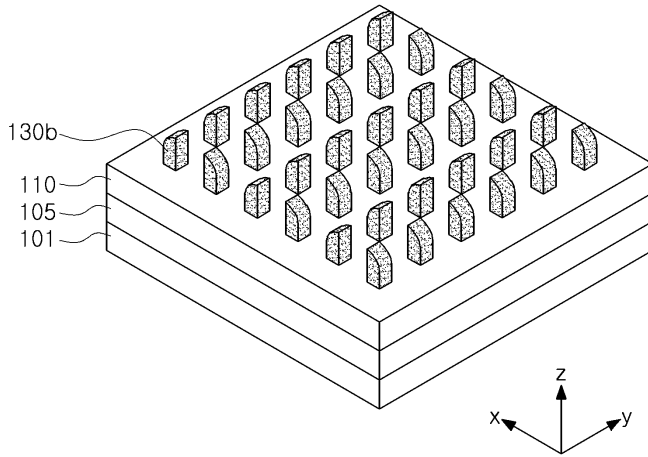
도면10



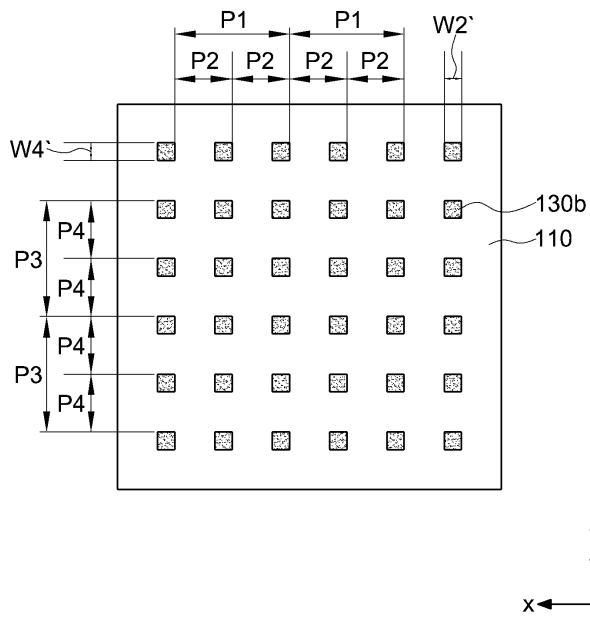
도면11



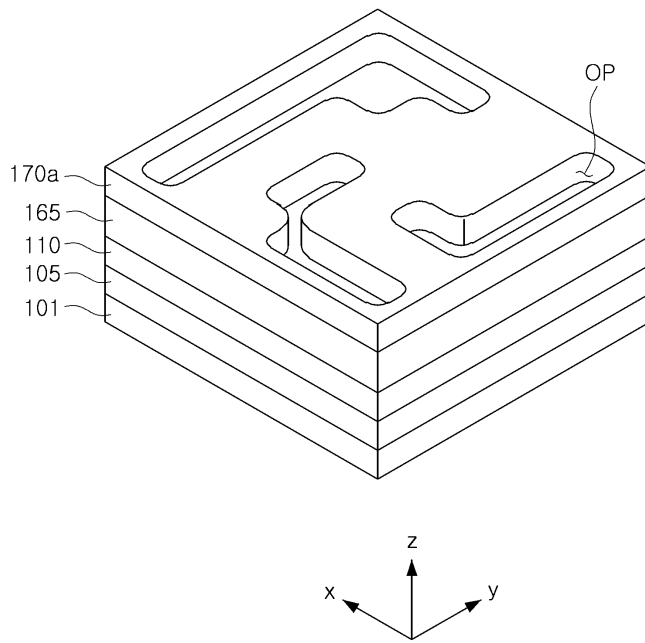
도면12



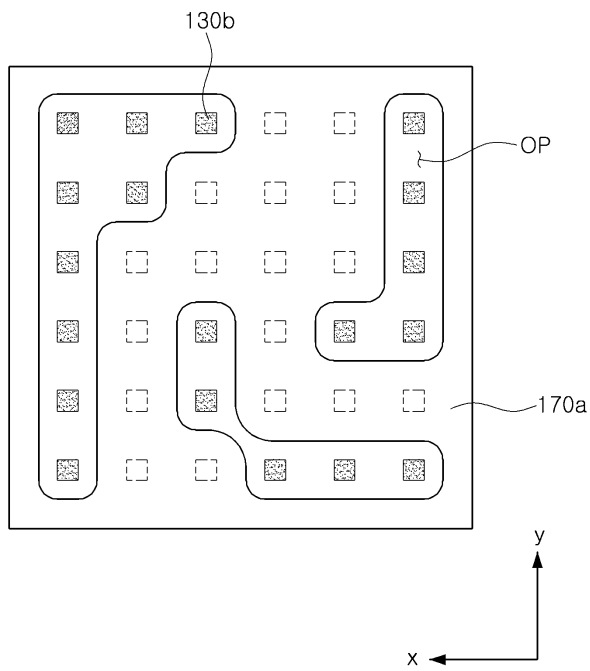
도면13



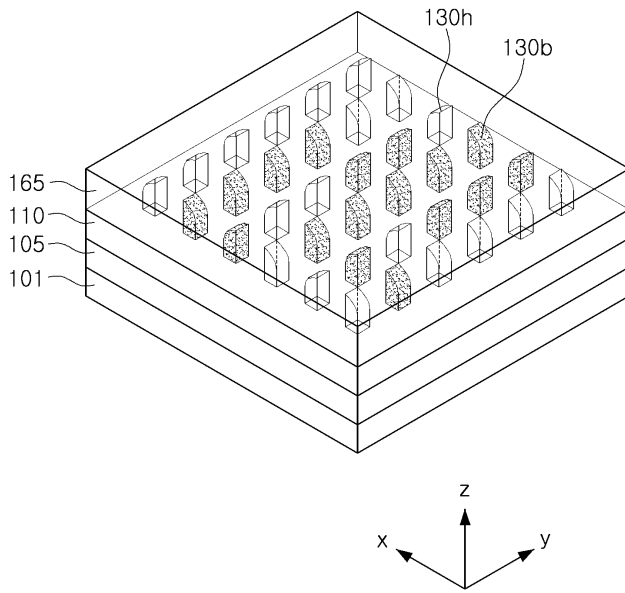
도면14



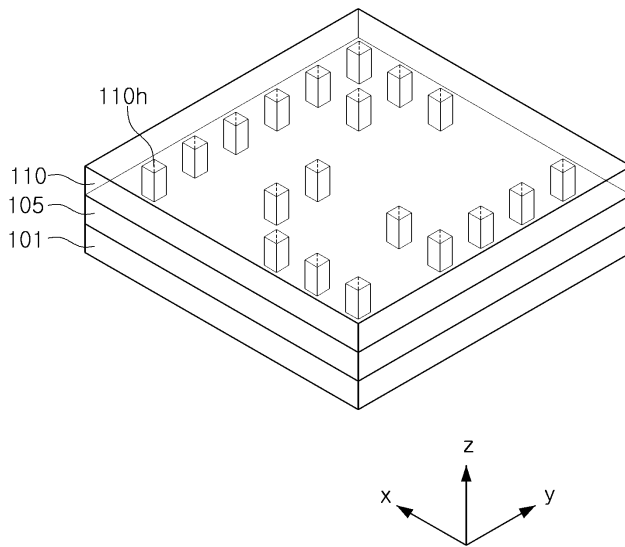
도면15



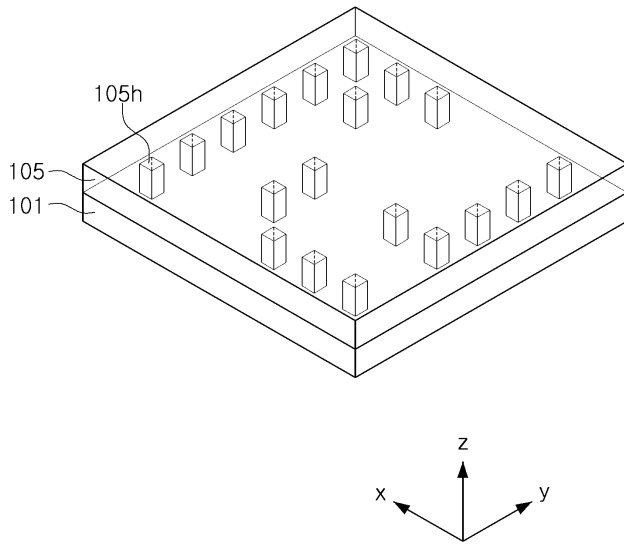
도면16



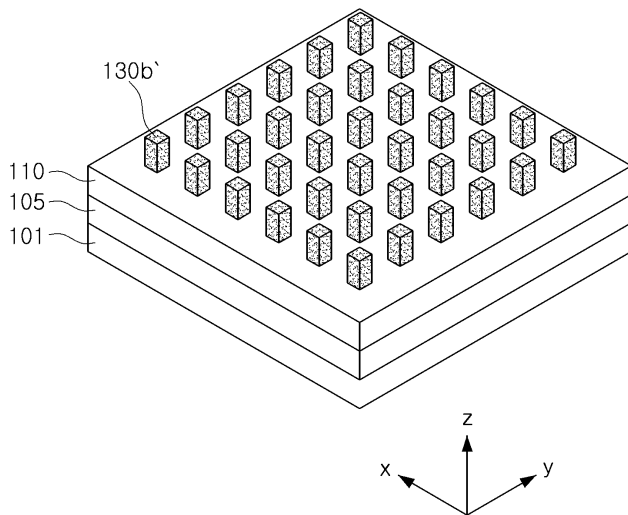
도면17



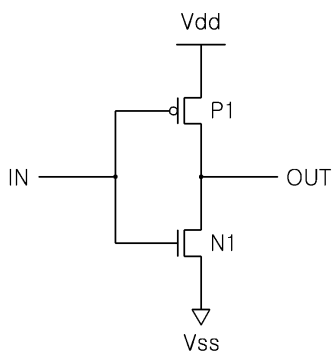
도면18



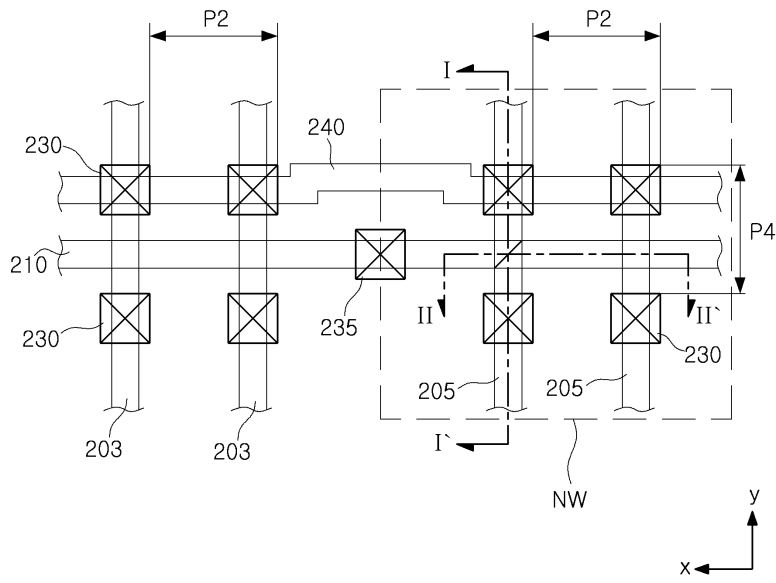
도면19



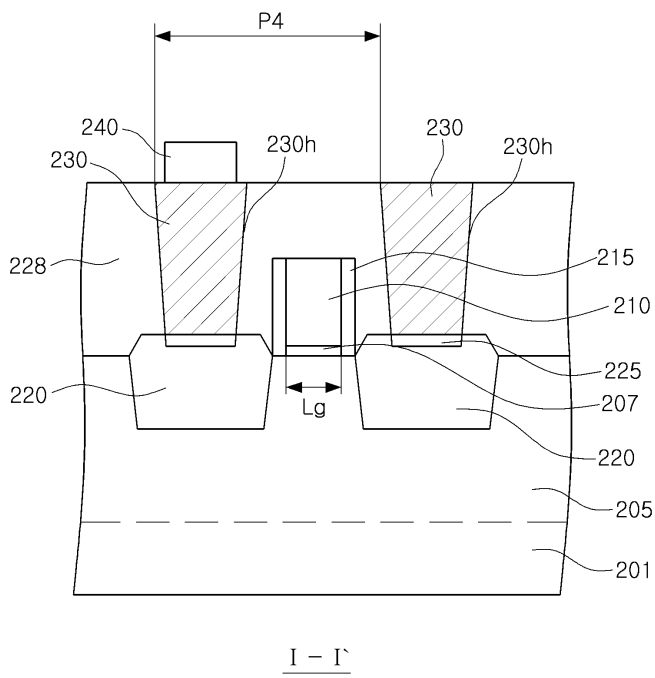
도면20



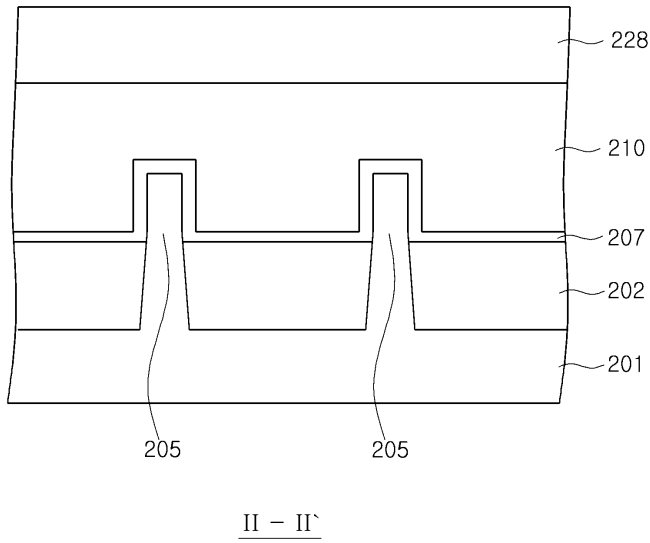
도면21



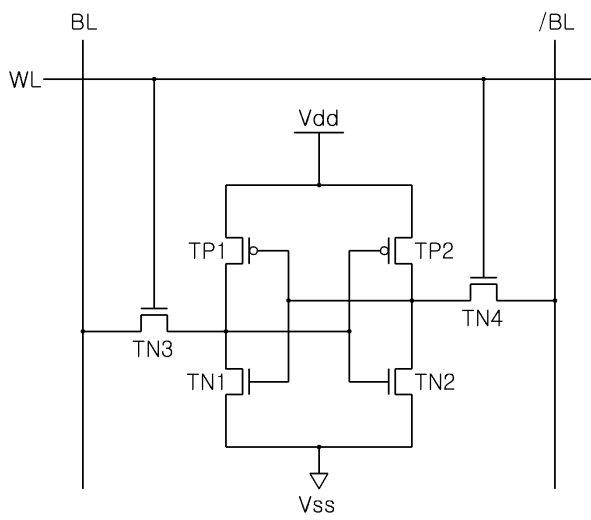
도면22a



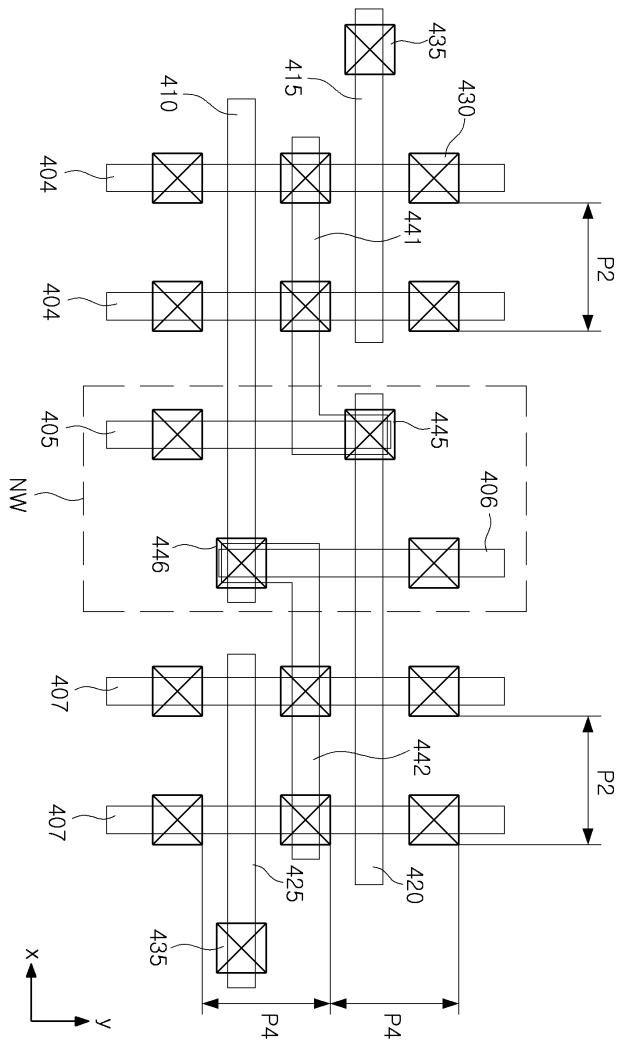
도면22b



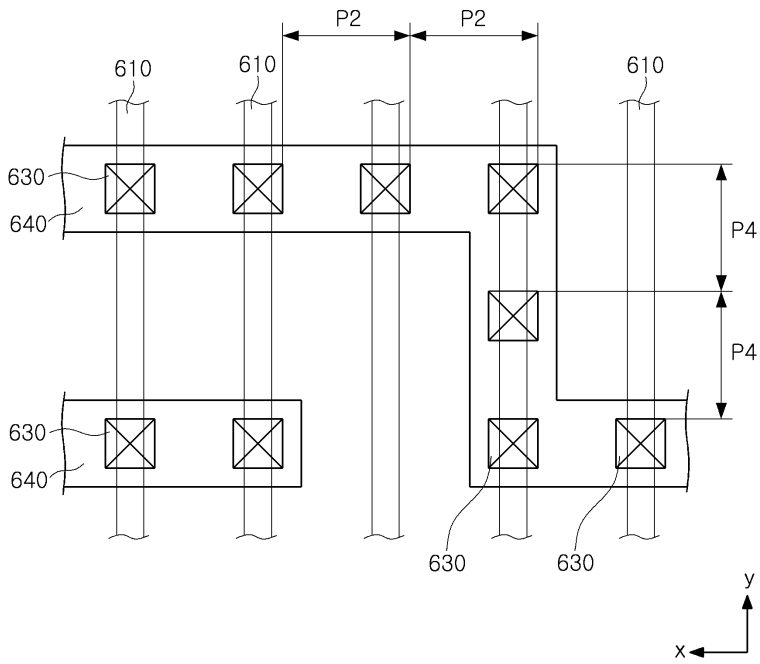
도면23



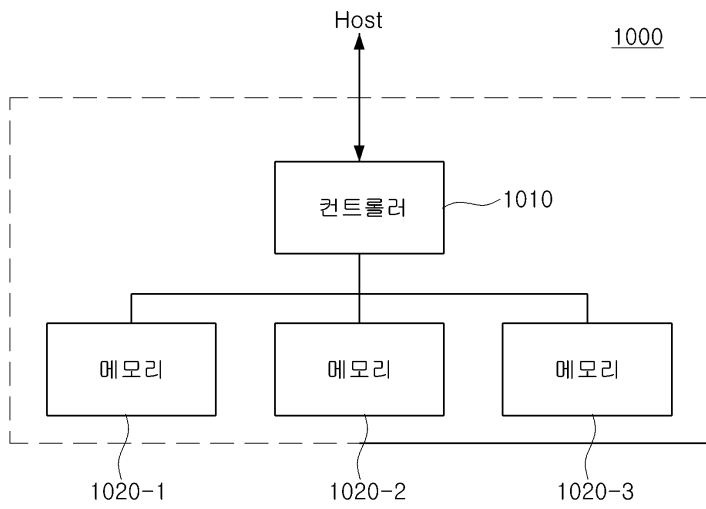
도면24



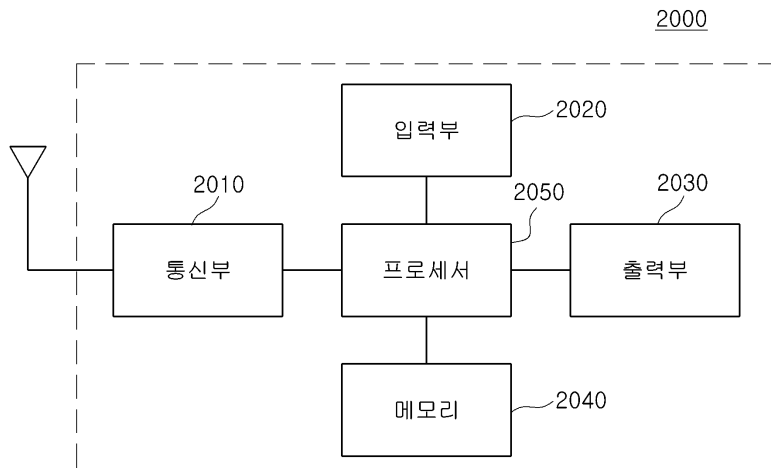
도면25



도면26



도면27



도면28

