

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-18983
(P2005-18983A)

(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G 1 1 C 16/06	G 1 1 C 17/00 6 3 9 C	5 B 1 2 5
G 1 1 C 16/02	G 1 1 C 17/00 6 1 1 A	
G 1 1 C 16/04	G 1 1 C 17/00 6 1 1 G	
	G 1 1 C 17/00 6 3 4 G	
	G 1 1 C 17/00 6 2 2 E	
審査請求 有 請求項の数 10 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2004-281465 (P2004-281465)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年9月28日 (2004. 9. 28)	(74) 代理人	100094053 弁理士 佐藤 隆久
(62) 分割の表示	特願平9-55769の分割 原出願日 平成9年3月11日 (1997. 3. 11)	(72) 発明者	荒瀬 謙士朗 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平8-323011	(72) 発明者	野田 昌敬 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平成8年12月3日 (1996. 12. 3)	(72) 発明者	杉山 寿伸 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願平8-324293		
(32) 優先日	平成8年12月4日 (1996. 12. 4)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

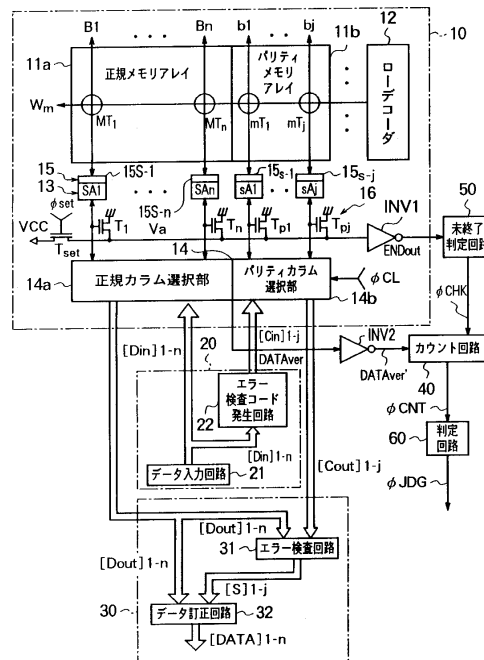
(54) 【発明の名称】 半導体不揮発性記憶装置およびメモリシステム

(57) 【要約】

【課題】 高速なデータプログラムが可能な半導体不揮発性記憶装置を実現する。

【解決手段】 ワード線単位でページデータの読み出しを行い、ページ読み出しデータ内に所定個数以内のエラービットが存在する場合に、エラービットを訂正するエラー訂正手段(20、30)を備え、ワード線単位のページプログラムにおいて、所定回数のプログラム/ベリファイ動作を繰り返し行った後にプログラム未終了メモリセルが存在する場合に、当該プログラム未終了メモリセルの個数をカウント回路40で計数し、当該個数がエラー訂正可能な前記所定個数以内のエラービットである場合に、プログラム未終了メモリセルを残したままデータプログラムを終了し、当該エラービットを前記エラー訂正手段により救済する。したがって、ごくまれに存在する非常にプログラムの遅いメモリセルに律速されることなく、高速にデータプログラムが可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電氣的にデータの処理が行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

前記複数ビットデータを単位としたデータの処理を当該複数単位のメモリセルに対して行い、データの処理後に当該データ処理未終了メモリセルの個数を計数する手段と、

前記データ処理未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該データ処理未終了メモリセルを残したままデータの処理を終了し、当該エラービットを前記エラー訂正手段に救済させる手段と

を備えた半導体不揮発性記憶装置。

10

【請求項 2】

電氣的にデータのプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

前記複数ビットデータを単位としたデータプログラムを当該複数単位のメモリセルに対して行い、データプログラム後にプログラム未終了メモリセルの個数を把握する手段と、

前記プログラム未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該エラービットを前記エラー訂正手段に救済させる手段と

を備えた半導体不揮発性記憶装置。

20

【請求項 3】

セクタ単位のページプログラムデータを各ビット線毎に設けられたデータラッチ回路に転送し、当該データに従って選択されたセクタのメモリセル一括に電氣的にデータプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、

選択されたセクタのメモリセル単位でページデータの読み出しを行い、当該ページ読み出しデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

前記ページプログラムデータに従ったデータプログラムがベリファイ読み出し動作を介して複数回のプログラム動作を繰り返し行うことによりなされ、各プログラム動作毎にプログラム未終了メモリセルが存在するか否かを検知する手段と、

所定回数のプログラム動作を繰り返し行った後にプログラム未終了メモリセルが存在する場合に、当該プログラム未終了メモリセルの個数を計数する手段と、

前記プログラム未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該エラービットを前記エラー訂正手段に救済させる手段と

を備えた半導体不揮発性記憶装置。

30

40

【請求項 4】

上記セクタ単位はワード線単位である

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 5】

前記エラー訂正手段は、プログラムすべき正規データよりエラー検査コードを発生する手段と、

前記正規データを記録するための正規メモリアレイ部と前記エラー検査コードを記録するためのパリティメモリアレイ部とから構成されたメモリアレイと、

前記正規データとエラー検査コードにより合成されたページプログラムデータを前記メモリアレイにページプログラムする手段と、

50

前記ページプログラムデータのデータ読み出し時に、読み出した正規データとエラー検査コードによりデータプログラム時のエラービットを訂正する手段と

を備えた請求項 3 記載の半導体不揮発性記憶装置。

【請求項 6】

前記プログラム未終了メモリセルの検知手段は、各プログラム動作後のベリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する手段と、

前記再プログラムデータの自動設定後に、プログラム未終了のデータがラッチされているデータラッチ回路が少なくとも 1 個以上存在するか否かを検出する終点検出手段と

を備えた請求項 3 記載の半導体不揮発性記憶装置。

10

【請求項 7】

前記プログラム未終了メモリセルの計数手段は、一定のクロックパルスに同期したカラムデコーダの動作によりページ読み出しし、当該ページ読み出しデータを順次計数回路にシフト転送してプログラム未終了のデータの個数をカウントする

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 8】

前記メモリセルがマトリクス配置されたメモリアレイは、複数のメモリセルが直列接続された NAND 型構造をなす

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 9】

20

前記メモリセルがマトリクス配置されたメモリアレイは、NOR 型構造をなし、かつ主ビット線が作動的接続手段を介して複数の副ビット線に階層化されている

請求項 3 記載の半導体不揮発性記憶装置。

【請求項 10】

電氣的にデータのプログラムが行われるメモリセルがマトリクス配置されたメモリ本体と、

複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、

前記複数ビットデータを単位としたデータプログラムを当該複数単位のメモリセルに対してを行い、データプログラム後にプログラム未終了メモリセルの個数を把握する手段と、

30

前記プログラム未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該エラービットを前記エラー訂正手段に救済させる手段と

を備えたメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的にデータのプログラムが可能な半導体不揮発性記憶装置およびメモリシステムに係り、特にデータプログラムおよび消去の高速化に関するものである。

40

【背景技術】

【0002】

NAND 型フラッシュメモリ、DINOR 型フラッシュメモリ等の半導体不揮発性記憶装置においては、選択するワード線に接続されたすべてのメモリセル一括にデータプログラムが行われる。

すなわち、ワード線単位でページプログラムが行われる。

【0003】

図 7 (a)、図 7 (b) は、それぞれ NAND 型、DINOR 型フラッシュメモリにおける、メモリアレイ構造を示す図である。

【0004】

50

図7(a)は、便宜上、1本のビット線に接続されたNAND列1本に4個のメモリセルが接続された場合のNAND型フラッシュメモリアレイを示す図である。

図7(a)において、BLはビット線を示し、ビット線BLに2個の選択トランジスタST1~ST2、および4個のメモリセルMT1~MT4が直列接続されたNAND列が接続されている。

選択トランジスタST1~ST2はそれぞれ選択ゲート線SL1, SL2により制御され、またメモリセルMT1~MT4はそれぞれワード線WL1~WL4により制御される。

【0005】

図7(b)は、便宜上、1本の主ビット線に接続された副ビット線1本に4個のメモリトランジスタが接続された場合のDINOR型フラッシュメモリアレイを示す図である。 10

図7(b)において、MBLは主ビット線、SBLは副ビット線をそれぞれ示し、主ビット線MBLおよび副ビット線SBLは、選択ゲート線SLにより制御される選択トランジスタST1を介して作動的に接続される。

副ビット線SBLは、4本のワード線WL1~WL4と交差し、各交差位置には4個のメモリセルMT1~MT4が配置されている。

【0006】

また、NOR型フラッシュメモリ等の半導体不揮発性記憶装置においては、データの書き換えは、所定のブロック単位(たとえば64Kバイト程度)でデータの消去を行った後、当該消去ブロックのメモリセルに対してデータプログラムが行われる。 20

【0007】

図8は、一般的なNOR型フラッシュメモリにおける、メモリアレイ構造およびデータ消去時のバイアス条件を示す図である。

【0008】

図8のNOR型フラッシュメモリにおいては、便宜上、4本のワード線WL1~WL4と4本のビット線BL1~BL4との格子位置にメモリセルMT11~MT44がマトリクス配置されている。

【0009】

次に、図8のNOR型フラッシュメモリにおいて、データ消去動作について説明する。

データ消去は、図8に示すように、消去ブロックメモリアレイ内のすべてのワード線WL1~WL4を接地レベル(0V)に、すべてのビット線BL1~BL4をフローティング状態とし、共通ソース線VSSに高電圧(たとえば12V)の消去電圧パルスを押加する。 30

その結果、データプログラム時に各メモリセルに蓄積されていた電子がソース側からトンネル電流により引き抜かれて、各メモリセルのしきい値電圧 V_{th} は、データプログラム状態の6V~7Vから消去状態の2V~3Vに遷移する。

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところで、上述したNAND型、DINOR型フラッシュメモリ等のようなワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置においては、データのプログラムは選択ワード線に接続されたすべてのメモリセル一括にデータプログラムを行う。 40

しかし、選択ワード線に接続された各メモリセルは、製造プロセスに起因するサイズ等のバラツキのため、それぞれプログラム速度に差が生じる。

【0011】

図9は上述した各選択ワード線に接続されたメモリセル間のプログラム速度の差を示す図である。

図9において、横軸はtPROG(プログラム時間)、すなわち各メモリセルのプログラム必要時間を表わしている。 50

また、縦軸はN（メモリセル個数）、すなわち横軸 t P R O G（プログラム時間）に対応したメモリセル個数の分布頻度を表わしている。

【0012】

図9に示すように、NAND型フラッシュメモリ等のようなワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置においては、メモリセル間でプログラム必要時間 t P R O G に分布が生じる。

このようなプログラム速度のバラツキを考慮して、一般的なNAND型フラッシュメモリ等においては、プログラム時のしきい値電圧 V_{th} の分布を狭く抑える観点から、プログラム動作がベリファイ動作を介して行われ、かつ当該プログラム/ベリファイ動作をプログラム終了メモリセルから順次プログラム禁止にしてすべてのメモリセルのプログラムが終了するまで繰り返し行う、いわゆるビット毎ベリファイ動作が行われる。

10

【0013】

ところが図9に示すように、一般的なメモリセルの場合、プログラム必要時間 t P R O G は図中 t_0 であるが、プロセス等のバラツキ要因から非常に長いプログラム必要時間 t P R O G、たとえば図中 t_1 以上を要するメモリセルがごくまれに存在する場合がある。

このような場合、ごくまれに存在するプログラムの遅いメモリセルのために、上述したプログラム/ベリファイ動作の回数も、たとえば100回以上と非常に多くなり、その結果、ページプログラムを終了するのに要する時間も非常に長くなる。

【0014】

図10は、かかる従来のNAND型フラッシュメモリ等のようなワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

20

以下、図10のシーケンスフローについて、順を追って説明する。

【0015】

ステップSF1でデータプログラムが開始され、最初にステップSF2でページプログラムデータがメモリアレイ内の各ビット線毎に設けられたデータラッチ回路に転送される。

次に、ステップSF3でプログラムベリファイ回数Kが0にリセットされ、プログラムパルス印加するプログラム動作（ステップSF4）、およびベリファイ読み出し後に再プログラムデータを自動設定するベリファイ読み出し動作（ステップSF5）が連続して行われる。

30

次に、ステップSF6ですべてのメモリセルのプログラムが終了したかどうかの終点検出が、再プログラムデータ内に少なくとも1個以上のプログラム未終了メモリセルが残っているか否かを調べることにより行われる。

【0016】

その結果、全ビットプログラム終了の終点検出ができた場合には、データプログラムを完了する（ステップSF9）。

一方、全ビットプログラム終了の終点検出ができなかった場合には、さらにプログラムベリファイ回数Kがインクリメントされ（ステップSF7）、Kが予め設定された所定回数 k_0 （たとえば100回程度）未満であるかどうか調べられる（ステップSF8）。

40

そしてKが k_0 未満である場合には、上述したステップSF4～ステップSF8のシーケンスフローが繰り返し行われ、Kが k_0 に到達した時点でデータプログラム失敗と判断される（ステップSF10）。

【0017】

この所定のプログラムベリファイ回数 K_0 は、ごくまれに存在するプログラムの遅いメモリセルのために、従来のNAND型フラッシュメモリ等の場合たとえば100回以上と非常に多くなり、その結果、ページプログラムを終了するのに要する時間も非常に長くなっていた。

【0018】

また、上述したNOR型フラッシュメモリ等のような半導体不揮発性記憶装置において

50

は、データの書き換えは、所定のブロック単位（たとえば64Kバイト程度）でデータ消去を行った後、当該ブロック単位でデータプログラムを行う。

しかし、消去ブロック単位内の各メモリセルは、製造プロセスに起因するサイズ等のバラツキのため、それぞれ消去速度に差が生じる。

【0019】

図11は上述した消去ブロック内のメモリセル間の消去速度の差を示す図である。

図11において、横軸は t_{erase} （消去時間）、すなわち各メモリセルの消去必要時間を表わしている。

また、縦軸は N （メモリセル個数）、すなわち横軸 t_{erase} （消去時間）に対応したメモリセル個数の分布頻度を表わしている。

10

【0020】

図11に示すように、NOR型フラッシュメモリ等のような所定のブロック単位でデータ消去を行う半導体不揮発性記憶装置においては、メモリセル間で消去必要時間 t_{erase} に分布が生じる。

このような消去速度のバラツキを考慮して、一般的なNOR型フラッシュメモリにおいては、消去動作がベリファイ動作を介して行われ、かつ当該消去/ベリファイ動作を消去ブロック内のすべてのメモリセルのデータ消去が終了するまで繰り返し行われる。

【0021】

ところが図11に示すように、一般的なメモリセルの場合、消去必要時間 t_{erase} は図中 t_0 であるが、プロセス等のバラツキ要因から非常に長い消去必要時間 t_{erase} 、たとえば図中 t_1 以上を要するメモリセルがごくまれに存在する場合がある。

20

このような場合、ごくまれに存在する消去の遅いメモリセルのために、上述した消去/ベリファイ動作の回数も、たとえば100回~1000回以上と非常に多くなり、その結果、消去動作を終了するのに要する時間も非常に長くなり、ひいてはデータの書き換えに要する時間も長くなる。

さらに、ごくまれに存在する消去の遅いメモリセルのために消去/ベリファイ動作の回数が非常に多くなると、消去の速いメモリセルが過剰消去されて当該メモリセルのしきい値電圧 V_{th} がデプレッション状態 ($V_{th} < 0$) となって、誤動作の原因となる。

【0022】

図12は、かかる従来のNOR型フラッシュメモリ等のような所定のブロック単位でデータの書き換えを行う半導体不揮発性記憶装置における、データ消去およびその後のデータプログラム時のシーケンスフローを示す図である。

30

以下、図12のシーケンスフローについて、順を追って説明する。

【0023】

ステップSF21でデータ消去が開始され、ステップSF22で消去ベリファイ回数 K を最初の1に設定して消去パルスを印加する消去動作（ステップSF23）、およびベリファイ読み出し動作（ステップSF24）が連続して行われる。

ステップSF24のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができた場合には（ステップSF25）、データ消去を完了して、ステップSF101のデータプログラム動作が開始される。

40

【0024】

一方、ステップSF24のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができなかった場合には（ステップSF25）、ステップSF26において、消去ベリファイ回数 K があらかじめ設定された所定回数 K_0 （たとえば100~1000回程度）未満であるか否かが調べられる。

その結果、消去ベリファイ回数 K が設定回数 K_0 未満である場合には、さらに消去ベリファイ回数 K がインクリメントされて（ステップSF27）、上述したステップSF23~SF27のシーケンスフローが繰り返し行われる。そして、消去ベリファイ回数 K が設定回数 K_0 に到達した時点でデータ消去失敗と判断される（ステップSF28）。

【0025】

50

次に、ブロック内のすべてのメモリセルの消去終了の終点検出ができた場合には、引き続いてデータプログラムが開始される。

まず、ステップSF101でメモリセルのアドレス番地Ar-NOを最初の1に設定して、当該メモリセルに対してデータ内容に応じてデータプログラムが行われ(ステップSF102)、アドレス番地Ar-NOが最終アドレス番地があるか否かが調べられる(ステップSF103)。

その結果、アドレス番地Ar-NOが最終アドレス番地でない場合には、さらにアドレス番地Ar-NOがインクリメントされて(ステップSF104)、上述したステップSF102~SF104のシーケンスフローが繰り返し行われる。そして、アドレス番地Ar-NOが最終アドレス番地に到達した時点でデータプログラムが完了する(ステップSF105)。

10

【0026】

上述したシーケンスフローにおいて、所定の消去ベリファイ回数K0は、ごくまれに存在する消去の遅いメモリセルのために、従来のNOR型フラッシュメモリ等の場合たとえば100回~1000回程度と非常に多くなり、その結果、消去動作を終了するのに要する時間も非常に長くなり、ひいてはデータの書き換えに要する時間も長くなっていった。

さらには、上記消去の遅いメモリセルのために消去の速いメモリセルが過剰消去されて、誤動作の原因となっていた。

【0027】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、データプログラムを高速に行うことができ、データの書き換えを高速に行うことが可能で、さらには過剰消去メモリセルの発生を防止でき、信頼性の向上を図れる半導体不揮発性記憶装置並びにメモリシステムを提供することにある。

20

【課題を解決するための手段】

【0028】

上記目的を達成するため、本発明の第1の観点は、電氣的にデータの処理が行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、前記複数ビットデータを単位としたデータの処理を当該複数単位のメモリセルに対して行い、データの処理後に当該データ処理未終了メモリセルの個数を計数する手段と、前記データ処理未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該データ処理未終了メモリセルを残したままデータの処理を終了し、当該エラービットを前記エラー訂正手段に救済させる手段とを備えている。

30

【0029】

また、本発明の第2の観点は、電氣的にデータのプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、前記複数ビットデータを単位としたデータプログラムを当該複数単位のメモリセルに対して行い、データプログラム後にプログラム未終了メモリセルの個数を計数する手段と、前記プログラム未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該エラービットを前記エラー訂正手段に救済させる手段とを備えている。

40

【0030】

また、本発明の第3の観点は、セクタ単位のページプログラムデータを各ビット線毎に設けられたデータラッチ回路に転送し、当該データに従って選択されたセクタのメモリセル一括に電氣的にデータプログラムが行われるメモリセルがマトリクス配置された半導体不揮発性記憶装置であって、選択されたセクタのメモリセル単位でページデータの読み出しを行い、当該ページ読み出しデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、前記ページプログラムデータに従ったデ

50

ータプログラムがベリファイ読み出し動作を介して複数回のプログラム動作を繰り返し行うことによりなされ、各プログラム動作毎にプログラム未終了メモリセルが存在するか否かを検知する手段と、所定回数のプログラム動作を繰り返し行った後にプログラム未終了メモリセルが存在する場合に、当該プログラム未終了メモリセルの個数を計数する手段と、前記プログラム未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該エラービットを前記エラー訂正手段に救済させる手段とを備えている。

【0031】

本発明の第4の観点のメモリシステムは、電氣的にデータのプログラムが行われるメモリセルがマトリクス配置されたメモリ本体と、複数ビットデータを単位としてデータの読み出しを行い、当該複数ビットデータ内に所定個数以内のエラービットが存在する場合に当該エラービットを訂正するエラー訂正手段と、前記複数ビットデータを単位としたデータプログラムを当該複数単位のメモリセルに対して行い、データプログラム後にプログラム未終了メモリセルの個数を把握する手段と、前記プログラム未終了メモリセルの個数が前記所定個数以内のエラービットである場合に、当該プログラム未終了メモリセルを残したままデータプログラムを終了し、当該エラービットを前記エラー訂正手段に救済させる手段とを備えている。

10

【0032】

また、好適には、前記エラー訂正手段は、プログラムすべき正規データよりエラー検査コードを発生する手段と、前記正規データを記録するための正規メモリアレイ部と前記エラー検査コードを記録するためのパリティメモリアレイ部とから構成されたメモリアレイと、前記正規データとエラー検査コードにより合成されたページプログラムデータを前記メモリアレイにページプログラムする手段と、前記ページプログラムデータのデータ読み出し時に、読み出した正規データとエラー検査コードによりデータプログラム時のエラービットを訂正する手段とを備えている。

20

【0033】

また、好適には、前記プログラム未終了メモリセルの検知手段は、各プログラム動作後のベリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する手段と、前記再プログラムデータの自動設定後に、プログラム未終了のデータがラッチされているデータラッチ回路が少なくとも1個以上存在するか否かを検出する終点検出手段とを備えている。

30

【0034】

本発明の半導体不揮発性記憶装置によれば、所定回数のデータ処理、たとえばプログラム動作を繰り返し行った後にプログラム未終了メモリセルが存在しても、当該プログラム未終了メモリセルの個数がエラー訂正手段により訂正可能な所定個数以内のエラービットである場合には、プログラム未終了メモリセルを残したままデータプログラムを終了する。

したがって、ごくまれに存在する非常にプログラムの遅いメモリセルに律速されることなく、高速にデータプログラムが可能となる。

40

【発明の効果】

【0035】

本発明によれば、高速にデータプログラムを行うことができる。

【発明を実施するための最良の形態】

【0036】

第1実施形態

図1は、本発明に係る半導体不揮発性記憶装置、たとえばNAND型フラッシュメモリの具体的な構成例を示す図である。

【0037】

図1において、10はメモリ本体を示し、メモリ本体10は、メモリアレイ部11、口

50

ーデコーダ12、各ビット線毎に設けられたデータラッチ回路群13、カラム選択部14、再プログラムデータ自動設定回路群15および終点検出回路16等から構成されている。

【0038】

メモリアレイ11は、正規メモリアレイ11aとパリティメモリアレイ11bから構成されている。

正規メモリアレイ11aにはn本(通常は512バイト程度)の正規ビット線B1~Bnが配線され、パリティメモリアレイ11bにはj本(通常は10バイト程度)のパリティビット線b1~bjが配線されている。

なお、図中はワード線Wmを選択して、正規メモリセルMT1~MTnおよびパリティメモリセルmT1~mTjに対してページプログラムを行う場合を図示している。 10

【0039】

データラッチ回路群13は、正規データラッチ回路SA1~SA nおよびパリティデータラッチ回路sA1~sA jから構成され、カラム選択部14は正規カラム選択部14aおよびパリティカラム選択部14bから構成されている。

カラム選択部14はデータ転送クロック信号CLに同期して作動し、正規データラッチ回路SA1~SA nおよびパリティデータラッチ回路sA1~sA jにページプログラムデータをシフト転送し、またデータラッチ回路からページデータの読み出しを行う。

【0040】

再プログラムデータ自動設定回路群15は、各正規データラッチ回路SA1~SA nおよびパリティデータラッチ回路sA1~sA j毎に対応して設けられた自動設定回路15S-1~15S-n、15s-1~15s-jにより構成されている。 20

自動設定回路15S-1~15S-n、15s-1~15s-jは、各プログラム動作後のベリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する。

【0041】

終点検出回路16は、各正規データラッチ回路SA1~SA nおよびパリティデータラッチ回路sA1~sA j毎に設けられたトランジスタT1~TnおよびTp1~Tpj、並びにトランジスタTset、および反転回路INV1により構成されている。 30

各トランジスタT1~TnおよびT1~Tjのゲート電極がそれぞれの正規データラッチ回路SA1~SA nおよびパリティデータラッチ回路sA1~sA jの反転出力に、ソース電極が接地電位に、ドレイン電極が共通接続されており、プログラム未終了セルが存在して少なくとも1個以上のデータラッチ回路の反転出力がハイレベルである場合に、共通接続された終点検出電位Vaが接地電位となり、反転回路INV1により終点検出信号ENDoutがハイレベルとして出力される。

またトランジスタTsetは、終点検出電位Vaを予めVCCレベルにプリチャージするために設けられ、終点検出に先だってプリチャージ信号setにより駆動される。

【0042】

20はデータ入力部を示し、データ入力部20は、データ入力回路21とエラー検査コード発生回路22とにより構成される。 40

データ入力回路21は正規入力データ[Din]1~nをエラー検査コード発生回路22に入力し、エラー検査コード(パリティ入力データ)[Cin]1~jを発生する。正規入力データ[Din]1~nおよびエラー検査コード[Cin]1~jにより合成されるページプログラムデータは、データ転送クロック信号CLに同期して、それぞれ正規データラッチ回路SA1~SA nおよびパリティデータラッチ回路sA1~sA jにシフト転送され、対応する正規メモリセルおよびパリティメモリセルにページプログラムされる。

【0043】

30はデータ出力部を示し、データ出力部30は、エラー検査回路31とデータ訂正回 50

路 3 2 とにより構成される。

エラー検査回路 3 1 は、ページ読み出しした正規出力データ [D o u t] 1 ~ n およびエラー検査コード (パリティ出力データ) [C o u t] 1 ~ j により、データ復調コード [S] 1 ~ j を発生する。

データ訂正回路 3 2 は、正規出力データ [D o u t] 1 ~ n およびデータ復調コード [S] 1 ~ j により、ページ読み出しデータ内に所定個数 (たとえば 1 ビット) 以内のエラービットが存在する場合にこれを訂正し、訂正後の正しい正規出力データ [D A T A] 1 ~ n を出力する。

【 0 0 4 4 】

4 0 はカウント回路 (計数回路) を示し、カウント回路 4 0 は、所定回数のプログラムベリファイ回数 (たとえば 1 0 回程度) を繰り返した後にプログラム未終了メモリセルが存在して終点検出できなかった場合、つまり少なくとも 1 個以上のデータラッチ回路の出力がローレベルである場合に、以下のようにプログラム未終了メモリセルの個数を計数する。 10

すなわち、基本データ転送クロック信号 C L に同期したベリファイページ読み出しデータ D A T A v e r の反転回路 I N V 2 の出力 D A T A v e r ' をシフト入力し、最後にチェック信号 C H K の入力に応じてプログラム未終了メモリセルの個数を計数する。

【 0 0 4 5 】

未終了判定回路 5 0 は、メモリ本体 1 0 の反転回路 I N V 1 の出力信号 C H K をハイレベルで入力すると、プログラム未終了メモリセルがあるものとして、プログラム未終了メモリセルの個数の計数を開始するようにチェック信号 C H K をカウント回路 4 0 に出力する。 20

【 0 0 4 6 】

判定回路 6 0 は、カウント回路 4 0 の出力チェック信号 C N T がハイレベルに切り変わったならば、プログラム未終了のセルが 1 つ以上あるものとして、図示しない制御系に出力する。

本実施形態の場合、判定回路 6 0 は、たとえばフリップフロップにより構成される。

【 0 0 4 7 】

図 2 は、図 1 の半導体不揮発性記憶装置におけるエラー訂正手段において、1 ビットエラーに対処できる正規データビット数 n とパリティデータビット数 (エラー検査ビット数) j との関係を示す図である。 30

【 0 0 4 8 】

エラー訂正の原理、エラー検査コード発生回路 2 2、エラー検査回路 3 1、およびデータ訂正回路 3 2 については、本発明の骨子と直接関係しないため、ここでは詳述しない。

しかし図 2 によれば、5 1 2 ビットの正規データビット数には 1 0 ビットのエラー検査ビット数が必要であり、したがって一般的な 5 1 2 ビットの正規入力データ [D i n] 1 ~ n には 1 0 ビットのエラー検査コード [C i n] 1 ~ j を発生させる必要がある。

【 0 0 4 9 】

図 3 は、図 1 の半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。 40

以下、図 3 のシーケンスフローについて、図 1 の構成例等を参照しながら順を追って説明する。

【 0 0 5 0 】

ステップ S 1 でデータプログラムが開始され、最初にデータ入力回路 2 1 を介して入力された正規入力データ [D i n] 1 ~ n に基づき、エラー検査コード発生回路 2 2 によりエラー検査コード [C i n] 1 ~ j が発生される (ステップ S 2) 。

そして、正規入力データ [D i n] 1 ~ n およびエラー検査コード [C i n] 1 ~ j は正規カラム選択 1 4 a およびパリティカラム選択 1 4 b に入力され、合成したページプログラムデータがメモリアレイ内の各ビット線毎に設けられた正規データラッチ回路 S A 1 ~ S A n およびパリティデータラッチ回路 s A 1 ~ s A j に転送される (ステップ S 3) 50

。

【0051】

次に、図示しないプログラム制御系によりステップS4でプログラムベリファイ回数Kが0にリセットされ、プログラムパルス印加するプログラム動作が行われ（ステップS5）、ベリファイ読み出し後に、自動設定回路15S-1~15S-n、15s-1~15s-jにおいてプログラム終了メモリセルの正規データラッチ回路SA1~SA nおよびパリティデータラッチ回路sA1~sA j内のデータを順次反転させて再プログラムデータを自動設定するベリファイ読み出し動作（ステップS6）が連続して行われる。

【0052】

次に、ステップS7で終了検出回路16および未終了判定回路50において、すべてのメモリセルのプログラムが終了したかどうかの終点検出が、再プログラムデータ内に少なくとも1個以上のプログラム未終了メモリセルに対応するデータが残っているか否かを調べることにより行われる。

10

【0053】

その結果、全ビットプログラム終了の終点検出ができた場合には、データプログラムを完了する（ステップS12）。

しかし、全ビットプログラム終了の終点検出ができなかった場合には、さらにプログラムベリファイ回数Kがインクリメントされて（ステップS8）、Kが予め設定された所定回数k0（たとえば10回程度）未満であるかどうか調べられる（ステップS9）。

そしてKがk0未満である場合には、上述したステップS5~S9のシーケンスフローが繰り返し行われ、Kがk0に到達した時点でステップS10に進む。

20

【0054】

次にステップS10では、データラッチ回路内のデータがページ読み出しされて、プログラム未終了メモリセルの個数がカウント回路40でカウントされる。次に、ステップS11において、計数したプログラム未終了メモリセルの個数がエラー訂正可能な所定個数（たとえば1個）以内であるかどうか調べられる。

その結果、プログラム未終了メモリセルの個数がエラー訂正可能な所定個数以内である場合にはデータプログラムを完了し（ステップS12）、所定個数を超過している場合にはデータプログラム失敗と判断される（ステップS13）。

【0055】

以上のシーケンスフローによりデータプログラムが行われた本発明の半導体不揮発性記憶装置においては、データ読み出し時に、エラー検査回路31およびデータ訂正回路32とによりプログラム未終了メモリセルのエラー訂正がなされ、正しい正規データ[DATA]1~nが読み出される。

30

【0056】

以上説明したように、本第1の実施形態に係る半導体不揮発性記憶装置によれば、所定回数のプログラム動作を繰り返し行った後にプログラム未終了メモリセルが存在しても、当該プログラム未終了メモリセルの個数がエラー訂正手段により訂正可能な所定個数以内のエラービットである場合には、プログラム未終了メモリセルを残したままデータプログラムを終了する。

40

したがって、ごくまれに存在する非常にプログラムの遅いメモリセルに律速されることなく、高速にデータプログラムが可能となる。

【0057】

第2実施形態

図4は、本発明に係る半導体不揮発性記憶装置、たとえばNOR型フラッシュメモリの具体的な構成例を示す図である。

【0058】

すなわち、図4において、100はメモリ本体を示し、メモリ本体100は、メモリアレイ部111、ローデコーダ112、各ビット線毎に設けられたデータラッチ回路群113、カラム選択部114、再プログラムデータ自動設定回路群115および終点検出回路

50

116等から構成されている。

【0059】

メモリアレイ111は、正規メモリアレイ111aとパリティメモリアレイ111bとから構成されている。

正規メモリアレイ111aにはn本（通常は512バイト程度）の正規ビット線B1～Bnが配線され、パリティメモリアレイ111bにはj本（通常は10バイト程度）のパリティビット線b1～bjが配線されている。

なお、図中はワード線Wmを選択して、正規メモリセルMT1～MTnおよびパリティメモリセルmT1～mTjに対してページ読み出しを行う場合を図示している。

【0060】

データラッチ回路群113は、正規データラッチ回路SA1～SANおよびパリティデータラッチ回路sA1～sAjから構成され、カラム選択部114は正規カラム選択部114aおよびパリティカラム選択部114bから構成されている。

カラム選択部114はデータ転送クロック信号CLに同期して作動し、正規データラッチ回路SA1～SANおよびパリティデータラッチ回路sA1～sAjにページプログラムデータをシフト転送し、またデータラッチ回路からワード線単位のページデータの読み出しを行う。

【0061】

再プログラムデータ自動設定回路群115は、各正規データラッチ回路SA1～SANおよびパリティデータラッチ回路sA1～sAj毎に対応して設けられた自動設定回路115S-1～115S-n、115s-1～115s-jにより構成されている。

自動設定回路115S-1～115S-n、115s-1～115s-jは、各プログラム動作後のベリファイ読み出し動作毎に、プログラムが終了したメモリセルの接続されたデータラッチ回路にラッチされているデータを順次反転させて再プログラムデータを自動設定する。

【0062】

終点検出回路116は、各正規データラッチ回路SA1～SANおよびパリティデータラッチ回路sA1～sAj毎に設けられたトランジスタT1～TnおよびTp1～Tpj、並びにトランジスタTset、および反転回路INV100により構成されている。

各トランジスタT1～TnおよびTp1～Tpjのゲート電極がそれぞれの正規データラッチ回路SA1～SANおよびパリティデータラッチ回路sA1～sAjの反転出力に、ソース電極が接地電位に、ドレイン電極が共通接続されており、消去未終了セルが存在して少なくとも1個以上のデータラッチ回路の反転出力がハイレベルである場合に、共通接続された終点検出電位Vaが接地電位となり、反転回路INV1により終点検出信号ENDoutがハイレベルとして出力される。

またトランジスタTsetは、終点検出電位Vaを予めVCCレベルにプリチャージするために設けられ、終点検出に先だってプリチャージ信号setにより駆動される。

【0063】

120はデータ入力部を示し、データ入力部120は、データ入力回路121とエラー検査コード発生回路122とにより構成される。

データ入力回路121は正規入力データ[Din]1～nをエラー検査コード発生回路122に入力し、エラー検査コード（パリティ入力データ）[Cin]1～jを発生する。正規入力データ[Din]1～nおよびエラー検査コード[Cin]1～jにより合成されるワード線単位のページプログラムデータは、データ転送クロック信号CLに同期して、それぞれ正規データラッチ回路SA1～SANおよびパリティデータラッチ回路sA1～sAjにシフト転送され、対応する正規メモリセルおよびパリティメモリセルに順次データプログラムされる。

【0064】

130はデータ出力部を示し、データ出力部130は、エラー検査回路131とデータ訂正回路132とにより構成される。

10

20

30

40

50

エラー検査回路131は、ページ読み出しした正規出力データ[Dout]1~nおよびエラー検査コード(パリティ出力データ)[Cout]1~jにより、データ復調コード[S]1~jを発生する。

データ訂正回路132は、正規出力データ[Dout]1~nおよびデータ復調コード[S]1~jにより、ページ読み出しデータ内に所定個数(たとえば1ビット)以内のエラービットが存在する場合にこれを訂正し、訂正後の正しい正規出力データ[DATA]1~nを出力する。

【0065】

140はカウント回路(計数回路)を示し、カウント回路140は、所定回数の消去ベリファイ回数(たとえば10回~数10回程度)を繰り返した後に消去ブロック内の各ページ内に消去未終了メモリセルが存在して終点検出できなかった場合、つまり各ページ毎のベリファイ読み出し時に1個以上のデータラッチ回路の出力がハイレベルである場合に、以下のように消去未終了メモリセルの個数を計数する。

10

すなわち、基本データ転送クロック信号CLに同期したベリファイページ読み出しデータDATAverをシフト入力し、最後にチェック信号CHKの入力に応じて消去未終了メモリセルの個数を計数する。

【0066】

未終了判定回路150は、メモリ本体100の反転回路INV100の出力信号CHKをハイレベルで入力すると、消去未終了メモリセルがあるものとして、消去未終了メモリセルの個数の計数を開始するようにチェック信号CHKをカウント回路140に出力する。

20

【0067】

判定回路160は、カウント回路140の出力チェック信号CNTがハイレベルに切り変わったならば、消去未終了のセルが1つ以上あるものとして、図示しない制御系に出力する。

本実施例の場合も、判定回路160は、たとえばフリップフロップにより構成される。

【0068】

図4の半導体不揮発性記憶装置におけるエラー訂正手段において、1ビットエラーに対処できる正規データビット数nとパリティデータビット数(エラー検査ビット数)jとの関係は、第1実施例の場合と同様に、図2に示すような関係である。

30

【0069】

エラー訂正の原理、エラー検査コード発生回路122、エラー検査回路131、およびデータ訂正回路132については、本発明の骨子と直接関係しないため、ここでは詳述しない。

しかし図2によれば、512ビットの正規データビット数には10ビットのエラー検査ビット数が必要である。

したがって、ワード線を512バイトページサイズとして128ページの64Kバイトで消去ブロック単位が構成されている場合、各ページ毎で、512バイトの正規入力データ[Din]1~nには10ビットのエラー検査コード[Cin]1~jを発生させる必要がある。

40

【0070】

図5は、図4の半導体不揮発性記憶装置においてデータの書き換えを行う場合データ消去時のシーケンスフローを示す図である。

また、図6は、その後のデータプログラム時のシーケンスフローを示す図である。

以下、図5および図6のシーケンスフローについて、図4の構成例等を参照しながら順を追って説明する。

【0071】

まず、図5のデータ消去時のシーケンスフローについて説明する。

ステップS21でデータ消去が開始され、ステップS22で消去ベリファイ回数Kを最初の1に設定して消去パルスを印加する消去動作(ステップS23)、およびベリファイ

50

読み出し動作（ステップ S 2 4）が連続して行われる。

ステップ S 2 4 のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができた場合には（ステップ S 2 5）、データ消去を完了する。

【 0 0 7 2 】

一方、ステップ S 2 4 のベリファイ読み出し動作の結果、ブロック内のすべてのメモリセルの消去終了の終点検出ができなかった場合には（ステップ S 2 5）、ステップ S 2 6 において、消去ベリファイ回数 K があらかじめ設定された所定回数 K 0（たとえば 1 0 0 ~ 1 0 0 0 回程度）未満であるか否かが調べられる。

その結果、消去ベリファイ回数 K が設定回数 K 0 未満である場合には、さらに消去ベリファイ回数 K がインクリメントされて（ステップ S 2 7）、上述したステップ S 2 3 ~ S 2 7 のシーケンスフローが繰り返し行われる。そして、消去ベリファイ回数 K が設定回数 K 0 に到達した時点で消去未終了メモリセルが存在するものとしてステップ S 2 8 の処理に移行する。

10

【 0 0 7 3 】

ステップ S 2 8 において、消去ブロック内のページ番地 P g - N O をまず最初の 1 に設定して、データラッチ回路の消去データをページ読み出しして、消去未終了メモリセルの個数がカウントされる（ステップ S 2 9）。

【 0 0 7 4 】

次に、ステップ S 3 0 で、計数した消去未終了メモリセルの個数がエラー訂正可能所定個数（たとえば 1 個）以内であるか否かが調べられる。

20

その結果、消去未終了メモリセルの個数がエラー訂正可能な所定個数を超える場合にはデータ消去失敗と判断される（ステップ S 3 4）。

一方、消去未終了メモリセルの個数がエラー訂正可能な所定個数以内である場合には、ページ番地 P g - N O が最終アドレス番地であるか否かが調べられる（ステップ S 3 1）。

そして、ページ番地 P g - N O が最終アドレス番地でない場合には、さらにページ番地 P g - N O がインクリメントされて（ステップ S 3 2）、上述したステップ S 2 9 ~ S 3 2 のシーケンスフローが繰り返し行われる。そして、ページ番地 P g - N O が最終ページ番地に到達した時点で、データ消去完了と判断される（ステップ S 3 3）。

【 0 0 7 5 】

30

次に、図 6 のデータプログラム時のシーケンスフローについて説明する。

データの消去が完了した場合、（図 3 のステップ S 3 3）には、引き続いてデータプログラムが開始される（ステップ S 1 0 1）。

まず、ステップ S 1 0 2 でブロック内のページ番地 P g - N O をまず最初の 1 に設定して、当該ページの正規入力データ [D i n] 1 ~ n に基づき、エラー検査コード発生回路 2 2 によりエラー検査コード [C i n] 1 ~ j が発生される（ステップ S 1 0 3）。

次に、当該ページ内でメモリセルのアドレス番地 P g - N O を最初の 1 に設定して（ステップ S 1 0 4）、当該メモリセルに対してデータ内容に応じてデータプログラムが行われ（ステップ S 1 0 5）、アドレス番地 A r - N O が最終アドレス番地であるか否かが調べられる（ステップ S 1 0 6）。

40

その結果、アドレス番地 A r - N O が最終アドレス番地でない場合には、さらにアドレス番地 A r - N O がインクリメントされて（ステップ S 1 0 7）、上述したステップ S 1 0 3 ~ S 1 0 7 のシーケンスフローが繰り返し行われる。そして、アドレス番地 A r - N O が最終アドレス番地に到達した時点で当該ページのデータプログラムが完了する。

【 0 0 7 6 】

次に、ステップ S 1 0 8 でページ番地 P g - N O が最終番地であるか否かが調べられる。

その結果、アドレス番地 P g - N O が最終番地でない場合には、さらにページ番地 P g - N O がインクリメントされて（ステップ S 1 0 9）、上述したステップ S 1 0 3 ~ S 1 0 9 のシーケンスフローが繰り返し行われる。そして、アドレス番地 A r - N O が最終ア

50

ドレス番地に到達した時点で当該ページのデータプログラムが完了する (S 1 1 0) 。

【 0 0 7 7 】

以上のシーケンスフローによりデータの書き換えが行われた本発明の半導体不揮発性記憶装置においては、データ読み出し時に、エラー検査回路 3 1 およびデータ訂正回路 3 2 とにより消去未終了メモリセルのエラー訂正がなされ、正しい正規データ [D A T A] 1 ~ n が読み出される。

【 0 0 7 8 】

以上説明したように、本第 2 の実施形態に係る半導体不揮発性記憶装置によれば、所定回数の消去動作を繰り返し行った後に消去未終了メモリセルが存在しても、当該消去未終了メモリセルの個数がエラー訂正手段により訂正可能な所定個数以内のエラービットである場合には、消去未終了メモリセルを残したままデータプログラムを行う。

10

したがって、ごくまれに存在する非常に消去の遅いメモリセルに律速されることなく、高速にデータプログラムが可能となり、ひいては、データの書き換えを高速に行うことができる。

さらには、消去の速いメモリセルが過剰消去されることを防止でき、信頼性の高い半導体不揮発性記憶装置を実現することができる。

【 図面の簡単な説明 】

【 0 0 7 9 】

【 図 1 】 本発明に係る半導体不揮発性記憶装置の第 1 の実施形態の構成例を示す図である。

20

【 図 2 】 図 1 の半導体不揮発性記憶装置におけるエラー訂正手段において、1 ビットエラーに対処できる正規データビット数 n とパリティデータビット数 (エラー検査ビット数) j との関係を示す図である。

【 図 3 】 図 1 の半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

【 図 4 】 本発明に係る半導体不揮発性記憶装置の第 2 の実施形態の構成例を示す図である。

【 図 5 】 図 1 の半導体不揮発性記憶装置における、データ消去時のシーケンスフローを示す図である。

【 図 6 】 図 1 の半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

30

【 図 7 】 N A N D 型および D I N O R 型フラッシュメモリにおける、メモリアレイ構造を示す図である。

【 図 8 】 一般的な N O R 型フラッシュメモリにおける、メモリアレイ構造およびデータ消去時のバイアス条件を示す図である。

【 図 9 】 従来のワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置のメモリセル間のプログラム速度の差を示す図である。

【 図 1 0 】 従来のワード線セクタを単位としたページプログラムを行う半導体不揮発性記憶装置における、データプログラム時のシーケンスフローを示す図である。

【 図 1 1 】 消去ブロック内のメモリセル間の消去速度の差を示す図である。

40

【 図 1 2 】 従来の N O R 型フラッシュメモリにおけるデータ書き換え時のシーケンスフローを示す図である。

【 符号の説明 】

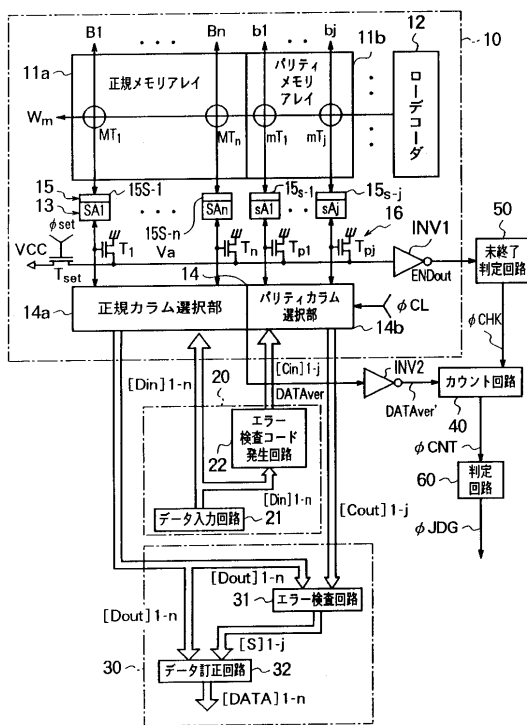
【 0 0 8 0 】

B 1 ~ B n ... 正規ビット線、 b 1 ~ b j ... パリティビット線、 W m ... 選択ワード線、 M T 1 ~ M T n ... 正規メモリセル、 m T 1 ~ m T j ... パリティメモリセル、 S A 1 ~ S A n ... 正規データラッチ回路、 s A 1 ~ s A j ... パリティデータラッチ回路、 [D i n] 1 ~ n ... 正規入力データ、 [D o u t] 1 ~ n ... 正規出力データ、 [D A T A] 1 ~ n ... エラー訂正後の正規出力データ、 [C i n] 1 ~ j ... 入力エラー検査コード、 [C o u t] 1 ~ j ... 出力エラー検査コード、 [S] 1 ~ j ... データ復調コード、 D A T A v e r ... ベリ

50

ファイページ読み出しデータ、 CL ... データ転送クロック信号、 check ... チェック信号、 set ... プリチャージ信号、 ENDout ... 終点検出信号、 Va ... 終点検出電位、 INV1 ~ INV2, INV100 ... 反転回路、 10, 100 ... メモリ本体、 11, 111 ... メモリアレイ部、 11a, 111a ... 正規メモリアレイ、 11b, 111b ... パリティメモリアレイ、 12, 112 ... ローデコーダ、 13, 113 ... データラッチ回路、 14, 114 ... カラム選択部、 14a, 114a ... 正規カラム選択部、 14b, 114b ... パリティカラム選択部、 15, 115 ... 再プログラムデータ自動設定回路、 16, 116 ... 終点検出回路、 20, 120 ... データ入力部、 21, 121 ... データ入力回路、 22, 122 ... エラー検査コード発生回路、 30, 130 ... データ出力部、 31, 131 ... エラー検査回路、 32, 132 ... データ訂正回路、 40, 140 ... カウント回路、 50, 150 ... 未終了判定回路、 60, 160 ... 判定回路。

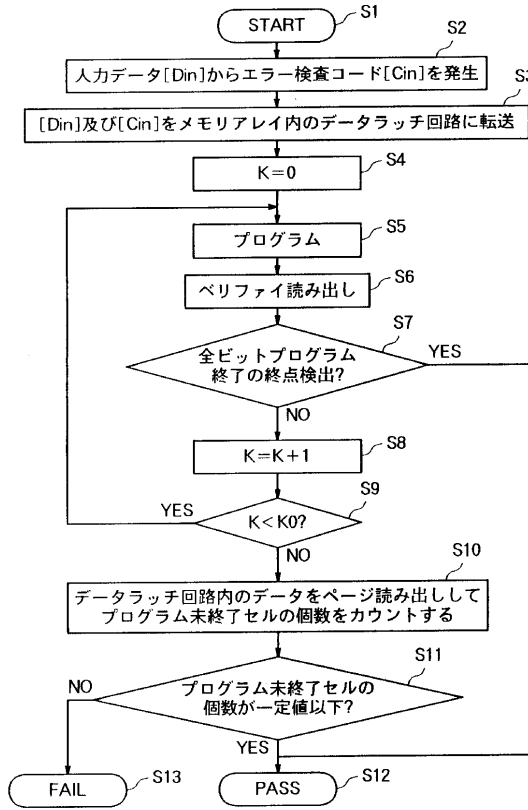
【 図 1 】



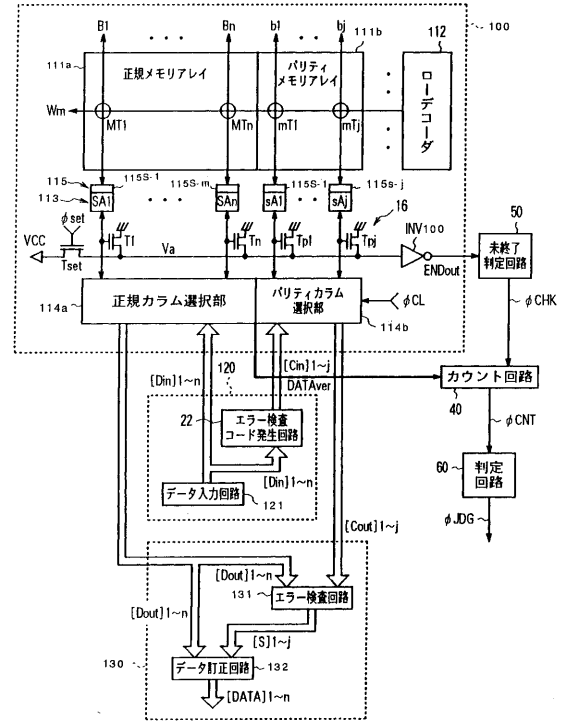
【 図 2 】

	1024	512	256	128	64	32	16	8
正規データビット数 n	1024	512	256	128	64	32	16	8
エラー検査ビット数 j	11	10	9	8	7	6	5	4

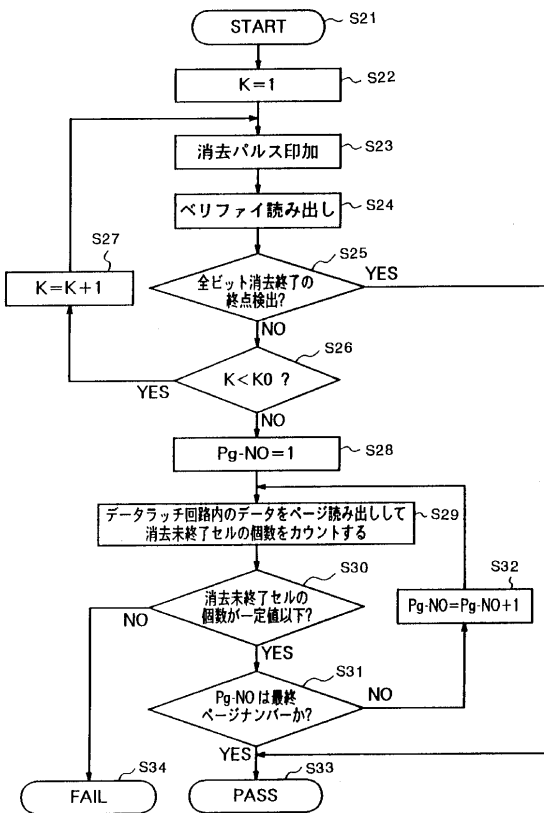
【 図 3 】



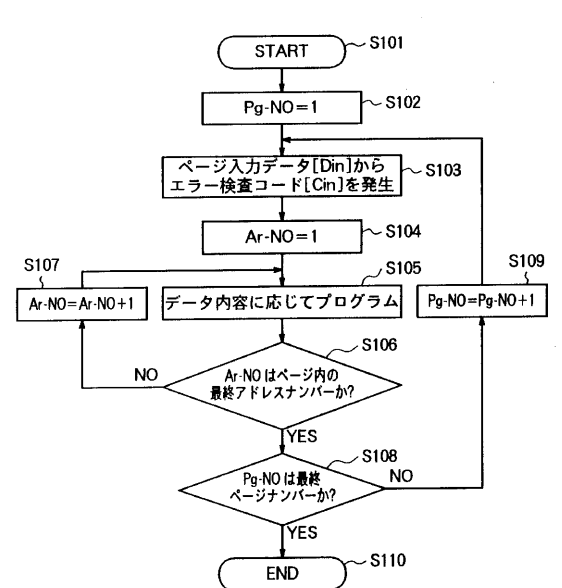
【 図 4 】



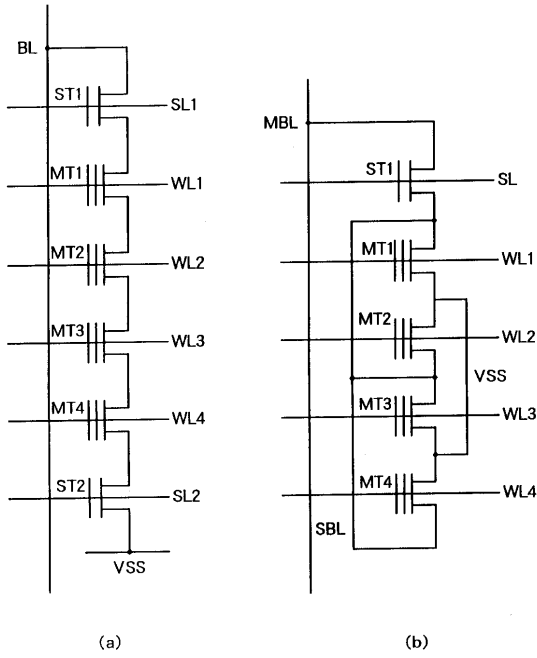
【 図 5 】



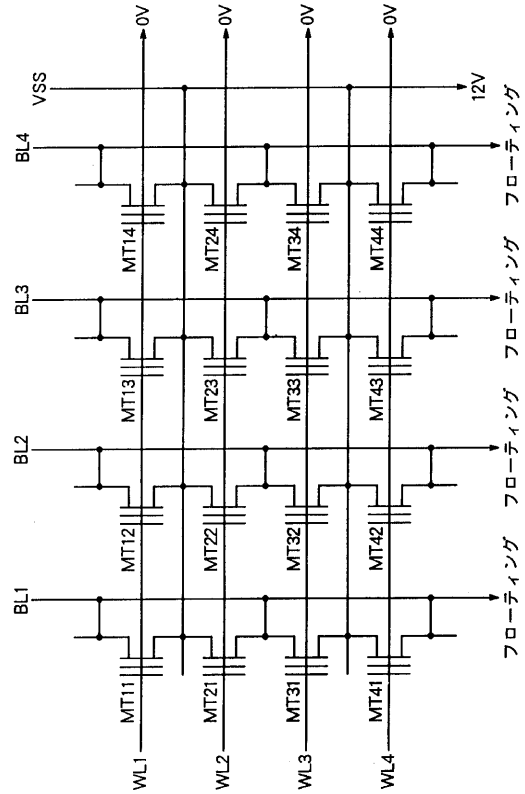
【 図 6 】



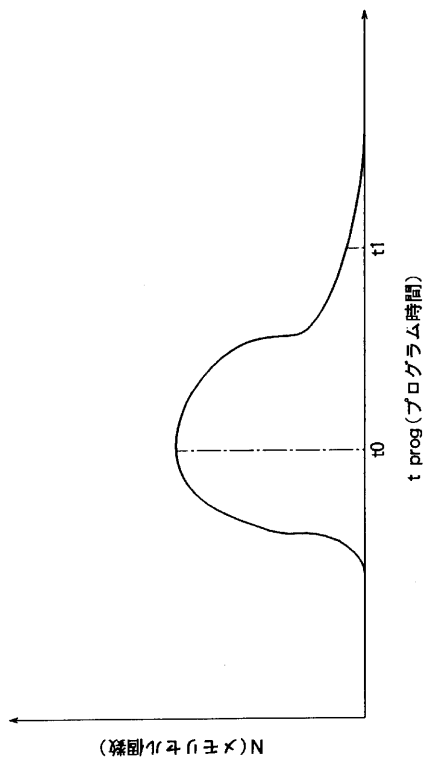
【 図 7 】



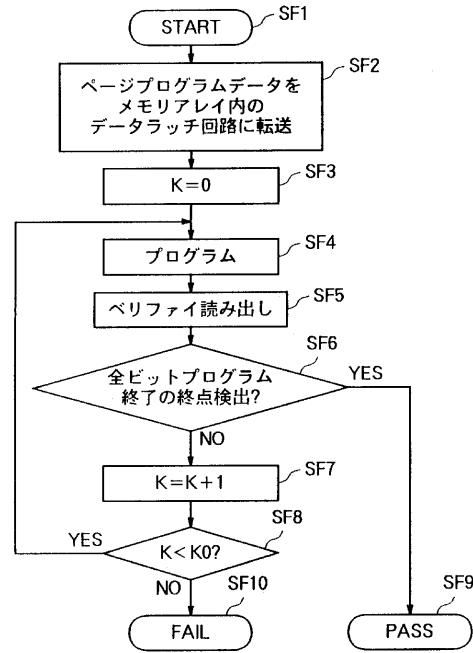
【 図 8 】



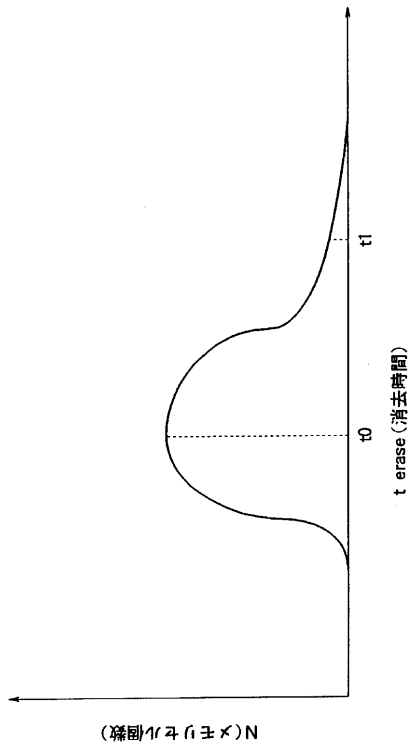
【 図 9 】



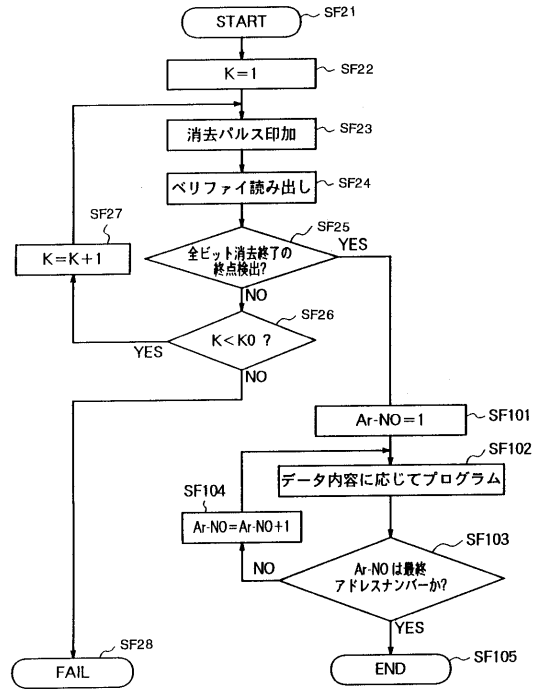
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 1 1 C 17/00 6 2 2 A

G 1 1 C 17/00 6 1 2 B

(72)発明者 内貴 唯八

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 5B125 BA01 CA01 CA17 DB08 DC08 DE08 EA01 EA05 ED07 FA01
FA05