

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/812 (2006.01)



[12] 发明专利说明书

专利号 ZL 200380104488.2

[45] 授权公告日 2009 年 7 月 22 日

[11] 授权公告号 CN 100517761C

[22] 申请日 2003. 10. 2

[21] 申请号 200380104488. 2

[30] 优先权

[32] 2002. 11. 26 [33] US [31] 10/304,272

[86] 国际申请 PCT/US2003/031334 2003. 10. 2

[87] 国际公布 WO2004/049454 英 2004. 6. 10

[85] 进入国家阶段日期 2005. 5. 27

[73] 专利权人 克里公司

地址 美国北卡罗来纳州

[72] 发明人 S·斯里拉姆

[56] 参考文献

US5925895A 1999. 7. 20

EP0305975A2 1988. 8. 30

JP2001-168111A 2001. 6. 22

US5306650A 1994. 4. 26

WO98/19342A1 1998. 5. 7

WO01/86727A2 2001. 11. 15

US5742082A 1998. 4. 21

US4737469A 1988. 4. 12

CN1339173A 2002. 3. 6

US5091759A 1992. 2. 25

审查员 蒋显辉

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 张志醒

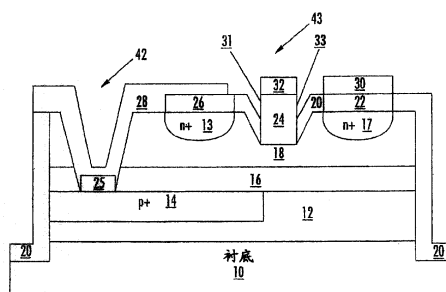
权利要求书 8 页 说明书 21 页 附图 11 页

[54] 发明名称

源极区下面具有隐埋 P 型层的晶体管及其制造方法

[57] 摘要

本发明提供金属半导体场效应管(MESFET)的单元。MESFET的单元包括源极(13)、漏极(17)和栅极(24)。栅极(24)设置在源极(13)和漏极(17)之间,并在n型导电沟道层(18)上。P型导电区(14)设置在源极下面并且具有伸向所述漏极(17)的端部。P型导电区(14)与n型导电沟道区域(18)隔开并且在电气上连接到源极(13)。



1. 一种金属半导体场效应晶体管的单元，包括：

金属半导体场效应晶体管，它具有源极、漏极和栅极，所述栅极在所述源极和所述漏极之间，并在n型导电沟道层上；和

p型导电区，它在所述源极的下面并且具有伸向所述漏极的端部，所述p型导电区与所述n型导电沟道层彼此隔开并在电气上连接到所述源极，以及

第二缓冲层，位于所述p型导电区和所述n型导电沟道层之间。

2. 如权利要求1所述的单元，其中所述栅极延伸到所述n型导电沟道层内。

3. 如权利要求1所述的单元，其中所述栅极具有第一侧壁和第二侧壁，所述第一侧壁在所述栅极的源极侧，而所述第二侧壁在所述栅极的漏极侧，并且其中所述p型导电区在不延伸过所述栅极的所述第一侧壁的情况下从所述源极的下面延伸到所述栅极的所述第一侧壁。

4. 如权利要求1所述的单元，其中所述栅极具有第一侧壁和第二侧壁，所述第一侧壁在所述栅极的源极侧，而所述第二侧壁在所述栅极的漏极侧，而且其中所述p型导电区从所述源极的下面延伸到所述第一侧壁的所述源极侧上所述第一侧壁的0.1到0.3 μm 范围内。

5. 如权利要求1所述的单元，其中所述栅极具有第一侧壁和第二侧壁，所述第一侧壁在所述栅极的源极侧，而所述第二侧壁在所述栅极的漏极侧，而且其中所述p型导电区在不延伸过所述栅极的所述第二侧壁的情况下，从所述源极下面延伸到所述栅极的所述第二侧壁。

6. 如权利要求1所述的单元，其中所述栅极具有第一侧壁和第二侧壁，所述第一侧壁在所述栅极的所述源极侧，而所述第二侧壁在所述栅极的所述漏极侧，而且其中所述p型导电区从所述源极下面延伸到所述栅极的所述第一和第二侧壁之间。

7. 如权利要求1所述的单元，其中所述p型导电区在不延伸到漏

极触点下面的情况下从源极触点和/或源极注入区的下面延伸。

8. 如权利要求1所述的单元,其中所述p型导电区在不延伸到漏极注入区下面的情况下从源极触点和/或源极注入区下面延伸。

9. 如权利要求1所述的单元,其中所述金属半导体场效应晶体管设置在SiC衬底上,而所述p型导电区的至少一部分设置在所述SiC衬底内。

10. 如权利要求1所述的单元,其中所述金属半导体场效应晶体管设置在SiC衬底上,而所述p型导电区设置在所述SiC衬底内且延伸到所述SiC衬底中约 $0.4\mu\text{m}$ 。

11. 如权利要求1所述的单元,其中所述p型导电区具有从 $1.0\times 10^{18}\text{cm}^{-3}$ 到 $1.0\times 10^{20}\text{cm}^{-3}$ 的载流子浓度。

12. 如权利要求1所述的单元,其中所述n型导电沟道层包括所述p型导电区上的第一n型导电沟道层和在所述第一n型导电沟道层上的第二n型导电沟道层。

13. 如权利要求12所述的单元,其中所述第一n型导电沟道层具有约 $3\times 10^{17}\text{cm}^{-3}$ 的载流子浓度,而且其中所述第二n型导电沟道层具有约 $1\times 10^{16}\text{cm}^{-3}$ 的载流子浓度。

14. 如权利要求13所述的单元,其中所述第一n型导电沟道层具有约 $0.28\mu\text{m}$ 的厚度,而所述第二n型导电沟道层具有约 $900\text{\AA}$ 的厚度。

15. 如权利要求14所述的单元,其中所述金属半导体场效应晶体管设置在SiC衬底上,而所述p型导电区处于所述SiC衬底内且延伸到所述SiC衬底中约 $0.4\mu\text{m}$ 。

16. 如权利要求1所述的单元,其中所述金属半导体场效应晶体管设置在SiC衬底上,并且所述金属半导体场效应晶体管还包括所述SiC衬底上的第一缓冲层,其中所述p型导电区在所述第一缓冲层内形成。

17. 如权利要求16所述的单元,其中所述第一缓冲层具有约 $2\mu\text{m}$ 的厚度。

18. 如权利要求 17 所述的单元, 其中所述 p 型导电区延伸到所述第一缓冲层中约 $0.4\mu\text{m}$ 。

19. 如权利要求 16 所述的单元, 其中所述第一缓冲层包括以下各种材料中的至少一种: p 型导电 SiC, 它具有从 $0.5 \times 10^{15} \text{cm}^{-3}$ 到 $3 \times 10^{15} \text{cm}^{-3}$ 的载流子浓度; n 型导电 SiC, 它具有小于 $5 \times 10^{14} \text{cm}^{-3}$ 的载流子浓度; 以及未掺杂的 SiC。

20. 如权利要求 1 所述的单元, 其中还包括:

在所述 n 型导电沟道层上的第一和第二欧姆触点, 它们分别定义所述源极和所述漏极;

第一凹槽, 它设置在所述源极和所述漏极之间, 露出所述 n 型导电沟道层, 所述栅极设置在所述第一凹槽内并延伸到所述 n 型导电沟道层中;

接触通孔, 它在所述源极附近, 露出所述 p 型导电区; 和

第三欧姆触点, 在所述露出的 p 型导电区上。

21. 如权利要求 20 所述的单元, 其中还包括分别在所述漏极的所述第二欧姆触点上的第一覆盖层和在所述源极的所述第一和第三欧姆触点上和所述 p 型导电区的暴露部分上的第二覆盖层, 其中所述第二覆盖层在电气上连接所述源极的所述第一欧姆触点和所述 p 型导电区暴露部分的所述第三欧姆触点。

22. 如权利要求 20 所述的单元, 其中还包括在所述源极和所述漏极下面的所述 n 型导电沟道层内的注入的 n 型导电区, 所述 n 型导电区的载流子浓度大于所述 n 型导电沟道层的载流子浓度, 其中, 所述第一和第二欧姆触点设置在 SiC 的所述 n 型导电区上。

23. 如权利要求 22 所述的单元, 其中所述 SiC 的注入 n 型导电区具有约 $1 \times 10^{19} \text{cm}^{-3}$ 的载流子浓度。

24. 如权利要求 20 所述的单元, 其中所述第一、第二和第三欧姆触点包括镍触点。

25. 如权利要求 1 所述的单元, 其中还包括:

在所述 n 型导电沟道层上分别定义所述源极和所述漏极的第一和第二欧姆触点;

第一凹槽, 它设置在所述源极和所述漏极之间, 露出所述 n 型导电沟道层, 所述第一凹槽具有第一和第二侧壁;

第二凹槽, 它设置在所述第一凹槽的所述第一和第二侧壁之间, 所述栅极设置在所述第二凹槽内并延伸到所述 n 型导电沟道层;

接触通孔, 它在所述源极附近, 露出所述 p 型导电区; 和

第三欧姆触点, 它在所述暴露的 p 型导电区上。

26. 如权利要求 25 所述的单元, 其中所述 n 型导电沟道层包括第一和第二导电层, 其中所述第一凹槽通过所述第一 n 型导电沟道层延伸到所述第二 n 型导电沟道层, 并露出所述第二 n 型导电沟道层, 并且其中所述第二凹槽延伸到所述第二 n 型导电沟道层。

27. 如权利要求 26 所述的单元, 其中所述第二凹槽延伸到所述第二 n 型导电沟道层中约 600Å。

28. 如权利要求 1 所述的单元, 其中所述第二缓冲层包括 p 型 SiC、n 型 SiC 和未掺杂的 SiC 中的至少一种。

29. 如权利要求 1 所述的单元, 其中所述第二缓冲层包括 p 型 SiC, 并具有从 $1.0 \times 10^{16} \text{cm}^{-3}$ 到 $5.0 \times 10^{16} \text{cm}^{-3}$ 的载流子浓度。

30. 如权利要求 29 所述的单元, 其中所述第二缓冲层具有约 $1.5 \times 10^{16} \text{cm}^{-3}$ 的载流子浓度。

31. 如权利要求 1 所述的单元, 其中所述第二缓冲层具有从 0.5μm 到 1.0μm 的厚度。

32. 如权利要求 1 所述的单元, 其中所述 n 型导电沟道层和所述第二缓冲层形成具有侧壁的台面, 所述各侧壁定义所述晶体管周边并延伸到所述 n 型沟道层和所述第二缓冲层。

33. 如权利要求 32 所述的单元, 其中所述台面的所述各侧壁延伸到所述 p 型导电区并且延伸到所述衬底中。

34. 如权利要求 1 所述的单元, 其中所述栅极包括所述 n 型导电

沟道层上的第一栅极铬层。

35. 如权利要求 34 所述的单元, 其中所述栅极还包括所述第一栅极层上的覆盖层, 其中所述覆盖层包括铂和金。

36. 如权利要求 1 所述的单元, 其中所述栅极包括所述 n 型导电沟道层上的镍的第一栅极层。

37. 如权利要求 36 所述的单元, 其中所述栅极还包括所述第一栅极层上的覆盖层, 其中所述覆盖层包括金。

38. 如权利要求 1 所述的单元, 其中所述栅极具有从 $0.4\mu\text{m}$ 到 $0.7\mu\text{m}$ 的长度。

39. 如权利要求 1 所述的单元, 其中从所述源极到所述栅极的距离是从 $0.5\mu\text{m}$ 到 $0.7\mu\text{m}$ 。

40. 如权利要求 1 所述的单元, 其中从所述漏极到所述栅极的距离是从 $1.5\mu\text{m}$ 到 $2\mu\text{m}$ 。

41. 一种包括多个按照权利要求 1 的单元的金属半导体场效应晶体管, 其中, 所述栅极包括第一栅极和第二栅极, 从第一栅极到第二栅极的距离是从 $20\mu\text{m}$ 到 $50\mu\text{m}$ 。

42. 一种形成金属半导体场效应晶体管的方法, 所述方法包括:

形成具有源极、漏极和栅极的金属半导体场效应晶体管, 所述栅极在所述源极和所述漏极之间并在 n 型导电沟道层上;

形成在所述源极下面并且具有伸向所述漏极的端部的 p 型导电区, 所述 p 型导电区与所述 n 型导电沟道层彼此隔开并且在电气上连接到所述源极; 以及

所述 p 型导电区 and 所述 n 型导电沟道层之间形成第二缓冲层。

43. 如权利要求 42 所述的方法, 其中形成所述栅极的步骤包括形成延伸到所述 n 型导电沟道区中的所述栅极。

44. 如权利要求 42 所述的方法, 其中所述栅极具有第一侧壁和第二侧壁, 所述第一侧壁在所述栅极的源极侧, 而所述第二侧壁在所述栅极的漏极侧; 以及

其中形成所述 p 型导电区的步骤包括形成在不延伸过所述栅极的所述第一侧壁的情况下从所述源极下面延伸到所述栅极的所述第一侧壁的所述 p 型导电区。

45. 如权利要求 42 所述的方法, 其中所述栅极具有第一侧壁和第二侧壁, 所述第一侧壁在所述栅极的源极侧, 所述第二侧壁在所述栅极的漏极侧; 以及

其中形成所述 p 型导电区的步骤包括形成从所述源极下面延伸到所述源极侧上所述栅极的所述第一侧壁的 0.1 到 0.3 μm 范围内的所述 p 型导电区。

46. 如权利要求 42 所述的方法, 其中所述栅极具有第一侧壁和第二侧壁, 所述第一侧壁在所述栅极的源极侧, 而所述第二侧壁在所述栅极的漏极侧; 以及

其中形成所述 p 型导电区的步骤包括形成在不延伸过所述栅极的所述第二侧壁的情况下从所述源极下面延伸到所述栅极的所述第二侧壁的所述 p 型导电区。

47. 如权利要求 42 所述的方法, 其中所述栅极具有第一侧壁和第二侧壁, 所述第一侧壁在所述栅极的源极侧, 而所述第二侧壁在所述栅极的漏极侧; 以及

其中形成所述 p 型导电区的步骤包括形成从所述源极下面延伸到所述栅极的所述第一和第二侧壁之间的所述 p 型导电区。

48. 如权利要求 42 所述的方法, 其中形成所述 p 型导电区的步骤包括形成在不延伸到漏极触点下面的情况下从源极触点和/或源极注入区下面延伸的所述 p 型导电区。

49. 如权利要求 42 所述的方法, 其中形成所述 p 型导电区的步骤包括形成在不延伸到漏极注入区下面的情况下从源极触点和/或源极注入区延伸的所述 p 型导电区。

50. 如权利要求 42 所述的方法, 其中形成所述 n 型导电沟道层的步骤包括:

在SiC衬底上形成第一n型导电沟道层,所述第一n型导电沟道层具有第一载流子浓度;以及

在所述第一n型导电沟道层上形成第二n型导电沟道层,其中所述第二n型导电沟道层的第二载流子浓度小于所述第一n型导电沟道层的所述第一载流子浓度。

51. 如权利要求50所述的方法,其中所述第一载流子浓度约为 $3 \times 10^{17} \text{cm}^{-3}$,而且其中所述第二载流子浓度约为 $1 \times 10^{16} \text{cm}^{-3}$ 。

52. 如权利要求50所述的方法,其中形成所述p型导电区的步骤包括在所述SiC衬底内注入p型掺杂剂。

53. 如权利要求52所述的方法,其中注入p型掺杂剂的步骤还包括对p型掺杂剂进行退火,以便激活所述p型掺杂剂。

54. 如权利要求42所述的方法,其中还包括:

在所述n型导电沟道层上形成分别定义所述源极和所述漏极的第一和第二欧姆触点;

在所述源极和所述漏极之间形成露出所述n型导电沟道层的第一凹槽,所述第一凹槽具有第一和第二侧壁;

在所述第一凹槽的所述第一和第二侧壁之间形成第二凹槽,所述栅极设置在所述第二凹槽内并延伸到所述n型导电沟道层内;

在所述源极附近形成暴露所述p型导电区的接触通孔;以及

在所述暴露的p型导电区上形成第三欧姆触点。

55. 如权利要求54所述的方法,其中形成所述n型导电沟道层的步骤包括形成第一和第二n型导电沟道层,其中形成所述第一凹槽的步骤包括形成穿过所述第一n型导电沟道层延伸到所述第二n型导电沟道层的所述第一凹槽,以便露出所述第二n型导电沟道层,并且其中形成所述第二凹槽的步骤包括形成延伸到所述第二n型导电沟道层中的所述第二凹槽。

56. 如权利要求55所述的方法,其中形成所述第二凹槽的步骤还包括形成延伸到所述n型导电沟道层中约600Å的所述第二凹槽。

57. 如权利要求 42 所述的方法, 其中形成所述第二缓冲层的步骤包括在所述 p 型导电区上生长所述第二缓冲层。

58. 如权利要求 42 所述的方法, 其中形成所述第二缓冲层的步骤包括在所述 p 型导电区上淀积所述第二缓冲层。

59. 如权利要求 42 所述的方法, 其中还包括蚀刻所述 n 型导电沟道层和所述第二缓冲层, 以便形成具有定义所述晶体管周边的侧壁的台面。

60. 一种晶体管单元, 它包括:

晶体管, 它具有源极、漏极和栅极, 所述栅极处在所述源极和所述漏极之间并且在第一半导体材料层上;

所述 p 型导电区, 它在所述源极的下面并具有伸向所述漏极的端部, 所述 p 型导电区与所述第一半导体材料层彼此隔开并在电气上连接到所述源极; 以及

第二缓冲器, 位于所述 p 型导电区和 n 型导电沟道层之间。

61. 如权利要求 60 所述的晶体管单元, 其中所述栅极延伸到第一半导体材料层内。

62. 如权利要求 60 所述的晶体管单元, 其中所述晶体管包括碳化硅晶体管。

63. 如权利要求 60 所述的晶体管单元, 其中所述晶体管包括基于砷化镓的晶体管。

64. 如权利要求 60 所述的晶体管单元, 其中所述晶体管还包括基于砷化镓铝的晶体管。

65. 如权利要求 60 所述的晶体管单元, 其中所述晶体管包括基于氮化镓的晶体管。

66. 如权利要求 60 所述的晶体管单元, 其中所述晶体管还包括基于氮化镓铝的晶体管。

源极区下面具有隐埋 p 型层的 晶体管及其制造方法

政府利益的声明

本发明至少部分地是在海军部门的支持下形成的，合同号为 N39997-99-C-3761。在本发明中政府可以享有某种权利。

发明领域

本发明涉及微电子器件，更具体地说，涉及晶体管例如金属半导体场效应晶体管 (MESFET)。

发明背景

在工作于高频，诸如射频 (500MHz)、S 波段 (3GHz) 和 X 波段 (10GHz) 的同时，要求高功率处理能力 (>20w) 的电路，近年来，变为更加流行。由于高功率、高频电路的增加，对于能够可靠工作于射频和更高频率，但仍能处理较高的功率负载的晶体管的需求相应增大。以前，双极性晶体管和功率金属氧化物半导体场效应晶体管 (MOSFET) 已经用于高功率的用途，但是这样的器件的功率处理能力在较高工作频率下可能受到限制。结型场效应晶体管 (JFET) 一般用于高频应用，但是以前已知的 JFET 的功率处理能力可能还是受到限制。

最近，已经为高频应用开发了金属半导体场效应晶体管 (MESFET)。MESFET 结构最好可以用于高频应用，因为仅仅多数载流子承载电流。推荐 MESFET 设计优于当前的 MOSFET 设计，因为栅极电容减小，允许栅极输入有较短的切换时间。因此，尽管所有场效应晶体管都只利用多数载流子来携带电流，但是 MESFET 的 Schottky 栅极结构可能使 MESFET 在高频应用上更好。

除结构的类型以外，或许更基本的是，形成晶体管的半导体材料的特性也影响工作参数。在影响晶体管工作参数的特性中，电子迁移率、饱和电子漂移速度、击穿电场和导热率可能对晶体管高频和高功率特性影响最大。

电子迁移率是在电场存在的情况下，电子能够多快被加速到它的饱和速度的一种量度。过去，推荐采用电子迁移率高的半导体材料，因为可以用较小的电场产生较大的电流，结果当施加电场时，得到较快的响应时间。饱和电子漂移速度是电子在所述半导体材料中可以获得的最高速度。对于高频应用推荐采用饱和电子漂移速度较高的材料，因为较高的速度意味着从源极到漏极的较短的时间。

击穿电场是 Schottky 结被击穿和流过器件栅极的电流骤然增加时的电场强度。对于高功率高频晶体管推荐采用击穿电场高的材料，因为给定尺寸的材料一般地可以支持较高的电场。较大的电场为较快的暂态作好准备，因为较大的电场比较小的电场可以更迅速地加速电子。

导热率是半导体材料耗散热量的能力。在典型运行中，所有晶体管都产生热量。高功率和高频晶体管本身一般比小信号晶体管产生较大的热量。随着半导体材料温度的上升，一般结漏电流增大，而且一般由于载流子的迁移率随着温度上升而下降，流过场效应晶体管的电流减少。因此，若热量从半导体耗散，则所述材料将保持较低的温度，并能够承载较大的电流，而且漏电流较低。

过去，高频 MESFET 一直用 n 型 III-V 族化合物制造，诸如砷化镓 (GaAs)，因为它们的电子迁移率高。尽管这些器件提供提高了的工作频率和中等增大了的功率处理能力，但是这些材料相对较低的击穿电压和较低的导热率限制了它们在高功率应用中的可用性。

许多年来已经知道碳化硅 (SiC) 具有优异的物理和电子学特性，在理论上应该可以生产出能够在比用硅 (Si) 或者 GaAs 生产的器件较高温度、较高功率和较高的频率下工作的电子器件。约 $4 \times 10^6 \text{V/cm}$ 的

高击穿电场、约 $2.0 \times 10^7 \text{ cm/sec}$ 的高电子饱和漂移速度和约 $4.9 \text{ W/cm}^\circ\text{K}$ 的高导热率表明, SiC 会适用于高频、高功率应用。遗憾的是, 制造上的困难限制了 SiC 在高功率和高温应用的可用性。

已经在硅基片上生产出具有碳化硅沟道层的 MESFET (见例如 Suzuki 等人的美国专利 No. 4, 762, 806 和 Kondoh 等人的 4, 757, 028)。因为 MESFET 的半导体层是外延生长的, 其上生长了每一个外延层的层, 会影响所述器件的特性。因而, 生长在 Si 衬底上的 SiC 外延层与生长在不同衬底上的 SiC 外延层相比, 一般地具有不同的电气和热特性。尽管在美国专利 No. 4, 762, 806 和 4, 757, 028 中描述的 Si 衬底上的 SiC 器件可能已经呈现改善的热特性, 但是 Si 衬底的使用一般限制了这样的器件耗散热量的能力。另外, SiC 在 Si 上的生长一般会在外延层中造成缺陷, 导致当所述器件工作时漏电流大。

有人已经利用 SiC 衬底开发了其它 MESFET。1990 年 6 月 19 日提交的现已放弃的美国专利申请序列号 No. 07/540, 488, 描述在 SiC 衬底上生长的 SiC 外延层的 SiC MESFET。所述公开整个包括在此作参考。与以前的器件相比, 这些器件呈现改善的热特性, 因为在 SiC 衬底上生长的外延层晶体质量的改善。然而, 为了获得高功率和高温, 可能必需克服 SiC 较低电子迁移率的限制。

类似地, Palmour 的共同转让的美国专利 No. 5, 270, 554 描述一种 SiC MESFET, 它具有在 SiC 的 n^+ 区域上形成的源极和漏极触点, 和在衬底与形成沟道的 n 型层之间的任选的轻掺杂的外延层。Sriram 等人的美国专利 No. 5, 925, 895 还描述一种 SiC MESFET 和作为克服可能降低所述 MESFET 高频工作下的性能的"表面效应"的结构。Sriram 等人还描述一种采用 n^+ 源极和漏极触点区以及 p 型缓冲层的 SiC MESFET。

另外, 传统的 SiC FET (场效应管) 结构, 可以利用偏离栅极一个具有类似导电类型的轻掺杂区的很薄的重掺杂的沟道 (一种 Δ 掺杂沟道), 在所述 FET 的整个工作范围, 亦即从完全打开 (fully open) 沟

道到接近夹断电压的过程中提供恒定的特性。 Δ 掺杂沟道在 Yokogawa 等人题为“氮 Δ 掺杂碳化硅层的电子特性”, MRS Fall Symposium, 2000 一文和 Konstantinov 等人题为“低-高-低和 Δ 掺杂碳化硅结构的研究”, MRS Fall Symposium, 2000 一文中作了详细讨论。然而, 在 SiC MESFET 中可以作出进一步的改善。

例如, 若它们用于高效率、高功率、高线性射频 (RF) 应用, 则所述 SiC MESFET 具有高的击穿电压和相对较低的漏电流可能是重要的。在一个提供高击穿电压器件的尝试中已经提供具有高度补偿的衬底, 诸如钒掺杂的半绝缘 SiC。这些器件一般提供适当的击穿电压以及低的漏电流, 但由于衬底中不希望有的俘获效应, 可能牺牲器件的性能。另外, 已经有人提出在所述 FET 的沟道下面具有重掺杂的 p 型层的器件并在提供良好的电子限制作用和低的漏电流方面已经获得成功。然而, 这些器件一般包含太多的寄生效应, 可能降低所述器件的 RF 性能。因此, 就现有的 SiC FET 器件而言, 可以作出进一步的改善, 以便它们可以在不牺牲所述器件其它的性能特性的情况下改善击穿电压。

发明概要

本发明的实施例提供一种金属半导体场效应晶体管 (MESFET) 的单元。所述 MESFET 单元包括具有源极、漏极和栅极的 MESFET。所述栅极设置在源极和漏极之间并在 n 型导电沟道层上。p 型导电区设置在源极的下面并具有伸向漏极的端部。P-型导电区与 n 型导电沟道层隔开, 而且在电气上连接到源极。

在本发明的某些实施例中, 栅极可以延伸到 n 型导电沟道层中, 栅极可以具有第一侧壁和第二侧壁。栅极的第一侧壁可能与栅极的源极侧相关, 而第二侧壁可能与所述栅极的漏极侧相关。P-型导电区可以在不延伸过栅极的第一侧壁的情况下从源极的下面延伸到栅极的第一侧壁, 在不延伸过栅极的第二侧壁的情况下从源极的下面

延伸到栅极的第二侧壁，或者从源极下面延伸到栅极的第一和第二侧壁之间。在某些实施例中，p 型导电区从源极下面延伸到在第一侧壁的源极侧上第一侧壁的约 0.1 到约 0.3 μm 之内。在某些实施例中，p 型导电区从源极触点下面延伸和/或从源极注入区下面延伸，而不延伸到漏极触点下面。P-型导电区还可以从源极触点下面延伸和/或从源极源极注入区下面延伸，而不延伸到漏极注入区下面。

在本发明的其他实施例中，MESFET 是具有 SiC 衬底的碳化硅 (SiC) MESFET。p 型导电区可以设置在 SiC 衬底上。在某些实施例中，p 型导电区处于 SiC 衬底内。N-型导电沟道层可以包括 n 型导电 SiC，而 p 型导电区可以包括 p 型导电 SiC。

在本发明的再一些实施例中，p 型导电区可以具有从约 $1.0 \times 10^{18} \text{cm}^{-3}$ 到约 $1.0 \times 10^{20} \text{cm}^{-3}$ 的载流子浓度。n 型导电沟道层可以包括第一 n 型导电沟道层和第二 n 型导电沟道层。第一 n 型导电沟道层可以具有约 $3 \times 10^{17} \text{cm}^{-3}$ 的载流子浓度，而第二 n 型导电沟道层可以具有约 $1 \times 10^{16} \text{cm}^{-3}$ 的载流子浓度。第一 n 型导电沟道层可以具有约 0.28 μm 的厚度，而第二 n 型导电沟道层可以具有约 900 $\text{\AA}$ 的厚度。在本发明的某些实施例中，n 型导电沟道层包括第一、第二和第三 n 型导电沟道层。第一、第二和第三 n 型导电沟道层可以具有各自的第一、第二和第三载流子浓度。

在本发明的某些实施例中，MESFET 还可以包括 SiC 衬底上的缓冲层。可以在所述缓冲层中形成 p 型导电区。所述 p 型层也可以在所述 SiC 衬底内形成。p 型层可以延伸到所述缓冲层或者 SiC 衬底中约 0.4 μm 。

在本发明的其他实施例中，所述缓冲层可以具有约 2 μm 的厚度。所述缓冲层可以包括 p 型导电 SiC 并且可以具有从约 $0.5 \times 10^{15} \text{cm}^{-3}$ 到约 $3 \times 10^{15} \text{cm}^{-3}$ 的载流子浓度。所述缓冲层还可以包括 n 型导电 SiC，并具有小于约 $5 \times 10^{14} \text{cm}^{-3}$ 的载流子浓度。最后，所述缓冲层可以包括未掺杂的 SiC。

在本发明的再一些实施例中, MESFET 可以是砷化镓 (GaAs) MESFET 或者氮化镓 (GaN) MESFET。MESFET 可以具有可以是 GaAs 或者 GaN 的衬底。可以在 GaAs 或者 GaN 衬底上设置 p 型导电区。N-型导电沟道层可以包括 n 型导电砷化镓 (GaAs) 或者 GaN, 而 p 型导电区可以包括 p 型导电 GaAs 或者 GaN。

在本发明的某些实施例中, MESFET 还可以包括在 n 型沟道层上分别限定源极和漏极的第一和第二欧姆触点。可以在源极和漏极之间设置露出所述 n 型沟道层的第一凹槽。栅极可以设置在第一凹槽内并延伸到所述 n 型沟道层内。可以在源极附近设置露出所述 p 型导电区的接触通孔, 并且可以在所露出的 p 型导电区上设置第三欧姆触点。

在本发明的其他实施例中, 可以在漏极的第二欧姆触点上设置第一覆盖层, 并且可以分别在源极的第一和第三欧姆触点上以及所述 p 型导电区的暴露部分上设置第二覆盖层。第二覆盖层可以在电气上连接源极的第一欧姆触点和所述 p 型导电区暴露部分的第三欧姆触点。

在本发明的再一些实施例中, MESFET 还可以包括源极和漏极下面的 n 型导电沟道层内 SiC 的注入的 n 型导电区。SiC 的注入的 n 型导电区的载流子浓度可以大于 n 型导电沟道层的载流子浓度。第一和第二欧姆触点设置在 SiC 的 n 型导电区上。SiC 的注入的 n 型导电区可以具有约 $1 \times 10^{19} \text{cm}^{-3}$ 的载流子浓度。第一、第二和第三欧姆触点可以包括镍触点。

在本发明的某些实施例中, 为栅极设置双凹槽结构。第一凹槽可以设置在源极和漏极之间, 露出所述 n 型沟道层。第一凹槽可以具有第一和第二侧壁。第二凹槽可以设置在第一凹槽的第一和第二侧壁之间。栅极可以设置在第二凹槽内, 并延伸到所述 n 型导电沟道层内。

在本发明的某些实施例中, 第二缓冲层可以设置在所述 p 型导

电区和所述 n 型导电沟道层之间。第二缓冲层可以包括 p-类型 SiC, 并且可以具有从约 $1 \times 10^{16} \text{cm}^{-3}$ 到约 $5 \times 10^{16} \text{cm}^{-3}$ 的载流子浓度, 但是一般约为 $1.5 \times 10^{16} \text{cm}^{-3}$ 。缓冲层可以具有从约 $0.5 \mu\text{m}$ 到约 $1.0 \mu\text{m}$ 的厚度。

在本发明的其他实施例中, n 型导电沟道层和第二缓冲层可以形式一个台面, 其侧壁形成晶体管的周边并伸展到 n 型沟道层和第二缓冲层。所述台面的侧壁还可以伸展到衬底中的所述 p 型导电区。可以在 n 型导电沟道层上形成氧化物层。

在本发明的再一些实施例中, 栅极包括 n 型导电沟道层上铬的第一栅极层。栅极还可以包括第一栅极层上的覆盖层。覆盖层可以包括铂和金。作为另一方案, 栅极可以包括 n 型导电沟道层上镍的第一栅极层。栅极还可以包括所述第一栅极层上的覆盖层。所述覆盖层可以包括金。所述栅极还可以设置在双凹槽结构内, 所述双凹槽结构具有延伸到 n 型导电沟道层中约 $600 \text{\AA}$ 的底板。所述栅极的长度可以是约 $0.4 \mu\text{m}$ 到约 $0.7 \mu\text{m}$ 。从源极到栅极的距离可以是约 $0.5 \mu\text{m}$ 到约 $0.7 \mu\text{m}$ 。从漏极到栅极的距离可以是约 $1.5 \mu\text{m}$ 到约 $2 \mu\text{m}$ 。在一个包括多个单元的 MESFET 中, 从第一栅极到第二栅极的距离可以是约 $20 \mu\text{m}$ 到约 $50 \mu\text{m}$ 。

某些实施例中, 设置晶体管的单元。所述晶体管单元具有源极、漏极和栅极。晶体管的栅极处于源极和漏极之间, 并在半导体材料第一层上。p 型导电区设置在源极下面并具有伸向漏极的端部。p 型导电区与第一半导体材料层隔开并在电气上连接到源极。

在本发明的其他实施例中, 栅极延伸到第一半导体材料层中。所述晶体管可以包括碳化硅 (SiC) 晶体管、基于砷化镓 (GaAs) 的晶体管、基于砷化铝镓 (AlGaAs) 的晶体管、基于氮化镓 (GaN) 的晶体管和/或基于氮化铝镓的晶体管。正如这里使用的, 术语基于 GaN、基于 AlGaN、基于 GaAs、基于 AlGaAs 是指二元、三元和四元化合物, 诸如 GaN, AlGaN 和 AlInGaN 的相应的化合物。例如, 基于 GaN 的晶体管可以包括 GaN 区域、AlGaN 区域、InAlGaN 区域等。

尽管上面主要参照 MESFET 描述了本发明，但是还提供其它的类型晶体管，具体地说，MESFET 以及制造晶体管的方法。

附图的简要描述

图 1 是按照本发明实施例的晶体管的剖面图；

图 2A 至 2G 说明按照本发明实施例的晶体管制造中的处理步骤；

图 3 是按照本发明其他实施例的晶体管的剖面图；

图 4 是按照本发明其他实施例的晶体管的剖面图；

图 5 是按照本发明其他实施例的晶体管的剖面图；

图 6 是按照本发明实施例的晶体管的平面图；

图 7A 至 7B 是说明传统的 MESFET 漏极电流-电压特性的曲线图；
以及

图 8A 和 8B 是说明按照本发明实施例的 MESFET 的漏极电流-电压特性的曲线图。

本发明的详细说明

现将参照说明本发明不同实施例的图 1 至 8B 来描述本发明。正如附图中说明的，为了说明的目的，各层或各区域的尺寸是夸张的，因而是为说明本发明的一般结构而提供的。另外，本发明的不同方面是参照在衬底上或者其它的层上形成的层而描述的。正如本专业的技术人员将会正确评价的，说到一个层"在"另一个或者衬底上形成时，是想说可以插入附加的层。说到一个层在另一个层或者衬底上形成，而且没有插入层时，在这里描述为"直接在"所述层或者衬底上形成。另外，相对术语，诸如"下面"，可以在这里用来描述一个层或者区域与另一个层或者区域的如同附图中说明的关系。应该明白，这些术语除附图中描绘的方向以外，是想要包括器件的不同的方向。例如，若附图中所述器件翻转过来，则被描述为在其它的层或者区域"下面"的层或者区域。现在定向为在这些其它的层或者区

域的"上面"。在这种情况下，"下面"这一术语打算既包括上面，又包括下面。类似的号码在所有附图中指类似的元件。

应该明白，尽管第一和第二这些术语在这里用来描述不同的区域、层和/或段，但是这些区域、层和/或段应该不限于这些术语。这些术语只用以把一个区域、层或者段与另一个区域、层或者段区分。因而，下面讨论的第一区域、层或者段可以说成是第二区域、层或者段，类似地，第二区域、层或者段可以说成是第一区域、层或者段，而不脱离本发明的传授。

现将下面参照说明本发明不同实施例和本发明实施例不同的制造过程的图 1 至 8B，详细描述本发明的实施例。提供一种晶体管例如一种金属半导体场效应晶体管(MESFET)，它在 MESFET 的源极下面具有 p 型导电区，后者具有伸向所述 MESFET 漏极的端部。正如下面所详细描述，所述 p 型导电区的存在例如 p 型导电碳化硅(SiC)可以例如在不折中器件其它的性能特性的情况下提供具有改善的击穿电压的器件。可以提供改善的击穿电压，是因为 p 型导电区的存在可以抑制电子从源极注入，这本身可以提高击穿电压。按照本发明实施例的晶体管可以用于例如高效率线性功率放大器，诸如利用复调制方案，诸如码分多址(CDMA)和/或宽带 CDMA(WCDMA)的基站用的功率放大器。

现将参见图 1，详细描述根据本发明实施例的晶体管例如金属半导体场效应晶体管(MESFET)。正如在图 1 看到的，设置衬底 10。衬底 10 可以是 p 型或者 n 型导电或者半绝缘的单一的晶体块碳化硅(SiC)衬底。P-型或者 n 型衬底 10 可以是非常轻掺杂的。衬底可以是由选自 6H、4H、15R 或者 3C 碳化硅的碳化硅形成的。尽管在这里本发明是参照 SiC 衬底描述的，但是本发明不应限于 SiC。例如，在某些实施例中，衬底 10 还可以包括例如砷化镓(GaAs)和/或氮化镓(GaN)。

例如，p 型碳化硅的任选的缓冲层 12 可以设置在衬底 10 上。缓冲层 12 可以由 6H、4H、15 或者 3C polytype 的 p 型导电碳化硅形

成。缓冲层 12 可以例如具有从约 $0.5 \times 10^{15} \text{cm}^{-3}$ 到约 $3.0 \times 10^{15} \text{cm}^{-3}$ 的载流子浓度。适当的掺杂剂包括铝、硼和/或镓。缓冲层 12 可以具有约 $2.0 \mu\text{m}$ 的厚度。尽管在上面缓冲层 12 被描述为 p 型碳化硅，但是本发明不应限于这种配置。作为另一方案，缓冲层 12 可以是未掺杂的碳化硅(亦即不是有意掺杂的)或者非常轻掺杂的 n 型导电碳化硅。若利用非常轻掺杂的 n 型碳化硅作为缓冲层 12，则缓冲层 12 的载流子浓度最好小于约 $5.0 \times 10^{14} \text{cm}^{-3}$ 。

如图 1 中还说明的， p^+ 区 14 设置在所述器件的源极的下面，其一端伸向所述器件的漏极。正如这里使用的，“ p^+ ”或者“ n^+ ”指的是由比相邻或者同一层或者另一个层或者衬底较高的载流子浓度定义的区域。在本发明的某些实施例中， p^+ 导电区 14 可以从源极触点 26 下面延伸和/或从 n^+ 源极注入区 13 下面延伸，不延伸到 n^+ 漏极注入区 17 的下面。在本发明的其他实施例中， p^+ 导电区 14 可以从源极触点 26 下面延伸和/或下从 n^+ 源极注入区 13 下面延伸，但不延伸到漏极触点 22 的下面。在再一些其他实施例中， p^+ 导电区 14 还可以在不延伸过栅极的第一侧壁 31 的情况下从源极触点 26 下面延伸和/或从 n^+ 源极注入区 13 下面延伸到栅极的第一侧壁 31；在不延伸过栅极的第二侧壁 33 的情况下从源极触点 26 下面延伸和/或从 n^+ 源极注入区 13 下面延伸到栅极第二侧壁 33；或者从源极 26 下面延伸和/或从 n^+ 源极注入区 13 的下面延伸到栅极 24 的第一侧壁 31 和第二侧壁 33 之间的点。在本发明的某些实施例中， p^+ 导电区 14 可以延伸到源极侧栅极 24 的第一侧壁 31 的约 0.1 到约 $0.3 \mu\text{m}$ 范围内的点。

p^+ 区 14 是一个 p 型导电例如 p 型导电碳化硅的区。对于 p^+ 区 14，载流子浓度从约 $1.0 \times 10^{18} \text{cm}^{-3}$ 到约 $1.0 \times 10^{20} \text{cm}^{-3}$ 可能是适当的，但是载流子浓度最好尽可能高。载流子浓度在整个 p^+ 区 14 可能不是恒定的，但是载流子浓度最好在 p^+ 区 14 的表面尽可能高，以便促进其上欧姆触点的形成。在本发明的某些实施例中，正在图 3 中说明的， p^+ 导电区 14 可以设置在衬底 10 内。 p^+ 导电区 14 可以例如在缓冲层 12

或者衬底 10 中延伸约 $0.4\mu\text{m}$ 。源极区下面 p^+ 导电区的存在可以抑制电子从源极注入，因而，可能提供一改善的击穿电压。另外， p^+ 导电区 14 不延伸到漏极区下面这一事实可以阻止寄生下效应引入器件，因而器件性能可以不受影响。

缓冲层 12 可以设置在衬底 10 和第二缓冲层 16 之间。第二缓冲层 16 可以是例如载流子浓度从约 $1 \times 10^{16} \text{cm}^{-3}$ 到约 $5 \times 10^{16} \text{cm}^{-3}$ 的，但是一般约为 $1.5 \times 10^{16} \text{cm}^{-3}$ 的 p 型碳化硅。 p 型碳化硅缓冲层 16 还可以具有从约 $0.5\mu\text{m}$ 到约 $1.0\mu\text{m}$ 的厚度。尽管在上面把第二缓冲层 16 描述为 p 型导电碳化硅，但应明白，本发明不限于此配置。作为另一方案，例如第二缓冲层 16 可以是 n 型导电，例如，正如以上就缓冲层 12 而论述的，非常轻掺杂的 n 型导电 SiC 或者未掺杂的 SiC。正如 3 说明的，在本发明的某些实施例中，第二缓冲层 16 可以直接设置在衬底 10 上。

如图 1 说明的， n 型导电沟道层 18 设置在第二缓冲层 16 上。 N -型导电沟道层 18 可以由 6H、4H、15R 或者 3C polytype n 型导电碳化硅形成。 n 型导电沟道层可以包括一层或多层例如具有不同的载流子浓度的 n 型导电碳化硅。例如，如图 4 说明的， n 型导电沟道层 18 可以包括第一 n 型导电沟道层 15 和第二 n 型导电沟道层 19。作为另一方案，正如 Sriram 的共同转让的美国专利申请序号 No.10/136,456 中详细讨论的， n 型导电沟道层 18 可以包括第一、第二和第三 n 型导电 SiC 层。所述专利申请的公开内容好象陈述的那样作为一个整体附此作参考。

正如在图 1 中还说明的， n^+ 区域 13 和 17 分别设置在所述器件的源极和漏极区内。区域 13 和 17 一般是 n 型导电碳化硅，并且其载流子浓度大于 n 型导电沟道层 18 的载流子浓度。对于 n^+ 区域 13 和 17，约 $1 \times 10^{19} \text{cm}^{-3}$ 的载流子浓度可能是适当的，但载流子浓度最好尽可能高。

欧姆触点 26 和 22 分别设置在注入区 13 和 17 上，并彼此隔开，

以便提供源极触点 26 和漏极触点 22。欧姆触点 25 设置在 p^+ 导电区 14 上, 以便提供 p^+ 触点 25。欧姆触点 25、26 和 22 最好由镍或者其它适当的金属形成。通过例如在电气上把 p^+ 欧姆触点 25 连接到源极触点 26, 使 p^+ 导电区 14 维持与所述源极相同的电位。在所述器件的暴露表面上, 还可以设置绝缘层 20, 诸如氧化物。

按照本发明的某些实施例的晶体管包括第一凹槽 43 和接触通孔 42。第一凹槽 43 设置在第一和第二区域 13 和 17 之间, 亦即在源极区和漏极区之间。第一凹槽 43 延伸到 n 型导电沟道层 18, 并露出 n 型导电沟道层 18。接触通孔 42 设置在源极区 13 附近, 并露出 p^+ 区 14 的至少一部份。

按照本发明实施例的晶体管可以包括双凹槽结构, 如图 4 说明的, 包含第一和第二凹槽。具体地说, 第一凹槽 53 具有底板 60, 穿过第一 n 型导电沟道层 19 延伸到第二 n 型沟道层 15。第二凹槽 54 设置在第一凹槽的侧壁 61、62 之间。第一凹槽 53 的第一侧壁 61 处于源极 26 和栅极 24 之间, 而第一凹槽 53 的第二侧壁 62 处于漏极 22 和栅极 24 之间。第二凹槽 54 的底板延伸到第二 n 型导电沟道层 15 中例如一段约 $600\text{\AA}$ 的距离。在 Sriram 的共同转让的美国专利申请序号 No.10/136,456 中还讨论双凹槽结构。

再次参见图 1, 栅极触点 24 可以设置在第一凹槽 43 内源极区 13 和漏极区 17 之间。在具有如上所述的双凹槽结构的本发明的实施例中, 如图 4 说明的, 栅极 24 可以设置在第二凹槽 54 内。另外, 在本发明的某些实施例中, 如图 5 说明的, 栅极触点 24 可以设置在 n 型导电沟道层 18 上, 并可以不设置在例如第一凹槽 43 或第二凹槽 54 内。

栅极触点 24 可以由铬、铂、硅化铂、镍和/或 TiWN, 然而, 本专业技术人员已知可以达到 Schottky 效应的其它的金属, 诸如金也可以使用。Schottky 栅极触点 24 一般具有三层结构。这样的一种结构可以具有优点, 因为铬 (Cr) 粘着力强。例如, 栅极触点 24 可以任

选地包括铬(Cr)的第一栅极层, 包含 n 型导电沟道层 18。栅极触点 24 还可以包括铂(Pt)和金或者其它导电率高的金属的覆盖层 32。作为另一方案, 栅极触点 24 可以包括 n 型导电沟道层 18 上第一凹槽 43 中第一镍层。栅极触点 24 还可以包括第一镍层上的覆盖层, 包括一个金层。

正如在图 1 中还说明的, 金属覆盖层 28、30 和 32 可以分别设置在所述源极和 p⁺触点 26 和 25、漏极触点 22 和栅极触点 24 上。覆盖层 28、30 和 32 可以是金、银、铝、铂和/或铜。其它适当的高导电金属也可以用作覆盖层。另外, 金属覆盖层 28 可以在电气上把所述 p⁺区 14 的 p⁺触点 25 连接到源极触点 26。

在选择 MESFET 的尺寸时, 栅极的宽度定义为垂直于电流流动方向的栅极尺寸。如图 1 截面所示, 栅极宽度进入纸面并且穿出纸面。栅极的长度是栅极平行于电流流动方向的尺寸。正如在图 1 剖视图看到的, 栅极长度是栅极 24 与 n 型导电沟道层 18 接触的尺寸。例如, 按照本发明的某些实施例的 MESFET 的栅极长度可以从约 0.4 μm 到约 0.7 μm 。另一个重要的尺寸是图 1 剖面图所示的源极到栅极的距离, 从源极触点 26 或者 n⁺区域 13 到栅极触点 24 的距离。按照本发明的某些实施例的源极到栅极的距离可以从约 0.5 μm 到约 0.7 μm 。另外, 从漏极 22 到栅极 24 的距离可以从约 1.5 μm 到约 2 μm 。本发明的实施例还可以包括 MESFET 的多个单元, 而从所述单元的第一栅极到第二栅极的距离可以是例如从约 20 μm 到约 50 μm 。

图 2A 至 2H 说明按照本发明实施例的 FET 的制造。正如在图 2 看到的, 可以在衬底 10 上生长或者淀积任选的缓冲层 12。衬底 10 可以是半绝缘 SiC 衬底、p 型衬底或 n 型衬底。衬底 10 可以是非常轻掺杂的。缓冲层 12 可以是 p 型导电碳化硅, 具有约 $3.0 \times 10^{15} \text{cm}^{-3}$ 或者更低的载流子浓度, 但是一般为 $1.0 \times 10^{15} \text{cm}^{-3}$ 或者更低。作为另一方案, 缓冲层 12 可以是 n 型碳化硅或者未掺杂的碳化硅。

若衬底 10 是半绝缘的, 则它可以如在 Carter 等人的题为"无钒

支配 (Domination) 的半绝缘的碳化硅"的共同转让的美国专利 No. 6, 218, 680 中所描述的那样制造。所述专利申请的公开内容好象陈述的那样作为一个整体附此作参考。这样的一种半绝缘的衬底的生产方法是, 给碳化硅衬底提供足够高的点缺陷等级和足够高的 p 型和 n 型掺杂剂的匹配程度, 使得碳化硅衬底的电阻率由点缺陷支配。完成这样的一种支配的方法可以是, 在高温下利用重金属、过渡部分或者其它深度俘获部分 (的浓度小于约 $1 \times 10^{16} \text{cm}^{-3}$ 、最好小于约 $1.0 \times 10^{14} \text{cm}^{-3}$ 的原料粉末来制造碳化硅衬底。例如, 可以使用约 2360°C 和 2380°C 之间的温度, 同时, 点火区 (seed) 是比较低的约 300°C 到约 500°C 。因而, 半绝缘的衬底最好基本上没有重金属、过渡部分掺杂剂或者其它深度捕获部分, 诸如钒, 使得衬底的电阻率不受这样的重金属或者过渡部分支配。尽管半绝缘的衬底最好没有这样的重金属、过渡部分掺杂剂或者深度捕获部分, 但若这样的材料的存在对这里所描述的 MESFET 电气特性不发生重大影响, 则这样的部分可以以可测量的量存在, 而仍能从本发明的传授中受益。

如图 2A 还说明的, 可以为对 p^+ 区 14 进行注入而形成掩模 45。一般通过例如铝、硼和/或镓的离子注入来形成 p^+ 区 14, 随后进行高温退火。适当的退火温度可以从约 1300°C 到约 1600°C , 一般约为 1500°C 。可以在不被掩模 45 覆盖的区域上进行离子注入, 以便如图 2B 说明的, 形成 p^+ 区 14。因而, 若缓冲层 12 存在, 则将离子注入缓冲层 12 的各部分, 或者注入衬底 10, 以便提供 p 型导电的例如 p 型导电碳化硅的重掺杂区。一旦注入, 便对掺杂剂进行退火, 以便激活所述注入剂。p 型导电的重掺杂区可以在缓冲层 12 或者衬底 10 中延伸约 $0.4 \mu\text{m}$ 。

正如在图 2B 看到的, 在缓冲层 12 上生长或者淀积第二缓冲层 16 和 n 型导电沟道层 18。应该明白, 若不包括缓冲层 12, 则第二缓冲层 16 和 n 型导电沟道层 18 可以在衬底 10 上生长或者淀积。如图 2B 说明的, 第二缓冲层 16 在缓冲层 12 上形成, 而 n 型导电沟道层 18

在第二缓冲层 16 上形成。

如图 2C 说明的, 可以为对 n^+ 区域 13 和 17 进行注入而形成掩模 50。通过例如氮(N)或者磷(P)的离子注入来形成区域 13 和 17, 随后进行高温退火。适当的退火温度可以是从约 1100°C 到约 1600°C。如图 2D 说明的, 离子注入可以在不被掩模 50 覆盖的区域上进行, 以便形成 n^+ 区域 13 和 17。这样, 离子便注入 n 型导电沟道层 18 的各部分, 以便提供重掺杂的 n 型导电的例如 n 型导电的 SiC 的区域, 其载流子浓度高于 n 型导电沟道层 18。一旦注入, 便对掺杂剂进行退火, 以便激活注入剂。

正如图 2D 看到的, 可以蚀刻衬底 10、缓冲层 12、 p^+ 区 14、第二缓冲层 16 和 n 型导电沟道层 18, 形成一个孤立的台面。所述台面具有侧壁 55、57, 侧壁 55、57 由定义所述晶体管周边的衬底 10、缓冲层 12、 p^+ 区 14、第二缓冲层 16 和 n 型导电沟道层 18 定义。所述台面的侧壁向下延伸过 p^+ 导电区 14。可以这样形成所述台面, 使得所述台面延伸到所述器件的衬底 10 中, 如图 2D 所示。所述台面可以延伸过器件的耗尽区, 以便把流入器件的电流限定在所述台面上, 并减小所述器件的电容。所述台面最好通过对上述器件进行反应性离子蚀刻形成, 然而, 本专业技术人员已知的其它方法也可以用来形成所述台面。另外, 若不利用台面, 则可以利用其它的方法诸如质子轰击、借助补偿原子的反掺杂或者本专业的技术人员已知的其它方法来隔离所述器件。

在某些实施例中, 可以只蚀刻第二缓冲层 16 和 n 型导电沟道层 18, 以便如图 4 所示, 形成孤立的台面。在这些实施例中, 侧壁 55、57 是由定义所述晶体管周边的第二缓冲层 16 和 n 型导电沟道层 18 定义的。

图 2D 进一步说明所述 MESFET 第一凹槽 43 的形成。可以通过以下方法来形成第一凹槽 43: 形成掩模 47, 然后通过 n 型导电沟道层 18 进行蚀刻, 以便按照掩模 47 来形成第一凹槽 43。可以通过蚀刻

处理, 诸如干式或湿式蚀刻处理来形成第一凹槽 43。例如, 可以通过干式蚀刻例如电子回旋共振 (ECR) 或者感应耦合等离子体 (ICP) 蚀刻来形成第一凹槽 43。可以去除掩模 47。

如上所述, 本发明的实施例可以包括双凹槽结构, 代替单一凹槽 43。如图 4 说明的, 可以通过以下方法来形成双凹槽结构的第一凹槽 53: 形成用于第一凹槽 53 的掩模, 并通过第一 n 型导电沟道层 19 进行蚀刻, 以便按照所述掩模形成第一凹槽 53。可以在形成第一凹槽 53 之后形成绝缘层。如图 2G 说明的, 形成所述欧姆触点之后, 可以通过以下方法来形成双凹槽结构的第二凹槽 54: 形成用于第二凹槽的第二掩模并按照所述掩模蚀刻所述凹槽。可以将第二 n 型导电沟道层 15 蚀刻到例如约 600Å 的距离, 以便形成第二凹槽 54。制造双凹槽结构的方法也在 Sriram 的共同转让的美国专利申请书序号 No.10/136,456 中讨论。

图 2E 说明在如以上所论述的形成第一凹槽 43 之后形成例如氧化物层的绝缘层 20。可以在现有的结构, 亦即在孤立的台面、n⁺区域 13 和 17、n 型导电沟道层 18 和第一凹槽 43 的暴露表面生长或者淀积绝缘层 20。氧化处理可以去除例如可能已经被蚀刻处理损坏的 SiC, 还可以把可能在蚀刻表面下已经建立的粗糙度平滑掉。

如图 2F 说明的, 可以蚀刻穿过绝缘层 20 到达 n⁺区域 13 和 17 的接触窗口。可以在重掺杂 p⁺区 14 上面的绝缘层 20 上蚀刻第三接触窗口 41。然后可以蒸发镍, 以便分别淀积源极和漏极触点 26 和 22。如图 2F 说明的, 可以将镍退火, 以便形成欧姆触点 26 和 22。这样的一种淀积和退火处理可以利用本专业的技术人员已知的传统技术进行。例如, 可以在从约 950°C 到约 1100°C 的温度下对欧姆触点 26 和 22 退火约 2 分钟。然而, 也可以利用其它的时间和温度。例如, 从约 30 秒到约 10 分钟的时间是可以接受的。

如图 2G 说明的, 可以形成 MESFET 的接触通孔 42。可以在绝缘层 20 中, 在由窗口 41 限定的 MESFET 的一部分中蚀刻接触通孔 42。

可以蚀透 n 型导电沟道层 18 和第二缓冲层 16, 露出 p^+ 导电区 14 以便形成接触通孔 42。例如, 蚀刻处理可以是干式或湿式蚀刻处理。正如在图 2G 中还说明的, 可以蒸发镍, 以便淀积 p^+ 触点 25。可以对镍进行退火, 以便形成欧姆触点 25。这样的一种淀积和退火处理可以利用本专业的技术人员已知的传统技术进行。例如, 可以在从约 600°C 到约 1050°C 的温度下对欧姆触点 25 进行退火。

图 2H 说明栅极触点 24 和覆盖层 28、30 和 32 的形成。例如, 可以在绝缘材料 20 中开窗口, 并且可以在第一凹槽 43 内淀积一层铬。一般, 通过蒸发式淀积来形成铬层。然后通过铂和金的淀积完成栅极结构。正如本专业的技术人员也将会正确评价的, 可以在栅极结构的形成之前或者之后形成覆盖层 28 和 30。事实上, 若利用钛/铂/金结构, 则覆盖层的铂和金部分可以在相同的处理步骤作为栅极结构的铂和金部分形成。相应地, 可以在栅极触点的形成之前或者在栅极触点的形成之后形成覆盖层 28 和 30。正如还说明的, 源极触点 26 和 p^+ 触点共享单一的覆盖层 28, 后者在电气上把源极连接到重掺杂的 p 型导电区 14。作为另一方案, 正如以上所论述的, 第一凹槽 43 可以是双凹槽结构, 而栅极可以设置在双凹槽结构内。

现将参见图 3, 讨论按照本发明其他实施例的晶体管的剖面图。在以前描述的附图中, 类似的号码标示类似的部分, 因而这些部分的详细说明从略。正如在图 3 看到的, 设置衬底 10。衬底 10 可以是例如 SiC、GaAs 或 GaN。 p^+ 区 14 设置在所述器件的源极下面, 而且 p^+ 区 14 的一端伸向所述器件的漏极。在本发明的某些实施例中, p^+ 导电区 14 可以从源极触点 26 下面延伸和/或从 n^+ 源极注入区 13 下面延伸到 n^+ 漏极注入区 17 下面。在本发明的其他实施例中, p^+ 导电区 14 可以从源极触点 26 下面延伸和/或在不延伸到漏极触点 22 下面的情况下从 n^+ 源极下面延伸。在本发明图 3 说明的实施例中, p^+ 导电区 14 设置在衬底 10 内。

第二缓冲层 16 设置在衬底 10 和 p^+ 导电区 14 上。n 型导电沟道

层 18 设置在第二缓冲层 16 上。 N^+ 区域 13 和 17 分别设置在所述器件的源极区和漏极区内。欧姆触点 26 和 22 分别设置在注入区 13 和 17 上, 并彼此隔开, 以便提供源极触点 26 和漏极触点 22。欧姆触点 25 设置在 p^+ 导电区 14 上, 以便提供 p^+ 触点 25。例如, 通过在电气上把 p^+ 欧姆触点 25 连接到源极触点 26, 使 p^+ 导电区 14 维持与所述源极相同的电位。在器件的暴露表面上还设置绝缘层 20, 诸如氧化物。

第一凹槽 43 设置在第一和第二 n^+ 区域 13 和 17 之间, 亦即在源极区和漏极区之间。第一凹槽 43 延伸到 n 型导电沟道层 18 内, 并露出 n 型导电沟道层 18。在源极区 13 附近设置接触通孔 42 并露出 p^+ 区域的至少一部份。栅极触点 24 设置在第一凹槽 43 内源极区 13 和漏极区 17 之间。如在图 3 中还说明的, 金属覆盖层 28、30 和 32 可以分别设置在源极和 p^+ 触点 26 和 25、漏极触点 22 和栅极触点 24 上。另外, 金属覆盖层 28 可以在电气上把 p^+ 区 14 的 p^+ 触点 25 连接到源极触点 26。

现参见图 4, 讨论按照本发明其他实施例的晶体管的剖面图。类似的号码指的是以前描述的图中类似的部分, 因而这些部分的详细说明从略。如在图 4 看到的, 设置衬底 10。衬底 10 可以是例如 SiC、GaAs 或 GaN。 p^+ 区 14 设置在所述器件的源极下面, 并且 p^+ 区 14 的一端伸向所述器件的漏极。在本发明的某些实施例中, p^+ 导电区 14 可以从源极触点 26 下面延伸, 和/或在不延伸到 n^+ 漏极注入区 17 下面的情况下从 n^+ 源极注入区 13 下面延伸。在本发明的其他实施例中, p^+ 导电区 14 可以从源极触点 26 下面延伸和/或在不延伸到漏极触点 22 下面的情况下从 n^+ 源极下面延伸。 P^+ 导电区 14 设置在衬底 10 内。缓冲层 16 设置在衬底衬底 10 和 p^+ 导电区 14 上。缓冲层 16 可以是例如 p 型导电碳化硅, 具有约 $1.5 \times 10^{16} \text{cm}^{-3}$ 的载流子浓度和约 $0.5 \mu\text{m}$ 的厚度。

第一 n 型导电沟道层 15 设置在缓冲层 16 上。第一 n 型导电沟道层 15 可以具有例如约 $3 \times 10^{17} \text{cm}^{-3}$ 的载流子浓度和约 $0.28 \mu\text{m}$ 的厚度。

第二 n 型导电沟道层 19 可以在第一 n 型沟道层 15 上, 并可以具有例如约 $1 \times 10^{16} \text{cm}^{-3}$ 的载流子浓度和约 $900 \text{\AA}$ 的厚度。

在所述器件的源极区和漏极区内分别设置 n^+ 区域 13 和 17。欧姆触点 26 和 22 分别设置在注入区 13 和 17 上, 并彼此隔开, 以便提供源极触点 26 和漏极触点 22。欧姆触点 25 设置在 p^+ 导电区 14 上, 以便提供 p^+ 触点 25。通过例如在电气上把 p^+ 欧姆触点 25 连接到源极触点 26, 使 p^+ 导电区 14 维持与所述源极相同的电位。在所述器件的暴露表面上还设置绝缘层 20, 诸如氧化物。可以蚀刻第二缓冲区缓冲层 16、第一 n 型导电沟道层 15 和第二 n 型导电层 19, 以便形成一个孤立的台面。正如说明的, 所述台面包括定义所述晶体管周边的侧壁 55、57。

如图 4 说明的, 在图 4 的晶体管内部设置双凹槽结构。双凹槽结构设置在第一和第二 n^+ 区域 13 和 17 之间, 亦即在源极区和漏极区之间。第一凹槽 53 具有底板 60, 通过第二 n 型导电沟道层 19 延伸到第一 n 型导电沟道层 15, 并露出第一 n 型导电沟道层 15。在某些实施例中, 第一凹槽 53 可以延伸到第一 n 型导电沟道层 15。第二凹槽 54 设置在所述第一凹槽的侧壁 61、62 之间。第一凹槽 53 的第一侧壁 61 处在源极 26 和栅极 24 之间, 而第一凹槽 53 的第二侧壁 62 处在漏极 22 和栅极 24 之间。第二凹槽 54 的底板延伸到第二 n 型导电沟道层 15 中例如约 $600 \text{\AA}$ 的距离。

接触通孔 42 设置在源极区附近, 并露出所述 p^+ 区域的至少一部份。栅极触点 24 设置在第二凹槽 54 内源极区 13 和漏极区 17 之间。正如在图 4 还说明的, 金属覆盖层 28、30 和 32 可以分别设置在所述源极和 p^+ 触点 26 和 25、漏极触点 22 和栅极触点 24 上。另外, 金属覆盖层 28 可以在电气上把 p^+ 区 14 的 p^+ 触点 25 连接到源极触点 26。

现将参见图 5 讨论按照本发明其他实施例的 MESFET 的剖面图。类似的号码指的是以前描述的图中类似的部分, 因而这些部分的描述从略。如图 5 说明的, 栅极 24 设置在 n 型导电沟道层 18 上, 而

不是设置在单一或者双凹槽内。

现将参见图 6, 描述按照本发明的某些实施例的 MESFET 的平面图(顶视图)。如图 6 说明的, 在衬底 10 上设置多个单元。栅极 24 位于源极区 26 和漏极区 22 之间。如图 6 说明的, 源极触点 26 和漏极触点 22 是叉指式的。覆盖层 28 在电气上通过设置在接触通孔 43 内的 p^+ 触点(未示出)把源极区 26 连接到 p^+ 区域(未示出)。

图 7A 至 7B 是分别说明传统的 MESFET 在低电压和高电压下漏极电流-电压特性的曲线图。图 8A 和 8B 是分别说明按照本发明实施例的 MESFET 在低电压和高电压下的漏极电流-电压特性。在图 7A、7B、8A 和 8B 中说明的数据是从在同一块晶片制造的传统的 MESFET 器件和按照本发明实施例的 MESFET 器件获得的。在同一块晶片制造这些器件, 可以减少晶片特性的变动造成的不确定性的数量。

现参见图 7A 和 8A 传统的 MESFET 和按照本发明实施例的 MESFET, 在低的漏极电压下可以具有类似的特性。然而, 如图 7B 和 8B 说明的, 在高的漏极电压下, 例如漏极电压超过 70 伏时, 传统的 MESFET 遭受过量的漏电流和低跨导(图 7B)。这些器件的特性可以降低这样的器件的功率输出和 RF 增益。反之, 如图 8B 说明的, 包括 p 型导电层的按照本发明实施例的 MESFET 可以在高的漏极电压下提供低的漏电流和增大的跨导。

尽管本发明在这里是参照具有特定的层、区域和凹槽的特定的 MESFET 描述的, 但应明白, 本发明的实施例不限于上述 MESFET。按照本发明实施例的源极区下面的 p 型导电区可以包含在其它类型的晶体管中。例如, 按照本发明实施例的 p 型导电区可以包含在 Allen 等人题为“碳化硅金属半导体场效应晶体管”的共同转让的美国专利申请序号 No. 09/567, 717 中描述的 MESFET 中。所述专利申请的公开内容好象陈述的那样作为一个整体附此作参考。

正如上面简短描述的, 按照本发明实施例的晶体管在所述晶体管的源极区下面提供 p 型导电区, 所述 p 型导电区的一端伸向所述

晶体管的漏极区。所述 p 型导电区的存在可以例如在不折中所述器件的其它性能特性的情况下提供具有改善了击穿电压的器件，因为所述 p 型导电区可以抑制电子从所述源极的注入。这可以提供优于牺牲器件性能特征来获得高击穿电压的传统的场效应晶体管的优点。

尽管本发明在这里是参照 SiC MESFET 描述的，但本发明的实施例不限于 SiC MESFET。例如，按照本发明实施例的 MESFET 可以是例如砷化镓 (GaAs) MESFET 或者氮化镓 (GaN) MESFET。具体地说，若本发明就 GaAs MESFET 进行描述，则 p 型导电区可以是 p 型导电的 GaAs 区域，n 型导电沟道层可以是 n 型导电的 GaAs 层等等。

附图和说明书中，已经公开本发明典型的推荐实施例，尽管使用了具体的术语，但是它们只是用于类属和描述意义，而不是用于限制的目的，本发明的范围在以下权利要求书中提出。

图 2B

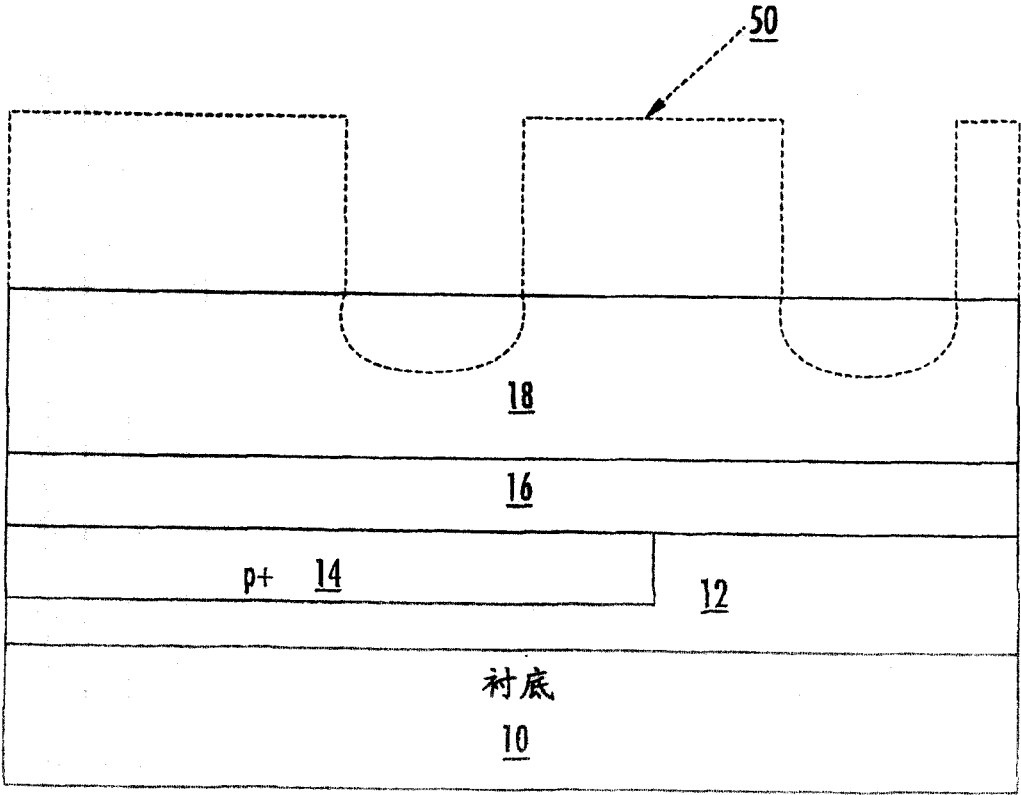
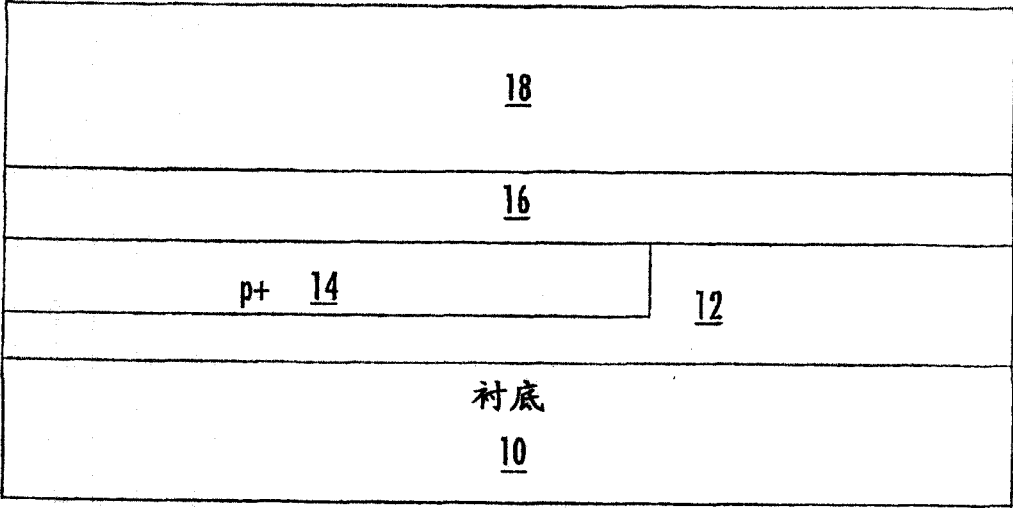


图 2C

图 2D

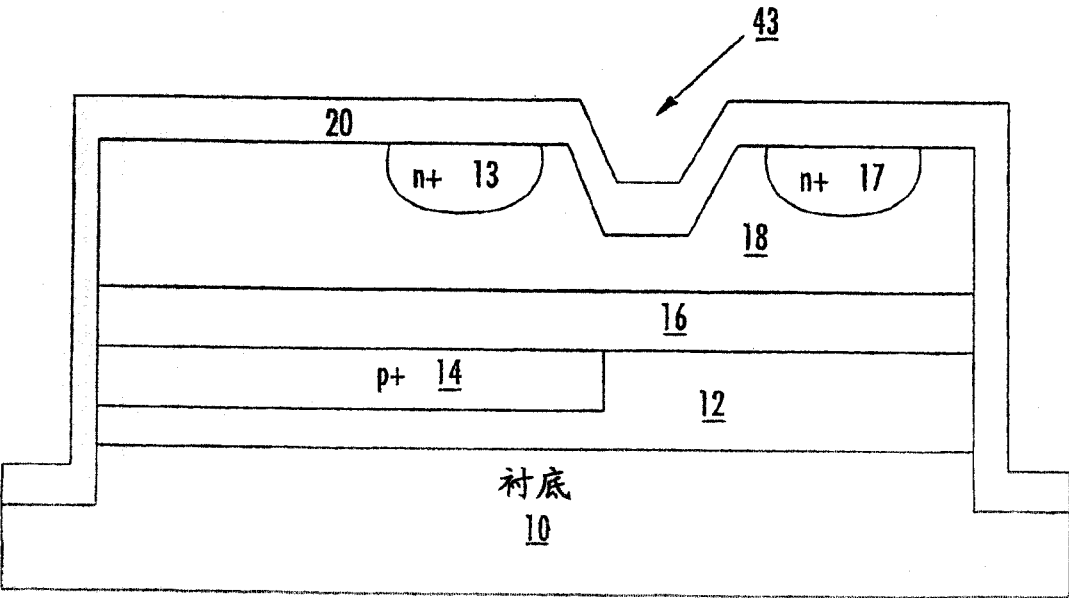
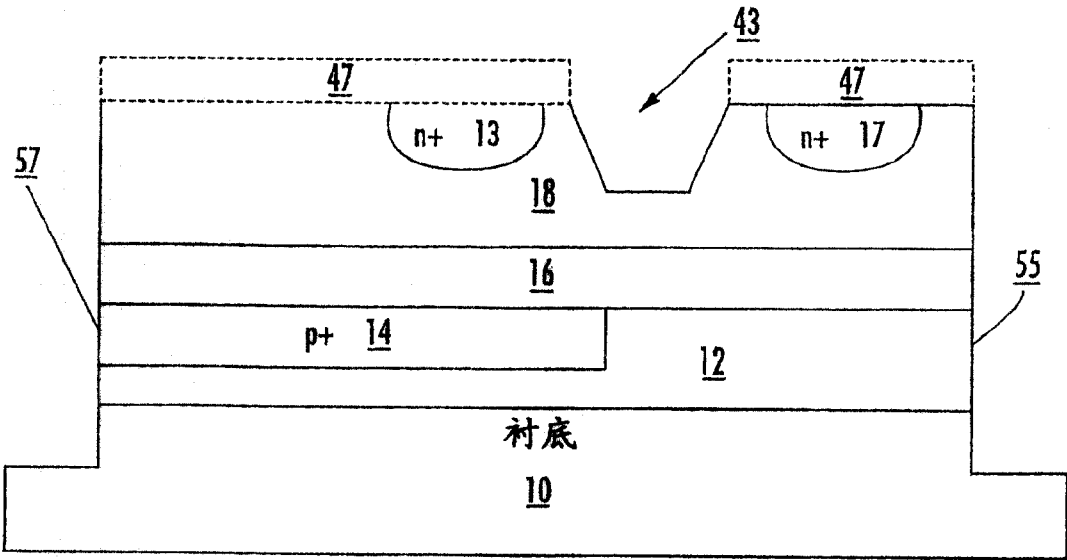


图 2E

图 2F

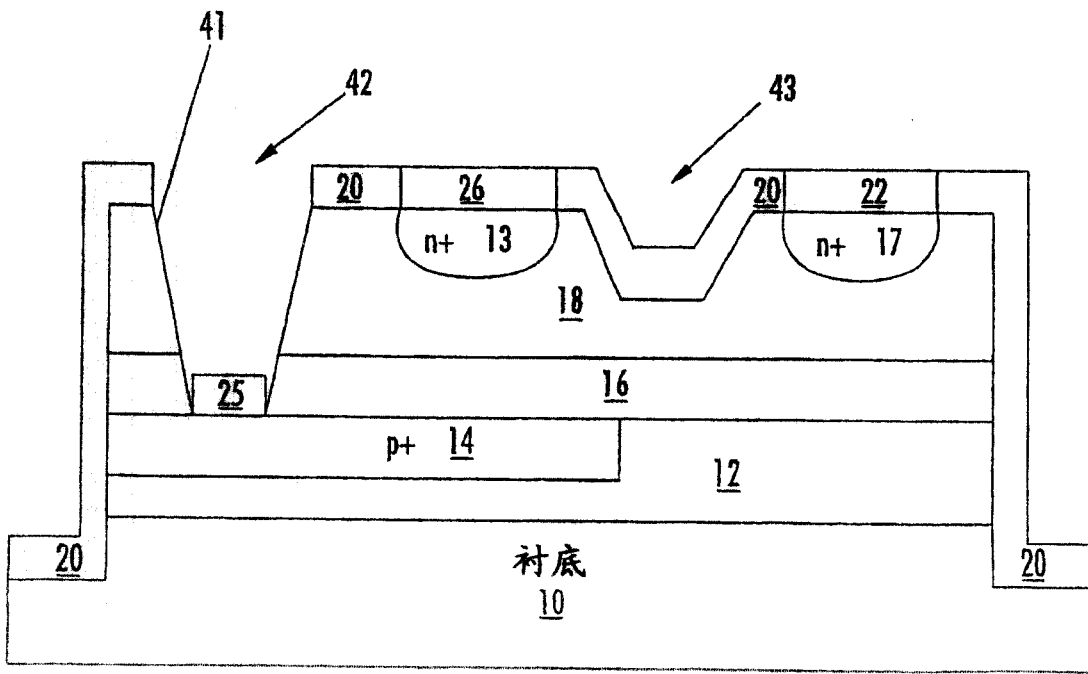
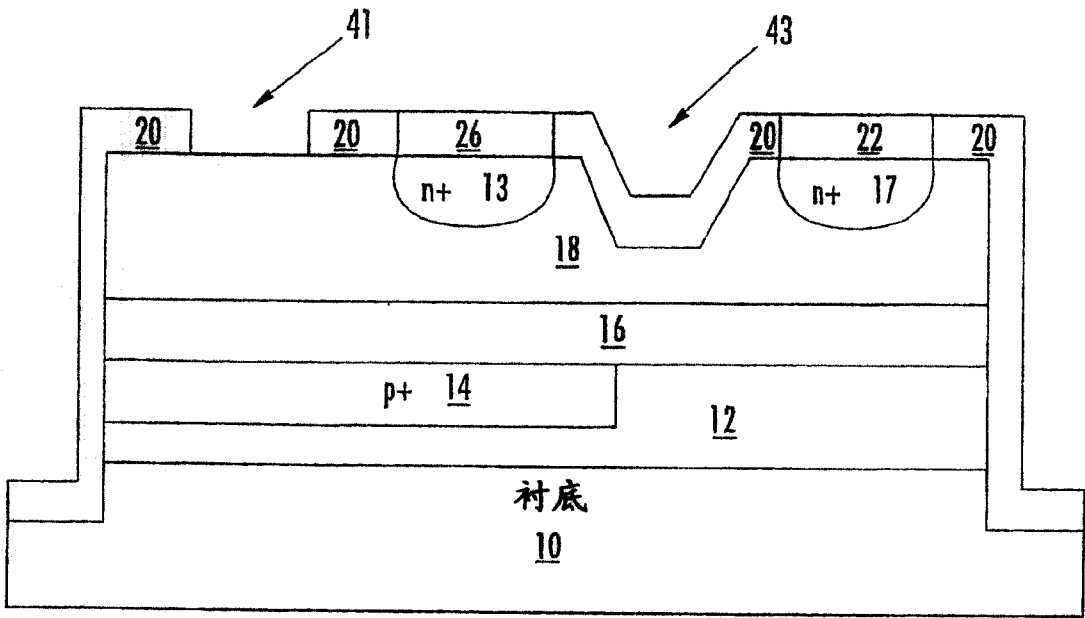


图 2G

图 2H

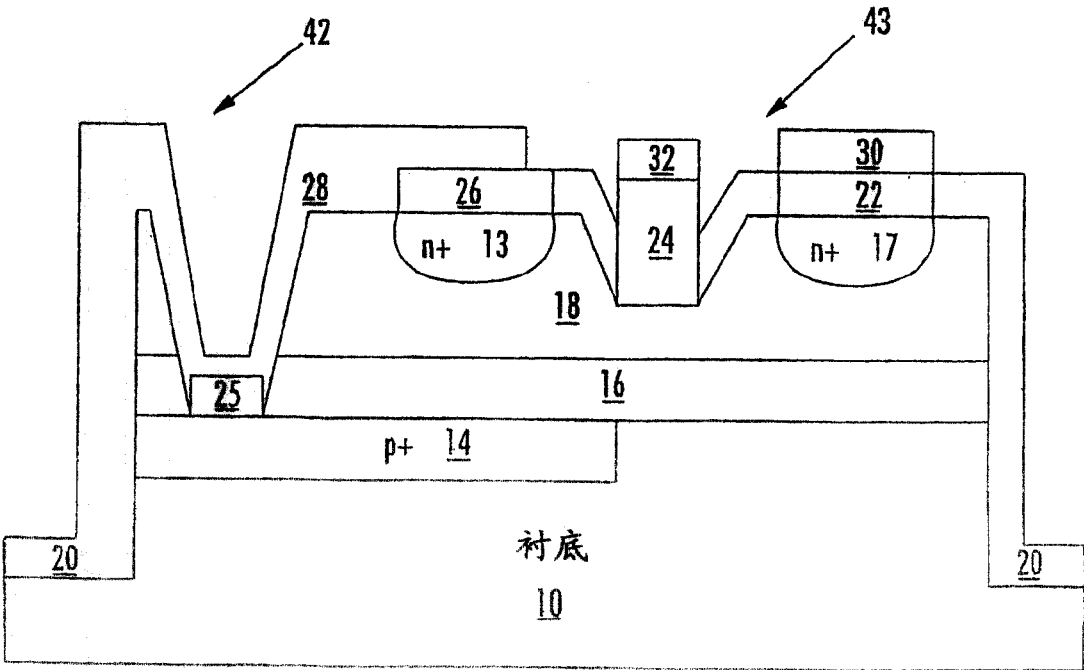
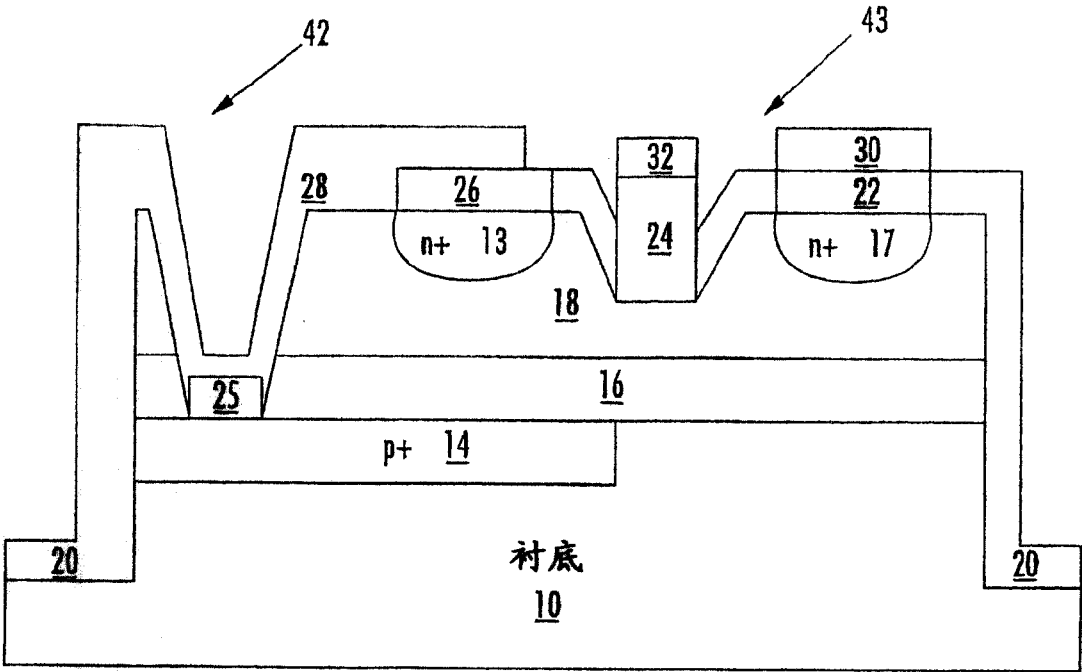


图 3

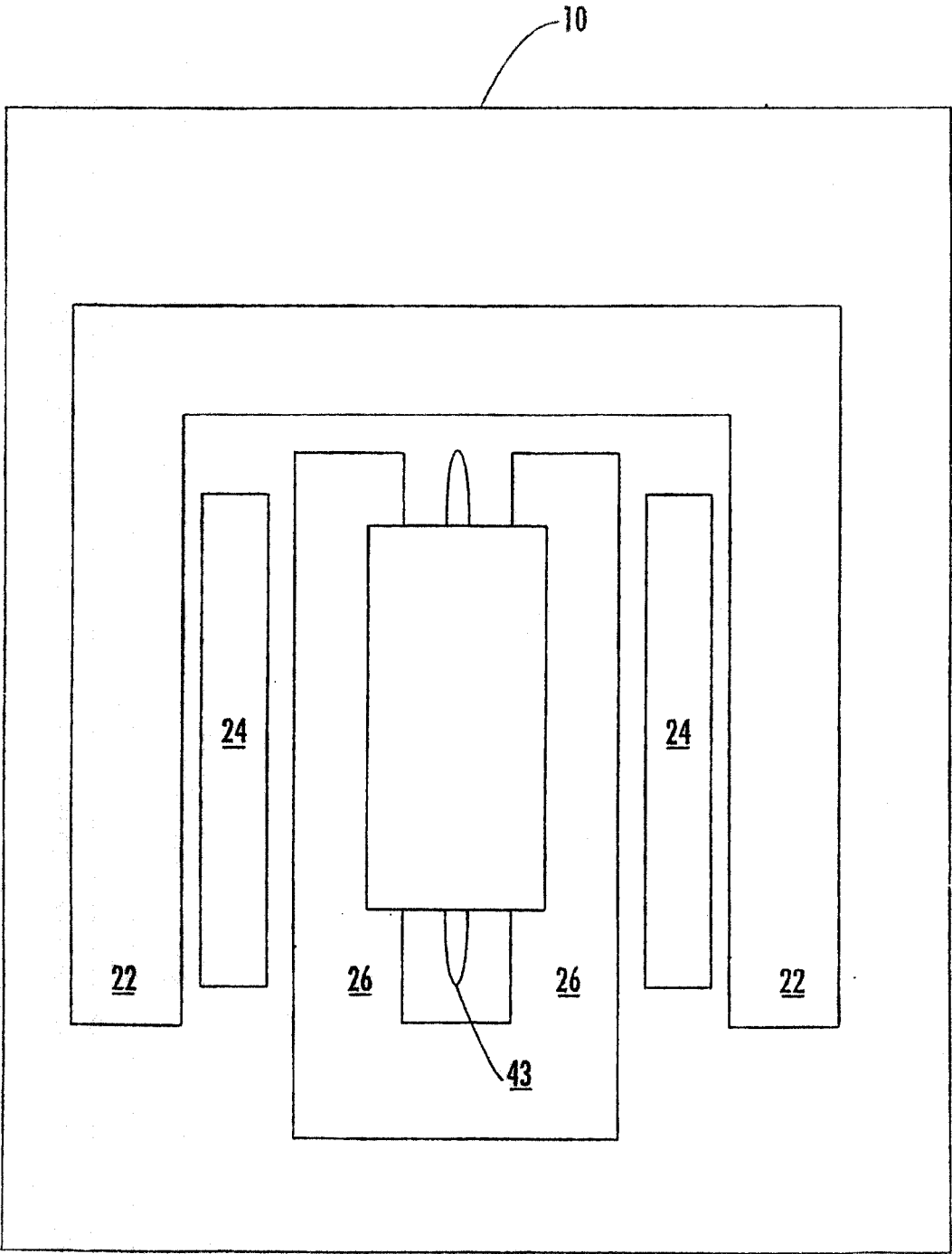


图 6

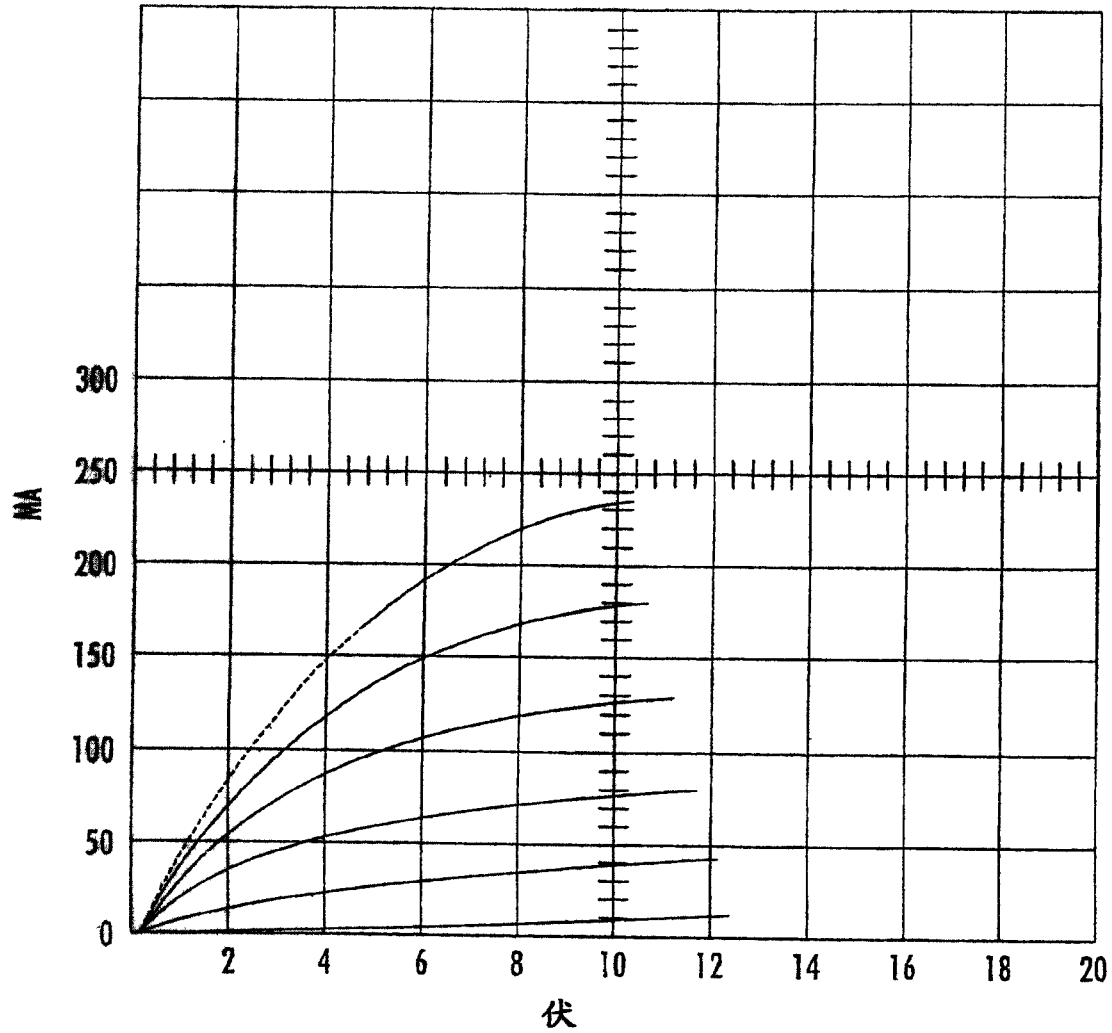


图 7A
(先有技术)

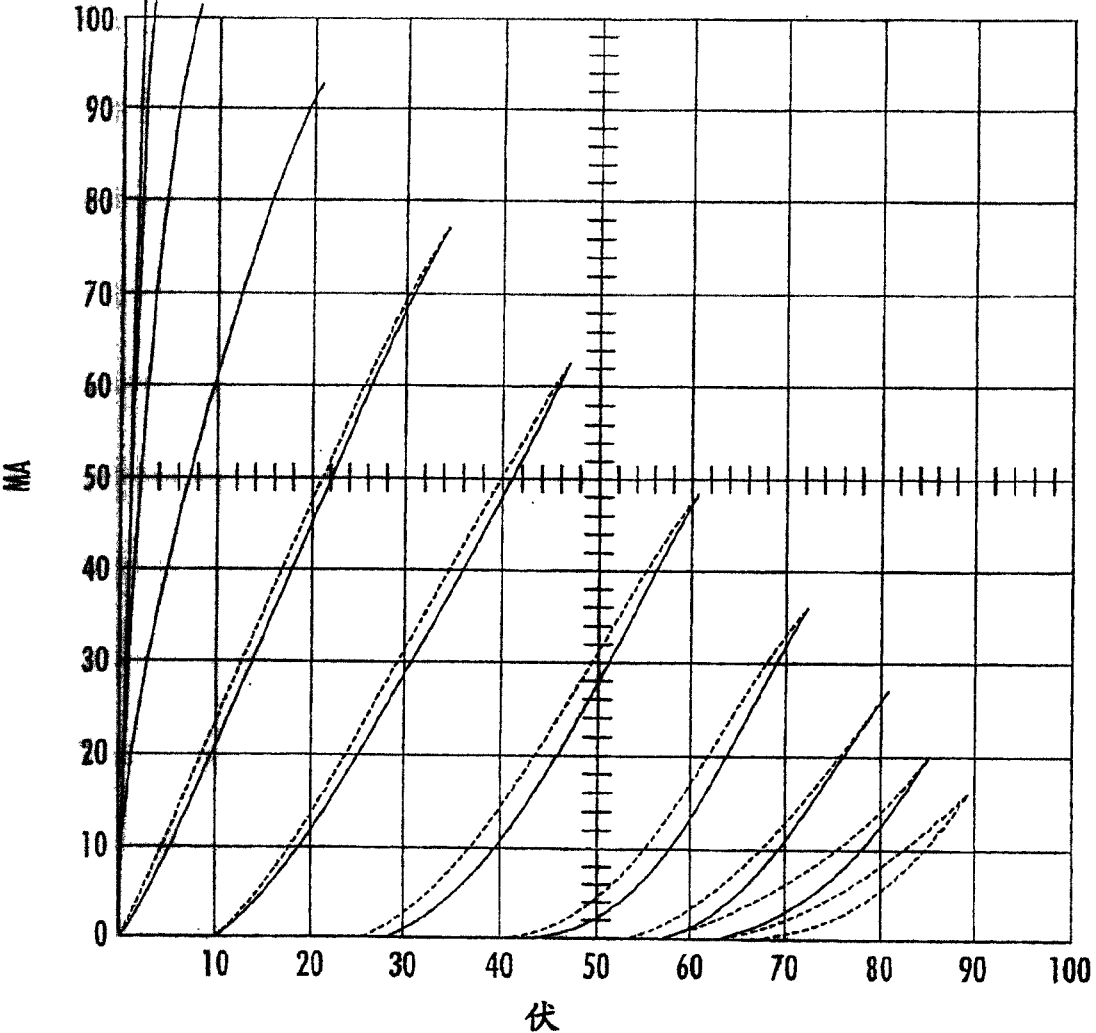


图 7B
(先有技术)

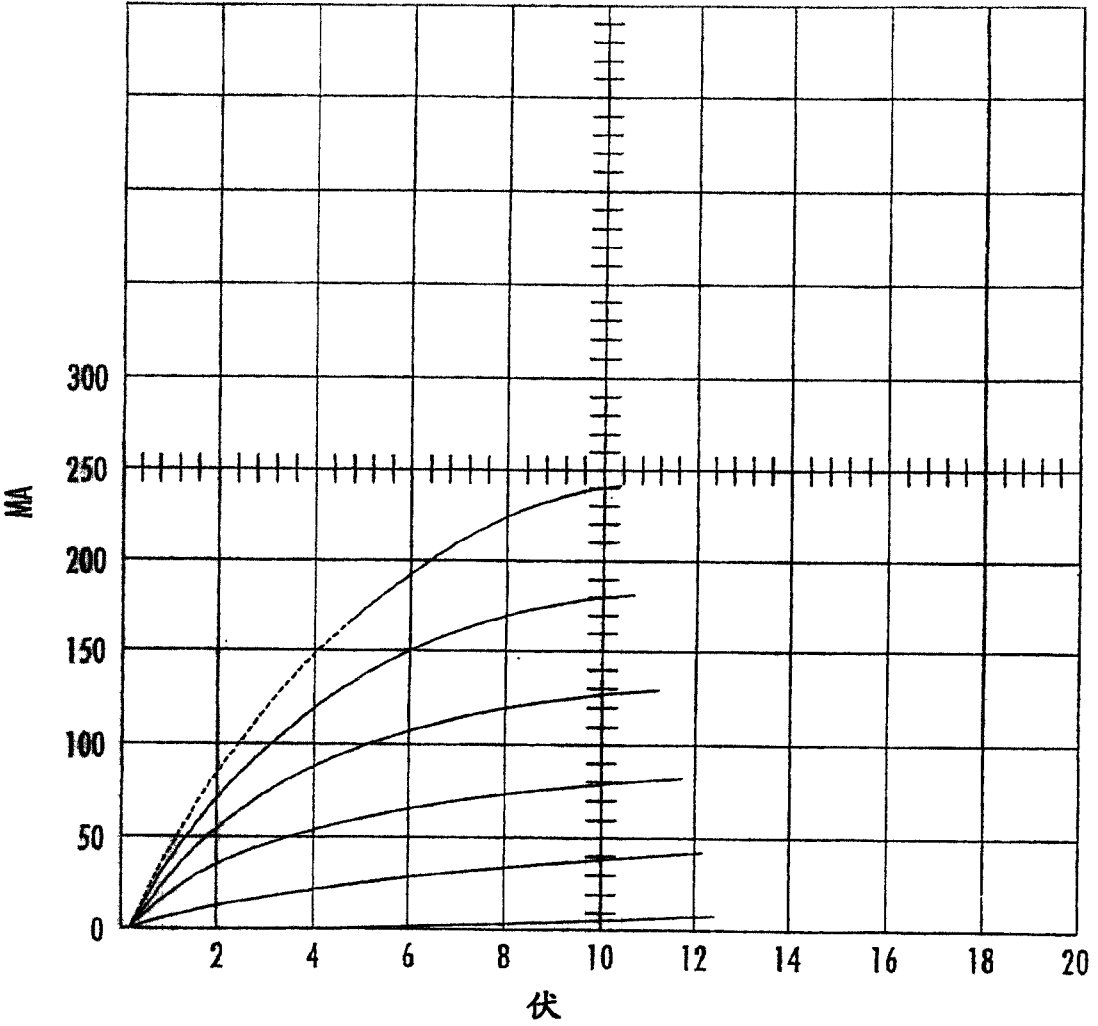


图 8A

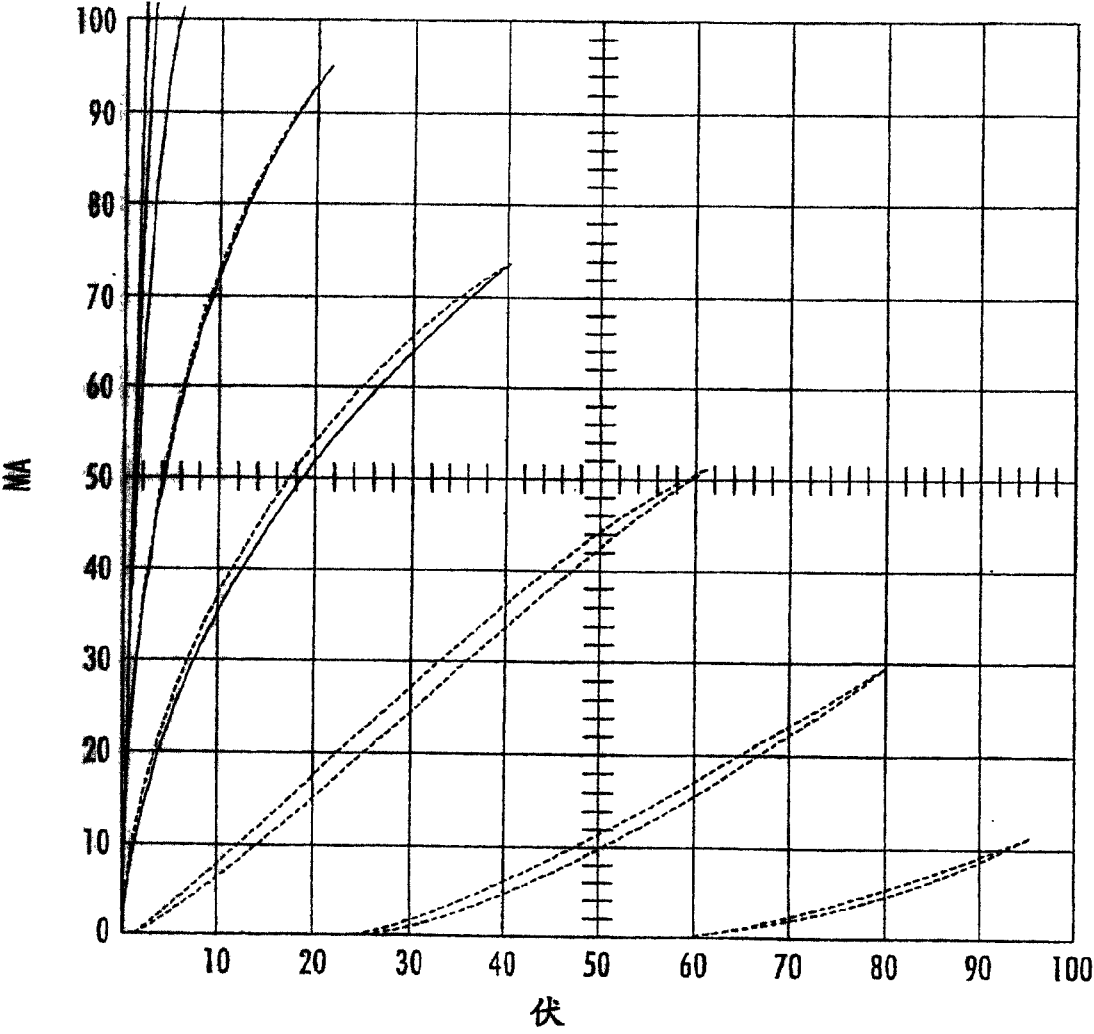


图 8B