



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0054877
(43) 공개일자 2016년05월17일

(51) 국제특허분류(Int. Cl.)

H01L 33/36 (2010.01)

(21) 출원번호 10-2014-0154450

(22) 출원일자 2014년11월07일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

(72) 발명자

이대희

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

(74) 대리인

김기문

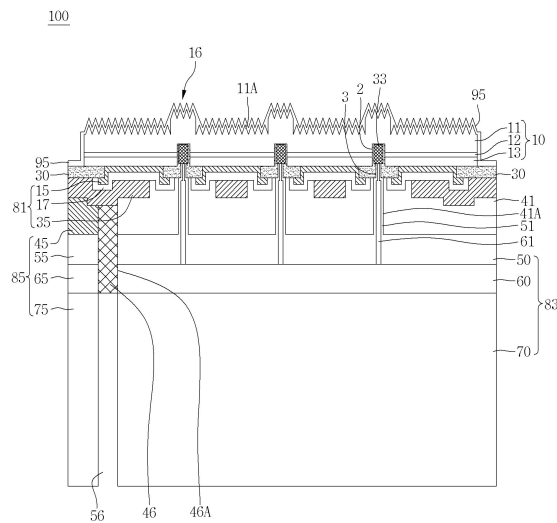
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 발광소자

(57) 요약

실시 예에 개시된 발광소자는, 제1 반도체층, 상기 제1 반도체층 아래에 활성층, 상기 활성층 아래에 제2 반도체층을 포함하는 발광구조물; 상기 제2 반도체층 아래에 배치된 제1전극층; 상기 제2반도체층 아래에 배치되며 상기 제1반도체층과 전기적으로 연결된 제2전극층; 상기 제1 및 제2전극층 사이에 배치된 제1절연층; 상기 제1전극층과 연결되고 상기 제1전극층 아래에 상기 제2전극층으로부터 이격된 제3전극층; 및 상기 제2전극층과 상기 제3전극층 사이에 배치된 제2절연층을 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 반도체층, 상기 제1 반도체층 아래에 활성층, 상기 활성층 아래에 제2 반도체층을 포함하는 발광구조물;
상기 제2 반도체층 아래에 배치된 제1전극층;
상기 제2반도체층 아래에 배치되며 상기 제1반도체층과 전기적으로 연결된 제2전극층;
상기 제1 및 제2전극층 사이에 배치된 제1절연층;
상기 제1전극층과 연결되고 상기 제1전극층 아래에 상기 제2전극층으로부터 이격된 제3전극층; 및
상기 제2전극층과 상기 제3전극층 사이에 배치된 제2절연층을 포함하는 발광 소자.

청구항 2

제1항에 있어서,
상기 제2절연층은 상기 제1절연층, 상기 제1 내지 제3전극층 사이에 배치되는 발광 소자.

청구항 3

제1항에 있어서,
상기 제2전극층의 하면 너비는 상기 제3전극층의 하면 너비보다 넓은 발광 소자.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 제1전극층은,
상기 제2반도체층에 접촉된 접촉층;
상기 접촉층 아래에 배치된 반사층; 및
상기 반사층과 상기 절연층 사이에 배치된 제1캐핑층을 포함하며,
상기 제1캐핑층은 상기 제3전극층과 연결되는 발광소자.

청구항 5

제4항에 있어서,
상기 제2전극층은,
상기 제1절연층 아래에 배치된 제1확산 방지층;
상기 제1확산 방지층 아래에 배치된 제1본딩층; 및
상기 제1본딩층 아래에 배치된 제1지지 부재를 포함하며,
상기 제1확산 방지층 및 상기 제1본딩층 중 적어도 하나는 상기 제1반도체층에 연결되는 발광 소자.

청구항 6

제5항에 있어서,
상기 제3전극층은, 상기 제2전극층을 구성하는 층들과 동일한 복수의 금속층을 포함하는 발광 소자.

청구항 7

제6항에 있어서,
 상기 제3전극층은,
 상기 제1캐핑층 아래에 배치된 제2캐핑층;
 상기 제2캐핑층 아래에 배치된 제2확산 방지층;
 상기 제2확산 방지층 아래에 제2본딩층; 및
 상기 제2본딩층 아래에 제2지지 부재를 포함하며,
 상기 제2절연층은 상기 제1캐핑층의 하면 아래에 배치되는 발광 소자.

청구항 8

제6항에 있어서,
 상기 제2절연층은 서로 다른 유전체층이 적층된 발광 소자.

청구항 9

제7항에 있어서,
 상기 제1 및 제2지지 부재 사이에 배치된 구멍은 공극 영역 또는 절연 물질을 포함하는 발광 소자.

청구항 10

제7항에 있어서,
 상기 제2지지 부재의 하면 너비는 상기 제2본딩층의 하면 너비보다 넓은 발광 소자.

청구항 11

제9항에 있어서,
 상기 제2 및 제3전극층 아래에 상기 구멍과 동일한 너비로 이격된 전도성의 제1 및 제2접착층을 포함하는 발광 소자.

발명의 설명

기술 분야

[0001] 실시 예는 발광소자, 발광소자 패키지 및 라이트 유닛에 관한 것이다.

배경 기술

[0002] 발광소자의 하나로서 발광 다이오드(LED: Light Emitting Diode)가 많이 사용되고 있다. 발광 다이오드는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선, 자외선과 같은 빛의 형태로 변환한다.

[0003] 발광소자의 광 효율이 증가됨에 따라 표시장치, 조명기기를 비롯한 다양한 분야에 발광소자가 적용되고 있다.

발명의 내용

해결하려는 과제

[0004] 실시 예에 따른 발광 구조물 아래에 복수의 전극층을 갖는 발광 소자를 제공한다.

[0005] 실시 예는 발광 구조물 아래에 서로 이격되며 동일한 금속층으로 적층된 발광 소자를 제공한다.

[0006] 실시 예는 발광 소자의 캐소드와 애노드의 사이의 경계를 효과적으로 분리할 수 있는 발광 소자를 제공한다.

과제의 해결 수단

[0007] 실시 예에 따른 발광소자는, 제1 반도체층, 상기 제1 반도체층 아래에 활성층, 상기 활성층 아래에 제2 반도체

층을 포함하는 발광구조물; 상기 제2 반도체층 아래에 배치된 제1전극층; 상기 제2반도체층 아래에 배치되며 상기 제1반도체층과 전기적으로 연결된 제2전극층; 상기 제1 및 제2전극층 사이에 배치된 제1절연층; 상기 제1전극층과 연결되고 상기 제1전극층 아래에 상기 제2전극층으로부터 이격된 제3전극층; 및 상기 제2전극층과 상기 제3전극층 사이에 배치된 제2절연층을 포함한다.

발명의 효과

- [0008] 실시 예에 따른 발광 구조물 아래에 복수의 전도성 지지부재를 통해 본딩됨으로써, 방열 효율을 개선시켜 줄 수 있다.
- [0009] 실시 예는 발광 구조물 아래에 전도성을 갖는 복수의 지지부재를 통해 본딩함으로써, 발광 소자의 캐소드와 애노드의 분리가 용이한 효과가 있다.
- [0010] 실시 예는 발광 소자의 캐소드와 애노드의 사이의 경계를 효과적으로 분리할 수 있는 발광 소자를 제공한다.

도면의 간단한 설명

- [0011] 도 1은 제1실시 예에 따른 발광 소자를 나타낸 측 단면도이다.
- 도 2는 도 1의 발광 소자의 저면도이다.
- 도 3 내지 도 15는 도 1의 발광 소자의 제조 과정을 나타낸 도면이다.
- 도 16은 제2실시 예에 따른 발광 소자를 나타낸 측 단면도이다.
- 도 17은 제3실시 예에 따른 발광 소자를 나타낸 측 단면도이다.
- 도 18은 도 1의 발광 소자를 갖는 발광 소자 패키지를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.
- [0013] 이하, 첨부된 도면을 참조하여 실시 예들에 따른 발광소자에 대해 상세히 설명하도록 한다.
- [0014] 도 1은 실시 예에 따른 발광소자의 측 단면도이며, 도 2는 도 1의 발광소자의 저면도의 예이다.
- [0015] 도 1 및 도 2를 참조하면, 발광 소자(100)는 복수의 반도체층(11,12,13)을 갖는 발광구조물(10), 상기 발광 구조물(10) 아래에 제1 전극층(81), 상기 제1전극층(81) 아래에 제2 전극층(83), 상기 제1 및 제2전극층(81,83) 사이에 제1절연층(41), 상기 제1전극층(81)과 연결되며 상기 제1절연층(41) 및 상기 제2전극층(83)에 인접한 제3전극층(85), 상기 제2전극층(83)과 상기 제3전극층(85) 사이의 구멍(46A)에 배치된 제2절연층(46)을 포함한다.
- [0016] 상기 발광구조물(10)은 제1 반도체층(11), 활성층(12), 및 제2 반도체층(13)을 포함할 수 있다. 상기 활성층(12)은 상기 제1반도체층(11)과 상기 제2 반도체층(13) 사이에 배치될 수 있다. 상기 활성층(12)은 상기 제1 반도체층(11) 아래에 배치될 수 있으며, 상기 제2 반도체층(13)은 상기 활성층(12) 아래에 배치될 수 있다.
- [0017] 예로서, 상기 제1 반도체층(11)은 제1 도전형 도펀트 예컨대, n형 도펀트가 첨가된 n형 반도체층을 포함하고, 상기 제2 반도체층(13)은 제2 도전형 도펀트 예컨대, p형 도펀트가 첨가된 p형 반도체층을 포함할 수 있다. 또한 반대로, 상기 제1 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 반도체층(13)이 n형 반도체층으로 형성될 수도 있다.
- [0018] 상기 제1 반도체층(11)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 반도체층(11)은 화합물 반도체로 구현될 수 있다. 상기 제1 반도체층(11)은 예로서 II족-VI족 화합물 반도체 및 III족-V족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다.

- [0019] 예컨대, 상기 제1 반도체층(11)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제1 반도체층(11)은, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑될 수 있다.
- [0020] 상기 활성층(12)은 상기 제1 반도체층(11)을 통해서 주입되는 전자(또는 정공)와 상기 제2 반도체층(13)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(12)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(12)은 단일 우물 구조, 다중 우물 구조, 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0021] 상기 활성층(12)은 화합물 반도체로 구현될 수 있다. 상기 활성층(12)은 예로서 II족-VI족 및 III족-V족 화합물 반도체 중에서 적어도 하나로 구현될 수 있다. 상기 활성층(12)은 예로서 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 활성층(12)이 상기 다중 우물 구조로 구현된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 적층되어 구현될 수 있으며, 예를 들어, InGaIn 우물층/GaN 장벽층, InGaIn 우물층/AlGaIn 장벽층, InAlGaIn 우물층/InAlGaIn 장벽층, 또는 GaIn 우물층/AlGaIn 장벽층의 주기로 구현될 수 있다.
- [0022] 상기 제2 반도체층(13)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 반도체층(13)은 화합물 반도체로 구현될 수 있다. 상기 제2 반도체층(13)은 예로서 II족-VI족 화합물 반도체 및 III족-V족 화합물 반도체 중 적어도 하나로 구현될 수 있다.
- [0023] 예컨대, 상기 제2 반도체층(13)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제2 반도체층(13)은, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0024] 한편, 상기 제1 반도체층(11)이 p형 반도체층을 포함하고 상기 제2 반도체층(13)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제2 반도체층(13) 아래에는 상기 제2 반도체층(13)과 다른 도전형을 갖는 n형 또는 p형 반도체층을 포함하는 반도체층이 더 형성될 수도 있다. 이에 따라, 상기 발광구조물(10)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 반도체층(11) 및 상기 제2 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0025] 또한, 상기 제1 반도체층(11)과 상기 활성층(12) 사이 또는 상기 제2 반도체층(13)과 상기 활성층(12) 사이에는 서로 다른 반도체층이 교대로 배치된 예컨대, AlGaIn/GaN 초격자 구조, InGaIn/GaN 초격자 구조 또는 InGaIn/InGaIn 초격자 구조가 배치될 수도 있다. 또한, 상기 제2 반도체층(13)과 상기 활성층(12) 사이에는 제2도전형 도펀트가 첨가된 AlGaIn층을 포함할 수 있다.
- [0026] 상기 제1 반도체층(11)의 상면은 러프(rough)한 요철부(11A)로 형성될 수 있으며, 이러한 요철 면(11A)은 광 추출 효율을 개선시켜 줄 수 있다.
- [0027] 상기 제1 반도체층(11)은 돌출부(16)를 포함한다. 상기 돌출부(16)는 복수개가 서로 이격되어 배치된다. 상기 돌출부(16)의 상면은 러프한 면(11A)으로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 돌출부(16)는 제1도전형의 반도체층이거나, 상기 제1 반도체층(11) 상에 별도로 배치된 언도프트 반도체층일 수 있으며, 이에 대해 한정하지는 않는다.
- [0028] 상기 제1전극층(81)은 상기 발광 구조물(10)과 제2전극층(83) 사이에 배치되며, 상기 제2 반도체층(13)과 전기적으로 연결되며, 상기 제2전극층(83)과 전기적으로 절연된다. 상기 제1전극층(81)은 제1 접촉층(15), 반사층(17) 및 제1캐핑층(35)을 포함하며, 상기 제1 접촉층(15)은 상기 반사층(17)과 제2 반도체층(13) 사이에 배치되며, 상기 반사층(17)은 상기 제1 접촉층(15)과 상기 제1캐핑층(35) 사이에 배치된다. 상기 제1 접촉층(15), 반사층(17) 및 제1캐핑층(35)은 서로 다른 도전성 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0029] 상기 제1 접촉층(15)은 상기 제2 반도체층(13)의 하면에 접촉되며, 예컨대 상기 제2 반도체층(13)의 하면에 오픈 접촉될 수 있다. 상기 제1 접촉층(15)은 예컨대 전도성 산화막, 전도성 질화물 또는 금속으로 형성될 수 있다. 상기 제1 접촉층(15)은 예로서 ITO(Indium Tin Oxide), ITON(ITO Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin

Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO, Pt, Ag, Ti 중에서 적어도 하나로 형성될 수 있다.

[0030] 상기 반사층(17)은 상기 제1 접촉층(15)과 제1캡핑층(35)에 전기적으로 연결될 수 있다. 상기 반사층(17)은 상기 제1 접촉층(15)의 너비보다 넓은 너비로 배치될 수 있다. 상기 반사층(17)은 상기 발광구조물(10)로부터 입사되는 빛을 반사시켜 외부로 추출되는 광량을 증가시키는 기능을 수행할 수 있다.

[0031] 상기 반사층(17)은 광 반사율이 70% 이상인 금속으로 형성될 수 있다. 예컨대 상기 반사층(17)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 또한, 상기 반사층(17)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투광성 전도성 물질을 이용하여 다층으로 형성될 수 있다. 예를 들어, 실시 예에서 상기 반사층(17)은 Ag, Al, Ag-Pd-Cu 합금, 또는 Ag-Cu 합금 중 적어도 어느 하나를 포함할 수 있다. 예를 들면, 상기 반사층(17)은 Ag 층과 Ni 층이 교대로 형성될 수도 있고, Ni/Ag/Ni, 혹은 Ti 층, Pt 층을 포함할 수 있다. 다른 예로서, 상기 제1 접촉층(15)은 상기 반사층(17) 아래에 배치되고, 적어도 일부가 상기 반사층(17)을 통과하여 상기 제2반도체층(13)과 접촉될 수도 있다. 다른 예로서, 상기 반사층(17)은 상기 제1 접촉층(15)의 아래에 배치되고, 일부가 상기 제1 접촉층(15)을 통과하여 상기 제2반도체층(13)과 접촉될 수 있다.

[0032] 실시 예에 따른 발광소자(100)는 상기 반사층(17) 아래에 배치된 제1캡핑층(capping layer)(35)을 포함할 수 있다. 상기 제1캡핑층(35)은 반사층(17)과 제1절연층(41) 사이에 배치된다. 상기 제1캡핑층(35)은 상기 반사층(17)의 하면 일부와 상기 제3전극층(85)과 연결될 수 있다. 상기 제1캡핑층(35)은 전원을 전달하는 배선층으로 기능한다. 상기 제1캡핑층(35)은 금속으로 형성될 수 있으며, 예컨대 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다.

[0033] 상기 제1캡핑층(35)의 외측부는 외측의 보호층(30)의 아래로 연장될 수 있으며, 외측면이 외측에 노출될 수 있다.

[0034] 보호층(30)은 상기 발광구조물(10)의 하면에 배치되며, 상기 제2반도체층(13)의 하면 및 상기 제1 접촉층(15)과 접촉될 수 있고, 상기 반사층(17)과 접촉될 수 있다.

[0035] 상기 보호층(30) 중 상기 발광 구조물(10)과 수직 방향으로 오버랩되는 내측부는 상기 돌출부(16)의 영역과 수직 방향으로 오버랩되게 배치될 수 있다. 상기 보호층(30)의 외측부는 상기 제1캡핑층(35) 위로 연장되어, 상기 제1캡핑층(35)와 발광 구조물(10)의 측벽 간의 거리를 이격시켜 줄 수 있고, 상기 발광 구조물(10)에 습기가 침투하는 것을 방지할 수 있고, 에칭 공정시 칩에 전달되는 충격으로부터 보호할 수 있다.

[0036] 상기 보호층(30)의 내측부는 상기 발광 구조물(10)과 상기 제1전극층(81) 사이에 배치되며, 외측부는 투광층(95)과 상기 제1캡핑층(35) 사이에 배치될 수 있다. 또한 상기 보호층(30)은 개별 발광구조물(10)에 대한 아이솔레이션 공정 시 에칭 스톱퍼의 기능을 수행할 수 있으며, 또한 아이솔레이션 공정에 의하여 발광소자의 전기적인 특성이 저하되는 것을 방지할 수 있다.

[0037] 상기 보호층(30)은 채널층, 또는 저 굴절 재질, 아이솔레이션층으로 정의될 수 있다. 상기 보호층(30)은 절연물질로 구현될 수 있으며, 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 보호층(30)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 상기 보호층(30)은 투명한 재질로 형성될 수 있다.

[0038] 실시 예에 따른 발광소자(100)는 상기 제1 전극층(81)과 상기 제2 전극층(83)을 전기적으로 절연시키는 제1절연층(41)을 포함할 수 있다. 상기 제1절연층(41)은 상기 제1 전극층(81)과 상기 제2 전극층(83) 사이에 배치될 수 있다. 상기 제1절연층(41)의 일부는 상기 보호층(30)에 접촉될 수 있으며, 돌출부(16)와 수직 방향으로 오버랩되게 배치된다.

[0039] 상기 제1절연층(41)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 제1절연층(41)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.

- [0040] 상기 제1절연층(41)은 예로서 100 나노미터 내지 2000 나노미터의 두께로 형성될 수 있다. 상기 제1절연층(41)의 두께가 100 나노미터 미만으로 형성될 경우 절연 특성에 문제가 발생될 수 있으며, 상기 제1절연층(41)의 두께가 2000 나노미터 초과로 형성될 경우에 후 공정 단계에서 깨짐이 발생될 수 있다. 상기 제1절연층(41)은 상기 제1 전극층(81)의 하면과 상기 제2전극층(83)의 상면에 접촉되며, 상기 보호층(30), 제1캡핑층(35), 제1접촉층(15), 반사층(17) 각각의 두께보다는 두껍게 형성될 수 있다.
- [0041] 상기 제1전극층(81)의 제1영역 아래에는 제2전극층(83)이 배치되며, 제2영역 아래에는 제3전극층(85)이 배치된다. 상기 제2전극층(83) 및 제3전극층(85)의 하면 너비 또는 하면 면적은 서로 동일하거나 다를 수 있다. 예컨대, 도 2와 같이, 상기 제2전극층(83)의 하면 너비(D1) 또는 면적은 상기 제3전극층(85)의 하면 너비(D2) 또는 면적보다 넓게 배치될 수 있다.
- [0042] 상기 제2전극층(83)과 제3전극층(85) 각각은 복수의 금속층을 포함할 수 있으며, 상기 복수의 금속층 중 적어도 2층 이상은 서로 동일한 금속 재질로 형성될 수 있다. 상기 제2전극층(83)의 금속층의 수는 제3전극층(85)의 금속층의 수와 동일하거나 작을 수 있다.
- [0043] 상기 제2전극층(83)과 상기 제3전극층(85)은 상기 발광 소자(100)의 하부에서 캐소드 단자와 애노드 단자로 기능할 수 있다. 또한 제2 및 제3전극층(83,85)은 상기 발광 구조물(10)의 아래에서 복수의 방열 판으로 기능할 수 있다. 또한 제2 및 제3전극층(83,85) 각각은 지지부재(70,75)를 포함하여, 상기 발광 소자(100)을 효과적으로 지지할 수 있다.
- [0044] 상기 제2 전극층(83)은 상기 제1절연층(41) 아래에 배치된 제1확산 방지층(50), 상기 제1확산 방지층(50) 아래에 배치된 제1본딩층(60) 및 상기 제1본딩층(60) 아래에 배치된 제1지지부재(70)를 포함할 수 있으며, 상기 제1반도체층(11)과 전기적으로 연결될 수 있다. 또한, 상기 제2 전극층(83)은 상기 제1확산 방지층(50), 상기 제1본딩층(60), 상기 제1지지부재(70) 중에서 1 개 또는 2 개를 선택적으로 포함하고, 상기 제1확산 방지층(50) 또는 상기 제1본딩층(60) 중 적어도 하나는 형성하지 않을 수 있다. 도 2와 같이, 상기 제1지지 부재(70)의 하면 너비(D1)는 상기 제1확산 방지층(50) 및 제1본딩층(60)의 너비와 동일할 수 있으며, 이에 대해 한정하지는 않는다.
- [0045] 상기 제1확산 방지층(50)은 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다. 상기 제1확산 방지층(50)은 제1절연층(41)과 제1본딩층(60) 사이에서 확산 장벽층으로 기능할 수도 있다. 상기 제1확산 방지층(50)은 제1본딩층(60) 및 제1지지부재(70)와 전기적으로 연결되고, 상기 제1반도체층(11)과 전기적으로 연결될 수 있다.
- [0046] 상기 제1확산 방지층(50)은 상기 제1본딩층(60)이 제공되는 공정에서 상기 제1본딩층(60)에 포함된 물질이 상기 반사층(17) 방향으로 확산되는 것을 방지하는 기능을 수행할 수 있다. 상기 제1확산 방지층(50)은 상기 제1본딩층(60)에 포함된 주석(Sn) 등의 물질이 상기 반사층(17)에 영향을 미치는 것을 방지할 수 있다.
- [0047] 상기 제1본딩층(60)은 베리어 금속 또는 본딩 금속 등을 포함하며, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다. 상기 제1지지부재(70)는 실시 예에 따른 상기 발광구조물(10)을 지지하며 방열 기능을 수행할 수 있다. 상기 제1본딩층(60)은 시드(seed) 층을 포함할 수도 있다.
- [0048] 상기 제1지지부재(70)는 금속 또는 캐리어 기판 예를 들어, Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있다. 상기 제1지지부재(70)는 발광 소자(100)를 지지하기 위한 층으로서, 그 두께는 제2전극층(83)의 두께의 80% 이상이며, 30 μ m 이상으로 형성될 수 있다.
- [0049] 한편, 제2 접촉층(33)은 상기 제1 반도체층(11)의 내부에 배치되고 상기 제1반도체층(11)의 내면과 접촉된다. 상기 제2접촉층(33)의 상면은 상기 제1반도체층(11)의 하면보다 높고 상기 제1반도체층(11)의 상면보다 낮게 위치할 수 있다. 상기 제2접촉층(33)은 상기 제1반도체층(11)과 전기적으로 연결되고, 상기 활성층(12) 및 제2반도체층(13)과 절연된다.
- [0050] 상기 제2 접촉층(33)은 상기 제2 전극층(83)에 전기적으로 연결될 수 있다. 상기 제2 접촉층(33)은 상기 제1전극층(81), 상기 활성층(12) 및 상기 제2반도체층(15)을 관통하여 배치될 수 있다. 상기 제2 접촉층(33)은 상기 발광 구조물(10) 내에 배치된 리세스(recess)(2)에 배치되고, 보호층(30)에 의해 상기 활성층(12) 및 제2반도체

층(15)과 절연된다. 상기 제2 접촉층(33)은 복수개가 서로 이격되어 배치되어, 전류를 분산시켜 줄 수 있다. 상기 복수의 제2접촉층(33) 각각은 각 돌출부(16)와 수직 방향으로 오버랩되게 배치될 수 있으며, 이에 대해 한정하지는 않는다.

[0051] 상기 제2 접촉층(33)은 제2전극층(83)의 돌기(51,61) 중 적어도 하나에 연결될 수 있으며, 상기 돌기(51,61)은 상기 제1확산 방지층(50)으로부터 연결된 돌기(51) 및 상기 제1본딩층(60)으로부터 돌출된 돌기(61) 중 적어도 하나를 포함한다. 상기 돌기(51,61)은 제1절연층(41) 및 보호층(30) 내에 배치된 홀(41A)을 통해 관통되고, 제1전극층(81)과 절연될 수 있다.

[0052] 상기 제2 접촉층(33)은 예컨대 Cr, V, W, Ti, Zn, Ni, Cu, Al, Au, Mo 중에서 적어도 하나를 포함할 수 있다. 상기 돌기(51,61)는 상기 제1확산 방지층(50) 및 제1본딩층(60)을 구성하는 물질 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지 않는다. 예컨대 상기 돌기(51,61)은 예로서 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다.

[0053] 제3전극층(85)은 상기 발광 구조물(10)의 외측 영역의 아래에 배치될 수 있다. 즉, 상기 제3전극층(85)은 상기 발광 구조물(10)의 센터 영역 보다는 에지 영역에 배치될 수 있다. 상기 제3전극층(85)은 제2캐핑층(45), 제2확산 방지층(55), 제2본딩층(65) 및 제2지지 부재(75)를 포함한다.

[0054] 상기 제2캐핑층(45)은 상기 제1캐핑층(35)과 상기 제2확산 방지층(55) 사이에 배치되며, 서로 전기적으로 연결시켜 준다. 상기 제2캐핑층(45)은 상기 제1캐핑층(35)과 함께 배선 층으로 기능하게 된다. 상기 제2캐핑층(45)은 상기 제1캐핑층(35), 제2절연층(46), 상기 제2확산 방지층(55)에 접촉될 수 있다.

[0055] 상기 제2캐핑층(45)은 금속으로 형성될 수 있으며, 예컨대 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다.

[0056] 상기 제2확산 방지층(55)은 상기 제1확산 방지층(50)의 금속과 동일한 금속으로 배치될 수 있다. 상기 제2확산 방지층(55)은 상기 제1확산 방지층(50)과 동일한 두께를 가질 수 있다. 상기 제2확산 방지층(55)은 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다.

[0057] 상기 제2본딩층(65)은 상기 제1본딩층(60)의 금속과 동일한 금속으로 배치될 수 있다. 상기 제2본딩층(65)은 상기 제1본딩층(60)의 두께와 동일한 두께를 가질 수 있다. 상기 제2본딩층(65)은 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다.

[0058] 상기 제2지지 부재(75)는 상기 제1지지 부재(70)를 구성하는 금속과 동일한 금속 또는 동일한 반도체 기판을 포함할 수 있다. 상기 제2지지부재(75)는 상기 제1지지부재(70)와 다른 금속 또는 다른 반도체 기판을 포함할 수 있으며, 이에 대해 한정하지는 않는다. 상기 제2지지 부재(75)는 상기 제1지지 부재(70)의 두께와 동일한 두께를 가질 수 있다. 도 2와 같이, 상기 제2지지 부재(75)의 너비(D2)는 상기 제2확산 방지층(55) 및 제2본딩층(65)의 너비와 동일할 수 있다. 상기 제1 및 제2지지 부재(70,75)의 하면은 서로 동일한 수평 면으로 배치될 수 있어, 기판이나 패키지 상에 본딩될 때 접합 공정이나 접합 효율이 저하되는 것을 방지할 수 있다.

[0059] 상기 제2 및 제3전극층(83,85) 사이에는 구멍(46A)이 배치되며, 상기 구멍(46A)은 상기 제2지지부재(75) 또는 제1지지부재(70)의 하면부터 상기 제1캐핑층(35)의 하면까지 배치된다. 상기 구멍(46A)은 도 2와 같이 제1 또는 제2지지부재(70,75)의 길이(D3)와 동일한 길이를 가질 수 있다.

[0060] 상기 구멍(46A)은 상기 제3전극층(85)과 상기 제1절연층(41) 및 상기 제2전극층(83) 사이의 영역에 배치된다. 상기 구멍(46A)은 상기 제2 및 제3전극층(83,85) 사이를 이격시켜 주어, 상기 제2 및 제3전극층(83,85) 간을 전기적으로 절연시켜 준다. 상기 구멍(46A)에는 제2절연층(46)이 배치된다. 상기 제2절연층(46)은 제1절연층(41), 제1 내지 제3전극층(81,83,85) 사이의 영역에 배치될 수 있다. 상기 제2절연층(46)은 상기 제1캐핑층(35)과 상기 제1절연층(41)에 접촉될 수 있다. 상기 제2절연층(46)은 상기 제1캐핑층(35)의 하면 아래 예컨대, 상기 제1캐핑층(35)의 하면과 상기 제1지지부재(70)의 상면 사이에 배치될 수 있다. 상기 제2절연층(46)은 상기 제1 및 제2확산 방지층(50,55), 상기 제1 및 제2본딩층(60,65)에 접촉될 수 있다. 상기 제2절연층(46)은 제1 및 제2지지부재(70,75)에 접촉되지 않을 수 있으며, 이에 대해 한정하지는 않는다.

[0061] 상기 제2절연층(46)은 에칭 스탑 층(Etching stop layer)으로서, 제1 및 제2지지부재(70,75) 사이의 구멍(56)

을 형성할 때, 레이저가 관통되는 것을 차단할 수 있다. 상기 제2절연층(46)은 굴절률이 서로 다른 2층 이상이 교대로 적층된 구조를 포함한다. 이러한 제2절연층(46)은 레이저를 반사하기 위한 DBR(Distributed Bragg Reflector) 구조를 포함한다. 상기 제2절연층(46)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 중 적어도 2층을 포함한다.

[0062] 상기 구멍(46A) 중 상기 제1 및 제2지지 부재(70,75) 사이로 연장된 구멍(56)은 공극 영역일 수 있으며, 이에 대해 한정하지는 않는다.

[0063] 상기 제1지지부재(70) 아래에 전도성의 제1접착층(미도시) 및 제2지지 부재(75) 아래에 전도성의 제2접착층(미도시) 상에 배치될 수 있다. 상기 제1 및 제2접착층은 Au 및 Sn 중 적어도 하나를 포함할 수 있으며, 예컨대 AuSn과 같은 솔더 재료이거나 전도성 페이스트 재료를 포함할 수 있다.

[0064] 투광층(95)은 상기 발광구조물(10)의 표면을 보호하고, 상기 보호층(30)의 외측부와 접촉될 수 있다. 상기 투광층(95)은 상기 발광 구조물(10)을 구성하는 반도체층의 물질보다 낮은 굴절률을 가지며, 광 추출 효율을 개선시켜 줄 수 있다. 상기 투광층(95)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 투광층(95)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 한편, 상기 투광층(95)은 설계에 따라 생략될 수도 있다. 실시 예에 의하면, 상기 발광구조물(10)은 상기 제1 전극층(81)과 상기 제2 전극층(83)에 의해 구동될 수 있다.

[0065] 즉, 실시 예에 따른 발광소자는 하나의 소자 내에 개별 구동될 수 있는 복수의 발광구조물을 포함할 수 있다. 실시 예에서는 하나의 발광소자에 2 개의 발광구조물이 배치된 경우를 기준으로 설명하였으나, 하나의 발광소자에 3 개 또는 4 개 이상의 발광구조물이 전기적 연결되도록 배치될 수 있으며, 또한 개별 구동되도록 구현될 수 있다. 이러한 구조를 갖는 발광소자는 하나의 예로서 차량의 조명장치, 예컨대 전조등 또는 후미등에 유용하게 적용될 수 있다.

[0066] 또한, 실시 예에 따른 발광소자는, 상기 발광구조물(10) 위에 형광체층(미도시)이 제공될 수 있으며, 상기 형광체층은 예컨대 컨포멀(conformal) 코팅을 통하여 균일한 두께로 형성될 수 있다. 실시 예에 따른 발광 소자는 상기 발광 구조물(10) 상에 광학 렌즈를 더 포함할 수 있으며, 이에 대해 한정하지는 않는다.

[0067] 도 3 내지 도 15를 참조하여 실시 예에 따른 발광소자 제조방법을 설명하기로 한다.

[0068] 도 3을 참조하면, 기판(5) 위에 제1 반도체층(11), 활성층(12), 제2 반도체층(13)을 형성할 수 있다. 상기 제1 반도체층(11), 상기 활성층(12), 상기 제2 반도체층(13)은 발광구조물(10)로 정의될 수 있다.

[0069] 상기 기판(5)은 전도성, 절연성, 투명한 재질, 비 투명한 재질 중 적어도 하나를 포함할 수 있다. 예를 들어, 사파이어 기판(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0070] 상기 기판(5) 위에 성장된 반도체층은 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy) 등의 방법을 이용하여 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0071] 상기 제1 반도체층(11)과 상기 기판(5) 사이에는 버퍼층 또는 언도프트 반도체층과 같은 반도체층이 더 형성될 수 있다. 상기 제1 반도체층(11)이 제1 도전형 도펀트로서 n형 도펀트가 첨가된 n형 반도체층으로 형성되고, 상기 제2 반도체층(13)이 제2 도전형 도펀트로서 p형 도펀트가 첨가된 p형 반도체층으로 형성될 수 있다. 반대로, 상기 제1 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 반도체층(13)이 n형 반도체층으로 형성될 수도 있다. 상기 제1 반도체층(11)은 언도프트 반도체층 및 제1도전형의 반도체층의 적층 구조를 포함할 수 있으며, 이에 대해 한정하지는 않는다.

[0072] 상기 활성층(12)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 활성층(12)이 상기 다중 우물 구조로 형성된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 적층되어 형성될 수 있으며, 예를 들어, InGaN 우물층/GaN 장벽층의 주기로 형성될 수 있다.

- [0073] 상기 발광구조물(10)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 반도체층(11) 및 상기 제2 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0074] 다른 예로서, 상기 제1 반도체층(11)과 상기 활성층(12) 사이에는 제1 도전형의 InGaN/GaN 슈퍼레이스 구조 또는 InGaN/InGaN 슈퍼레이스 구조가 형성될 수도 있다. 또한, 상기 제2 반도체층(13)과 상기 활성층(12) 사이에는 제2 도전형의 AlGaIn층이 형성될 수도 있다.
- [0075] 상기 발광구조물(10)에 복수의 리세스(recess)(2)가 형성될 수 있다. 상기 복수의 리세스(2)는 상기 제2 도전형 반도체층(13)과 상기 활성층(12)의 하면보다 낮은 깊이로 형성될 수 있다.
- [0076] 도 4와 같이, 상기 발광구조물(10) 위에 보호층(30), 제1접촉층(15) 및 제2접촉층(33)이 형성될 수 있다. 상기 보호층(30)은 제2반도체층(13)의 상면 및 상기 리세스(2) 내부에 형성될 수 있으며, 에칭 공정에 의해 보호층(30)의 일부가 에칭되면 상기 제1 및 제2접촉층(15,33)이 형성될 수 있다.
- [0077] 상기 보호층(30)은 절연물질로 증착될 수 있다. 예컨대 상기 보호층(30)은 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 보호층(30)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [0078] 상기 제1접촉층(15)은 상기 제2반도체층(13) 상에 증착되거나 도금될 수 있다. 상기 제2접촉층(33)은 상기 리세스(2)에 노출된 제1반도체층(11) 상에 증착되거나 도금될 수 있다.
- [0079] 상기 제1 접촉층(15)과 상기 제2 접촉층(33)은 예컨대 투명 전도성 산화막으로 형성될 수 있다. 상기 제1 접촉층(15)과 상기 제2 접촉층(33)은 예로서 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO, Pt, Ag, Ti 중에서 독립적으로 선택된 적어도 하나의 물질로 형성될 수 있다.
- [0080] 도 5를 참조하면, 반사층(17)은 상기 제1접촉층(15) 및 보호층(30) 상에 증착되거나 도금된다. 상기 반사층(17)은 고 반사율을 갖는 물질로 형성될 수 있다. 예컨대 상기 반사층(17)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중에서 독립적으로 선택된 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 여기서, 상기 보호층(30)의 일부 영역은 노출될 수 있다.
- [0081] 도 6을 참조하면, 상기 반사층(17) 및 상기 보호층(30) 상에는 제1캐핑층(35)이 증착되거나 도금될 수 있다. 상기 제1캐핑층(35)은 금속으로 형성될 수 있으며, 예컨대 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다.
- [0082] 도 7을 참조하면, 상기 제1캐핑층(35)의 일 영역 상에는 제2캐핑층(45)이 증착되거나 도금된다. 상기 제2캐핑층(45)은 상기 제1캐핑층(35)과 동일한 금속 또는 다른 금속으로 형성될 수 있으며, 예컨대 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다.
- [0083] 도 8를 참조하면, 상기 보호층(30), 상기 반사층(17) 및 상기 제1캐핑층(35) 상에는 제1절연층(41)이 형성되며, 상기 제1절연층(41)은 소정 두께로 증착될 수 있다. 상기 제1절연층(41)이 형성되면, 상기 제2접촉층(33)의 일부를 오픈시켜 주기 위한 홀(41A)을 형성하게 된다.
- [0084] 도 9를 참조하면, 상기 제1절연층(41) 위에는 확산 방지층(50A) 및 본딩층(50A)이 증착되거나 도금되며, 상기 본딩층(60A) 및 확산 방지층(50A) 중 적어도 하나는 상기 홀(41A)을 통해 상기 제2접촉층(33)가 접촉되는 돌기(51,61)를 구비할 수 있다. 여기서, 상기 확산 방지층(50A)의 돌기(61)는 상기 본딩층(60A)의 형성 후, 홀을 형성하여 돌기(61)를 형성할 수 있으며, 이에 대해 한정하지는 않는다.
- [0085] 상기 확산 방지층(50A)은 Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다. 상기 본딩층(60A)은 베리어 금속 또는 본딩 금속 등을 포함하며, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다.
- [0086] 도 10을 참조하면, 상기 본딩층(60A)을 통해 상기 제1캐핑층(35)의 영역까지 구멍(46A)을 형성하게 된다. 상기 구멍(46A)은 드릴 공정 또는 에칭 공정을 통해 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 구멍(46A)에 의해 상기 본딩층(60A)은 제1 및 제2본딩층(60,65)으로 분리되고, 상기 확산 방지층(50A)은 제1 및 제2

확산 방지층(50,55)으로 분리된다. 상기 제2확산 방지층(55)은 상기 제2캡핑층(45)의 상부 영역에 배치되며, 상기 제1확산 방지층(50)은 상기 제1절연층(41) 상에 배치된다.

[0087] 도 11을 참조하면, 상기 구멍(46A)에는 제2절연층(46)이 증착될 수 있다. 상기 제2절연층(46A)은 서로 다른 유전체층이 적층된 DBR 구조로 형성될 수 있다. 상기 DBR 구조는 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 2층이 교대로 배치된다. 이러한 DBR 구조는 이후에 레이저가 조사될 때, 광을 반사시켜 주어, 발광 구조물(10)에 레이저가 영향을 미치는 것을 차단할 수 있다.

[0088] 상기 제2절연층(46)은 상기 구멍(46A)을 통해 상기 제1캡핑층(35), 상기 제2캡핑층(45)과 상기 제1절연층(41) 사이의 영역, 상기 제1 및 제2본딩층(60,65) 사이의 영역, 제1 및 제2확산 방지층(50,55) 사이의 영역에 배치될 수 있다.

[0089] 상기 제2절연층(46)은 상기 제1 및 제2본딩층(60,65)의 상면과 동일한 높이이거나 더 높거나 낮게 배치될 수 있다.

[0090] 도 12를 참조하면, 상기 제1 및 제2본딩층(60,65) 위에 지지부재(70A)가 부착되거나 증착될 수 있다. 상기 지지부재(70A)가 부착되면, 레이저를 이용한 드릴 공정을 통해 상기 구멍(46A)에 대응되는 영역에 상기 구멍(46A)으로부터 연장된 구멍(56)을 형성하게 된다. 상기 연장된 구멍(56)에 의해 상기 지지 부재(70A)는 제 1 및 제2지지 부재(70,75)로 분리되며, 도 2의 예와 같이 분리될 수 있다. 이때 상기 레이저 드릴 공정시, 제2절연층(46)은 상기 레이저가 관통되는 것을 차단하여, 제1캡핑층(35)이나 발광 구조물(10)을 보호할 수 있다. 이러한 상기 제2절연층(46)은 에칭 스톱 층으로 기능하게 된다.

[0091] 다른 예로서, 상기 제1본딩층(60) 상에 제1지지 부재(70)를 부착하고, 상기 제2본딩층(65) 위에 제2지지 부재(75)가 부착할 수 있다. 여기서, 상기 제1본딩층(60) 및 제1지지부재(70) 사이의 영역 및 상기 제2본딩층(65)과 제2지지 부재(75) 사이를 전도성으로 접촉시켜 줄 수 있는 층 또는 시트(미도시)가 더 배치될 수 있다. 상기 제1 및 제2지지 부재(70,75) 사이의 구멍(56)에는 상기 구멍(46)의 연장된 영역으로서, 공극 영역이거나 별도의 절연 물질로 채워질 수 있다.

[0092] 상기 제1 또는 제2지지 부재(70,75)는 금속 또는 캐리어 기판 예를 들어, Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 하나로 형성될 수 있다.

[0093] 이에 따라 발광 구조물(10) 상에 제2전극층(70) 및 제3전극층(75)이 배치될 수 있다. 상기 제1지지부재(70) 상에 제1접착층(미도시) 및 제2지지 부재(75) 상에 제2접착층(미도시) 상에 배치될 수 있다. 상기 제1 및 제2접착층은 Au 및 Sn 중 적어도 하나를 포함할 수 있으며, 페이스트 재료 또는 솔더 재료일 수 있다.

[0094] 도 13을 참조하면, 상기 제1 반도체층(11)으로부터 상기 기판(5)을 제거한다. 하나의 예로서, 상기 기판(5)은 레이저 리프트 오프(LL0: Laser Lift Off) 공정에 의해 제거될 수 있다. 레이저 리프트 오프 공정(LL0)은 상기 기판(5)의 하면에 레이저를 조사하여, 상기 기판(5)과 상기 제1 반도체층(11)을 서로 박리시키는 공정이다.

[0095] 도 14에 도시된 바와 같이, 도 13에서 기판이 제거된 구조물을 아이솔레이션 에칭을 수행하여 상기 발광구조물(10)의 측면을 식각하고 상기 보호층(30)의 일부 영역이 노출될 수 있게 된다. 상기 아이솔레이션 에칭은 예를 들어, ICP(Inductively Coupled Plasma)와 같은 건식 식각에 의해 실시될 수 있으나, 이에 대해 한정하지는 않는다. 상기 아이솔레이션 에칭에 의해, 인접한 발광구조물(10)이 서로 분리될 수 있다.

[0096] 여기서, 상기 발광 구조물(10)의 제1반도체층(11)은 소정 높이(T1)으로 돌출된 돌출부(16)가 형성되도록 에칭될 수 있다. 여기서, 상기 돌출부(16)는 제1도전형의 반도체층이거나 언도프드 반도체층일 수 있으며, 이에 대해 한정하지는 않는다.

[0097] 상기 발광구조물(10)은 제1 도전형의 제1 반도체층(11), 활성층(12), 제2 도전형의 제2 반도체층(13)을 포함할 수 있다.

[0098] 도 15와 같이, 상기 발광구조물(10)의 상부 면에 요철부(11A)가 형성될 수 있다. 상기 발광구조물(10)에 제공되는 요철부(11A)는 하나의 예로서 PEC (Photo Electro Chemical) 식각 공정에 의하여 형성될 수 있다. 이에 따

라 실시 예에 의하면 외부 광 추출 효과를 상승시킬 수 있게 된다.

- [0099] 한편, 상기 발광구조물(10)의 표면에 투광층(95)이 형성될 수 있다. 상기 투광층(95)은 상기 발광구조물(10)을 보호할 수 있다. 상기 투광층(95)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 투광층(95)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 한편, 상기 투광층(95)은 설계에 따라 생략될 수도 있다.
- [0100] 또한, 실시 예에 따른 발광소자는, 상기 발광구조물(10) 위에 형광체층(미도시) 또는 렌즈가 형성될 수 있다. 이상에서 설명된 제조공정은 하나의 예로서 설명된 것이며, 설계에 따라 또한 목적에 따라 상기 제조공정은 다양하게 변형될 수 있다.
- [0101] 즉, 실시 예에 따른 발광소자는 하나의 소자 내에 개별 구동될 수 있는 복수의 발광구조물을 포함할 수 있다. 실시 예에서는 하나의 발광소자에 1 개의 발광구조물이 배치된 경우를 기준으로 설명하였으나, 하나의 발광소자에 2 개 또는 그 이상의 발광구조물이 배치될 수 있으며, 또한 개별 구동되도록 구현될 수 있다.
- [0102] 도 16은 제2실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 제2실시 예를 설명함에 있어서, 제1실시 예와 동일한 부분은 제1실시 예의 설명을 참조하기로 한다.
- [0103] 도 16을 참조하면, 발광 소자는 복수의 반도체층(11,12,13)을 갖는 발광구조물(10), 상기 발광 구조물(10) 아래에 제1 전극층(81), 상기 제1전극층(81) 아래에 제2 전극층(83), 상기 제1 및 제2전극층(81,83) 사이에 제1절연층(41), 상기 제1전극층(81)과 연결되며 상기 제1절연층(41) 및 상기 제2전극층(83)에 인접한 제3전극층(85), 상기 제2전극층(83)과 상기 제3전극층(85) 사이의 구멍(46A,56)에 배치된 제2절연층(46) 및 절연 물질(57)을 포함한다.
- [0104] 상기 제2전극층(83)과 제3전극층(85) 사이의 구멍(46A)에는 제2절연층(46)이 배치된다. 상기 제2절연층(46)은 제2전극층(83)의 제1확산 방지층(50) 및 제1본딩층(60)과 제3전극층(85)의 제2확산 방지층(55) 및 제2본딩층(65) 사이에 배치될 수 있다.
- [0105] 상기 구멍(46A) 중 제1 및 제2지지 부재(70,75) 사이의 구멍(56)에는 절연 물질(57)이 배치될 수 있다. 상기 절연 물질(57)은 상기 제2절연층(46)과 접촉될 수 있으며, 상기 제1 및 제2지지부재(70,75)를 서로 부착시켜 줄 수 있다. 상기 절연 물질(57)은 실리콘 또는 에폭시와 같은 물질로 배치될 수 있다. 또한 상기 절연 물질(57)은 열 전도성의 불순물 예컨대, AlN 와 같은 세라믹 재료를 포함할 수 있다. 이에 따라 제1 및 제2지지부재(70,75) 간의 열 전달로 인해 방열 효율이 개선될 수 있다.
- [0106] 도 17은 제3실시 예에 따른 발광 소자를 나타낸 측 단면도이다. 제3실시 예를 설명함에 있어서, 제1 및 제2실시 예와 동일한 부분은 제1 및 제2실시 예의 설명을 참조하기로 한다.
- [0107] 도 17을 참조하면, 발광 소자는 복수의 반도체층(11,12,13)을 갖는 발광구조물(10), 상기 발광 구조물(10) 아래에 제1 전극층(81), 상기 제1전극층(81) 아래에 제2 전극층(83), 상기 제1 및 제2전극층(81,83) 사이에 제1절연층(41), 상기 제1전극층(81)과 연결되며 상기 제1절연층(41) 및 상기 제2전극층(83)에 인접한 제3전극층(85), 상기 제2전극층(83)과 상기 제3전극층(85) 사이의 구멍(46A)에 배치된 제2절연층(46)을 포함한다.
- [0108] 상기 제2전극층(83)과 제3전극층(85) 사이의 구멍(46A)에는 제2절연층(46)이 배치된다. 상기 제2절연층(46)은 제2전극층(83)의 제1확산 방지층(50) 및 제1본딩층(60)과 제3전극층(85)의 제2확산 방지층(55) 및 제2본딩층(65) 사이에 배치될 수 있다.
- [0109] 상기 구멍(46A) 중 제1 및 제2지지 부재(70,75) 사이의 구멍(56)에는 도 1과 같이 공극 영역이거나, 도 16과 같이 절연 물질이 배치될 수 있다.
- [0110] 상기 제3전극층(85)은 제1전극층(81)의 일부 영역 아래에 배치되며, 제1캡핑층(35)과 연결된다. 상기 제3전극층(85)은 제2캡핑층(45), 제2확산 방지층(55), 제2본딩층(65), 및 제2지지 부재(75)를 포함한다.
- [0111] 상기 제2지지 부재(75)는 솔더와 같은 접착층(미도시)이 접착된 영역으로서 접착 면적의 확보가 필요할 수 있다. 이에 따라 상기 제2지지 부재(75)의 하면 너비(B2) 또는 하면 면적은 상기 제2본딩층(65)의 하면 너비(B1) 또는 하면 면적보다 크게 배치될 수 있다. 이에 따라 제2지지 부재(75)와 접착층(미도시) 간의 접착 면적

이 개선될 수 있으며, 상기 제2지지 부재(75)와 접촉층 간의 열 전달 효율도 개선될 수 있다.

- [0112] 상기에 개시된 실시 예에 따른 발광 소자는 기판 상에 탑재되거나, 도 18과 같은 패키지로 제공될 수 있다.
- [0113] 도 18은 실시 예에 따른 발광소자가 적용된 발광소자 패키지를 나타낸 도면이다.
- [0114] 도 18을 참조하면, 발광 소자 패키지는 몸체(101)와, 상기 몸체(101)에 배치된 제1 리드전극(121) 및 제2 리드전극(123)과, 상기 몸체(101)에 제공되어 상기 제1 리드전극(121) 및 제2 리드전극(123)과 전기적으로 연결되는 실시 예에 따른 발광소자(100)와, 상기 발광소자(100)를 포위하는 몰딩부재(131)를 포함한다.
- [0115] 상기 몸체(101)는 절연 재질 또는 전도성 재질을 포함하며, 예컨대 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광소자(100)의 주위에 경사면을 갖는 캐비티(103)를 제공할 수 있다.
- [0116] 상기 제1 리드전극(121) 및 제2 리드전극(123)은 간극부(125)에 의해 서로 전기적으로 분리되며, 상기 발광소자(100)에 전원을 제공한다. 상기 간극부(125)는 상기 몸체(101)과 동일한 절연 재질이거나 다른 절연 재질일 수 있다. 또한, 상기 제1 리드전극(121) 및 제2 리드전극(123)은 상기 발광소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시킬 수 있으며, 상기 발광소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0117] 도 1에 도시된, 발광소자(100)의 제1 및 제2지지부재(70,75)은 상기 제1 리드전극(121) 및 제2 리드전극(123) 위에 배치될 수 있다. 상기 제1 및 제2지지부재(70,75)는 상기 제1 리드전극(121) 및 제2 리드전극(123)과 전도성의 제1 및 제2 접촉층(131, 133)로 다이 본딩될 수 있다. 상기 제1 및 제2접촉층(131,133) 간의 간격은 상기 구멍(56)의 너비와 동일할 수 있다. 상기 제1 및 제2지지 부재(70,75) 사이의 구멍(56)은 상기 접촉층(131,133)의 하면까지 연장되거나, 절연 물질로 채워질 수 있다.
- [0118] 상기 몰딩부재(131)는 상기 발광소자(100)를 포위하여 상기 발광소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(131)에는 형광체가 포함되어 상기 발광소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.
- [0119] 실시 예에 따른 발광소자 또는 발광소자 패키지는 복수 개가 기판 위에 어레이될 수 있으며, 상기 발광소자 패키지의 광 경로 상에 광학 부재인 렌즈, 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광소자 패키지, 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 상기 라이트 유닛은 탑뷰 또는 사이드 뷰 타입으로 구현되어, 휴대 단말기 및 노트북 컴퓨터 등의 표시 장치에 제공되거나, 조명장치 및 지시 장치 등에 다양하게 적용될 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자 또는 발광소자 패키지를 포함하는 조명 장치로 구현될 수 있다. 예를 들어, 조명 장치는 램프, 가로등, 전광판, 전조등을 포함할 수 있다.
- [0120] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0121] 또한, 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

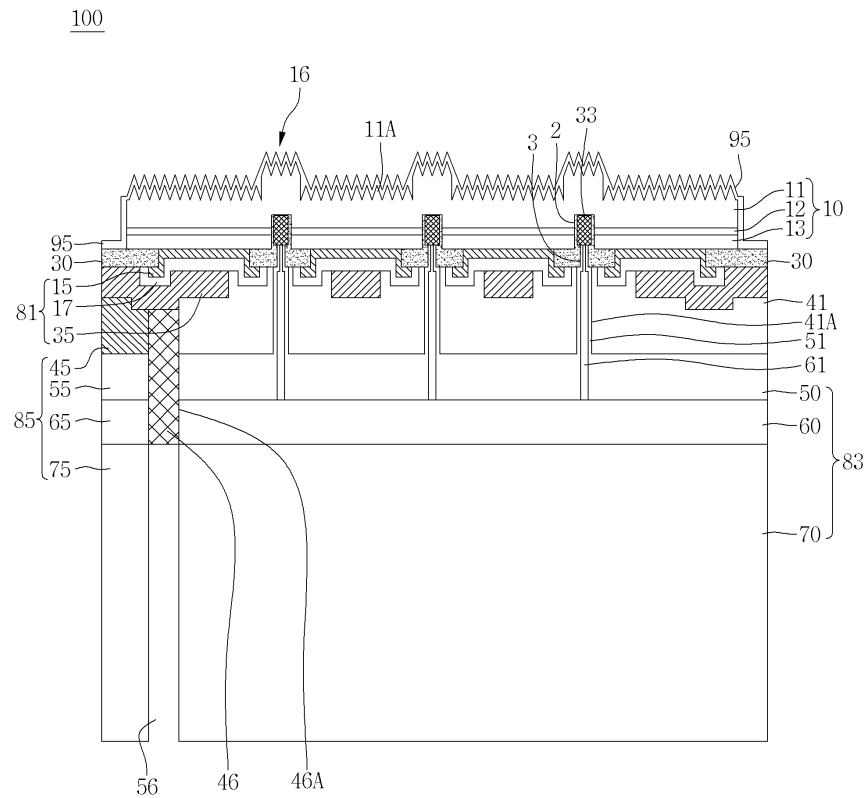
부호의 설명

- [0122] 10: 발광구조물 11: 제1 반도체층
- 12: 활성층 13: 제2 반도체층
- 15: 제1접촉층 16: 돌출부
- 17: 반사층 30: 보호층
- 33: 제2 접촉층 35: 제1캡핑층
- 41: 제1절연층 45: 제2캡핑층

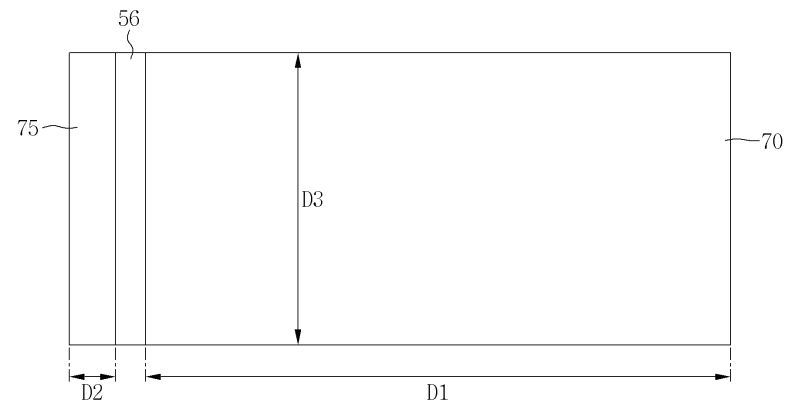
46: 제2절연층 50: 제1확산 방지층
 55: 제2확산 방지층 60: 제1본딩층
 65: 제2본딩층 70: 제1지지부재
 75: 제2지지부재 95: 투광층
 81: 제1전극층 83: 제2전극층
 85: 제3전극층

도면

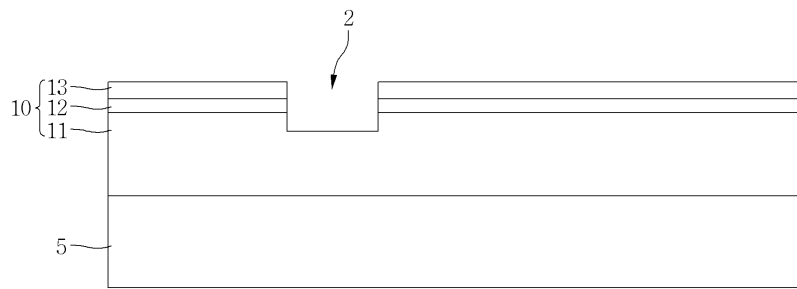
도면1



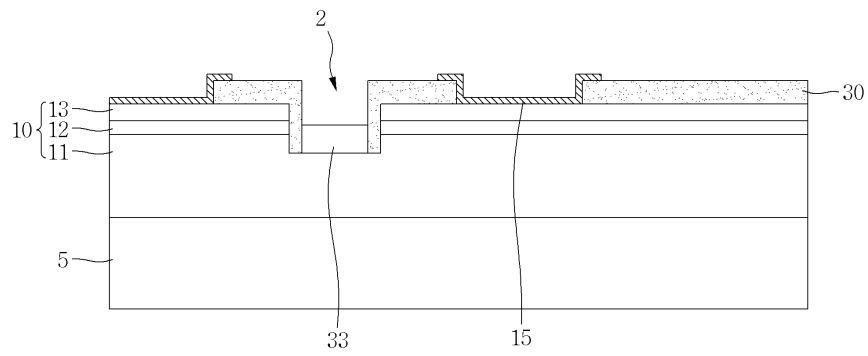
도면2



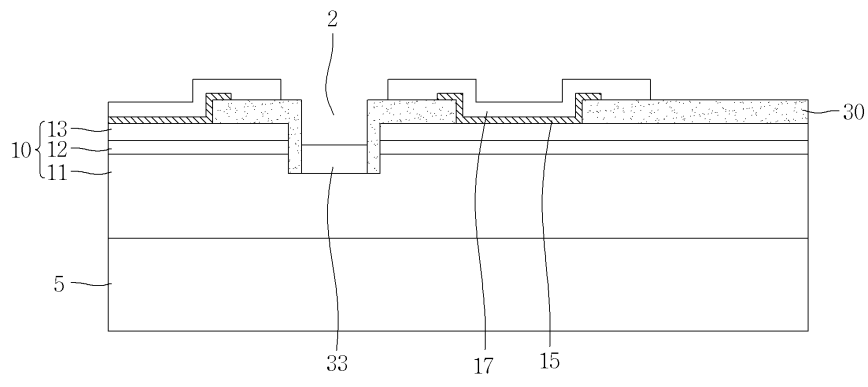
도면3



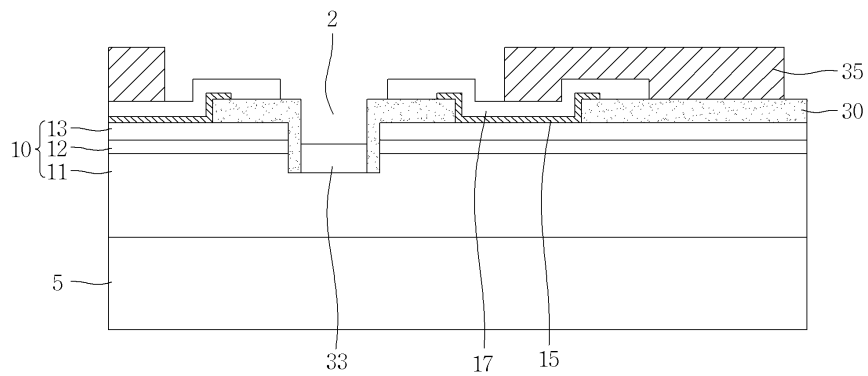
도면4



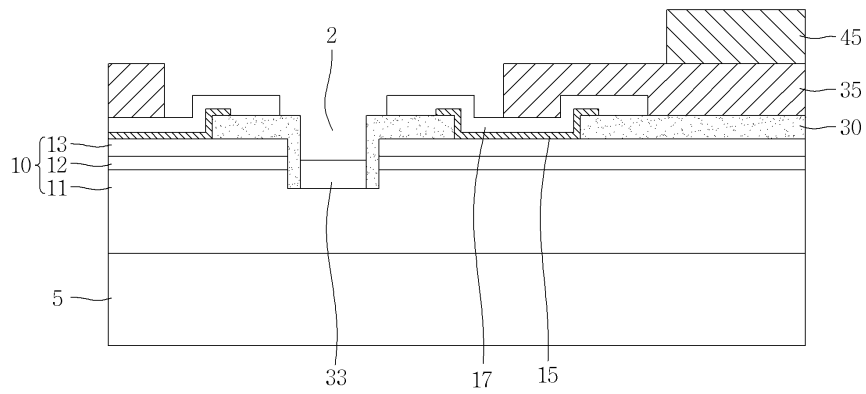
도면5



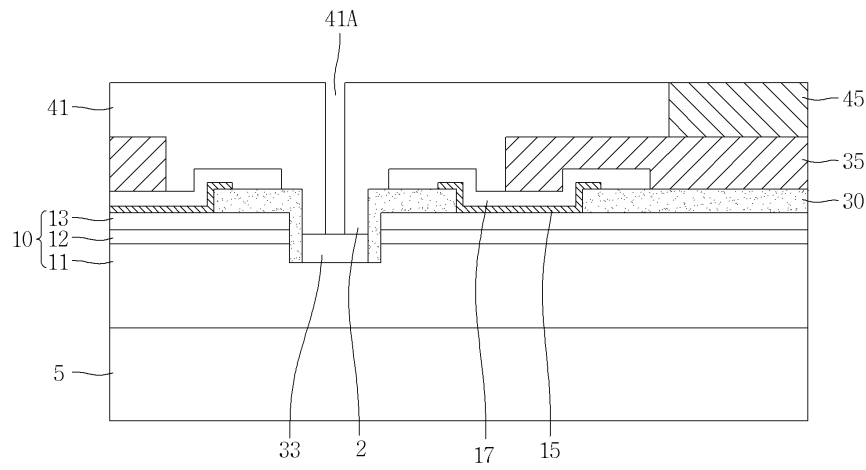
도면6



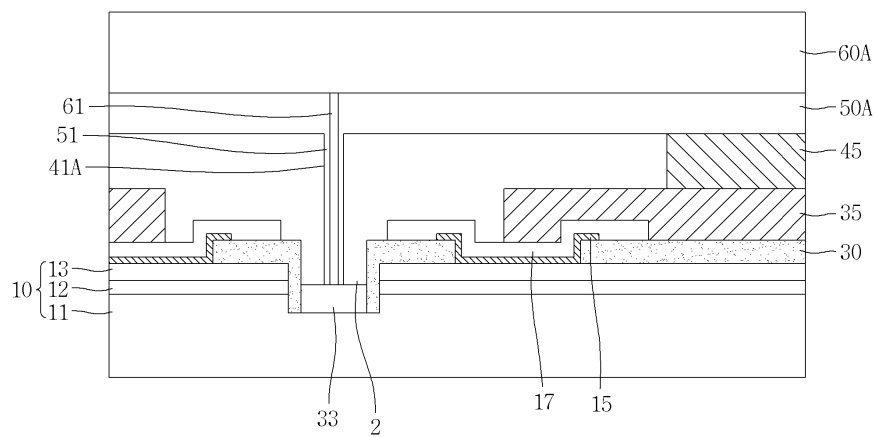
도면7



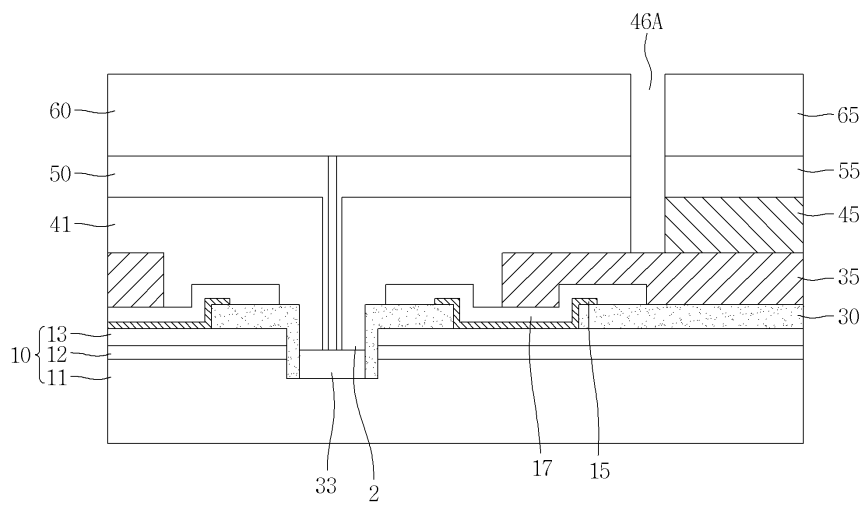
도면8



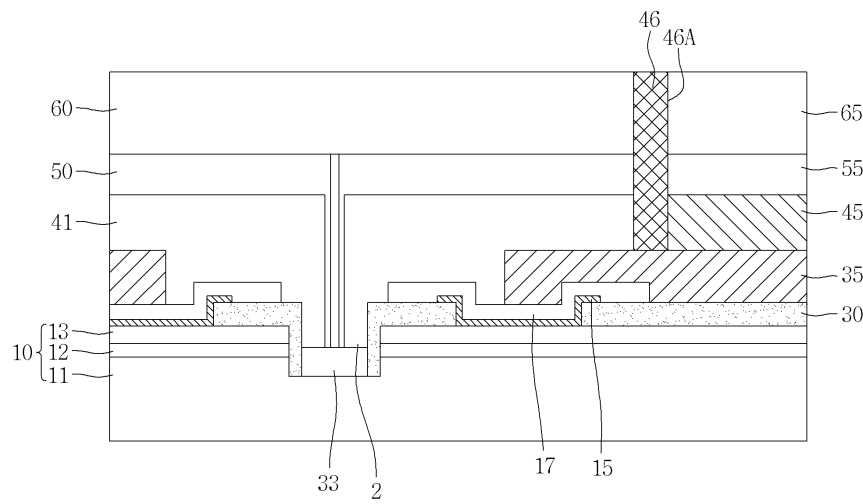
도면9



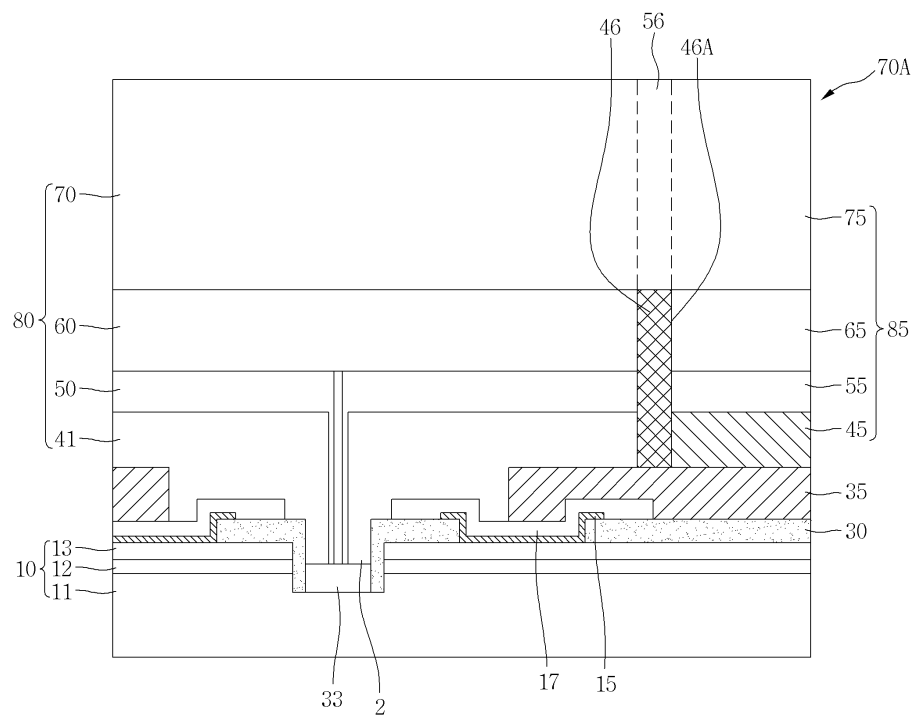
도면10



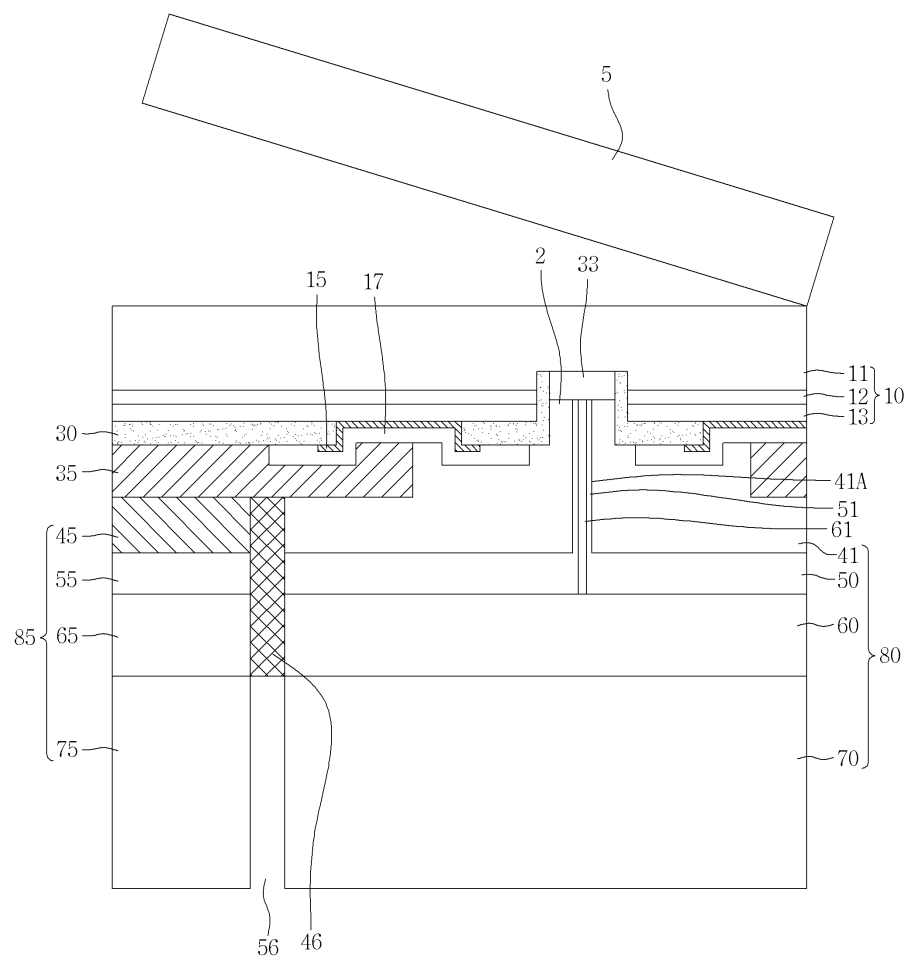
도면11



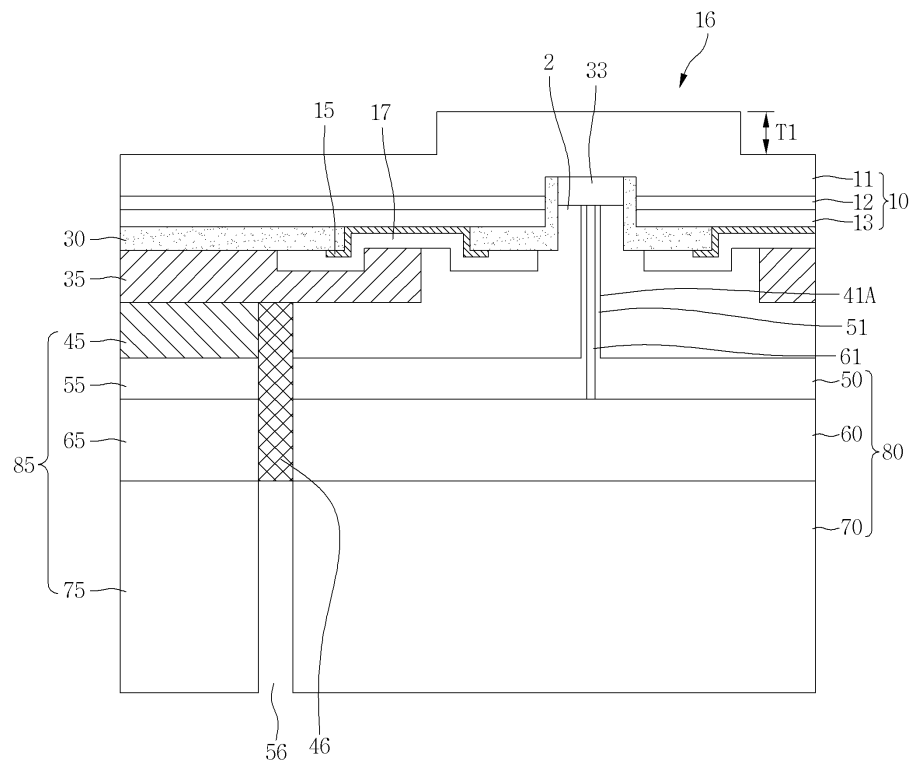
도면12



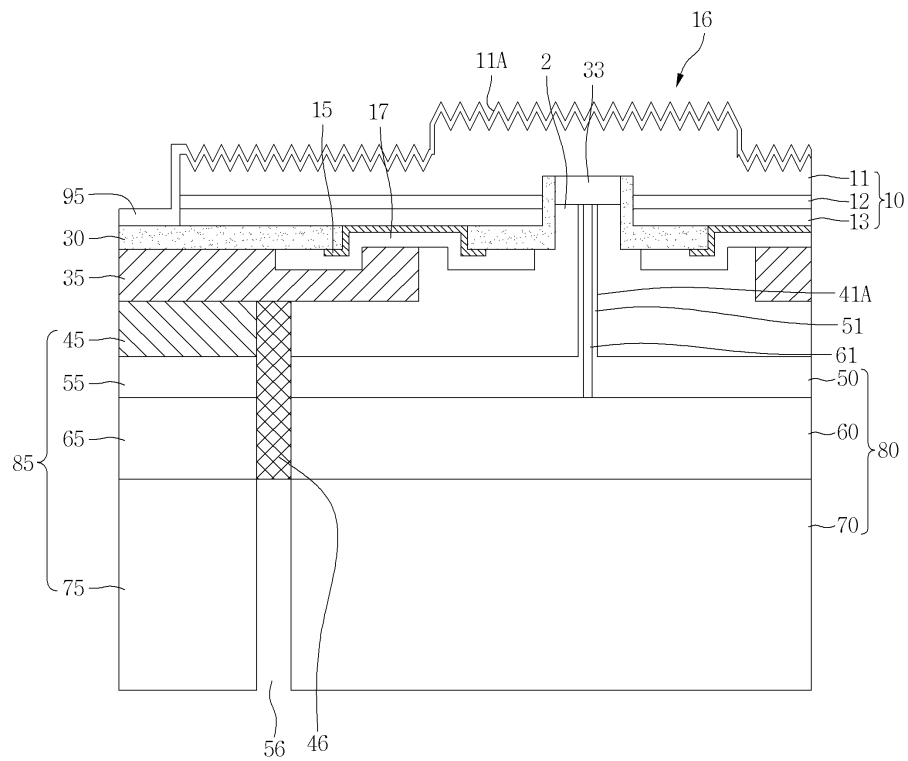
도면13



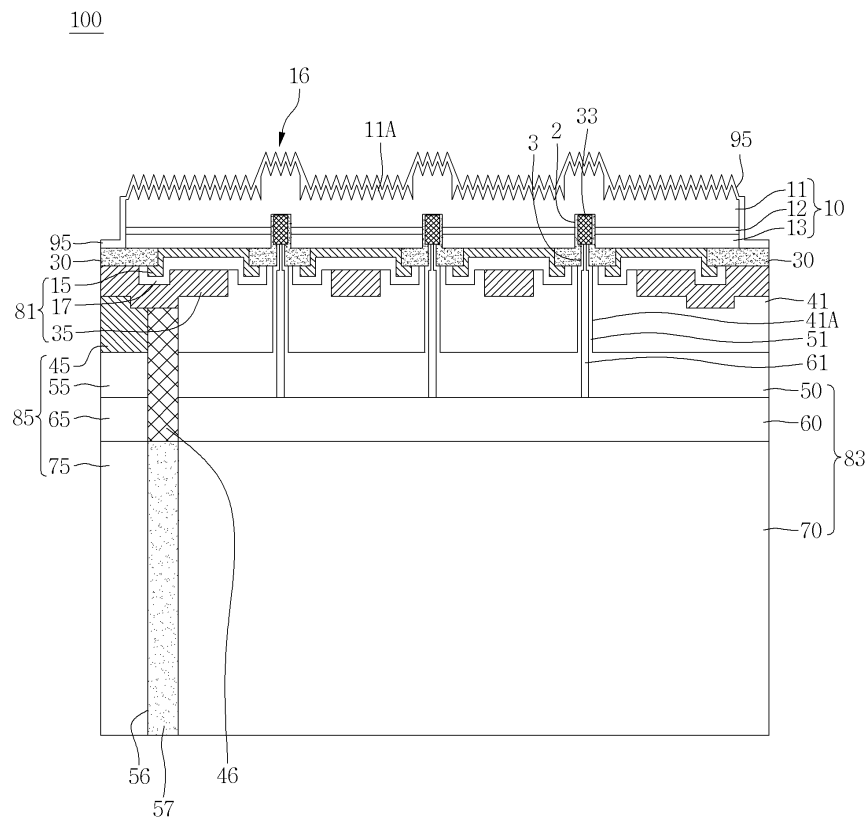
도면14



도면15



도면16



도면17

