

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5224706号  
(P5224706)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int.Cl.

F 1

G06F 12/06 (2006.01)  
G06F 12/00 (2006.01)G06F 12/06 522 A  
G06F 12/06 515 J  
G06F 12/00 597 U

請求項の数 20 (全 28 頁)

(21) 出願番号	特願2007-77553 (P2007-77553)
(22) 出願日	平成19年3月23日 (2007.3.23)
(65) 公開番号	特開2008-242503 (P2008-242503A)
(43) 公開日	平成20年10月9日 (2008.10.9)
審査請求日	平成22年3月23日 (2010.3.23)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100125254 弁理士 別役 重尚
(72) 発明者	田川 陽次郎 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内

審査官 中野 裕二

最終頁に続く

(54) 【発明の名称】記憶装置及び記憶装置の制御方法

(57) 【特許請求の範囲】

## 【請求項 1】

第1の記憶部と、

前記第1の記憶部よりも高速にアクセス可能な第2の記憶部と、  
 論理アドレスのアクセス速度に関する速度情報をホスト装置から受け取る受信手段と、  
 前記受信手段により受け取った前記速度情報を基づいて、前記論理アドレスに対して前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスを割り当て、論理アドレスの情報を含む書き込み指示を前記受信手段が前記ホスト装置から受け取った場合、前記受信手段が受け取った前記書き込み指示に含まれる論理アドレスに対して割り当てられた物理アドレスに対して書き込みを行う制御手段とを備えることを特徴とする記憶装置。

10

## 【請求項 2】

前記制御手段は、前記速度情報により高速アクセスが指定されている場合には、前記論理アドレスに対して前記第2の記憶部の物理アドレスを割り当て、前記速度情報により高速アクセスが指定されていない場合には前記論理アドレスに対して前記第1の記憶部の物理アドレスを割り当てることを特徴とする請求項1に記載の記憶装置。

## 【請求項 3】

前記制御手段は、前記論理アドレスに対して割り当てた前記物理アドレスを示す管理情報を生成し、前記管理情報に基づいて、前記受信手段が受け取った前記書き込み指示に含まれる論理アドレスに対して割り当てられた物理アドレスを検出して前記検出した物理ア

20

ドレスに書き込みを行うことを特徴とする請求項 1 または 2 に記載の記憶装置。

【請求項 4】

前記制御手段は、前記論理アドレスのアクセス速度を示す情報を含む前記管理情報を生成することを特徴とする請求項 3 に記載の記憶装置。

【請求項 5】

前記第 1 の記憶部と前記第 2 の記憶部は、それぞれ複数バイトからなる複数のページで構成され、前記物理アドレスは前記ページのアドレスを示すことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の記憶装置。

【請求項 6】

前記受信手段は、論理アドレスの情報と前記速度情報を含む速度指定コマンドを前記ホスト装置から受け取り、前記制御手段は、前記受信手段が前記速度指定コマンドを受け取った場合に、前記速度指定コマンドに含まれる前記速度情報に基づいて、前記速度指定コマンドに含まれる論理アドレスに対して前記第 1 の記憶部の物理アドレスまたは前記第 2 の記憶部の物理アドレスを割り当てる特徴とする請求項 1 から 5 のいずれか 1 項に記載の記憶装置。 10

【請求項 7】

高速アクセスを示す前記速度情報に対応した第 1 の論理アドレスに対して前記第 1 の記憶部の第 1 の物理アドレスが既に割り当てられていた場合、前記制御手段は、前記第 1 の論理アドレスに対して前記第 2 の記憶部の第 2 の物理アドレスを割り当てる特徴とする請求項 1 から 6 のいずれか 1 項に記載の記憶装置。 20

【請求項 8】

前記第 1 の記憶部は多値型フラッシュメモリであり、前記第 2 の記憶部は 2 値型フラッシュメモリであることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の記憶装置。

【請求項 9】

前記制御手段は、前記第 1 の記憶部の物理アドレスが割り当たされた論理アドレスに対するアクセス回数が閾値に達した場合、前記アクセス回数が閾値に達した論理アドレスに対して割り当てる物理アドレスを、前記第 1 の記憶部の物理アドレスから前記第 2 の記憶部の物理アドレスに変更することを特徴とする請求項 1 から 8 のいずれか 1 に記載の記憶装置。 30

【請求項 10】

ホスト装置と、

第 1 の記憶部と、

前記第 1 の記憶部よりも高速にアクセス可能な第 2 の記憶部と、

論理アドレスのアクセス速度に関する速度情報を前記ホスト装置から受け取る受信手段と、

前記受信手段により受け取った前記速度情報に基づいて、前記論理アドレスに対して前記第 1 の記憶部の物理アドレスまたは前記第 2 の記憶部の物理アドレスを割り当てる特徴とする請求項 1 から 9 のいずれか 1 に記載の記憶装置。 40

【請求項 11】

第 1 の記憶部と前記第 1 の記憶部よりも高速にアクセス可能な第 2 の記憶部とを有する記憶装置と、FAT ファイルシステムに従って前記記憶装置にアクセスするホスト装置とを備えるメモリ管理システムであって、

前記ホスト装置は、アクセス先の論理アドレスを指定し、前記指定した論理アドレスのアクセス速度に関する速度指定コマンドと、前記指定した論理アドレスに対する書き込みコマンドまたは読み出しコマンドを前記記憶装置に出力すると共に、前記記憶装置の初期化時に、ファイルアロケーションテーブルとルートディレクトリエンタリを書き込むため 50

の論理アドレスを指定し、前記ファイルアロケーションテーブルとルートディレクトリエントリを書き込むための論理アドレスが高速アクセスであることを示す前記速度指定コマンドを前記記憶装置に出力し、

前記記憶装置は、前記速度指定コマンドに基づいて、前記速度指定コマンドにより指定された論理アドレスに対して前記第1の記憶部または第2の記憶部の物理アドレスを割り当て、前記書き込みまたは読み出しこマンドにより指定された論理アドレスに対して割り当てられた物理アドレスにアクセスすると共に、前記初期化時に前記ホスト装置から出力された前記速度指定コマンドに基づいて、前記ファイルアロケーションテーブルとルートディレクトリエントリを書き込むための論理アドレスに対して前記第2の記憶部の物理アドレスを割り当てる特徴とするメモリ管理システム。

10

#### 【請求項12】

前記ホスト装置は、サブディレクトリエントリを書き込むための論理アドレスを指定し、前記サブディレクトリエントリを書き込むための論理アドレスが高速アクセスであることを示す前記速度指定コマンドを前記記憶装置に出力し、

前記記憶装置は、前記ホスト装置から出力された前記速度指定コマンドに基づいて、前記サブディレクトリエントリを書き込むための論理アドレスに対して前記第2の記憶部の物理アドレスを割り当てる特徴とする請求項11に記載のメモリ管理システム。

#### 【請求項13】

第1の記憶部と、前記第1の記憶部よりも高速にアクセス可能な第2の記憶部と、論理アドレスのアクセス速度に関する速度情報をホスト装置から受け取る受信手段とを備える記憶装置の制御方法であって、

20

前記受信手段により受け取った前記速度情報に基づいて、前記論理アドレスに対して前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスを割り当て、論理アドレスの情報を含む書き込み指示を前記受信手段が前記ホスト装置から受け取った場合、前記受信手段が受け取った前記書き込み指示に含まれる論理アドレスに対して割り当てる前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスに対して書き込みを行う特徴とする記憶装置の制御方法。

#### 【請求項14】

前記速度情報により高速アクセスが指定されている場合には、前記論理アドレスに対して前記第2の記憶部の物理アドレスを割り当て、前記速度情報により高速アクセスが指定されていない場合には前記論理アドレスに対して前記第1の記憶部の物理アドレスを割り当てる特徴とする請求項13に記載の制御方法。

30

#### 【請求項15】

前記論理アドレスに対して割り当てられた前記物理アドレスを示す管理情報を生成し、前記管理情報に基づいて、前記受信手段が受け取った前記書き込み指示に含まれる論理アドレスに対して割り当てる物理アドレスを検出し、前記検出した物理アドレスに書き込みを行う特徴とする請求項13または14に記載の制御方法。

#### 【請求項16】

前記論理アドレスのアクセス速度を示す情報を含む前記管理情報を生成することを特徴とする請求項15に記載の制御方法。

40

#### 【請求項17】

前記第1の記憶部と前記第2の記憶部は、それぞれ複数バイトからなる複数のページで構成され、前記物理アドレスは前記ページのアドレスを示すことを特徴とする請求項13から16のいずれか1項に記載の制御方法。

#### 【請求項18】

論理アドレスの情報と前記速度情報とを含む速度指定コマンドを前記ホスト装置から受け取り、前記受信手段が前記速度指定コマンドを受け取った場合に、前記速度指定コマンドに含まれる前記速度情報に基づいて前記速度指定コマンドに含まれる論理アドレスに対して前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスを割り当てる特徴とする請求項13から17のいずれか1項に記載の制御方法。

50

**【請求項 19】**

高速アクセスを示す前記速度情報に対応した第1の論理アドレスに対して前記第1の記憶部の第1の物理アドレスが既に割り当てられていた場合、前記第1の論理アドレスに対して前記第2の記憶部の第2の物理アドレスを割り当て、前記第1の物理アドレスに既に記憶されていたデータを前記第2の物理アドレスに移動することを特徴とする請求項13から18のいずれか1項に記載の制御方法。

**【請求項 20】**

前記第1の記憶部の物理アドレスが割り当てられた論理アドレスに対するアクセス回数が閾値に達した場合、前記アクセス回数が閾値に達した論理アドレスに対して割り当てる物理アドレスを、前記第1の記憶部の物理アドレスから前記第2の記憶部の物理アドレスに変更することを特徴とする請求項13から19のいずれか1項に記載の制御方法。 10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、アクセス速度の異なる記憶手段を有するストレージデバイスをブロックデバイスとして使用し、任意のデータをアクセス速度が高速な記憶手段に割り振ることができ記憶装置及び記憶装置の制御方法に関する。

**【背景技術】****【0002】**

従来、デジタルカメラ等のストレージメディアとしてフラッシュメモリが広く利用されている。フラッシュメモリには、1個のメモリセルに2つの値をとる2値型フラッシュメモリと、3つ以上の値をとる多値型フラッシュメモリがある。多値型フラッシュメモリは、2値型フラッシュメモリと比べて単位セルあたりの記憶容量が増えるために、低コストで大容量化を実現できるという利点がある。一方、多値型フラッシュメモリは、多値化のための制御が複雑になるためにアクセス速度が低速になるという欠点がある。 20

**【0003】**

近年、この多値型フラッシュメモリと2値型フラッシュメモリを組み合わせたハイブリッドタイプのフラッシュメモリが提案されている。ハイブリッドタイプのフラッシュメモリにより、大容量化とアクセス速度の高速化を低コストで実現することができる。

**【0004】**

また、2値型及び多値型のフラッシュメモリを混載し、管理データを2値型フラッシュメモリに、ユーザデータを多値型フラッシュメモリにそれぞれ格納する記憶装置が提案されている（例えば、特許文献1参照）。さらに、2値型及び多値型の複数タイプのフラッシュメモリを使用し、使用目的にしたがって各タイプのメモリ領域を区別してアクセスできるデータ記憶システムが提案されている（例えば、特許文献2参照）。 30

**【0005】**

デジタルカメラのストレージメディアとしてフラッシュメモリを使用する場合、ホストシステムはFATファイルシステムを用いて画像ファイルをフラッシュメモリに格納する。FATファイルシステムでは、フラッシュメモリがファイルアロケーションテーブル、ディレクトリエントリ領域、及びデータ領域に分けて使用される。このうち、ファイルアロケーションテーブルとディレクトリエントリ領域は、あらゆるファイルアクセスにおいてアクセスされる領域である。特に、大容量のストレージメディアでは、これら2つの領域へのアクセス頻度が多くなる傾向にあり、これらの領域へのアクセス速度がファイルアクセス速度に大きく影響する。 40

**【0006】**

一方、特定のファイルを高速領域に配置したいという要求がある。例えば、デジタルカメラなどで大量のファイルを管理する場合、どのディレクトリに何番の画像ファイルが格納されているかを管理するためのカタログファイルと呼ばれる管理用のファイルが作成される（例えば、特許文献3参照）。この管理用のファイルは、撮影画像の新規生成及び画像の閲覧のために頻繁に参照又は記録される。さらには、この管理用のファイルには、例 50

えばデジタルカメラの電源起動時に次に生成するファイルの番号を決定するための情報等も格納されているために、電源起動後に最初の撮影が可能かどうかを判別するためには必ずアクセスしなければならない。したがって、撮影及び再生動作の高速化、並びに起動してから撮影可能になるまでの時間を短縮するためには、このような管理用ファイルのデータ領域なども高速領域に配置されることが好ましい。

【特許文献 1】特開 2001 - 306393 号公報

【特許文献 2】特開平 11 - 31102 号公報

【特許文献 3】特開平 9 - 44394 号公報

#### 【発明の開示】

##### 【発明が解決しようとする課題】

10

##### 【0007】

しかしながら、上記特許文献 2 記載のデータ記憶システムでは、ホストシステムが、当該ホストシステムから見たアドレスによって高速領域と低速領域を区別してアクセスするというものである。このため、ホストシステムは、書き込むデータを所望のアクセス速度で書き込む場合、データを配置するアドレスが限定されるという問題がある。

##### 【0008】

また、FAT ファイルシステムを用いる場合、高速領域に配置することが好ましいと思われるファイルアロケーションテーブルやディレクトリエントリ領域は、メディアの容量、フォーマット、ファイルの状況に応じて任意のアドレスに配置される。このため、上述したデータ記憶システムのようにアドレスによって高速領域と低速領域の配置が固定される場合は、FAT ファイルシステムで使用する任意の領域を高速領域に配置することができないという問題がある。

20

##### 【0009】

一方、ファイルシステムのクライアントが任意のファイルを高速領域への配置するためには、FAT ファイルシステムが専用のコマンドを用意する必要がある。また、一般的に標準的な I/F を使用することが前提であるファイルシステムの I/F としては好ましくないという問題がある。

##### 【0010】

また、FAT ファイルシステムの I/F に任意のファイルを高速領域に配置するコマンドを用意したとしても、ファイルシステムのクライアントが常に高速アクセスしたいファイルを認識できるとは限らない。そのため、高速アクセスしたいファイルを高速領域に配置することが難しいという問題がある。

30

##### 【0011】

本発明の目的は、アクセス速度の異なる記憶手段を有するストレージデバイスにアクセスする際に、記憶領域が限定されることなく、データをアクセス速度が高速な記憶手段に割り振ることが可能な記憶装置及び記憶装置の制御方法を提供することにある。

#### 【課題を解決するための手段】

##### 【0012】

上記目的を達成するために、請求項 1 記載の記憶装置は、第 1 の記憶部と、前記第 1 の記憶部よりも高速にアクセスが可能な第 2 の記憶部と、論理アドレスのアクセス速度に関する速度情報をホスト装置から受け取る受信手段と、前記受信手段により受け取った前記速度情報を基づいて、前記論理アドレスに対して前記第 1 の記憶部の物理アドレスまたは前記第 2 の記憶部の物理アドレスを割り当て、論理アドレスの情報を含む書き込み指示を前記受信手段が前記ホスト装置から受け取った場合、前記受信手段が受け取った前記書き込み指示に含まれる論理アドレスに対して割り当てられた物理アドレスに対して書き込みを行う制御手段とを備えることを特徴とする。

40

##### 【0013】

上記目的を達成するために、請求項 10 記載のメモリ管理システムは、ホスト装置と、第 1 の記憶部と、前記第 1 の記憶部よりも高速にアクセスが可能な第 2 の記憶部と、論理アドレスのアクセス速度に関する速度情報を前記ホスト装置から受け取る受信手段と、前

50

記受信手段により受け取った前記速度情報を基づいて、前記論理アドレスに対して前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスを割り当て、論理アドレスの情報を含む書き込み指示を前記受信手段が前記ホスト装置から受け取った場合、前記受信手段が受け取った前記書き込み指示に含まれる論理アドレスに対して割り当てられた前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスに対して書き込みを行う制御手段とを有することを特徴とする。

#### 【0014】

上記目的を達成するために、請求項11記載のメモリ管理システムは、第1の記憶部と前記第1の記憶部よりも高速にアクセス可能な第2の記憶部とを有する記憶装置と、FATファイルシステムに従って前記記憶装置にアクセスするホスト装置とを備えるメモリ管理システムであって、前記ホスト装置は、アクセス先の論理アドレスを指定し、前記指定した論理アドレスのアクセス速度に関する速度指定コマンドと、前記指定した論理アドレスに対する書き込みコマンドまたは読み出しこmandoを前記記憶装置に出力すると共に、前記記憶装置の初期化時に、ファイルアロケーションテーブルとルートディレクトリエンタリを書き込むための論理アドレスを指定し、前記ファイルアロケーションテーブルとルートディレクトリエンタリを書き込むための論理アドレスが高速アクセスであることを示す前記速度指定コマンドを前記記憶装置に出力し、前記記憶装置は、前記速度指定コマンドに基づいて、前記速度指定コマンドにより指定された論理アドレスに対して前記第1の記憶部または第2の記憶部の物理アドレスを割り当て、前記書き込みまたは読み出しこmandoにより指定された論理アドレスに対して割り当てられた物理アドレスにアクセスすると共に、前記初期化時に前記ホスト装置から出力された前記速度指定コマンドに基づいて、前記ファイルアロケーションテーブルとルートディレクトリエンタリを書き込むための論理アドレスに対して前記第2の記憶部の物理アドレスを割り当てる特徴とする。

#### 【0015】

上記目的を達成するために、請求項13記載の記憶装置の制御方法は、第1の記憶部と、前記第1の記憶部よりも高速にアクセス可能な第2の記憶部と、論理アドレスのアクセス速度に関する速度情報をホスト装置から受け取る受信手段とを備える記憶装置の制御方法であって、前記受信手段により受け取った前記速度情報を基づいて、前記論理アドレスに対して前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスを割り当て、論理アドレスの情報を含む書き込み指示を前記受信手段が前記ホスト装置から受け取った場合、前記受信手段が受け取った前記書き込み指示に含まれる論理アドレスに対して割り当てられた前記第1の記憶部の物理アドレスまたは前記第2の記憶部の物理アドレスに対して書き込みを行うことを特徴とする。

#### 【発明の効果】

#### 【0016】

本発明によれば、アクセス速度の異なる記憶手段を有するストレージデバイスにデータを書き込む場合、データを書き込むアドレスを限定することなく、データを高速アクセスが可能な記憶領域に割り振ることが可能となる。

#### 【発明を実施するための最良の形態】

#### 【0017】

以下、本発明の実施の形態を図面を参照して詳細に説明する。

#### 【0018】

図1は、本発明の第1の実施形態に係るメモリ管理装置を含むメモリ管理システムの構成例を示すブロック図である。

#### 【0019】

図1において、メモリ管理システムは、例えば、ホストシステム101と、ストレージデバイス100とで構成される。ホストシステム101は、不図示のファイルシステム、ロックデバイスドライバなどが実装されている。

#### 【0020】

ホストシステム101は、例えば、ストレージデバイス100を内蔵又は装着可能なデ

10

20

30

40

50

ジタルカメラ等の機器側のCPU(Central Processing Unit)である。ストレージデバイス100は、ホストシステム101に対してブロックデバイスとしての機能を提供する。ブロックデバイスは、複数バイトからなるデータブロックを1つの単位としてデータの入出を行なうストレージメディアであり、例えばフラッシュメモリ等で構成される。

#### 【0021】

ストレージデバイス100は、ホストインターフェース(I/F)部102、コントローラ103、BLC(Binary Level Cell:2値型)フラッシュメモリ104、MLC(Multi-Level Cell:多値型)フラッシュメモリ105、RAM106を備える。

#### 【0022】

ホストI/F102は、ホストシステム101、コントローラ103、及びRAM106に接続されている。ホストI/F102は、ストレージデバイス100とホストシステム101との間のバスの制御、RAM106上に配置されるバッファへのデータの読み書き等の制御を行う。

#### 【0023】

コントローラ103は、BLCフラッシュメモリ104、MLCフラッシュメモリ105、及びRAM106に接続される。コントローラ103は、ストレージデバイス100内のフラッシュメモリ104, 105の制御、後述する論理ページ割り当てテーブルの管理などを行う。

#### 【0024】

MLCフラッシュメモリ105は、BLCフラッシュメモリ104よりもアクセス速度が低速である。RAM106は、ホストシステム101とのデータの受け渡しのためのバッファとして、また論理ページ割り当てテーブル等を保持するために用いられる。

20

#### 【0025】

次に、BLCフラッシュメモリ104及びMLCフラッシュメモリ105の内部のメモリマップを図2(a)及び図2(b)を参照して説明する。

#### 【0026】

図2は、図1の各フラッシュメモリ内部のメモリマップを示す図であり、(a)はBLCフラッシュメモリ104、(b)はMLCフラッシュメモリ105である。

#### 【0027】

BLCフラッシュメモリ104及びMLCフラッシュメモリ105は、それぞれ複数の消去ブロック(例えば、ページ#0～ページ#M-1)で構成されるユニットの単位で管理される。BLCフラッシュメモリ104は、ユニット#0からユニット#X-1までのX個のユニットがある。MLCフラッシュメモリ105は、ユニット#Xからユニット#X+YまでのY個のユニットがある。各ユニットの内部は、ユニット構成150に示すように、ページ#0からページ#M-1までのM個の物理ページ(物理ブロック)に分割されて管理されている。物理ページは、ブロックデバイスとして使用される連続のバイト列データである。通常、512バイトの整数倍のバイト数が1ページとして管理される。本実施の形態におけるストレージデバイス100内には((X+Y)×M)個の物理ページが存在することになる。

30

#### 【0028】

次に、上記各ユニットの属性情報を管理するユニット管理テーブルについて説明する。

40

#### 【0029】

図3は、ユニット管理テーブルの詳細を示す図である。

#### 【0030】

ユニット管理テーブル200は、BLCフラッシュメモリ104及びMLCフラッシュメモリ105にあるすべてのユニットを管理するための管理情報であり、BLCフラッシュメモリ104上の所定のユニットに保持されている。

#### 【0031】

ユニット管理テーブル200は、不良ユニットビットマップ221、消去済みユニットビットマップ222を備える。不良ユニットビットマップ221は、BLCフラッシュメ

50

モリ 104 及び MLC フラッシュメモリ 105 にあるすべてのユニット（ユニット # 0 ~ ユニット # X + Y の X + Y 個のユニット）のうちの不良ユニットの情報をビット値として保持する。消去済みユニットビットマップ 222 は、BLC フラッシュメモリ 104 及び MLC フラッシュメモリ 105 にあるすべてのユニットのうちの消去済みユニットの情報をビット値として保持する。

#### 【0032】

また、ユニット管理テーブル 200 は、BLC フラッシュメモリ 104 及び MLC フラッシュメモリ 105 にある全てのユニットに対応するユニット管理情報（ユニット # 0 管理情報 223 ~ ユニット # X + Y 管理情報 226）を保持する。

#### 【0033】

ユニット管理情報 240 は、ユニット # 0 管理情報 223 ~ ユニット # X + Y 管理情報 226 のうちの 1 つである。ユニット管理情報 240 は、有効ページ数 241、空きページ数 242、消去待ちページ数 243、次の空きページエントリ 244、物理ページ割り当てテーブル 245、及びユニット消去回数 246 で構成される。

#### 【0034】

有効ページ数 241 は、ユニット内の有効ページ数を表している。空きページ数 242 は、有効ページ数 241 の内、未だ割り当てられていない書き込み可能な空きページの数を表している。消去待ちページ数 243 は、物理ページに一旦データの書き込みが行われ、その後、その物理ページが上書きされたか、別の空きページにデータが移動したために、消去待ち状態になっている物理ページの数を示している。消去待ちページが発生する処理については後述する。次の空きページエントリ 244 は、当該ユニット内で次に割り当てられる空きページのエントリ番号（アドレス）を示している。

#### 【0035】

物理ページ割り当てテーブル 245 は、当該ユニット上に配置される物理ページがそれぞれ何番の論理ページ（論理ブロック）に割り当てられているかを示すテーブルである。本実施の形態では、ユニットが M 個のページで構成されるので、この物理ページ割り当てテーブル 245 は M 個のエントリ（アドレス領域）を有するテーブルとなる。この物理ページ割り当てテーブル 245 のエントリが 0 × F F F F F F F F である場合は当該物理ページが空きページであることを示す。また、この物理ページ割り当てテーブル 245 のエントリ番号が 0 × F F F F F F F 0 である場合は当該物理ページが消去待ちページであることを示す。この物理ページ割り当てテーブル 245 のエントリが 0 × 0 0 0 0 0 0 0 から 0 × F F F F F F 0 0 までは、当該物理ページが割り当てられている論理ページ番号（論理アドレス）を示す。

#### 【0036】

ユニット消去回数 246 は、当該ユニットの消去回数を表している。ユニット消去回数は、各ユニットの消去回数が均等になるように、論理ページとユニットの割り当てを管理するために用いられる。

#### 【0037】

次に、論理ページ割り当てテーブルについて説明する。

#### 【0038】

図 4 は、論理ページ割り当てテーブルの詳細を示す図である。

#### 【0039】

論理ページ割り当てテーブル 300 は、ストレージデバイス 100 がホストシステム 101 に対して提供するストレージサービスにおいて用いられる論理ページの情報を格納するためのテーブルである。この論理ページ割り当てテーブル 300 は、BLC フラッシュメモリ 104 上の所定のユニットに保持される。ホストシステム 101 は、ストレージデバイス 100 にアクセスする際に、論理ページを指定することによって、BLC フラッシュメモリ 104 及び / 又は MLC フラッシュメモリ 105 上の所定の物理ページへのアクセスを行う。

#### 【0040】

10

20

30

40

50

論理ページ割り当てテーブル 300 は、ページ #0 割り当て情報エントリ 301 ~ ページ #N + 1 割り当て情報エントリ 306 、 . . . で構成され、それぞれが当該ページの割り当て情報エントリである。ページ割り当て情報エントリ 310 は、ページ割り当て情報エントリのビットアサインを示している。

#### 【0041】

ページ割り当て情報エントリ 310 内のステータス 311 は、論理ページの物理ページへの割り当て状況を示すビット値であり、“1”で割り当て済み状態、“0”で未割り当て状態を示す。未割り当て状態の論理ページは、初期化後、一度もホストシステム 101 から書き込みが行われていない状態の論理ページを示すものである。ホストシステム 101 が未割り当て状態の論理ページに対してデータ読み出しを行った場合は、コントローラ 103 は RAM 106 上の読み込みページバッファに 0 × FF の値でフィルしてホストシステム 101 に対してデータ渡す。

10

#### 【0042】

速度指定 312 は、ユーザが指定することが可能な論理ページの指定速度を示すビット値であり、“0”で速度指定無し、“1”で高速指定を示すものである。ユニット速度 313 は、当該論理ページが現在割り当てられている物理ページが存在するユニットの速度を示すビット値であり、“0”で低速ユニット、“1”で高速ユニット、を示すものである。本実施の形態では、低速ユニットは MLC フラッシュメモリ 105 上のユニットを意味し、高速ユニットは TLC フラッシュメモリ 104 上のユニットを意味する。これにより、任意の物理ページを高速又は低速に割り当てるように指定することができる。速度指定 312 は、予めユーザが指定することができる。

20

#### 【0043】

ユニット番号 314 は、当該論理ページが現在割り当てられている（対応付けられている）物理ページが存在するユニット番号である。ページオフセット 315 は、当該論理ページが現在割り当てられている物理ページのユニット上のページオフセット番号を示す。アクセス回数 316 は、当該論理ページへのアクセス回数を示す値が格納されている。平均アクセス間隔 317 には、当該ページへのアクセス間隔の平均時間が格納されている。アクセス回数 316 及び平均アクセス間隔 317 は、後述するページアクセス頻度の判定に用いられる。

#### 【0044】

30

コントローラ 103 は、ホストシステム 101 から指定された論理ページ番号（論理アドレス）を論理ページ割り当てテーブルの内容に基づいてアドレス変換する。そして、この変換アドレスに対応する物理ページ番号（物理アドレス）を使用して、TLC フラッシュメモリ 104 、 MLC フラッシュメモリ 105 に対するデータの読み出し、書き込み及び消去を行う。

#### 【0045】

次に、ホストシステム 101 とストレージデバイス 100 との間の通信で用いられるコマンドについて説明する。

#### 【0046】

図 5 は、ストレージデバイス 100 がサポートするコマンドの一覧を示す図である。

40

#### 【0047】

ストレージデバイス 100 は、ホストシステム 101 からのコマンドとして、「Initialize」、「Page read」、「Page write」、「Set page fast」の 4 つのコマンドをサポートしている。それぞれのコマンドは 0 から 3 個のパラメータを伴って使用される。

#### 【0048】

「Initialize」コマンドは、コマンド番号 0 × 00 で指定されるコマンドである。この「Initialize」コマンドは、図示のようにパラメータ無しで用いられ、ストレージデバイスの全領域を初期状態に設定するために用いられる。

#### 【0049】

「Page read」コマンドは、コマンド番号 0 × 10 で指定されるコマンドである。この

50

「Page read」コマンドは、指定した論理ページのデータを読み出すために用いられる。 「Page read」コマンドは、第一パラメータに読み出し開始位置を指定する開始論理ページ番号が、第二パラメータに読み出しひページ数がそれぞれ指定される。ホストシステム 101 は、「Page read」コマンド及びパラメータを送信後、ストレージデバイス 100 から所定の読み出しデータを受信する。

#### 【0050】

「Page write」コマンドは、コマンド番号  $0 \times 20$  で指定されるコマンドである。この「Page write」コマンドは、指定した論理ページのデータを書き込むために用いられる。 「Page write」コマンドは、第一パラメータに書き込み開始位置を指定する開始論理ページ番号が、第二パラメータに書き込みページ数がそれぞれ指定される。ホストシステム 101 は、「Page write」コマンド及びパラメータを送信後、ストレージデバイス 100 に 10 対して所定の書き込みデータを送信する。

#### 【0051】

「Page rate」コマンドは、コマンド番号  $0 \times 40$  で指定されるコマンドである。この「Page rate」コマンドは、指定した論理ページのアクセス速度を指定するために用いられる。「Page rate」コマンドは、第一パラメータにアクセス速度を指定する開始論理ページ番号が、第二パラメータにアクセス速度を指定するページ数が、第三パラメータにアクセス速度がそれぞれ指定される。第三パラメータのアクセス速度は“1”が高速、“0”が通常を意味する。

#### 【0052】

次に、ストレージデバイス 100 の初期化処理について説明する。

#### 【0053】

ストレージデバイス 100 は使用される際に、まず初期化処理を行う。通常、初期化処理はストレージデバイスを製造する工場で出荷前に行われるものである。

#### 【0054】

ホストシステム 101 は、図 5 に示した「Initialize」コマンドをストレージデバイス 100 に対して送信する。ストレージデバイス 100 において、コントローラ 103 は、ホスト I/F 102 を介して「Initialize」コマンドを受信すると初期化処理を開始する。

#### 【0055】

図 6 は、コントローラ 103 により実行されるストレージデバイス 100 の初期化処理の詳細を示すフローチャートである。

#### 【0056】

コントローラ 103 は、BLC フラッシュメモリ 104 及び MLC フラッシュメモリ 105 に配置される全ブロック（ユニット）の消去を行う（ステップ S401）。次に、コントローラ 103 は、ユニット管理テーブル 200 の初期化処理を行う（ステップ S402）。そして、コントローラ 103 は、論理ページ割り当てテーブル 300 の初期化処理を行い（ステップ S403）、本処理を終了する。

#### 【0057】

図 6 のステップ S402 におけるユニット管理テーブル 200 の初期化処理の詳細について図 7 を用いて説明する。

#### 【0058】

図 7 は、図 6 のステップ S402 におけるユニット管理テーブル 200 の初期化処理の詳細を示すフローチャートである。

#### 【0059】

まず、コントローラ 103 は、不良ユニットビットマップ 221 の初期化を行う（ステップ S411）。次に、消去済みユニットビットマップ 222 をすべて“1”にセットしてすべてのユニットを消去済み状態にする（ステップ S412）。

#### 【0060】

次に、すべてのユニットのユニット管理情報 240 の初期化を、ステップ S414 から 50

ステップ S 4 2 0までのステップを繰り返すことにより行う。まず、コントローラ 1 0 3 は、有効ページ数 2 4 1 の領域にユニットの総ページ数をセットし(ステップ S 4 1 4)、空きページ数 2 4 2 の領域にユニットの総ページ数をセットする(ステップ S 4 1 5)。

#### 【0 0 6 1】

次に、コントローラ 1 0 3 は、消去待ちページ数 2 4 3 の領域に“0”をセットし(ステップ S 4 1 6)、次の空きページエントリ 2 4 4 の領域に“0”をセットする(ステップ S 4 1 7)。次に、コントローラ 1 0 3 は、物理ページ割り当てテーブル 2 4 5 の全エントリに  $0 \times F F F F F F F F$  をセットし(ステップ S 4 1 8)、消去回数 2 4 6 の領域に 1 をセットする(ステップ S 4 1 9)。工場出荷時の始めての消去であれば 1 をセットし、それ以後の初期化処理であれば既存の値に 1 加算した値を格納する。そして、ユニット # 0 からユニット # X + Y までのすべてのユニットに対して処理が終了したか否かを判別し(ステップ S 4 2 0)、すべてのユニットに対して処理が終了したときはリターンする。

#### 【0 0 6 2】

次に、図 6 のステップ S 4 0 3 における論理ページ割り当てテーブルの初期化処理の詳細について図 8 を用いて説明する。

#### 【0 0 6 3】

図 8 は、図 6 のステップ S 4 0 3 における論理ページ割り当てテーブル 3 0 0 の初期化処理の詳細を示すフロー・チャートである。

#### 【0 0 6 4】

すべての論理ページのページ割り当て情報エントリ 3 1 0 (例えば、ページ # 0 割り当て情報エントリ 3 0 1 ~ ページ # 2 割り当て情報エントリ 3 0 3) の初期化を、ステップ S 4 3 2 からステップ S 4 3 9 までのステップを繰り返すことにより行う。

#### 【0 0 6 5】

まず、コントローラ 1 0 3 は、ステータス 3 1 1 のビット値をゼロ(未割り当て状態)にセットする(ステップ S 4 3 2)。次に、速度指定 3 1 2 のビット値を“0”(指定無し)にセットする(ステップ S 4 3 3)。次に、ユニット速度 3 1 3 のビット値を“0”(低速ユニット)にセットする(ステップ S 4 3 4)。次に、ユニット番号 3 1 4 に  $0 \times F F F F$  をセットする(ステップ S 4 3 5)。次に、ページオフセット 3 1 5 に  $0 \times F F F F$  をセットする(ステップ S 4 3 6)。次に、アクセス回数 3 1 6 の値を“0”にセットする(ステップ S 4 3 7)。次に、平均アクセス間隔 3 1 7 の値を“0”sec ( $0 \times F F F F$ ) にセットする(ステップ S 4 3 8)。そして、ページ 0 からのすべてのページに対する処理が終了したか否かを判別し(ステップ S 4 3 9)、すべての論理ページのページ割り当て情報エントリ 3 1 0 に対して処理が行われたときはリターンする。

#### 【0 0 6 6】

次に、ホストシステム 1 0 1 がストレージデバイス 1 0 0 からデータの読み出しを行う場合の流れについて説明する。

#### 【0 0 6 7】

ホストシステム 1 0 1 は、図 5 に示した「Page read」コマンドをストレージデバイス 1 0 0 に対して送信する。「Page read」コマンドは、パラメータ「開始論理ページ番号」及び「ページ数」を伴って転送される。

#### 【0 0 6 8】

ストレージデバイス 1 0 0 において、コントローラ 1 0 3 は、ホスト I / F 1 0 2 を介して「Page read」コマンド、「開始論理ページ番号」及び「ページ数」を受信するとデータ読み出し処理を開始する。コントローラ 1 0 3 は、「Page read」コマンドと一緒に受信した「開始論理ページ番号」及び「ページ数」のパラメータを基に、データを読み出す論理ページの指定を行う。

#### 【0 0 6 9】

図 9 は、コントローラ 1 0 3 により実行されるデータ読み出し処理の詳細を示すフロー

10

20

30

40

50

チャートである。

#### 【0070】

「Page read」コマンドの「開始論理ページ番号」から「ページ数」で指定された論理ページすべてに対して、ステップS602からステップS607までの処理が実行される。

#### 【0071】

まず、コントローラ103は、論理ページ割り当てテーブル300から当該ページのページ割り当て情報エントリ310を取得する（ステップS602）。次に、取得したページ割り当て情報エントリ310のステータス311のビット値を判定する（ステップS603）。ステータス311のビット値が“0”であれば当該論理ページは未割り当て状態と判断し、ステップS610へ移行する。一方、ステータス311のビット値が“1”であれば当該論理ページは割り当て済み状態と判断し、ステップS604へ移行する。10

#### 【0072】

ステップS610では、RAM106上に存在する当該論理ページの読み出しのためのページバッファ領域を0xFFでフィルする。すなわち、割り当てられていない論理ページに対しては、データが書き込まれた実績がないので、フラッシュメモリの消去状態である0xFFの値をすべてのバイトの値として返すものである。

#### 【0073】

ステップS604では、ページ割り当て情報エントリ310からユニット番号314、ページオフセット315の値をそれぞれ取得する（ステップS604）。次に、取得したユニット番号、ページオフセットの位置に相当する物理ページの場所をBLCフラッシュメモリ104若しくはMLCフラッシュメモリ105から特定して、特定した物理ページからページデータを読み出す。読み出されたページデータは当該論理ページの読み出しのための読み出しページバッファに格納される（ステップS605）。読み出しひページバッファはRAM106上に確保されている。20

#### 【0074】

次に、論理ページ割り当てテーブル300上の当該ページデータに対応するページ割り当て情報エントリ310のアクセス回数316の値を1インクリメントすると共に、平均アクセス間隔317の値を更新する（ステップS606）。そして、ステップS602からステップS607までの処理が終了し、指定された論理ページのデータ読み出しがすべて終了するとループを抜ける（ステップS607でYES）。

#### 【0075】

コントローラ103は、ホストI/F102に対してレディフラグをセットして（ステップS608）、本処理を終了する。レディフラグがセットされると、ホストシステム101とホストI/F102との通信が開始され、指定されたページのデータの転送が行われる。

#### 【0076】

次に、ホストシステム101がストレージデバイス100に対してデータの書き込みを行う場合の処理の流れについて説明する。

#### 【0077】

ホストシステム101は、図5に示した「Page write」コマンドをストレージデバイス100に対して送信する。「Page write」コマンドは、パラメータ「開始論理ページ番号」、「ページ数」、及び当該ページの書き込みデータを伴って転送される。40

#### 【0078】

ストレージデバイス100において、コントローラ103は、ホストI/F102を介して「Page write」コマンド、「開始論理ページ番号」、及び「ページ数」を受信するとデータ書き込み処理を開始する。ホストI/F102は、コマンド、パラメータに続いて送信される当該ページの書き込みデータを受信すると、RAM106上に存在する当該論理ページの書き込みのためのページバッファ領域に当該書き込みデータを格納する。

#### 【0079】

図10は、コントローラ103により実行されるデータ書き込み処理の詳細を示すフローチャートである。

#### 【0080】

「Page write」コマンドの「開始論理ページ番号」から「ページ数」で指定された論理ページすべてに対して、ステップS702からステップS704までの処理が実行される。

#### 【0081】

まず、コントローラ103は、当該論理ページの開始論理ページ番号と書き込みデータを引数にしてページ書き込み処理を実行する（ステップS702）。ページ書き込み処理の詳細については後述する。

10

#### 【0082】

ステップS702のページ書き込み処理が終了すると、論理ページ割り当てテーブル300上の当該論理ページに対応するページ割り当て情報エントリ310のアクセス回数316及び平均アクセス間隔317の値をそれぞれ更新する。ステップS702からステップS704までの処理が終了し、指定された論理ページの書き込みがすべて終了するとループを抜ける（ステップS704）。

#### 【0083】

次に、コントローラ103は、ホストI/F102に対してレディフラグをセットして（ステップS705）、ホストシステム101に対して書き込み処理が終了したことを通知する。次に、ステップS702のページ書き込み処理において生成されるGCキューに登録されているすべてのユニットに対して、ステップS707からステップS709までの処理が実行される。

20

#### 【0084】

まず、当該ユニットのユニット管理情報240を参照して消去待ちページ数243の値を取得し、予め設定されている閾値と比較する（ステップS707）。この結果、消去待ちページ数243が閾値よりも小さい場合は（ステップS707でNO）、後述するガバレッジコレクション処理（ステップS708）をスキップしてステップS709へ移行する。一方、消去待ちページ数243が閾値よりも大きい場合は（ステップS707でYES）、ガバレッジコレクション処理（ステップS708）を実行してステップS709へ移行する。このガバレッジコレクション処理はデータ書き込みを行う毎に実行される。

30

#### 【0085】

ステップS707からステップS709までの処理が終了し、GCキューに登録されているすべてのユニットに対して処理が終了するとループを抜ける（ステップS709でYES）。

#### 【0086】

次に、図10のステップS702におけるページ書き込み処理の詳細について図11を用いて説明する。

#### 【0087】

図11は、図10のステップS702におけるページ書き込み処理の詳細を示すフローチャートである。

40

#### 【0088】

まず、コントローラ103は、当該論理ページの開始論理ページ番号と書き込みデータを引数にして、論理ページ割り当てテーブル300から当該論理ページに対応するページ割り当て情報エントリ310を取得する（ステップS801）。次に、取得したページ割り当て情報エントリ310の情報を元に、書き込み先ページ速度判定処理を行う（ステップS802）。この書き込み先ページ速度判定処理の詳細については後述する。

#### 【0089】

ステップS802の書き込み先ページ速度判定処理において、高速が決定されていた場合は（ステップS803でYES）、ステップS804の高速物理ページ割り当て処理へ移行する。一方、書き込み先ページ速度判定処理において低速ページに決定されるか又は

50

指定なしの場合は（ステップS 8 0 3でNO）、ステップS 8 1 1の低速物理ページ割り当て処理へ移行する。

#### 【0090】

ステップS 8 0 4の高速物理ページ割り当て処理及びステップS 8 1 1の低速物理ページ割り当て処理では、それぞれBLCフラッシュメモリ104及びMLCフラッシュメモリ105からページ書き込みのための物理ページが割り当てられる。ステップS 8 0 4及びステップS 8 1 1における物理ページ割り当て処理の詳細については後述する。

#### 【0091】

次に、コントローラ103は、RAM106上の書き込みページバッファにある当該ページの書き込みデータを、アクセス速度が指定された物理ページに書き込む（ステップS 8 0 5）。次に、論理ページ割り当てテーブル300上の当該ページに対応するページ割り当て情報エントリ310のユニット番号314及びページオフセット315の領域に対して、割り当てた物理ページの位置を指す値を書き込み、論理ページ割り当てテーブルを更新する。

#### 【0092】

次に、コントローラ103は、ページ割り当て情報エントリ310のステータス311のビット値を判定する（ステップS 8 0 7）。ステータス311のビット値が“0”であれば当該論理ページは未割り当て状態と判断し、ステップS 8 1 2へ移行する。ステータス311のビット値が“1”であれば当該論理ページは割り当て済み状態と判断し、ステップS 8 0 8へ移行する。

10

20

#### 【0093】

ステップS 8 1 2では、コントローラ103は、論理ページ割り当てテーブル300上のページ割り当て情報エントリ310のステータス311のビット値を“1”にセットしてリターンする。ステップS 8 0 8では、以前の書き込みデータ（元データ）が保持されていた物理ページについて、当該ユニットのユニット管理情報240の物理ページ割り当てテーブル245の当該物理ページのエントリを0×FFFFFFFFFFにセットする。さらに消去待ちページ数243の値を1インクリメント（+1）して消去待ちに変更する。

#### 【0094】

次に、コントローラ103は、当該ユニットのユニット番号をGCキューに追加し、ガバレッジコレクションの対象の候補となるユニットとして保管して（ステップS 8 0 9）、リターンする。

30

#### 【0095】

次に、図11のステップS 8 0 2における書き込み先ページ速度判定処理の詳細について図12を用いて説明する。

#### 【0096】

図12は、図11のステップS 8 0 2における書き込み先ページ速度判定処理の詳細を示すフローチャートである。

#### 【0097】

まず、コントローラ103は、データの書き込み先となる論理ページに対応するページ割り当て情報エントリ310を論理ページ割り当てテーブル300から取得する（ステップS 8 2 1）。

40

#### 【0098】

次に、コントローラ103は、ページ割り当て情報エントリ310上の速度指定312のビット値を判定する（ステップS 8 2 2）。速度指定312のビット値が“1”であれば予め高速指定がなされていると判断し、書き込み先の論理ページを高速に決定して（ステップS 8 2 5）、リターンする。一方、速度指定312のビット値が“0”であれば予め高速指定がなされていないか又はなんら指定されていないと判断し、ステップS 8 2 3に移行する。

#### 【0099】

ステップS 8 2 3では、コントローラ103は、ページ割り当て情報エントリ310上

50

のアクセス回数 316 の値を判定する。アクセス回数 316 の値が所定値よりも大きい場合は(ステップ S823 で YES)、ステップ S824 に移行する。一方、アクセス回数 316 の値が所定値よりも小さい場合は(ステップ S823 で NO)、書き込み先の論理ページを低速に決定して(ステップ S826)、リターンする。

#### 【0100】

ステップ S824 では、コントローラ 103 は、ページ割り当て情報エントリ 310 上の平均アクセス間隔 317 の値を評価する。平均アクセス間隔 317 の値が所定値よりも小さい場合は(ステップ S824 で YES)、ステップ S825 に移行する。一方、平均アクセス間隔 317 の値が所定値よりも大きい場合は(ステップ S824 で NO)、ステップ S826 に移行する。

10

#### 【0101】

本処理により、図 13 に示す条件で物理ページが高速領域に割り当てられることとなる。すなわち、速度指定が高速でなくともアクセス回数が多く且つ平均アクセス間隔が小さい場合、データの書き込み先を高速ページ(BLC フラッシュメモリ)に決定するので、頻繁にアクセスされるページをアクセス頻度に応じて高速領域に割り振ることができる。

#### 【0102】

次に、図 11 のステップ S804 及びステップ S811 における物理ページ割り当て処理の詳細について図 14 を用いて説明する。

#### 【0103】

図 14 は、物理ページ割り当て処理の詳細を示すフローチャートである。

20

#### 【0104】

まず、コントローラ 103 は、ユニット管理テーブル 200 上のユニット管理情報 240 に対して検索を行い、空きページのあるユニットを見つける(ステップ S841)。ここで、割り当てる物理ページが高速ページである場合は、ユニット #0 からユニット #X - 1 までのユニット管理情報 240 を検索対象とする。割り当てる物理ページが低速ページ(MLC フラッシュメモリ)である場合は、ユニット #X からユニット #X + Y までのユニット管理情報 240 を検索対象とする。空きページのあるユニットが見つかったときは、当該ユニットのユニット管理情報 240 上の空きページ数 242 の値から 1 デクリメント(-1) する(ステップ S842)。

#### 【0105】

次に、コントローラ 103 は、当該ユニットのユニット管理情報 240 上の次の空きページエントリ 244 の値を戻り値にセットし(ステップ S843)、次の空きページエントリ 244 の値に 1 インクリメント(+1) する(ステップ S844)。そして、当該ユニットの物理ページ割り当てテーブル 245 上の割り当て物理ページに、該当する物理ページのエントリに割り当てる論理ページの番号をセットして(ステップ S845)、リターンする。本処理により、コントローラ 103 は、戻り値として割り当てページエントリを返す。

30

#### 【0106】

次に、図 10 のステップ S708 におけるガバレッジコレクション処理の詳細について図 15 を用いて説明する。

40

#### 【0107】

図 15 は、図 10 のステップ S708 におけるガバレッジコレクション処理の詳細を示すフローチャートである。当該ユニットの物理ページすべてに対して、ステップ S902 からステップ S907 までの処理が実行される。

#### 【0108】

まず、コントローラ 103 は、物理ページ割り当てテーブル 245 からループ毎に順に物理ページのエントリを取得する(ステップ S902)。取得したエントリが 0x FFFF FFFF FFFF であるときは、当該ページは空きページであるとみなして(ステップ S903 で YES)、ステップ S904 ~ S906 をスキップしてループを継続する。一方、取得したエントリが 0x FFFF FFFF であるときは、当該ページは消去待ちページである

50

とみなして(ステップS904でYES)、ステップS905,S906をスキップしてループを継続する。

#### 【0109】

ステップS905では、コントローラ103は、当該物理ページに書き込まれているページデータをRAM106上の読み出しページバッファに読み出す。次に、読み出したページデータを別の物理ページに移すためにページ書き込み処理を実行する(ステップS906)。このページ書き込み処理は、上述した図11に示した処理と同様の処理である。

#### 【0110】

なお、読み出したページデータを別の物理ページに移す場合、移動後の物理ページに割り当てられた論理ページのアクセス速度を移動前の速度に指定にするかまたは移動後の物理ページに割り当てられた論理ページのアクセス速度をアクセス頻度に応じて指定する。  
また、論理ページに対応する書き込みデータを移動後の物理ページに書き込むと共に、論理ページ割り当てテーブル300を更新する。

10

#### 【0111】

物理ページ割り当てテーブル245のすべてのエントリに対して、ステップS902からステップS907までの処理が終了するとループを抜ける(ステップS907でYES)。

#### 【0112】

ステップS908では、コントローラ103は、すべての物理ページへの処理が終わると当該ユニット上には有効なデータは残っていない状態になるので、ユニット物理消去を行う。ユニット物理消去は、BLCフラッシュメモリ104若しくはMLCフラッシュメモリ105の当該消去ブロックを物理的に消去する。次に、ユニット論理消去処理を行う(ステップS909)。ユニット論理消去処理の詳細については後述する。

20

#### 【0113】

次に、図15のステップS909におけるユニット論理消去処理の詳細について図16を用いて説明する。

#### 【0114】

図16は、図15のステップS909におけるユニット論理消去処理の詳細を示すフローチャートである。

#### 【0115】

30

まず、コントローラ103は、ユニット管理テーブル200の消去済みユニットビットマップ222上の当該ユニットのビット値を“1”にセットする(ステップS951)。次に、当該ユニットのユニット管理情報240上の有効ページ数241にユニットの総ページ数であるMをセットする(ステップS952)。次に、当該ユニットのユニット管理情報240上の空きページ数242にユニットの総ページ数であるMをセットする(ステップS953)。

#### 【0116】

次に、コントローラ103は、当該ユニットのユニット管理情報240上の消去待ちページ数243に“0”をセットする(ステップS954)。次に、当該ユニットのユニット管理情報240上の次の空きページエントリ244に“0”をセットする(ステップS955)。次に、当該ユニットのユニット管理情報240上の物理ページ割り当てテーブル245のすべてのエントリに $0 \times F F F F F F F F$ をセットする。さらに、当該ユニットのユニット管理情報240上の消去回数246の値を1インクリメント(+1)する。これにより、当該ユニットのユニット管理情報240が消去状態となる。

40

#### 【0117】

次に、ホストシステム101からストレージデバイス100に対して論理ページへのアクセス速度を指定する処理の流れについて説明する。

#### 【0118】

ホストシステム101は、図5に示した「Page rate」コマンドをストレージデバイス100に対して送信する。「Page rate」コマンドはパラメータ「開始論理ページ番号」

50

、「ページ数」、及び「アクセス速度」を伴って転送される。ストレージデバイス 100において、コントローラ 103 は、ホスト I/F 102 を介して「Page rate」コマンド、「開始論理ページ番号」、「ページ数」、及び「速度」のパラメータを受信すると、論理ページへのアクセス速度の指定処理を開始する。

#### 【0119】

図 17 は、コントローラ 103 により実行されるページのアクセス速度指定処理の詳細を表したフローチャートである。

#### 【0120】

コントローラ 103 は、「Page rate」コマンドと一緒に受信した「開始論理ページ番号」及び「ページ数」のパラメータを基に、アクセス速度を指定する論理ページの指定を行う。指定された論理ページすべてに対して、ステップ S1002 からステップ S1004 までの処理が実行される。  
10

#### 【0121】

まず、コントローラ 103 は論理ページ割り当てテーブル 300 より当該ページのページ割り当て情報エントリ 310 を取得する（ステップ S1002）。次に、当該ページのページ割り当て情報エントリ 310 のユニット速度 313 のビット値にパラメータ「アクセス速度」の値をセットする（ステップ S1003）。

#### 【0122】

ステップ S1002 からステップ S1004 までの処理を繰り返すことにより、指定された論理ページの速度指定がすべて終了するとループを抜ける（ステップ S1004 で YES）。次に、コントローラ 103 は、ホスト I/F 102 に対してレディフラグをセットする（ステップ S1005）。レディフラグがセットされると、ホストシステム 101 とホスト I/F 102 の通信が開始され、アクセス速度指定が終了したことをホストシステム 101 に通知する。  
20

#### 【0123】

予めアクセス速度が指定されている場合は、本処理により、データ書き込み時に、指定されたアクセス速度が物理ページに割り当てられる。また、アクセス状況に応じて、上書き又はガバレッジコレクション処理が発生して論理ページの割り当てられている物理ページの位置が変更になるときに、速度判定に応じた物理ページに割り当てられる。

#### 【0124】

次に、ホストシステム 101 上で動作するファイルシステムがストレージデバイス 100 を論理フォーマットするときの処理について説明する。  
30

#### 【0125】

図 18 は、ホストシステム 101 上で動作するファイルシステムのフォーマット処理を示すフローチャートである。図 19 は、FAT ファイルシステムでフォーマットされているブロックデバイスの内部のデータ構造を示す図である。

#### 【0126】

ホストシステム 101 は、MBR 1101 ~ ルートディレクトリエンタリ 1106 の配置されるべきセクタの論理ページを「Page rate」コマンドを用いて高速ページに指定する（ステップ S1201 ~ ステップ S1204）。  
40

#### 【0127】

次に、ホストシステム 101 は、MBR 1101 ~ ルートディレクトリエンタリ 1106 の値を「Page write」コマンドを用いて書き換えることによって、FAT ファイルシステムの初期状態にする（ステップ S1205 ~ ステップ S1208）。そして、ファイルシステムのフォーマット処理を終了する。この「Page write」コマンドが実行されることにより、ステップ S1201 ~ ステップ S1204 において指定された論理ページはすべて高速ページとして BLC フラッシュメモリ 104 上の物理ページへ配置される。すなわち、フォーマットが実行されると、ファイルシステムで用いられる管理領域の MBR 1101 ~ ルートディレクトリエンタリ (Root Dir) 1106 といった、頻繁にアクセスされる可能性の高い記憶領域が高速ページに配置されることとなる。  
50

**【0128】**

FATファイルシステムにおいて、ファイルやディレクトリを生成する場合には、ルートディレクトリエンタリ1106又は不図示のサブディレクトリ領域にディレクトリエンタリを生成して配置する必要がある。したがって、ルートディレクトリエンタリ1106以外にも、サブディレクトリを作成してファイルを配置させる場合、論理ページを予め「Page rate」コマンドを用いて高速ページに指定することが可能である。この論理ページは、サブディレクトリ領域として使用するクラスタ位置に相当する。これにより、随時生成されるサブディレクトリ領域も、高速ページに配置することが可能となる。

**【0129】**

このようにして、ルートディレクトリエンタリ及びサブディレクトリエンタリが高速ページに配置されることによって、FATファイルシステムにおけるディレクトリエンタリのパースの処理が高速になる。そして、ファイル名の検索や新規生成ファイルの名前重複検査処理が高速になり、ファイルアクセスの相対的な高速化を実現することができる。

10

**【0130】**

上記第1の実施の形態によれば、アクセス速度の異なる記憶手段（又は記憶領域）を有するストレージデバイスにアクセスする際に、データを書き込む記憶領域が限定されることなく、任意のデータをアクセス速度が高速な記憶手段等に割り振ることが可能となる。また、記憶領域に対するアクセス頻度を記録し、頻繁にアクセスされる記憶領域を高速な記憶領域に割り振ることができ、アクセス頻度の高いデータやファイルのアクセスを効果的に高速化することが可能となる。

20

**【0131】**

また、データの上書きやガバレッジコレクション処理等によって論理ページ（論理ブロック）と物理ページ（物理ブロック）の割り当てが変更になった場合においても、所望のアクセス速度を有する記憶領域にファイルやデータの配置を維持することができる。

**【0132】**

次に、本発明の第2の実施形態について説明する。

**【0133】**

本発明の第2の実施の形態に係るメモリ管理装置は、その構成（図1～図5）が上記第1の実施の形態に係るメモリ管理装置と同じであり、第1の実施の形態と同様の部分については、同一の符号を用いてその説明を省略する。以下に、上記第1の実施の形態と異なる点のみを説明する。

30

**【0134】**

上述した第1の実施形態では、図10に示すように、ストレージデバイス100がデータ書き込み処理を行うタイミングでガバレッジコレクション処理を行った。本第2の実施形態では、ガバレッジコレクション処理をデータ書き込み時毎に行わず、バックグラウンド処理として非同期に行うものである。これにより、書き込み時の処理を軽減することができとなり、相対的に書き込み時の処理時間が短くなる。

**【0135】**

第2の実施形態における、ホストシステム101からストレージデバイス100に対してデータの書き込みを行う場合の処理の流れについて説明する。

40

**【0136】**

ホストシステム101は、図5に示した「Page write」コマンドをストレージデバイス100に対して送信する。「Page write」コマンドは、パラメータ「開始論理ページ番号」、「ページ数」、及び当該ページの書き込みデータを伴って転送される。

**【0137】**

ストレージデバイス100において、コントローラ103は、ホストI/F102を介して「Page write」コマンド、「開始論理ページ番号」、及び「ページ数」を受信するとデータ書き込み処理を開始する。ホストI/F102は、コマンド、パラメータに続いて送信される当該ページの書き込みデータを受信すると、RAM106上に存在する当該論理ページの書き込みのためのページバッファ領域に当該書き込みデータを格納する。

50

**【 0 1 3 8 】**

図20は、本発明の第2の実施形態におけるストレージデバイス100のコントローラ103により実行されるデータの書き込み処理の詳細を示すフローチャートである。なお、図20のステップS702からステップS705までの処理は、図10のステップS702からステップS705までの処理と同じであるため、その説明を省略する。

**【 0 1 3 9 】**

次に、バックグラウンドで実行されるガバレッジコレクション(GC)処理について説明する。

**【 0 1 4 0 】**

図21は、コントローラ103によりバックグラウンドで実行されるガバレッジコレクション処理の詳細を示すフローチャートである。図21のステップS707からステップS709までの処理は、図10のステップS707からステップS709までの処理と同じであるため、その説明を省略する。

10

**【 0 1 4 1 】**

図21に示すガバレッジコレクション処理は、所定の時間間隔毎に、定期的に行われるものである。なお、このガバレッジコレクション処理は、定期的に実行する代わりに、ストレージデバイス100へのアクセスが所定回数実施される毎に行ってもよい。

**【 0 1 4 2 】**

次に、本発明の第3の実施形態について説明する。

20

**【 0 1 4 3 】**

本発明の第3の実施の形態に係るメモリ管理装置は、その構成(図1～図5)が上記第1の実施の形態に係るメモリ管理装置と同じであり、第1の実施の形態と同様の部分については、同一の符号を用いてその説明を省略する。以下に、上記第1の実施の形態と異なる点のみを説明する。

**【 0 1 4 4 】**

上述した第1の実施形態では、図17に示すように、ホストシステム101が「Page rate」コマンドでページ速度を指定した場合に、当該ページのページ割り当て情報エントリ310の速度指定312のビット値を変更するのみであった。

**【 0 1 4 5 】**

本第3の実施形態では、「Page rate」コマンドでページ速度を指定した場合に、当該ページのページ割り当て情報エントリ310の速度指定312のビット値を変更する。それと共に、当該ページに既に有効データが書き込まれていたときは、そのデータを指定された高速ページに移動する処理を行う。これにより、「Page rate」コマンドを書き込み済みのページに対して指定した場合においても、指定した高速ページに随時割り当てを変更することが可能となる。

30

**【 0 1 4 6 】**

本第3の実施形態における、ホストシステム101からストレージデバイス100に対して論理ページの速度を指定する処理の流れについて説明する。

**【 0 1 4 7 】**

ホストシステム101は、図5に示した「Page rate」コマンドをストレージデバイス100に対して送信する。「Page rate」コマンドは、パラメータ「開始論理ページ番号」、「ページ数」、及び「速度」を伴って転送される。コントローラ103は、ホストI/F102を介して「Page rate」コマンド、「開始論理ページ番号」、「ページ数」、及び「アクセス速度」のパラメータを受信する。そうすると、論理ページへのアクセス速度の指定処理を開始する。

40

**【 0 1 4 8 】**

図22は、本発明の第3の実施形態におけるストレージデバイス100のコントローラ103により実行されるページ速度指定処理の詳細を示すフローチャートである。

**【 0 1 4 9 】**

コントローラ103は、「Page read」コマンドと一緒に受信した「開始論理ページ番

50

号」及び「ページ数」のパラメータを基に、アクセス速度を指定する論理ページの指定を行う。指定された論理ページすべてに対して、ステップ S 1 0 0 2 , S 1 5 0 1 ~ S 1 5 0 4 , S 1 0 0 3 , S 1 0 0 4 のステップが実行される。なお、ステップ S 1 5 0 1 ~ ステップ S 1 5 0 5 を除く処理は、上述した図 1 7 に示した処理と同じであるため、その説明を省略する。

#### 【 0 1 5 0 】

ステップ S 1 5 0 1 では、コントローラ 1 0 3 は、当該ページのページ割り当て情報エントリ 3 1 0 のステータス 3 1 1 のビット値が“ 0 ”であれば、当該ページは空きページであるとみなしてステップ S 1 0 0 3 へ移行する。ステップ S 1 5 0 2 では、当該ページのページ割り当て情報エントリ 3 1 0 のユニット速度 3 1 3 が「 Page rate 」コマンドで指定された速度と同じであれば、ステップ S 1 0 0 3 へ移行する。10

#### 【 0 1 5 1 】

ステップ S 1 5 0 3 では、当該ページに既に書き込まれてあるページデータを R A M 1 0 6 上のページバッファに読み出す。次に、読み出したページデータを別の物理ページに移すためにページ書き込み処理を実行する(ステップ S 1 5 0 4)。このページ書き込み処理は、図 1 1 に示した処理と同じである。

#### 【 0 1 5 2 】

上記実施の形態においては、図 9 のステップ 6 0 6 及び図 1 0 のステップ 7 0 3 において論理ページ割り当てテーブル 3 0 0 上のページ割り当て情報エントリ 3 1 0 のアクセス回数 3 1 6 及び平均アクセス間隔 3 1 7 の値の更新を行った。しかしながら、ストレージデバイス 1 0 0 の用途によっては、データ書き込み処理においてのみ若しくはデータ読み出し処理においてのみ、アクセス回数 3 1 6 及び平均アクセス間隔 3 1 7 の値の更新を行うようにしてもよい。20

#### 【 0 1 5 3 】

データ書き込み処理においてのみアクセス回数 3 1 6 及び平均アクセス間隔 3 1 7 の値の更新を行うようにすれば、頻繁に書き込みを行うページについて高速領域に配置されるという効果を奏する。また、データ読み出し処理においてのみアクセス回数 3 1 6 及び平均アクセス間隔 3 1 7 の値の更新を行うようにすれば、頻繁に読み出しを行うページについて高速領域に配置されるという効果を奏する。

#### 【 0 1 5 4 】

上記各実施形態においては、M L C フラッシュメモリ及び B L C フラッシュメモリを用いてストレージデバイスを構成したが、この限りではない。例えば、H D D を用いて第二のメモリ領域を構成してもよい。30

#### 【 0 1 5 5 】

また、本発明の目的は、以下の処理を実行することによって達成される。即ち、上述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ(またはC P U やM P U 等)が記憶媒体に格納されたプログラムコードを読み出す処理である。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施の形態の機能を実現することになり、そのプログラムコード及び該プログラムコードを記憶した記憶媒体は本発明を構成することになる。40

#### 【 0 1 5 6 】

また、プログラムコードを供給するための記憶媒体としては、次のものを用いることができる。例えば、フロッピー(登録商標)ディスク、ハードディスク、光磁気ディスク、C D - R O M 、 C D - R 、 C D - R W 、 D V D - R O M 、 D V D - R A M 、 D V D - R W 、 D V D + R W 、磁気テープ、不揮発性のメモリカード、R O M 等である。または、プログラムコードをネットワークを介してダウンロードしてもよい。

#### 【 0 1 5 7 】

また、コンピュータが読み出したプログラムコードを実行することにより、上記実施の形態の機能が実現される場合も本発明に含まれる。加えて、そのプログラムコードの指示

50

に基づき、コンピュータ上で稼動しているOS（オペレーティングシステム）等が実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

**【0158】**

更に、前述した実施形態の機能が以下の処理によって実現される場合も本発明に含まれる。即ち、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれる。その後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部または全部を行う場合である。

**【0159】**

また、コンピュータが読み出したプログラムコードを実行することにより、前述した各実施の形態の機能が実現される場合も本発明に含まれる。加えて、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOSなどが実際の処理の一部または全部を行い、その処理によって前述した実施の形態の機能が実現する場合も含まれる。この場合、上記プログラムは、該プログラムを記憶した記憶媒体から直接、又はインターネット、商用ネットワーク、若しくはローカルエリアネットワーク等に接続された不図示の他のコンピュータやデータベース等からダウンロードすることにより供給される。

**【図面の簡単な説明】**

**【0160】**

**【図1】**本発明の第1の実施形態に係るメモリ管理装置を含むメモリ管理システムの構成例を示すブロック図である。

20

**【図2】**図1の各フラッシュメモリ内部のメモリマップを示す図であり、(a)はBLCフラッシュメモリ、(b)はMLCフラッシュメモリである。

**【図3】**ユニット管理テーブルの詳細を示す図である。

**【図4】**論理ページ割り当てテーブルの詳細を示す図である。

**【図5】**ストレージデバイスがサポートするコマンドの一覧を示す図である。

**【図6】**コントローラにより実行されるストレージデバイスの初期化処理の詳細を示すフローチャートである。

**【図7】**図6のステップS402におけるユニット管理テーブルの初期化処理の詳細を示すフローチャートである。

30

**【図8】**図6のステップS403における論理ページ割り当てテーブルの初期化処理の詳細を示すフローチャートである。

**【図9】**コントローラにより実行されるデータ読み出し処理の詳細を示すフローチャートである。

**【図10】**コントローラにより実行されるデータ書き込み処理の詳細を示すフローチャートである。

**【図11】**図10のステップS702におけるページ書き込み処理の詳細を示すフローチャートである。

**【図12】**図11のステップS802における書き込み先ページ速度判定処理の詳細を示すフローチャートである。

40

**【図13】**速度指定の条件を示す図である。

**【図14】**物理ページ割り当て処理の詳細を示すフローチャートである。

**【図15】**図10のステップS708におけるガバレッジコレクション処理の詳細を示すフローチャートである。

**【図16】**図15のステップS909におけるユニット論理消去処理の詳細を示すフローチャートである。

**【図17】**コントローラにより実行されるページのアクセス速度指定処理の詳細を表したフローチャートである。

**【図18】**ホストシステム101上で動作するファイルシステムのフォーマット処理を示すフローチャートである。

50

【図19】FATファイルシステムでフォーマットされているブロックデバイスの内部のデータ構造を示す図である。

【図20】本発明の第2の実施形態におけるストレージデバイスのコントローラにより実行されるデータの書き込み処理の詳細を示すフローチャートである。

【図21】コントローラによりバックグラウンドで実行されるガバレッジコレクション処理の詳細を示すフローチャートである。

【図22】本発明の第3の実施形態におけるストレージデバイスのコントローラにより実行されるページ速度指定処理の詳細を示すフローチャートである。

【符号の説明】

【0161】

10

100 ストレージデバイス

101 ホストシステム

102 ホストI/F

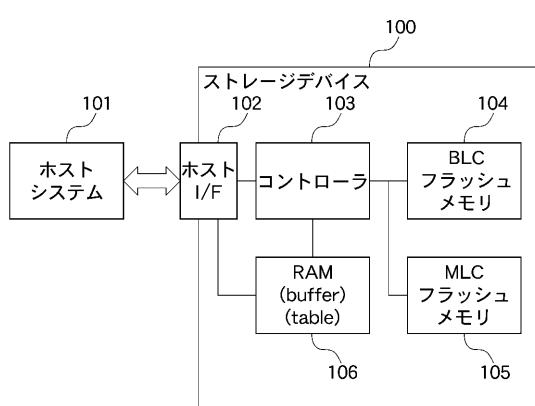
103 コントローラ

104 BLC (Binary Level Cell: 2値型) フラッシュメモリ

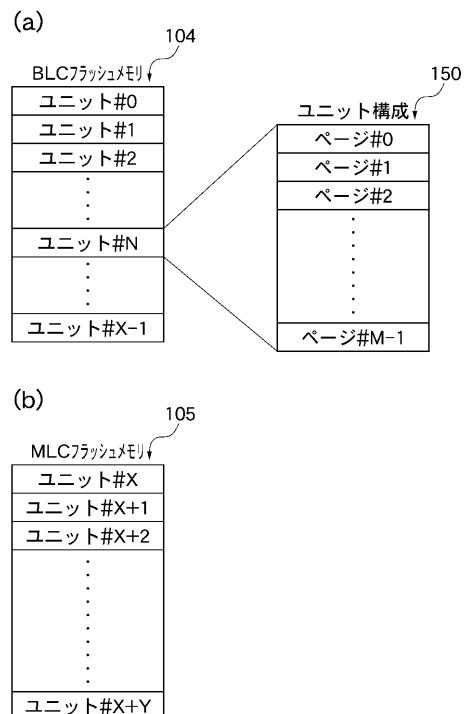
105 MLC (Multi-Level Cell: 多値型) フラッシュメモリ

106 RAM

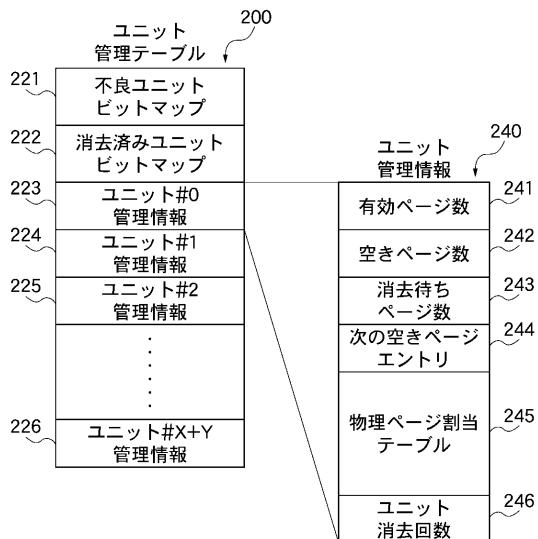
【図1】



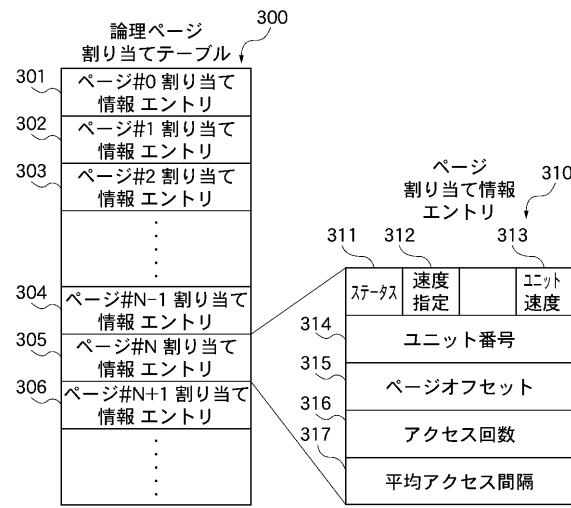
【図2】



【図3】



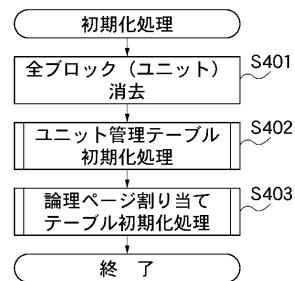
【図4】



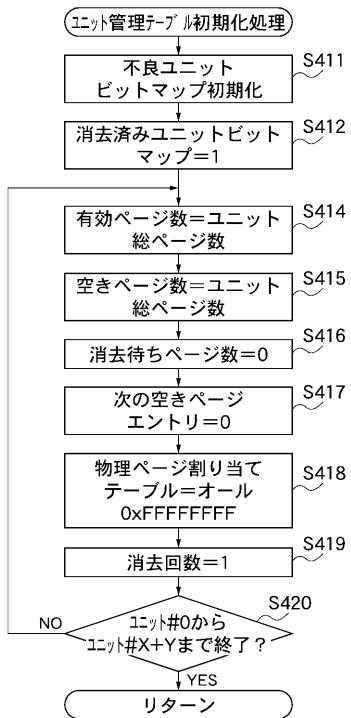
【図5】

コマンド種別	コマンド番号	第一パラメータ	第二パラメータ	第三パラメータ
Initialize	0x00	—	—	—
Page read	0x10	開始論理ページ番号	ページ数	ページ番号
Page write	0x20	開始論理ページ番号	ページ数	ページ番号
Page rate	0x40	開始論理ページ番号	ページ数	アクセス速度

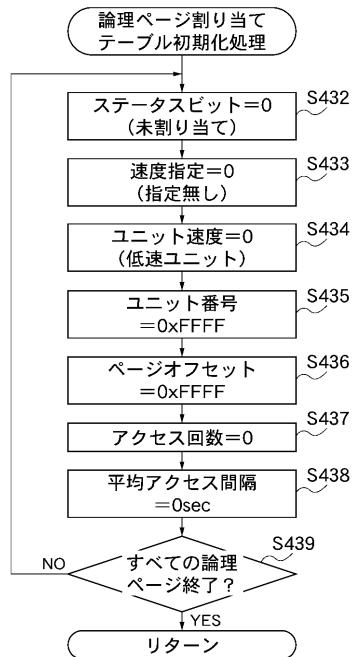
【図6】



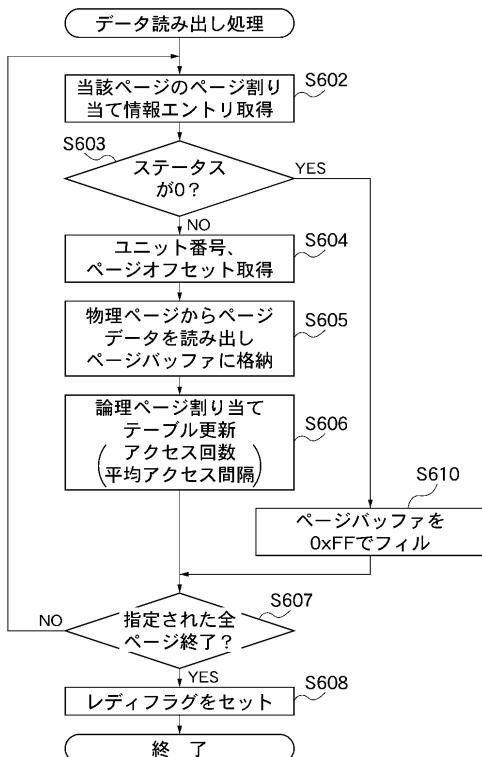
【図7】



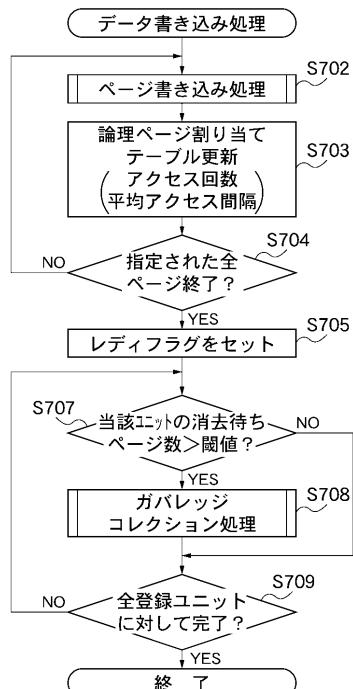
【図8】



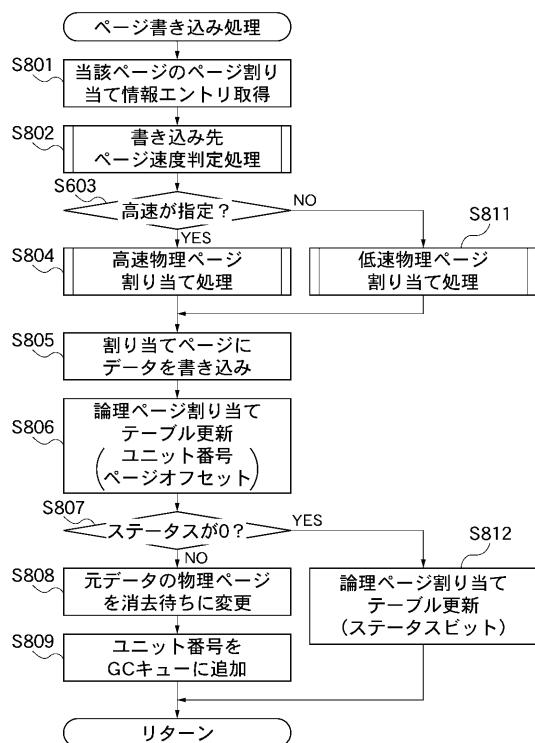
【図9】



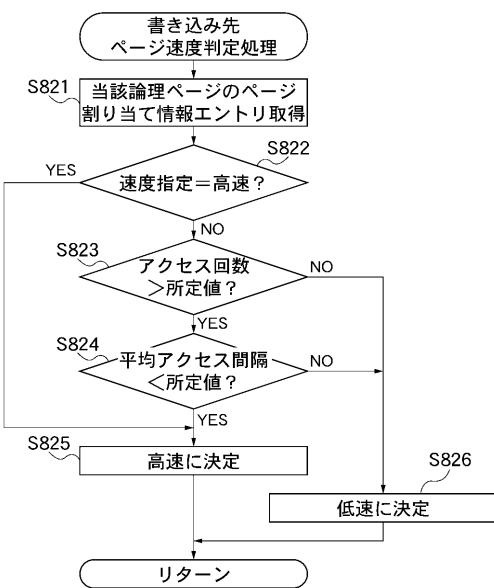
【図10】



【 义 1 1 】



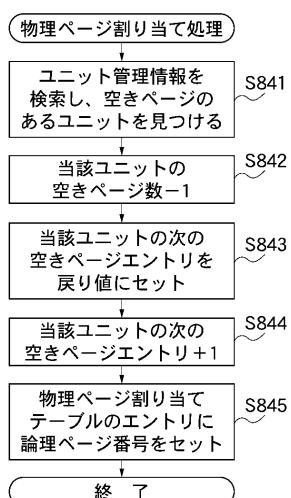
【 図 1 2 】



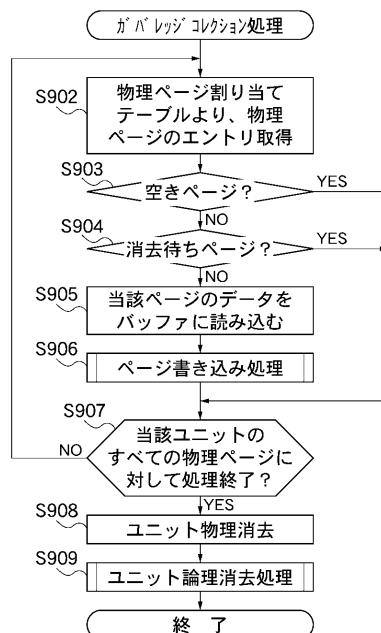
【 図 1 3 】

速度指定	アクセス回数 ≤所定値	アクセス回数>所定値	
		平均アクセス 間隔≤所定値	平均アクセス 間隔<所定値
低速速度	○	○	×
高速速度	×	○	○

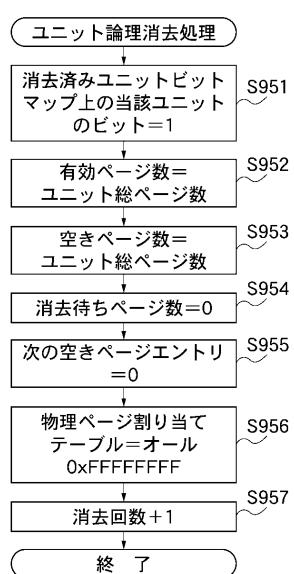
【図 1 4】



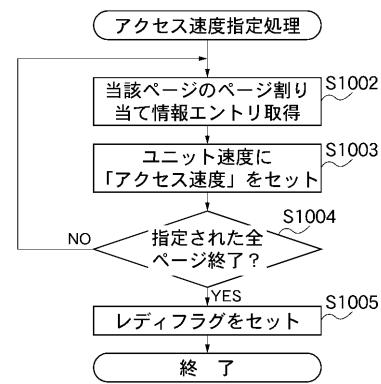
【 図 1 5 】



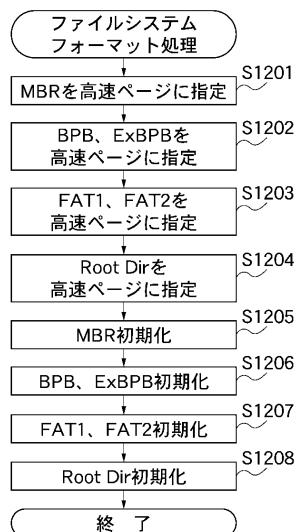
【図16】



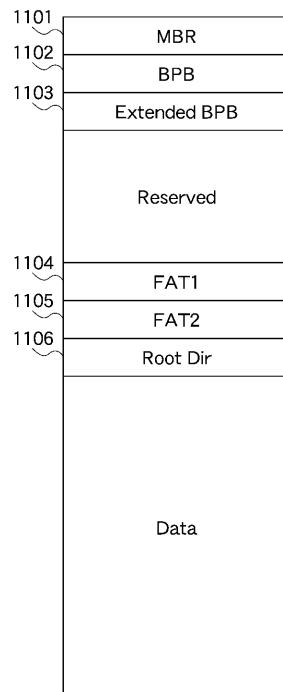
【図17】



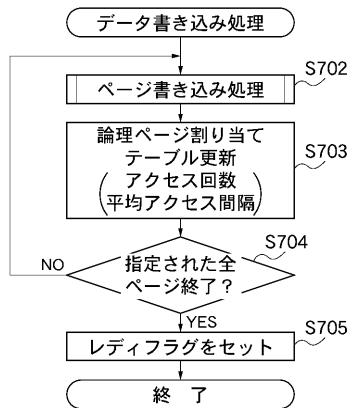
【図18】



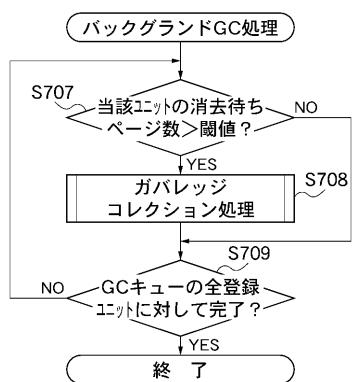
【図19】



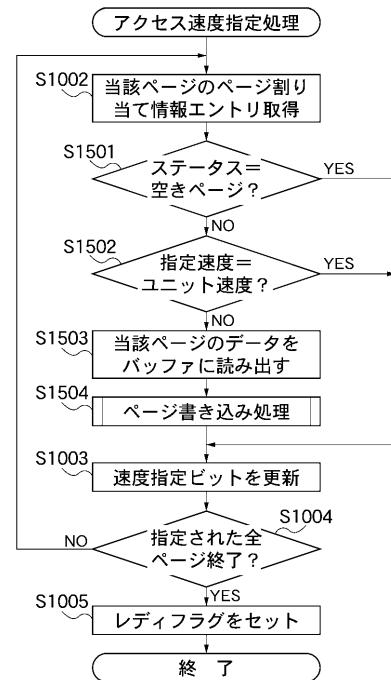
【図20】



【図21】



【図22】



---

フロントページの続き

(56)参考文献 特開平11-031102(JP,A)  
国際公開第2005/043394(WO,A1)  
特開2000-173281(JP,A)  
特開2001-006374(JP,A)  
特開2001-306393(JP,A)  
特開2001-210082(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 12 / 00 - 12 / 06