

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月7日(07.06.2018)



(10) 国際公開番号

WO 2018/100790 A1

(51) 国際特許分類:

G11C 11/54 (2006.01) G11C 13/00 (2006.01)
G06N 3/063 (2006.01) H01L 49/02 (2006.01)

(21) 国際出願番号: PCT/JP2017/025932

(22) 国際出願日: 2017年7月18日(18.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-233444 2016年11月30日(30.11.2016) JP

(71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY

AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).

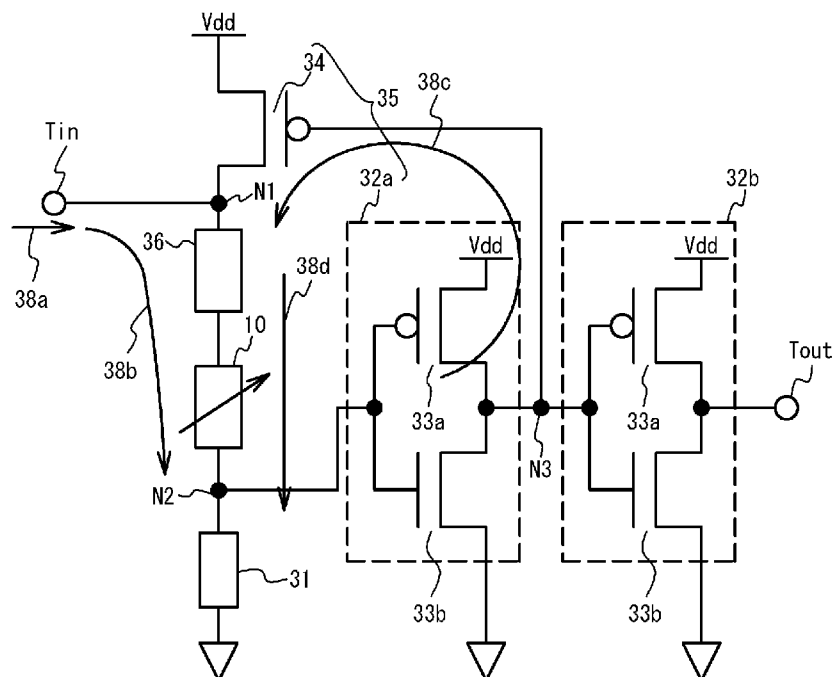
(72) 発明者: 矢嶋 赳彬 (YAJIMA, Takeaki); 〒1138656 東京都文京区本郷7丁目3番1号 国立大学法人東京大学内 Tokyo (JP).
鳥海 明(TORIUMI, Akira); 〒1138656 東京都文京区本郷7丁目3番1号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋1-6-1 三井住友海上テプコビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: NEURON CIRCUIT, SYSTEM, AND SWITCH CIRCUIT

(54) 発明の名称: ニューロン回路、システムおよびスイッチ回路



(57) **Abstract:** A neuron circuit comprising: an input terminal to which spike signals are input in chronological order; a first switch element with one end connected to the input terminal and the other end connected to an intermediate node, the first switch element maintaining a high-resistance state even when receiving a single spike signal and changing a resistance state from the high-resistance state to a low-resistance state when receiving a plurality of spike signals during a first period; a feedback circuit connected to the intermediate node, the feedback circuit setting the input terminal to a prescribed level when the first switch element changes to the low-resistance state; and a second switch element connected



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- 不利にならない開示又は新規性喪失の例外に関する申立て (規則4.17(v))

添付公開書類:

- 国際調査報告 (条約第21条(3))

in series with the first switch element between the input terminal and the intermediate node, the second switch element maintaining the low-resistance state even when the input terminal receives one or a plurality of spike signals and changing to the high-resistance state when the input terminal is set to the prescribed level.

(57) 要約: 時系列にスパイク信号が入力する入力端子と、一端が前記入力端子に接続され、他端が中間ノードに接続され、単一のスパイク信号が入力しても高抵抗状態を維持し、第1期間内に複数のスパイク信号が入力すると抵抗値が前記高抵抗状態より低い低抵抗状態となる第1スイッチ素子と、前記中間ノードに接続され、前記第1スイッチ素子が低抵抗状態となると前記入力端子を所定レベルとするフィードバック回路と、前記入力端子と前記中間ノードとの間に前記第1スイッチ素子と直列に接続され、前記入力端子に1+または複数のスパイク信号が入力しても低抵抗状態を維持し、前記入力端子が所定レベルとなると高抵抗状態となる第2スイッチ素子と、を具備するニューロン回路。

明 細 書

発明の名称：ニューロン回路、システムおよびスイッチ回路

技術分野

[0001] 本発明は、ニューロン回路、システムおよびスイッチ回路に関する。

背景技術

[0002] 電圧を印加しない状態では高抵抗状態であり、電圧を印加すると低抵抗状態となる。電圧を遮断すると自発的に高抵抗状態に戻るスイッチ素子が知られている（例えば、非特許文献１－６）。負性抵抗を有するスイッチ素子が知られている（例えば、非特許文献７－１１）

先行技術文献

非特許文献

[0003] 非特許文献１：IEEE ELECTRON DEVICE LETTERS , VOL. 33, No.2, pp236-238 (2012)

非特許文献２：IEEE ELECTRON DEVICE LETTERS , VOL. 33, No.5, pp718-720 (2012)

非特許文献３：Semicond. Sci. Technol. 29 pp104005-1 — 104005-11 (2014)

非特許文献４：IEDM pp27.1.1-27.1.4 (2009)

非特許文献５：IEDM pp2.8.1-2.8.4 (2012)

非特許文献６：IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 62, No. 11 p p3477-3481 (2015)

非特許文献７：JOURNAL OF APPLIED PHYSICS Vol. 33, No. 9, pp2669-2682 (1962)

非特許文献８：APPLIED PHYSICS LETTERS Vol. 89, pp.083514-1 — 083514-3 (2006)

非特許文献９：Japanese Journal of Applied Physics Vol. 49, pp104002-1 — 104002-5 (2010)

非特許文献10 : Nature Materials Vol. 6, pp. 824-832 (2007)

非特許文献11 : Advanced Materials Vol. 21, pp2632-2663 (2009)

発明の概要

発明が解決しようとする課題

[0004] これらのスイッチ素子は、主にクロスバーアレイメモリのアクセス素子に用いられている。しかしながら、他の電子回路に用いることはほとんど検討されていない。

[0005] 本発明は、上記課題に鑑みなされたものであり、スイッチ素子を用いた電子回路を提供することを目的とする。

課題を解決するための手段

[0006] 本発明は、時系列にスパイク信号が入力する入力端子と、一端が前記入力端子に接続され、他端が中間ノードに接続され、単一のスパイク信号が入力しても高抵抗状態を維持し、第1期間内に複数のスパイク信号が入力すると抵抗値が前記高抵抗状態より低い低抵抗状態となる第1スイッチ素子と、前記中間ノードに接続され、前記第1スイッチ素子が低抵抗状態となると前記入力端子を所定レベルとするフィードバック回路と、前記入力端子と前記中間ノードとの間に前記第1スイッチ素子と直列に接続され、前記入力端子に1または複数のスパイク信号が入力しても低抵抗状態を維持し、前記入力端子が所定レベルとなると高抵抗状態となる第2スイッチ素子と、を具備するニューロン回路である。

[0007] 上記構成において、前記中間ノードと基準電位端子との間に接続された負荷を具備する構成とすることができる。

[0008] 上記構成において、前記所定レベルはハイレベルである構成とすることができる。

[0009] 上記構成において、前記第1スイッチ素子は、前記一端と前記他端との間に接続され、第2期間内に前記他端に対し前記一端に印加される電圧を平均化した内部状態量が第1閾値より低いときに高抵抗状態となり、前記内部状態量が第2閾値より高いときに低抵抗状態となる抵抗体を備える構成とする

ことができる。

[0010] 上記構成において、前記抵抗体は、所定温度以上で金属相となり、前記所定温度以下で絶縁相となり、前記内部状態量は、前記第2期間内に前記他端に対し前記一端に印加される電圧のRMSである構成とすることができる。

[0011] 上記構成において、前記第1スイッチ素子は、前記一端と前記他端との間に接続され、内部状態量が第1閾値より低いときに高抵抗状態となり、前記内部状態量が第2閾値より高いときに低抵抗状態となる抵抗体を備え、

時刻 T_0 における前記内部状態量 $S(T_0)$ は、前記一端と前記他端との間の電圧を V_{10} 、 V_{10} が前記内部状態量に与える影響を $f(V_{10})$ 、および前記内部状態量の緩和時間を τ_{dec} としたとき

$$S(T_0) = \int_0^{T_0} f(V_{10}(T_0 - T)) e^{-T/\tau_{dec}} dT$$

である構成とすることができる。

[0012] 上記構成において、前記抵抗体は、所定温度以上で金属相となり、前記所定温度以下で絶縁相となり、 A を定数としたとき $f(V_{10}) = A \times V_{10}^2$ である構成とすることができる。

[0013] 上記構成において、前記抵抗体は酸化バナジウムである構成とすることができる。

[0014] 上記構成において、前記入力端子と前記中間ノードとの間に前記第1スイッチ素子および前記第2スイッチと直列に接続され、単一のスパイク信号が入力しても高抵抗状態を維持し、第3期間内に複数の前記スパイク信号が入力すると低抵抗状態となる第3スイッチ素子を具備する構成とすることができる。

[0015] 上記構成において、前記第3スイッチ素子の高抵抗状態の抵抗値は前記第1スイッチ素子の高抵抗状態の抵抗値より高く、前記第3スイッチの低抵抗状態の抵抗値は前記第1スイッチ素子の高抵抗状態の抵抗値より低い構成とすることができる。

[0016] 本発明は、上記ニューロン回路と、前記ニューロン回路を接続するシナプ

ス回路と、を具備するシステムである。

[0017] 本発明は、入力信号が入力する入力端子と、出力端子と、前記入力端子に接続された一端と、前記出力端子に接続された他端と、前記一端と前記他端との間に接続され、内部状態量が第1閾値より低いときに高抵抗状態となり、前記内部状態量が第2閾値より高いときに前記高抵抗状態より抵抗値の低い低抵抗状態となる抵抗体と、を備えるスイッチ素子と、を具備し、時刻 T_0 における前記内部状態量 $S(T_0)$ は、前記一端と前記他端との間の電圧を V_{10} 、 V_{10} が内部状態量に与える影響を $f(V_{10})$ 、および前記内部状態量の緩和時間を τ_{dec} としたとき

$$S(T_0) = \int_0^{T_0} f(V_{10}(T_0 - T)) e^{-T/\tau_{dec}} dT$$

であり、前記入力信号の変動周期は前記緩和時間より短いスイッチ回路である。

[0018] 上記構成において、前記入力信号は複数のスパイク信号であり、前記複数のスパイク信号の間隔は前記緩和時間より短い構成とすることができる。

[0019] 上記構成において、前記抵抗体は、所定温度以上で金属相となり、前記所定温度以下で絶縁相となり、 A を定数としたとき $f(V_{10}) = A \times V_{10}^2$ である構成とすることができる。

[0020] 本発明は、一端および他端と、前記一端と前記他端との間に接続され、第1期間内に前記他端に対し前記一端に印加される電圧の平均値が第1閾値より低いときに前記一端と前記他端との間をオフ状態とし、前記平均値が第2閾値より高いときに前記一端と前記他端との間をオン状態とする抵抗体と、を具備することを特徴とするスイッチ素子である。

[0021] 上記構成において、前記一端に入力される電圧の変動周期は前記第1期間より短い構成とすることができる。

[0022] 上記構成において、前記抵抗体は、所定温度以上で金属相となり、前記所定温度以下で絶縁相となる構成とすることができる。

[0023] 上記構成において、前記平均値は、第1期間内に前記他端に対し前記一端

に印加される電圧のRMSである構成とすることができる。

[0024] 上記構成において、基板上に設けられた前記抵抗体からなる薄膜と、前記一端および他端に対応し、前記薄膜に接続する一対の電極と、を具備し、前記薄膜は、活性部と前記活性部と前記電極とを接続する引き出し部と、を具備し、前記活性部の幅は前記引き出し部の幅より小さい、および／または、前記活性部の膜厚は前記引き出し部の膜厚より小さい構成とすることができる。

[0025] 上記構成において、前記抵抗体は、酸化バナジウムからなる構成とすることができる。

[0026] 本発明は、交流信号を伝送する線路と、前記線路にシャント接続された上記スイッチ素子と、を具備することを特徴とする交流リミット回路である。

[0027] 上記構成において、前記交流信号の周期は、前記スイッチ素子の前記第1期間より短い構成とすることができる。

[0028] 本発明は、スパイク信号が入力する入力端子と、請求項1から5のいずれか一項記載のスイッチ素子であり、前記スイッチ素子の前記一端が前記入力端子に接続され、単一の前記スパイク信号が入力してもオフ状態を維持し、第2期間内に複数の前記スパイク信号が入力するとオン状態となる第1スイッチ素子と、前記第1スイッチ素子の前記他端が接続され、前記第1スイッチ素子がオン状態となるとハイレベルを出力する出力端子と、を具備することを特徴とするニューロン回路である。

[0029] 上記構成において、前記第1スイッチ素子の前記他端に接続され、前記第1スイッチ素子がオン状態となると前記入力端子をハイレベルとするフィードバック回路と、前記入力端子と前記フィードバック回路の入力との間に前記第1スイッチ素子と直列に接続され、前記入力端子に1または複数の前記スパイク信号が入力してもオン状態を維持し、前記入力端子がハイレベルとなるとオフ状態となる第2スイッチ素子と、を具備し、前記出力端子は、前記第1スイッチ素子および前記第2スイッチ素子がいずれもオン状態のときハイレベルを出力し、前記第1スイッチ素子および前記第2スイッチ素子の

少なくとも一方がオフ状態のときローレベルを出力する構成とすることができる。

発明の効果

[0030] 本発明によれば、スイッチ素子を用いた電子回路を提供することができる。

図面の簡単な説明

[0031] [図1]図1 (a) は、実施例1に係るスイッチ素子の平面図、図1 (b) は、図1 (a) のA-A断面図である。

[図2]図2は、実施例1における直流信号の電圧電流特性を示す模式図である。

[図3]図3 (a) は、実施例1における測定回路、図3 (b) および図3 (c) は、実施例1における交流信号の電圧電流特性を示す図である。

[図4]図4 (a) および図4 (b) は、実施例1における時間に対する入力電圧を示す図である。

[図5]図5 (a) は、実施例1に係るスイッチ素子の別の電圧電流特性を示す図、図5 (b) および図5 (c) は、実施例1に係るスイッチ素子の別の構造を示す断面図である。

[図6]図6は、実施例2に係る交流リミッタ回路の回路図である。

[図7]図7は、実施例2に係る交流リミッタ回路の測定結果を示す図である。

[図8]図8は、ニューロンネットワークを示す模式図である。

[図9]図9は、ニューロンの動作を示すタイミングチャートである。

[図10]図10は、実施例3に係るニューロン回路の回路図である。

[図11]図11は、実施例3におけるニューロン回路のタイミングチャートである。

[図12]図12は、実施例4に係るスイッチ回路の回路図である。

[図13]図13は、実施例4におけるスイッチ素子10のタイミングチャートである。

[図14]図14は、実施例4におけるスイッチ回路のタイミングチャートであ

る。

[図15]図 1 5 は、実施例 5 に係るニューロン回路の回路図である。

[図16]図 1 6 は、実施例 5 におけるニューロン回路のタイミングチャートである。

[図17]図 1 7 は、実施例 6 に係るニューロン回路の回路図である。

[図18]図 1 8 は、実施例 6 におけるニューロン回路のタイミングチャートである。

[図19]図 1 9 (a) および図 1 9 (b) は、それぞれ実施例 5 および 6 のニューロン回路の入力周波数に対する出力周波数を示す図である。

[図20]図 2 0 は、実験 1 で作製したニューロン回路の回路図である。

[図21]図 2 1 は、実験 1 におけるチャンネル c h 1 から c h 4 の時間に対する電圧を示す図である

[図22]図 2 2 は、実験 1 において入力信号の周波数を変えたときの時間に対する電圧を示す図である。

[図23]図 2 3 は、実施例 8 に係るシステムの概観図である。

[図24]図 2 4 は、実施例 8 に係るシステムの動作を示すブロック図である。

[図25]図 2 5 (a) から図 2 5 (c) は、実施例 8 におけるシナプス回路を説明する図である。

[図26]図 2 6 は、実施例 8 におけるネットワークの接続構造を示す図である。

[図27]図 2 7 は、実施例 8 におけるクロスバーアレイ回路を示す図である。

[図28]図 2 8 は、実施例 8 における 2 次元のネットワークアーキテクチャを示す図である。

[図29]図 2 9 は、実施例 8 における 3 次元のネットワークアーキテクチャを示す図である。

発明を実施するための形態

[0032] 以下、図面を参照し実施例について説明する。

実施例 1

- [0033] 実施例 1 は、スイッチ素子の例である。図 1 (a) は、実施例 1 に係るスイッチ素子の平面図、図 1 (b) は、図 1 (a) の A-A 断面図である。図 1 (a) および図 1 (b) に示すように、スイッチ素子 10 は、基板 12、抵抗体 14 および電極 16 を有する。基板 12 上に抵抗体 14 からなる薄膜 15 が形成されている。抵抗体 14 の両端上に電極 16 が形成されている。抵抗体 14 は、活性部 14 a および引き出し部 14 b を有している。活性部 14 a の電流が流れる方向の長さを L、幅を W とする。引き出し部 14 b は活性部 14 a と電極 16 とを電氣的に接続する。引き出し部 14 b は、活性部 14 a から電極 16 にいくに従い幅が徐々に広がる。電極 16 間の電圧は主に活性部 14 a も集中する。このため、スイッチ素子 10 の抵抗の変化は主に活性部 14 a の抵抗の変化である。
- [0034] 基板 12 は、例えば酸化チタン (TiO_2) 基板または酸化アルミニウム (Al_2O_3) 基板等の絶縁体基板である。基板 12 は、所望の特性を有する抵抗体 14 が形成できればよい。抵抗体 14 は、例えば酸化バナジウム (VO_2) 薄膜である。電極 16 は、例えば金 (Au) 層、銅 (Cu) 層またはアルミニウム (Al) 層等の金属である。
- [0035] 抵抗体 14 は、電極 16 間に高い電圧を印加する（例えば抵抗体 14 が高温となる）と低抵抗となり、低い電圧を印加する（抵抗体 14 が低温となる）と高抵抗となる材料であればよい。例えば VO_2 は、低温では単斜晶系結晶構造の絶縁相となり、高温では正方晶系結晶構造の金属相となる。 VO_2 の相転移温度は、 10°C から 80°C である。酸素組成比、不純物の種類および濃度、成長条件および／または基板 12 の種類（例えば (001) 面を主面とする TiO_2 基板、(101) 面を主面とする TiO_2 基板、および Al_2O_3 基板）によって異なる。
- [0036] 以下の例では、基板 12 として、 TiO_2 基板、抵抗体 14 として VO_2 をパルスレーザデポジション (Pulsed Laser Depositon) 法を用い形成した。抵抗体 14 の膜厚を 90 nm 、活性部 14 a の長さ L および幅 W をそれぞれ $10\text{ }\mu\text{m}$ および $40\text{ }\mu\text{m}$ とした。電極 16 として Au を用いた。

[0037] まず、スイッチ素子 10 に直流 (DC : Direct Current) 電圧を印加したときの電圧電流特性について説明する。図 2 は、実施例 1 における直流信号の電圧電流特性を示す模式図である。電極 16 間の電圧 V に対する電極 16 間を流れる電流 I を示す。図 2 に示すように、電圧 V が低いとき、スイッチ素子 10 の抵抗は高い。このとき、スイッチ素子 10 はオフ状態である。電圧 V を大きくすると、電圧 V_2 において、ジュール熱により活性部 14a の温度が上昇し、活性部 14a の VO_2 が絶縁相から金属相に相転移する。これにより、スイッチ素子 10 の抵抗が低くなる。このとき、スイッチ素子 10 はオン状態である。電圧 V を下げていくと、電圧 V_1 において活性部 14a の温度が下がり、活性部 14a の VO_2 が金属相から絶縁相に相転移する。これにより、スイッチ素子 10 はオフ状態となる。スイッチ素子 10 のオフ状態とは、電極 16 間 (スイッチ素子 10 の一端と両端との間) が高抵抗状態であることであり、スイッチ素子 10 のオン状態とは、電極 16 間 (スイッチ素子 10 の一端と両端との間) が低抵抗状態であることである。

[0038] 次に、スイッチ素子 10 に交流電圧を印加したときの電圧電流特性について説明する。図 3 (a) は、実施例 1 における測定回路、図 3 (b) および図 3 (c) は、実施例 1 における交流信号の電圧電流特性を示す図である。図 3 (a) に示すように、端子 T01 と T02 との間にスイッチ素子 10 と抵抗 R を直列に接続する。端子 T01 と T02 とに交流電源 18 を接続する。交流電源 18 は、端子 T01 と T02 との間にほぼ三角関数波の交流である入力電圧 V_{in} を印加する。スイッチ素子 10 を流れる電流 I を測定する。

[0039] 図 3 (b) に示すように、入力電圧 V_{in} の周波数が 1 kHz のとき、図 2 と同様に、入力電圧 V_{in} の絶対値が V_2 以上でスイッチ素子 10 はオン状態となり、入力電圧 V_{in} の絶対値が V_1 以下でスイッチ素子 10 はオフ状態となる。図 3 (c) に示すように、交流電圧の周波数が 100 kHz のとき、入力電圧 V_{in} によらずスイッチ素子 10 はオン状態である。

[0040] 活性部 14a の温度は、活性部 14a で発生するジュール熱と基板 12 等

からの放熱により決まる。放熱にかかる時間は、熱容量と熱抵抗等で定める時定数を有する。図3（b）のように低い周波数では、放熱の時定数より遅い時間で入力電圧 V_{in} が変化する。このため、活性部14aの温度は、入力電圧 V_{in} の変化に追従する。よって、スイッチ素子10の状態は入力電圧 V_{in} に依存する。図3（c）のように高い周波数では、放熱の時定数より速い時間で入力電圧 V_{in} が変化する。このため、活性部14aの温度は入力電圧 V_{in} の変化に追従できない。よって、スイッチ素子10の状態は入力電圧 V_{in} のRMS（Root Mean Square）によって定まる。

[0041] 入力電圧 V_{in} として三角関数波以外の波形の場合を考える。図4（a）および図4（b）は、実施例1における時間に対する入力電圧を示す図である。図4（a）に示すように、実線で示す入力電圧 V_{in} は正の範囲で時間に対し任意に変動している。点線は、放熱の時定数に相当する所定期間内の入力電圧 V_{in} のRMSである。スイッチ素子10は、RMSが閾値 V_{th} 以上のときオン状態となり、RMSが閾値 V_{th} 以下のときオフ状態となる。このように、スイッチ素子10は、所定期間内の入力電圧 V_{in} のRMSによりオン状態とオフ状態を切り換える。

[0042] 図4（b）に示すように、実線で示す入力電圧 V_{in} は交流電圧であり、時間に対し振幅が変動している。交流信号の周期は放熱の時定数より小さい。振幅が小さいとき、入力電圧 V_{in} のRMSは閾値以下である。このため、活性部14aの発熱量は小さく活性部14aの温度は相転移温度より低い。そのためスイッチ素子10はオフ状態となる。振幅が大きいとき、入力電圧 V_{in} のRMSは閾値以上である。このため、活性部14aの発熱量は大きく活性部14aの温度は相転移温度より高い。そのためスイッチ素子10はオン状態となる。このように、スイッチ素子10は、入力電圧 V_{in} の振幅によりオン状態とオフ状態を切り換える。

[0043] 図5（a）は、実施例1に係るスイッチ素子の別の電圧電流特性を示す図、図5（b）および図5（c）は、実施例1に係るスイッチ素子の別の構造を示す断面図である。図5（a）に示すように、電圧 V が0Vのときスイッ

チ素子はオフ状態である。電圧 V が正の場合、電圧 V が電圧 V_3 以上のときスイッチ素子はオン状態となり、電圧 V が電圧 V_3 以下のときスイッチ素子はオフ状態となる。電圧 V が負の場合、電圧 V が電圧 $-V_3$ 以下のときスイッチ素子はオン状態となり、電圧 V が電圧 $-V_3$ 以上のときスイッチ素子はオフ状態となる。このように、電圧電流特性はヒステリシスのほとんどない特性でもよい。

[0044] 図5 (b) に示すように、スイッチ素子10は、電極16の間に抵抗体14が設けられている構造でもよい。図5 (c) に示すように、抵抗体14の活性部14aの膜厚 T_a は引き出し部14bの膜厚 T_b より小さくてもよい。その他の構成は図1 (b) と同じである。

[0045] スイッチ素子10の抵抗体14は、例えば酸化亜鉛 (ZnO) またはチタン酸ストロンチウム ($SrTiO_3$) でもよい。抵抗体14は、非特許文献1のように酸化バナジウム (VO_x) または非特許文献2のように酸化ニオブ (NbO_x) 等の金属絶縁体材料でもよい。抵抗体14は、非特許文献3から6に用いられている銅化合物、カルコゲナイド、酸化タングステンまたはアモルファス酸化物でもよい。

[0046] 実施例1によれば、図1 (a)、図1 (b) および図5 (b) のように、抵抗体14が一端と他端に対応する一対の電極16の間に接続されている。図4 (a) および図4 (b) のように、抵抗体14は、所定期間 (第1期間) 内に入力電圧 V_{in} (他端に対し一端に印加される電圧) のRMSが閾値 V_{th} (第1閾値) より低いときに電極16間をオフ状態とし、RMSが V_{th} (第2閾値) より高いときに電極16間をオン状態とする。これにより、実施例2および3で説明するように新しい機能を有する電子回路を提供できる。

[0047] 第1閾値と第2閾値は同じでもよいし、第2閾値は第1閾値より大きくてもよい。また、図2のようにスイッチ素子10はヒステリシスを有してもよい。スイッチ素子10がヒステリシスを有することで、ノイズによるオフ状態とオン状態との切り換わりを抑制できる。

- [0048] 入力電圧 V_{in} の変動周期は所定期間（第 1 期間）より短い。これにより、図 4（a）および図 4（b）のように、入力電圧 V_{in} の RMS によりオフ状態とオン状態とを切り換えることができる。入力電圧 V_{in} の周期は所定期間の $1/2$ 以下が好ましく、 $1/10$ 以下がより好ましい。
- [0049] 抵抗体 14 は、所定温度（例えば相転移温度）以上で金属相となり、所定温度以下で絶縁相となる。これにより、入力電圧 V_{in} の RMS が閾値 V_{th} より低いときにオフ状態とし、RMS が V_{th} より高いときにオン状態とすることができる。オフ状態とオン状態とが温度により切り替わる場合、抵抗体 14 は入力電圧 V_{in} の RMS が閾値 V_{th} より低いか高いかによりオフ状態とオン状態を切り換える。イオン伝導体のようにオフ状態とオン状態とが温度以外の物理現象により切り替わる場合、抵抗体 14 は入力電圧 V_{in} の平均値が閾値 V_{th} より低いか高いかによりオフ状態とオン状態を切り換える。平均値としては例えば RMS、単純平均値または重み付けした平均値等がある。いずれの平均値を用いるかは、オフ状態とオン状態とが切り替わる物理現象により定まる。
- [0050] 図 1（a）および図 1（b）のように、基板 12 上に抵抗体 14 からなる薄膜 15 が形成されている。一对の電極 16 は、薄膜 15 に接続する。抵抗体 14 の活性部 14a と活性部 14a と引き出し部 14b とを有する。活性部 14a の幅 W は引き出し部 14b の幅より小さい、および／または、図 5（c）のように、活性部 14a の膜厚 T_a は引き出し部 14b の膜厚 T_b より小さい。これにより、活性部 14a が効率的に発熱する。また、基板 12 により活性部 14a から効率的に放熱できる。よって、放熱の時定数に対応する第 1 期間を抵抗体 14 の平面形状および基板 12 の種類または厚さにより任意に設定できる。図 5（b）のような構造では、電極 16 と抵抗体 14 との界面に高電界が加わりダメージを受ける可能性がある。図 1（a）、図 1（b）および図 5（c）のような構造では、活性部 14a に主に電圧が印加されるため、電極 16 と抵抗体 14 との界面付近におけるダメージを抑制できる。

実施例 2

[0051] 実施例 2 は、実施例 1 に係るスイッチ素子を交流リミッタ回路に用いる例である。図 6 は、実施例 2 に係る交流リミッタ回路の回路図である。図 6 に示すように、入力端子 T_{in} と出力端子 T_{out} との間に線路 22 が設けられている。線路 22 内にインピーダンス素子 24 が直列に接続されている。線路 22 にスイッチ素子 10 がシャント接続されている。すなわち、スイッチ素子 10 の一端は線路 22 に接続され、他端は接地されている。入力端子 T_{in} には入力電圧 V_{in} （すなわち入力信号）が入力する。スイッチ素子 10 がオフ状態のとき、入力信号は矢印 26a のように線路 22 を伝搬し出力端子 T_{out} から出力される。スイッチ素子 10 がオン状態のとき、入力信号は矢印 26b のようにスイッチ素子 10 を介しグランドされる。よって、入力信号は出力端子 T_{out} から出力されない。

[0052] 入力電圧 V_{in} を三角関数波とし、入力電圧 V_{in} の振幅を変え、出力電圧 V_{out} を測定した。インピーダンス素子 24 を抵抗値が $107\ \Omega$ の抵抗とし、入力電圧 V_{in} の周波数を 1 MHz とした。

[0053] 図 7 は、実施例 2 に係る交流リミッタ回路の測定結果である。横軸を入力電圧 V_{in} の RMS とし、縦軸を出力電圧 V_{out} の RMS とした。図 7 に示すように、入力電圧 V_{in} の RMS が 0 V のとき、スイッチ素子 10 はオフ状態である。スイッチ素子 10 がオフ状態の間は、入力電圧 V_{in} の RMS が 0 から大きくなると、出力電圧 V_{out} の RMS は入力電圧 V_{in} の RMS に比例して大きくなる。このとき、入力信号は線路 22 を通過し出力端子 T_{out} から出力される。入力電圧 V_{in} の RMS が閾値 V_{th2} 以上となると、スイッチ素子 10 がオン状態となる。これにより、入力信号がスイッチ素子 10 を介しグランドに流れる。よって、入力信号は出力端子 T_{out} から出力されず、出力電圧 V_{out} の RMS は小さくなる。入力電圧 V_{in} の RMS を小さくすると、入力電圧 V_{in} の RMS が閾値 V_{th1} 以下で、スイッチ素子 10 がオフ状態となる。よって、出力電圧 V_{out} の RMS は入力電圧 V_{in} に比例して小さくなる。このとき、入力信号は線路 22 を

通過し出力端子 T_{out} から出力される。

[0054] このように、実施例2に係る交流リミッタ回路は、入力電圧 V_{in} の RMS が閾値 V_{th1} より小さい（すなわち入力信号の振幅が小さい）と入力信号を出力端子 T_{out} に出力する。入力電圧 V_{in} の RMS が閾値 V_{th2} より大きいと（すなわち入力信号の振幅が大きい）と入力信号を出力端子 T_{out} に出力しない。例えば出力端子 T_{out} を内部回路に接続すると、大電力の信号が内部回路に入力されることを抑制できる。

[0055] 交流リミッタ回路は、バリスタまたはツェナーダイオードを用いることで実現することができる。しかし、バリスタおよびツェナーダイオードは、オン状態およびオフ状態を瞬時の電圧により切り換える。このため、入力電圧 V_{in} の波形が歪んで出力電圧 V_{out} となる。よって、高調波が発生する。このように、線形性が劣化する。

[0056] 一方、実施例2では、実施例1のスイッチ素子10を用いることにより、入力電圧 V_{in} の RMS によりオン状態およびオフ状態を切り換える。このため、入力電圧 V_{in} の波形は歪まない。よって、出力電圧 V_{out} の線形性を向上できる。また、酸化バナジウムを用いたスイッチ素子10の遮断周波数は 26.5 THz である。よって、高周波数信号のリミッタ回路として用いることができる。また、酸化バナジウムを用いたスイッチ素子10の閾値 V_{th} は、活性部14aを小さくすることで低くできる。例えばスイッチ素子10の閾値 V_{th} を 0.3 V と、バリスタおよびツェナーダイオードに比べ1桁小さくできる。

[0057] 実施例2によれば、図6のように、リミッタ回路は、交流信号を伝送する線路22と、線路22にシャント接続された実施例1のスイッチ素子10を有する。これにより、出力電圧の線形性を向上できる。また、閾値 V_{th2} が V_{th1} より大きい。これにより、オン状態とオフ状態とがノイズにより切り替わることを抑制できる。

[0058] 入力電圧 V_{in} の周期（すなわち交流信号の周期）は、スイッチ素子10の放熱の時定数に相当する所定期間より短い。これにより、交流リミッタ回

路は、交流信号の振幅が大きいとき交流信号をリミットできる。交流信号の周期は所定期間の $1/2$ 以下が好ましく、 $1/10$ 以下がより好ましい。

実施例 3

[0059] 実施例 3 は、実施例 1 に係るスイッチ素子をニューロン回路に用いる例である。まず、ニューロン回路が用いられるニューロンネットワークについて説明する。図 8 は、ニューロンネットワークを示す模式図である。図 8 に示すように、ニューロンネットワークのうちニューロン 40 a および 40 b について説明する。ニューロン 40 a には複数のシナプス 42 a からスパイク信号 44 a が入力する。ニューロン 40 a が発火 (fire) するとスパイク信号 44 b が複数のシナプス 42 b に出力される。複数のシナプス 42 b の一つがニューロン 40 b に入力する。このように、複数のニューロン 40 a および 40 b と複数のシナプス 42 a および 42 b とがニューロンネットワークを形成している。

[0060] 図 9 は、ニューロンの動作を示すタイミングチャートである。時間に対するニューロン 40 a へのシナプス 42 a からの入力、ニューロン 40 a からシナプス 42 b への出力およびニューロン 40 a の状態 (例えば電位) を示している。図 9 に示すように、リーキ インテグレート (Leaky Integrate) 期間 T_1 において、ニューロン 40 a に 1 または複数のシナプス 42 a からスパイク信号 44 a が入力する。スパイク信号 44 a が入力するたびにニューロン 40 a の状態が高くなる。ニューロン 40 a の状態は矢印 45 のようにある時定数で元の状態 V_0 に戻る。スパイク信号 44 a が連続して入力すると、ニューロン 40 a の状態は、高くなっていく。ニューロン 40 a の状態が閾値 V_{th} に達すると、ニューロン 40 a は発火し、スパイク信号 44 b をシナプス 42 b に出力する。ニューロン 40 a は元の状態 V_0 に戻る。その後、スパイク信号 44 a が入力しても応答しない不応答期間 (Refractory Period) 期間 T_2 を経て再びリーキ インテグレート期間となる。

[0061] 次に、ニューロン 40 a として動作するニューロン回路について説明する。図 10 は、実施例 3 に係るニューロン回路の回路図である。入力端子 T_i

nは、ノードN1に接続されている。ノードN1とグラウンド（基準電位）との間にスイッチ素子36、実施例1のスイッチ素子10および負荷抵抗31が直列に接続されている。スイッチ素子10と負荷抵抗31との間のノードN2はインバータ回路32aおよび32bを介し出力端子T_{out}に接続されている。インバータ回路32aおよび32bは、P F E T（Field Effect Transistor）33aおよびN F E T 33bを有する。インバータ回路32aと32bとの間のノードN3はP F E T 34のゲートに接続されている。F E T 34のソースは電圧V_{dd}の電源に接続され、ドレインはノードN1に接続されている。フィードバック回路35は、インバータ回路32aとF E T 34とを含む。スイッチ素子36は、両端に印加される電圧が低いときはオンし、高いときはオフする。

[0062] 図11は、実施例3におけるニューロン回路のタイミングチャートである。入力端子T_{in}に入力される入力電圧V_{in}、ノードN1の電圧、スイッチ素子10に印加される電圧のRMS、スイッチ素子10の状態、スイッチ素子36の状態、ノードN2の電圧、ノードN3の電圧および出力電圧V_{out}の時間依存を示している。時刻t4からt7の間隔は、説明しやすいように図示しており、実際の時間の長さを反映していない。

[0063] 図11に示すように、時刻t0において、入力電圧V_{in}は0であり、スパイク信号44aは入力されていない。ノードN1の電圧は0V（またはローレベルに近い電圧）である。このため、スイッチ素子10および36の各々の両端にはほとんど電圧が印加されていない。よって、スイッチ素子10および36はそれぞれオフ状態およびオン状態である。また、ノードN2はローレベルとなるため、ノードN3および出力電圧V_{out}はそれぞれハイレベルおよびローレベルとなる。ノードN3がハイレベルのためP F E T 34はオフとなり、ノードN1に電圧V_{dd}は印加されない。

[0064] 時刻t1において、スパイク信号44aが入力する（図10の矢印38a）。ノードN1の電圧は0Vにスパイク信号44aが重畳する。スイッチ素子10に単一のスパイク信号44aが加わっても所定期間内のRMSは閾値

V_{th3} を越えない。よって、スイッチ素子10はオフ状態である。スイッチ素子36は、スパイク信号44aが加わってもオン状態を維持する。スイッチ素子10がオフ状態のため、ノードN2およびN3の電圧および出力電圧 V_{out} に変化はない。時刻 t_2 および t_3 にスパイク信号44aが入力すると、スイッチ素子10のRMSは上昇する（図10の矢印38b、リーキ インテグレート）が、閾値 V_{th3} を越えないため、ノードN2およびN3の電圧および出力電圧 V_{out} に変化はない。なお、スパイク信号44aの高さは電圧 V_{dd} と異なってもよい。

[0065] 時刻 t_4 において、スパイク信号44aが入力すると、スイッチ素子10の所定時間内のRMSが閾値 V_{th3} を越える。同時にスイッチ素子10はオン状態となる。スイッチ素子10およびスイッチ素子36がともにオン状態のため、ノードN2の電圧は一瞬ハイレベルとなる。これにより、ノードN3の電圧が一瞬ローレベルとなる。ノードN3がローレベルのためFET34がオンする。これによりノードN1の電圧が V_{dd} となる（矢印38c、発火）。スイッチ素子10に電圧 V_{dd} の分圧が印加されるため、スイッチ素子10はオン状態を維持する。よって、ノードN2はハイレベル、ノードN3はローレベル、出力電圧 V_{out} はハイレベルを維持する。

[0066] このとき、スイッチ素子36に電圧 V_{dd} の分圧が加わる。これにより、直後の時刻 t_5 にスイッチ素子36はオフ状態となる。スイッチ素子36がオフ状態となると、ノードN2の電圧はローレベルとなる。よって、ノードN3の電圧および出力電圧 V_{out} はそれぞれハイレベルおよびローレベルに戻る。時刻 t_4 と t_5 との間隔は短ければ、出力電圧 V_{out} はスパイク信号44bを出力する。スパイク信号44bの高さはインバータ回路32bの電源電圧により任意に設定できる。

[0067] ノードN3がハイレベルとなるためFET34はオフする。ノードN1の電圧は0Vに戻る。時刻 t_5 以降スイッチ素子10のRMSは低下し、RMSが閾値 V_{th4} 以下となる時刻 t_6 においてスイッチ素子10はオフ状態となる（矢印38d、リセット）。時刻 t_7 においてスイッチ素子36はオ

ン状態に戻る。時刻 t_5 と t_7 との間はスパイク信号 44 a が入力しても応答しない不応答期間となる。時刻 t_6 と t_7 とは逆でもよい。スイッチ素子 10 にヒステリシスがない場合、閾値 V_{th3} と V_{th4} はほぼ同じとなる。スイッチ素子 10 にヒステリシスがある場合、閾値 V_{th4} は V_{th3} より小さくなる。

[0068] スwitch素子 36 としては、印加される電圧が低いときにオン状態、印加される電圧が高いときにオフ状態となればよい。スイッチ素子 36 は、スイッチ素子 10 と同様に、スパイク信号 44 a の電圧変化に比べ長い所定期間内の両端間の電圧の RMS によりオン状態とオフ状態とを切り換えてもよい。この場合、所定期間が長いと、不応答期間が長くなる。スイッチ素子 36 は、スパイク信号 44 a の電圧変化に比べ短い時間でオン状態とオフ状態を切り換えてもよい。

[0069] スwitch素子 36 は、例えばエザキダイオードまたはガンダイオードを用いてもよい。この場合、緩和時間はほぼ 0 のため、不応答期間はほとんどない。

[0070] スwitch素子 36 は、非特許文献 7 のように金属酸化物、非特許文献 8 のように有機物、または非特許文献 9 のように半導体を用いたトラップ素子でもよい。スイッチ素子 36 は、非特許文献 10 のようにカルコゲナイド、非特許文献 11 のように金属酸化物を用いたユニポーラ抵抗スイッチ素子でもよい。ユニポーラ抵抗スイッチ素子の場合、時刻 t_6 の後、入力電圧 V_{in} にスパイク信号を入力することで、スイッチ素子 36 はオン状態に戻る。

[0071] 実施例 3 によれば、図 10 および図 11 のように、入力端子 T_{in} にスパイク信号 44 a が入力する。スイッチ素子 10（第 1 スwitch素子）は実施例 1 のスイッチ素子であり、一端がスイッチ素子 36 を介して入力端子 T_{in} に接続され、他端はフィードバック回路 35 を介して出力端子 T_{out} に接続されている。スイッチ素子 10 は、単一のスパイク信号 44 a が入力してもオフ状態を維持し、所定期間（第 2 期間）内に複数の前記スパイク信号 44 a が入力するとオン状態となる。出力端子 T_{out} は、スイッチ素子 1

0がオン状態となるとハイレベルを出力する。このように、実施例1のスイッチ素子10をニューロン回路のリーキ インテグレートおよび発火を行う素子として用いることができる。スイッチ素子10は、電圧が印加されないとオフ状態となるため、発火後のリセットも自動的に行われる。

[0072] フィードバック回路35は、スイッチ素子10の他端に接続されており、スイッチ素子10がオン状態となると入力端子 T_{in} （ノードN1）をハイレベルとする。スイッチ素子36は、入力端子 T_{in} とフィードバック回路35の入力との間にスイッチ素子10と直列に接続されている。スイッチ素子36は、入力端子 T_{in} に1または複数のスパイク信号44aが入力してもオン状態を維持し、入力端子 T_{in} がハイレベルとなるとオフ状態となる。出力端子 T_{out} は、スイッチ素子10および36がいずれもオン状態のときハイレベルを出力し、スイッチ素子10および36の少なくとも一方がオフ状態のときローレベルを出力する。時刻 t_4 においてノードN1がハイレベルとなることで、発火をより確実に行うことができる。スイッチ素子36により、オン状態となったスイッチ素子10をオフ状態とすることができる。

[0073] 実施例2および3のように、実施例1のスイッチ素子10を様々な電子回路に用いることができる。

実施例 4

[0074] 実施例4は、スイッチ回路の例である。図12は、実施例4に係るスイッチ回路の回路図である。図12に示すように、入力端子 T_{in} とグランド（基準電位端子）との間にスイッチ素子10と負荷抵抗31が直列に接続されている。スイッチ素子10と負荷抵抗31との間のノードN2に出力端子 T_{out} が接続されている。スイッチ素子10は、実施例1に係るスイッチ素子である。その他の構成は実施例3と同じであり、説明を省略する。

[0075] スwitch素子10の内部状態量 S_{10} を一般化すると数式1で表される。

[数1]

$$S(T_0) = \int_0^{T_0} f(V_{10}(T_0 - T)) e^{-T/\tau_{dec}} dT$$

ここで、 $S(T_0)$ は時刻 T_0 における内部状態量 S_{10} 、 V_{10} はスイッチ素子 10 の両端の電圧、 $f(V_{10})$ は V_{10} が内部状態量 S_{10} に与える影響、 τ_{dec} は内部状態量 S_{10} の緩和時間（平衡値との差が $1/e$ となる時間）を示す。

[0076] 内部状態量 S_{10} は例えば所定期間内の電圧 V_{10} の平均値に対応する。スイッチ素子 10 の抵抗体 14 は、内部状態量 S_{10} が閾値 S_{th} より大きくなるとオン状態（すなわち低抵抗状態）となり、内部状態量 S_{10} が閾値 S_{th} より小さくなるとオフ状態（すなわち高抵抗状態）となる。低抵抗状態および高抵抗状態の抵抗値はそれぞれ R_L および R_H であり、 $R_H > R_L$ である。

[0077] スwitch素子 10 のオンオフの機構が抵抗体 14 の温度相転移の場合、内部状態量 S_{10} は抵抗体 14 の局所温度に相当する。電圧 V_{10} が内部状態量 S_{10} に与える影響 $f(V_{10})$ はジュール熱に相当する。影響 $f(V_{10})$ は、 A を比例定数とすると、 $f(V_{10}) = A \times V_{10}^2$ となる。例えば、 C_H を抵抗体 14 とその周辺部の比熱、 R_{14} を抵抗体 14 の抵抗値とすると、 $A = 1 / (C_H \times R_{14})$ である。なお、抵抗値 R_{14} は、抵抗体 14 がオン状態のときはオン状態の抵抗値であり、抵抗体 14 がオフ状態のときはオフ状態の抵抗値である。加えて、 $\exp(-T/\tau_{dec})$ を、時間 T が 0 から τ_{dec} まで 1 、時間 T が τ_{dec} 以降を 0 のような関数で近似すれば、 $S(T_0)$ は、期間 τ_{dec} における V_{10} の RMS となる。

[0078] スwitch素子 10 のオンオフの機構が電気化学的なフィラメントの形成による場合、内部状態量 S_{10} はイオン濃度に相当する。電圧 V_{10} が内部状態量 S_{10} に与える影響 $f(V_{10})$ はイオン生成量に相当する。例えば、 i_0 を着目するイオン生成反応の交換電流密度、 V_{eq} を平衡電位、 e を素電荷、 k をボルツマン定数および T を絶対温度とすると、 $f(V_{10}) = i_0 \times \exp$

$p [e (V_{10} - V_{eg}) / 2 k T]$ となる。

[0079] スイッチ素子 10 のオンオフの機構が絶縁破壊による場合、内部状態量 S_{10} は欠陥濃度に相当する。電圧 V_{10} が内部状態量 S_{10} に与える影響 $f (V_{10})$ は電流に相当する。例えば、 A_0 をリチャードソン定数および V_{th} をスイッチ素子 10 内部の障壁高さとする、 $f (V_{10}) = A_0 \times T^2 \times \exp [e (V_{10} - V_{th}) / k T]$ となる。

[0080] 図 13 は、実施例 4 におけるスイッチ素子 10 のタイミングチャートである。入力信号の入力電圧 V_{in} 、スイッチ素子 10 の内部状態量 S_{10} 、およびスイッチ素子 10 の両端間の抵抗値 R_{10} の時間依存を示している。入力端子 T_{in} にステップ状の電圧 V_0 が印加される場合を想定している。

[0081] 図 13 に示すように、入力電圧 V_{in} は 0 V、内部状態量 S_{10} は 0、および抵抗値 R_{10} は高抵抗 R_H （すなわちオフ状態）である。時刻 t_{10} において入力電圧 V_{in} が V_0 となる。時刻 t_{10} から内部状態量 S_{10} が上昇し、時刻 t_{11} において内部状態量 S_{10} が閾値 S_{th} 以上となると抵抗値 R_{10} が低抵抗（すなわちオン状態）となる。時刻 t_{10} から t_{11} の期間はオンするための期間 $\tau_{on} (V_0)$ である。

[0082] 時刻 t_{12} において入力電圧 V_{in} が 0 V となると、内部状態量 S_{10} が低下し始める。時刻 t_{13} において内部状態量 S_{10} が閾値 S_{th}' 以下となると抵抗値 R_{10} は高抵抗となる。時刻 t_{12} から t_{13} の期間はオフするための期間 $\tau_{off} (V_0)$ である。

[0083] 期間 $\tau_{on} (V_0)$ および $\tau_{off} (V_0)$ を、内部状態量 S_{10} を $S_m (V_0)$ 、緩和時間 τ_{dec} を用い表すと、それぞれ数式 2 および 3 となる。

[数2]

$$\tau_{on} (V_0) = \tau_{dec} \log \left(\frac{S_m (V_0)}{S_m (V_0) - S_{th}} \right)$$

[数3]

$$\tau_{off} (V_0) = \tau_{dec} \log \left(\frac{S_m (V_0)}{S_{th}'} \right)$$

[0084] 図14は、実施例4におけるスイッチ回路のタイミングチャートである。

入力信号の入力電圧 V_{in} 、スイッチ素子10の内部状態量 S_{10} 、スイッチ素子10の抵抗値 R_{10} および出力信号の出力電圧 V_{out} を示している。入力端子 T_{in} に時系列に複数のスパイク信号44aが入力する。

[0085] 図14に示すように、入力電圧 V_{in} が0でありスイッチ素子10が高抵抗 R_H では、ノードN1の電圧は0Vであり、出力電圧 V_{out} はローレベル(0V)である。時刻 t_{20} 、 t_{22} および t_{24} にスパイク信号44aが入力し、時刻 t_{21} 、 t_{23} および t_{26} にスパイク信号が入力し終える。スパイク信号44aの幅は W である。スパイク信号44aの最小の間隔は L である。

[0086] 時刻 t_{20} 、 t_{22} および t_{24} において内部状態量 S_{10} が上昇を始め、時刻 t_{21} 、 t_{23} および t_{26} において内部状態量 S_{10} が低下し始める。内部状態量 S_{10} の低下の速度は上昇の速度より遅い。時刻 t_{22} および t_{24} において内部状態量 S_{10} が0となる前にスパイク信号44aが入力すると、内部状態量 S_{10} は蓄積される。時刻 t_{25} において、内部状態量 S_{10} が閾値 S_{th} 以上となると、抵抗値 R_{10} が低抵抗 R_L となる。ノードN2の電圧はほぼ V_0 となる。よって、出力電圧 V_{out} はハイレベルとなる。時刻 t_{26} において入力電圧 V_{in} が0Vとなると出力電圧 V_{out} は0Vとなる。

[0087] スwitch素子10の抵抗変化により出力端子 T_{out} のハイレベルおよびローレベルがスイッチするため、負荷抵抗31の抵抗値を R_{31} とすると、 $R_H > R_{31} > R_L$ であることが好ましい。

[0088] 単一のスパイク信号44aによりスイッチ素子10がオン状態とならないように、スパイク信号44aの幅 W は $\tau_{on}(V_0)$ より短いことが好ましい。

[0089] 次のスパイク信号44aが入力されたときに内部状態量 S_{10} が戻らずに、内部状態量 S_{10} が積算されるように、スパイク信号44aの間隔 L は緩和時間 τ_{dec} より短いことが好ましい。

[0090] 実施例4によれば、スイッチ素子10の一端が入力端子 T_{in} に接続され

、他端が出力端子 T_{out} に接続されている。スイッチ素子 10 の抵抗体 14 は、数式 1 で表される内部状態量 S_{10} が閾値 S_{th}' (第 1 閾値) より低いときに高抵抗状態となり、内部状態量 S_{10} が閾値 S_{th} (第 2 閾値) より高いときに高抵抗状態より抵抗値の低い低抵抗状態となる。

[0091] これにより、入力電圧 V_{in} が累積された内部状態量 S_{10} に基づき出力信号を切り替えるスイッチ回路を実現できる。入力電圧 V_{in} は、図 4 (a) および図 4 (b) のようにスパイク信号 44a でなくてもよい。内部状態量 S_{10} が蓄積されるように、入力電圧 V_{in} の変動周期は内部状態量 S_{10} の緩和時間 τ_{dec} より短いことが好ましい。

[0092] 図 14 のように、入力端子 T_{in} に入力電圧 V_{in} として時系列に複数のスパイク信号 44a が入力する場合、複数のスパイク信号 44a の間隔 L は緩和時間 τ_{dec} より短いことが好ましい。これにより、内部状態量がスパイク信号 44a を蓄積できる。

実施例 5

[0093] 実施例 5 は、実施例 4 のスイッチ回路をニューロン回路に用いる例である。図 15 は、実施例 5 に係るニューロン回路の回路図である。図 15 に示すように、スイッチ素子 10 とスイッチ素子 36 の接続が実施例 3 の図 10 と逆である以外は図 10 と同じであり説明を省略する。

[0094] 図 16 は、実施例 5 におけるニューロン回路のタイミングチャートである。入力電圧 V_{in} 、スイッチ素子 10 の内部状態量 S_{10} 、両端の電圧 V_{10} および抵抗値 R_{10} 、スイッチ素子 36 の両端間の電圧 V_{36} および抵抗値 R_{36} 、並びに出力電圧 V_{out} の時間依存を示している。

[0095] 図 16 に示すように、時刻 t_{30} において、スイッチ素子 10 の抵抗値 R_{10} は高抵抗 R_H であり、スイッチ素子 36 の抵抗値は低抵抗 r_L である。入力電圧 V_{in} として複数のスパイク信号 44a が入力する。スパイク信号 44a の幅は W_{in} であり、スパイク信号 44a の間隔は L である。

[0096] 時刻 t_{30} から t_{31} の間では、スイッチ素子 10 が高抵抗 R_H かつスイッチ素子 36 が低抵抗 r_L である。このため、入力電圧 V_{in} は、主にスイ

ッチ素子 10 に加わり、スイッチ素子 36 にはほとんど加わらない。スイッチ素子 10 の内部状態量 S_{10} はスパイク信号 44a が入力する度に増加する。

[0097] 時刻 t_{31} において、内部状態量 S_{10} が閾値 S_{ath} より大きくなると、スイッチ素子 10 の抵抗値は低抵抗 R_L となる。スイッチ素子 10 および 36 とも低抵抗のため、ノード N2 がハイレベルとなり、ノード N3 がローレベルとなる。FET 34 がオンし、ノード N1 がハイレベルとなる。 R_L と r_L が同程度とすると、ハイレベルはスイッチ素子 10 と 36 とで分圧される。よって、スイッチ素子 36 の電圧 V_{36} が大きくなる。時刻 t_{32a} において入力信号 V_{in} が 0V となってもスイッチ素子 36 は低抵抗 r_L である。時刻 t_{32b} においてスイッチ素子 36 は高抵抗 r_H となる。ノード N2 はローレベルとなる。時刻 t_{31} と t_{32b} の間に、出力電圧 V_{out} として幅が W_{out} のスパイク信号 44b が出力される。

[0098] 時刻 t_{32b} において、スイッチ素子 10 が低抵抗 R_L かつスイッチ素子 36 が高抵抗 r_H となる。このため、入力電圧 V_{in} の電圧は主にスイッチ素子 36 に加わり、スイッチ素子 10 にはほとんど加わらない。よって、スパイク信号 44a が入力してもスイッチ素子 10 の内部状態量 S_{10} は低下し続ける。

[0099] 時刻 t_{33} において、スイッチ素子 10 の内部状態量 S_{10} が閾値 S_{ath} より小さくなると、スイッチ素子 10 の抵抗値は高抵抗 R_H となる。時刻 t_{34} においてスイッチ素子 36 の抵抗値は低抵抗 r_L となる。時刻 t_{34} 以降は時刻 t_{30} 以降と同様である。

[0100] 時刻 t_{31} と t_{33} との間の期間 T_{RL} においてスイッチ素子 10 が低抵抗状態となる。期間 T_{RL} にスイッチ素子 10 にスパイク信号 44a の電圧 V_0 が加わらないとすると、期間 T_{RL} は、 $\tau_{dec} \times \log(S_{ath}/S_{ath})$ である。

[0101] 時刻 t_{32b} と t_{34} との間の期間 T_{rH} においてスイッチ素子 36 が高抵抗状態となる。スイッチ素子 36 は、スイッチ素子 10 と同様に内部状態

量 S_{36} を取りうる。スイッチ素子 36 の内部状態量 S_{36} の緩和時間は t_{dec} である。スイッチ素子 36 の内部状態量 S_{36} が S_{bth} より大きくなるとスイッチ素子 36 は高抵抗 r_H となり、スイッチ素子 36 の内部状態量が S_{bth} より小さくなるとスイッチ素子 36 は低抵抗 r_L となる。スイッチ素子 36 は、最後にスパイク信号 44a の電圧 V_0 が加わってから $t_{dec} \times \log(S_{bth}/S_{bth}')$ 後に低抵抗 r_L となる。

[0102] スイッチ素子 10 および 36 の抵抗変化により出力端子 T_{out} のハイレベルおよびローレベルがスイッチするため、負荷抵抗 31 の抵抗値を R_{31} とすると、 R_H 、 $r_H > R_{31} > R_L$ 、 r_L であることが好ましい。

[0103] 実施例 4 と同様に、スパイク信号 44a の幅 W_{in} は $\tau_{on}(V_0)$ より短いことが好ましい。また、スパイク信号 44a の間隔 L は緩和時間 τ_{dec} より短いことが好ましい。

[0104] 入力電圧 V_{in} のスパイク信号 44a の幅 W_{in} と出力電圧 V_{out} のスパイク信号 44b の幅 W_{out} をほぼ同じとするため、 W_{out} は実質的に $t_{on}(V_0)$ であることが好ましい。 $t_{on}(V_0)$ は、スイッチ素子 36 に電圧 V_0 の電圧が加わったときにスイッチ素子 36 が高抵抗となるまでの時間である。

[0105] スイッチ素子 10 が高抵抗 R_H となる前にスイッチ素子 36 が低抵抗 r_L となると、スイッチ素子 10 の内部状態量 S_{10} がスパイク信号 44a に反応してしまう。よって、スイッチ素子 36 が低抵抗 r_L となる前にスイッチ素子 10 が高抵抗 R_H となることが好ましい。このため、スイッチ素子 36 が高抵抗状態である期間 T_{rH} はスイッチ素子 10 が低抵抗状態である期間 T_{rL} より長いことが好ましい。

[0106] 期間 T_{rH} の間に一度もスパイク信号 44a が入力しなくとも、期間 T_{rH} が期間 T_{rL} より長くなるためには、 $\tau_{dec} \times \log(S_{ath}/S_{ath}')$ $< t_{dec} \times \log(S_{bth}/S_{bth}')$ であることが好ましい。

[0107] 期間 T_{rL} の間に複数のスパイク信号 44a が入力する場合、スイッチ素子 36 が期間 T_{rL} にリセットされないように、スパイク信号 44a の間隔

$L < t_{dec} \times \log(S_{bth}/S_{bth'})$ が好ましい。

[0108] 実施例3および実施例5によれば、スイッチ素子10（第1スイッチ素子）は、一端が入力端子T_{in}に接続され、他端がノードN2（中間ノード）に接続されている。スイッチ素子10は、単一のスパイク信号44aが入力しても高抵抗状態を維持し、第1期間内に複数のスパイク信号44aが入力すると低抵抗状態となる。

[0109] フィードバック回路35は、ノードN2に接続され、スイッチ素子10が低抵抗状態となると入力端子T_{in}をハイレベル（所定レベル）とする。スイッチ素子36（第2スイッチ素子）は初期状態として低抵抗状態にあり、スイッチ素子10が低抵抗状態のときに、入力端子T_{in}が所定レベル（ハイレベル）となると、スパイク信号44bの幅W_{out}に相当する時間後に高抵抗状態となる。

[0110] これにより、スイッチ素子36により、低抵抗状態となったスイッチ素子10を高抵抗状態とすることができる。

[0111] 負荷抵抗31がノードN2と基準電位端子との間に接続されていることが好ましい。これにより、中間ノードN2をハイレベルまたはローレベルとすることができる。

[0112] フィードバック回路35は、時刻t₃₃において入力端子T_{in}をハイレベル以外の所定レベルとしてもよいが、ハイレベルとすることが好ましい。これにより、発火を確実に行うことができる。

[0113] 実施例1と同様に、スイッチ素子10の抵抗体14は、他端に対し一端に印加される電圧を平均化した内部状態量S₁₀が閾値S_{ath'}より低いときに高抵抗状態となり、内部状態量S₁₀が閾値S_{ath}より高いときに低抵抗状態となることが好ましい。また、実施例4と同様に、スイッチ素子10の内部状態量S₁₀は数式1で表されることが好ましい。これにより、スイッチ素子10は、単一のスパイク信号44aが入力しても高抵抗状態を維持し、第1期間内に複数のスパイク信号44aが入力すると低抵抗状態となる。

[0114] スwitch素子10の抵抗体14が所定温度以上で金属相となり、前記所定

温度以下で絶縁相となる場合、内部状態量 S_{10} は、所定期間（第2期間）内に他端に対し一端に印加される電圧のRMSである。または、数式1では、 A を定数としたとき $f(V_{in}) = A \times V_{in}^2$ である。

実施例 6

[0115] 図17は、実施例6に係るニューロン回路の回路図である。図17に示すように、ノードN1とN2との間にスイッチ素子10および36と直列にスイッチ素子50が接続されている。スイッチ素子50はスイッチ素子10と同様のスイッチ素子であるが、内部状態量の緩和時間、内部状態量の閾値、低抵抗値および高抵抗値がスイッチ素子10と異なる。その他の構成は実施例5と同じであり説明を省略する。

[0116] 図18は、実施例6におけるニューロン回路のタイミングチャートである。入力電圧 V_{in} 、スイッチ素子50の両端間の電圧 V_{50} および抵抗値 R_{50} 、スイッチ素子10の両端の電圧 V_{10} 、抵抗値 R_{10} および内部状態量 S_{10} 、スイッチ素子36の両端間の電圧 V_{36} および抵抗値 R_{36} 、並びに出力電圧 V_{out} の時間依存を示している。

[0117] 図18に示すように、時刻 t_{40} において、スイッチ素子50の抵抗値 R_{50} は高抵抗 $R_{H'}$ であり、スイッチ素子10の抵抗値 R_{10} は高抵抗 R_H であり、スイッチ素子36の抵抗値は低抵抗 r_L である。入力電圧 V_{in} として複数のスパイク信号44aが入力する。

[0118] スwitch素子10と50には、スパイク信号44aの電圧 V_0 が R_H と $R_{H'}$ で分圧されて電圧が加わる。 $R_{H'} > R_H$ とすると、スパイク信号44aの電圧は主にスイッチ素子50に加わり、スイッチ素子10にはほとんど加わらない。このため、スイッチ素子50の内部状態量は増加するがスイッチ素子10の内部状態量 S_{10} はほとんど増加しない。

[0119] 時刻 t_{41} においてスイッチ素子50の内部状態量が閾値より大きくなると、スイッチ素子50の抵抗値は低抵抗 $R_{L'}$ となる。スイッチ素子10と50には、スパイク信号44aの電圧 V_0 が R_H と $R_{L'}$ で分圧されて電圧が加わる。 $R_{L'} < R_H$ とすると、スパイク信号44aの電圧は主にスイッチ

素子 10 に加わり、スイッチ素子 50 にはほとんど加わらない。このため、スイッチ素子 10 の内部状態量 S_{10} は増加するがスイッチ素子 50 の内部状態量はほとんど増加しない。

[0120] 時刻 t_{31} において、スイッチ素子 10 の内部状態量 S_{10} が閾値 S_{ath} より大きくなると、スイッチ素子 10 が低抵抗 R_L となる。スイッチ素子 50 は、時刻 t_{31} 以降も低抵抗 R_L' に留まることが好ましい。以降の動作は、実施例 5 と同じであり説明を省略する。

[0121] スwitch素子 10、36 および 50 の抵抗変化により出力端子 T_{out} のハイレベルおよびローレベルがスイッチするため、負荷抵抗 31 の抵抗値を R_{31} とすると、 $R_H, r_H, R_H' > R_{31} > R_L, r_L, R_L'$ であることが好ましい。

[0122] 実施例 4 と同様に、スパイク信号 44a の幅 W_{in} は $\tau_{on} (R_H / (R_H + R_H') V_0)$ および $\tau_{on}' (R_H' / (R_H + R_H') V_0)$ より短いことが好ましい。 $\tau_{on} (R_H / (R_H + R_H') V_0)$ は、スイッチ素子 10 にスパイク信号 44a の電圧 V_0 の分圧 $R_H / (R_H + R_H') V_0$ が加わったときスイッチ素子 10 が低抵抗 R_L となるまでの期間である。 $\tau_{on}' (R_H' / (R_H + R_H') V_0)$ は、スイッチ素子 50 にスパイク信号 44a の電圧 V_0 の分圧 $R_H' / (R_H + R_H') V_0$ が加わったときスイッチ素子 50 が低抵抗 R_L' となるまでの期間である。

[0123] スパイク信号 44a の間隔 L は緩和時間 τ_{dec} および τ_{dec}' より短いことが好ましい。 τ_{dec}' はスイッチ素子 50 の内部状態量の緩和時間である。

[0124] 図 19 (a) および図 19 (b) は、それぞれ実施例 5 および 6 のニューロン回路の入力周波数に対する出力周波数を示す図である。入力周波数 f_{in} はスパイク信号 44a が入力する周波数である。出力周波数 f_{out} は出力信号のスパイク信号 44b が出力される周波数である。

[0125] 図 19 (a) に示すように、実施例 5 では f_{in} が低い（すなわちスパイク信号 44a の間隔 L が長い）と、スパイク信号 44b は出力されない。 f_{in} がスイッチ素子 10 の $1/\tau_{of}$ 程度となると、スパイク信号 44b が出

力され始める。 f_{in} が大きくなると f_{out} が大きくなる。すなわち、スパイク信号 44 a の間隔 L が短くなると、スパイク信号 44 b の間隔が短くなる。

[0126] 図 19 (b) に示すように、実施例 6 では f_{in} がスイッチ素子 10 の $1/\tau_{off}$ 程度となってもスパイク信号 44 b は出力されない。 f_{in} がスイッチ素子 50 の $1/\tau_{off}$ 程度となると、スパイク信号 44 b が出力される。 f_{out} は $1/\tau_{off}$ で不連続に立ち上がる。

[0127] 図 19 (a) の実施例 5 のように、 f_{out} が連続的に立ち上がるニューロン回路をタイプ 1、図 19 (b) の実施例 6 のように、 f_{out} が不連続に立ち上がるニューロン回路をタイプ 2 という。神経回路には、タイプ 1 とタイプ 2 のニューロン回路が用いられる。

[0128] 実施例 6 によれば、スイッチ素子 50 は、入力端子 T_{in} とノード $N2$ との間にスイッチ素子 10 および 36 と直列に接続されている。スイッチ素子 10、36 および 50 の接続順は任意である。スイッチ素子 50 は、単一のスパイク信号 44 a が入力しても高抵抗状態を維持し、第 3 期間内に複数のスパイク信号 44 a が入力すると低抵抗状態となる。これにより、タイプ 2 のニューロン回路を実現できる。

[0129] スwitch素子 50 の高抵抗状態の抵抗値 $R_{H'}$ はスイッチ素子 10 の高抵抗状態の抵抗値 R_H より高く、スイッチ素子 50 の低抵抗状態の抵抗値 $R_{L'}$ はスイッチ素子 10 の高抵抗状態の抵抗値 R_H より低いことが好ましい。これにより、図 18 のように、タイプ 2 のニューロン回路を実現できる。

[0130] スwitch素子 36 の代わりに、スイッチ素子 10 に並列にキャパシタが接続されていてもよい。

[0131] スwitch素子 10 および 50 は、実施例 1 で説明したように、抵抗体 14 として、酸化バナジウム以外に、酸化亜鉛またはチタン酸ストロンチウムを用いることができる。抵抗体 14 は、非特許文献 1 のような酸化バナジウムまたは非特許文献 2 のような酸化ニオブ等の金属絶縁体材料でもよい。抵抗体 14 は、非特許文献 3 から 6 に用いられている銅化合物、カルコゲナイド

、酸化タングステンまたはアモルファス酸化物でもよい。

[0132] 例えば、抵抗体14として酸化バナジウム VO_2 を用いる場合の抵抗体14の好ましい寸法について説明する。抵抗体14を $a \times b \times c$ の立方体とする。 VO_2 が相転移特性を維持するため、 a 、 b および c は3 nm以上が好ましい。小型化のためには、 a 、 b 、 c のうち膜厚は1 μm 以下、他は1 mm以下が好ましい。

[0133] VO_2 の抵抗率が $10 \Omega \cdot \text{cm}$ として、ニューロン回路に求められるスイッチ素子10の抵抗値が 10Ω から $1 \text{ G}\Omega$ とすると、電極間距離 a 、他の2辺を b および c （各 cm ）とすると、 $10 < a / (b \times c) < 10^9$ が好ましい。

[0134] 実施例3で説明したように、スイッチ素子36は、例えばエザキダイオードまたはガンダイオードを用いてもよい。スイッチ素子36は、非特許文献7のように金属酸化物、非特許文献8のように有機物、または非特許文献9のように半導体を用いたトラップ素子でもよい。スイッチ素子36は、非特許文献10のようにカルコゲナイド、非特許文献11のように金属酸化物を用いたユニポーラ抵抗スイッチ素子でもよい。なお、スイッチ素子36として非特許文献7から11のようなスイッチ素子を用いる場合には、初期状態を低抵抗状態（オン状態）としておくことが好ましい。

実施例 7

[0135] 実施例7は、実施例2の交流リミッタ回路をより一般的にしたスイッチ回路の例である。図6のように、スイッチ素子10の一端は、入力端子 T_{in} と出力端子 T_{out} との間の線路22に接続され、他端は基準電位端子に接続されている。スイッチ素子10の抵抗体14は、内部状態量 S_{10} が閾値 S_{th} より低いときに高抵抗状態となり、内部状態量 S_{10} が閾値 S_{th} より高いときに低抵抗状態となる。内部状態量 S_{10} は数式1で表される。このとき、入力信号の変動周期は緩和時間 τ_{dec} より短い。これにより、入力信号の振幅が大きいときにリミットするスイッチ回路として機能する。

[0136] 実施例4から7では、スイッチ回路およびニューロン回路をキャパシタを

用いず実現できる。よって、チップ面積を小さくできる。

[0137] [実験 1]

実施例 6 のニューロン回路の動作を実証するため、ニューロン回路を作製した。スイッチ素子 36 を準備できなかったため、スイッチ素子 36 の代わりに、発火をリセットするリセット負帰還回路と、不応答期間を設けるリフラクトリ負帰還回路を設けた。

[0138] 図 20 は、実験 1 で作製したニューロン回路の回路図である。図 20 に示すように、入力端子 T_{in} にダイオード D1 を介し $50\ \Omega$ の抵抗 52 およびパルスジェネレータ 53 が接続されている。スイッチ素子 10 は抵抗体 14 として酸化バナジウムを用いた。リセット負帰還回路 55 はスイッチ素子 36 のうちリセット機能に対応する回路である。リフラクトリ負帰還回路 60 はスイッチ素子 36 のうちリフラクトリ機能に対応する回路である。

[0139] リセット負帰還回路 55 として、ノード N1 と N2 との間にスイッチ素子 10 と直列に NFE T 56 が接続されている。ノード N3 は $1\text{ k}\Omega$ の抵抗 57 および 4.2 nF のキャパシタ 58 を介し接地されている。抵抗 57 とキャパシタ 58 との間のノード N4 は NFE T 56 のゲートに接続されている。

[0140] リフラクトリ負帰還回路 60 として、入力端子 T_{in} とグランドとの間に NFE T 61 が接続されている。電源とグランドとの間に PFET 62、 $1.4\text{ k}\Omega$ の抵抗 63 および NFE T 64 が接続されている。ノード N3 は PFET 62 のゲートと NFE T 64 のゲートに接続されている。PFET 62 と抵抗 63 との間のノード N5 とグランドとの間に 220 nF のキャパシタ 66 が接続されている。ノード N5 は NFE T 61 のゲートに接続されている。

[0141] 図 21 は、実験 1 におけるチャネル ch1 から ch4 の時間に対する電圧を示す図である。チャネル ch1 から ch4 は、それぞれノード N1、出力端子 T_{out} 、ノード N4 および N5 に対応する。チャネル ch1 は、スイッチ素子 10 の両端に印加される電圧に相当する。チャネル ch2 は出力

信号に相当する。チャネル c h 3 はリセット負帰還に相当する。チャネル c h 4 はリフラクトリ負帰還に相当する。図 20 では、チャネル c h 1 から c h 4 の波形が互いに重ならないように、c h 2、c h 3 および c h 4 の波形をチャネル c h 1 の波形から電圧をオフセットして図示している。

[0142] 電源電圧 V_{dd} を 10 V とし、パルスジェネレータ 53 から周波数が 40 kHz のスパイク信号を出力した。時刻 t 50 において発火し、時刻 t 51 においてリセットされている。時刻 t 52 までは不応答期間となる。

[0143] 図 22 は、実験 1 において入力信号の周波数を変えたときの時間に対する電圧を示す図である。図 22 に示すように、入力信号のスパイク信号の周波数が 20 kHz では c h 2 にスパイク信号が出力されていない。周波数が 40 kHz および 60 kHz では、c h 2 にスパイク信号が出力されている。周波数が 60 kHz の c h 2 のスパイク信号の周期は周波数が 40 kHz のときより大きい。このように、酸化バナジウムを用いたスイッチ素子 10 により、低い周波数（すなわち低頻度）の入力信号には無反応なニューロン回路を実現できる。

実施例 8

[0144] 実施例 8 は、実施例 3、5 および 6 が用いられるシステムの例である。図 23 は、実施例 8 に係るシステムの概観図である。図 23 に示すように、システム 70 に複数のスパイク信号 71 が並列に入力する。スパイク信号 71 は、例えば視覚、聴覚および触覚等の情報である。システム 70 から複数のスパイク信号 72 が並列に出力する。スパイク信号 72 は、例えばアクチュエータの駆動および各種制御パラメータの調整に用いられる。

[0145] システム 70 内では、ニューロン回路とシナプス回路とがネットワークを組んでいる。システム 70 は、ネットワーク内でスパイク信号をやり取りすることで動作する。ネットワーク内には、アトラクタ 73 が多数形成されている。システム 70 に外部からスパイク信号 71 が入力しなくても、複数のニューロン回路互いに励起し合うことで発火活動を維持している「動的な定常状態」のことをアトラクタ 73 という。「動的な」とは、定常状態にある

ニューロン回路が静止しているのではなく、発火によって周期的、準周期的またはカオス的に運動していることを意味している。スパイク信号 7 1 が入力されることで、アトラクタ 7 3 の発生および／または切り替えが生じる。スパイク信号 7 2 はアトラクタ 7 3 により生成される。

[0146] 図 2 4 は、実施例 8 に係るシステムの動作を示すブロック図である。図 2 4 に示すように、システム 7 0 にスパイク信号の入力パターン 7 4 が入力する。ネットワーク内で、入力パターン 7 4 と共通の時空間パターンを有するスパイク信号のアトラクタが形成される。入力パターン 7 4 によって引き起こされるスパイク信号のやりとりの中で、たまたまループ状のフィードバックを形成したものがアトラクタとして動的に安定化する。頻繁に入力される時空間パターンに対応するアトラクタは、シナプス回路の伝導度を更新してさらに安定化する。これが学習である。安定化したアトラクタは、ノイズまたは類似の入力パターン 7 4 により容易に誘起されるようになる。

[0147] アトラクタにより生成された出力パターン 7 5 は経路 7 6 のように、再度入力パターン 7 4 としてフィードバックされる。また、出力パターン 7 5 は経路 7 7 のようにアクチュエータを介して外部環境 7 8 に働きかける。外部環境 7 8 から経路 7 9 のように入力パターン 7 4 が取得される。

[0148] 図 2 5 (a) から図 2 5 (c) は、実施例 8 におけるシナプス回路を説明する図である。図 2 5 (a) は、シナプス回路の接続を示す図である。図 2 5 (a) に示すように、ニューロン回路 8 0 a と 8 0 b との間にシナプス回路 8 1 が接続されている。

[0149] 図 2 5 (b) は、ニューロン回路 8 0 a からのスパイク信号 4 4 c、ニューロン回路 8 0 b からのスパイク信号 4 4 d、およびシナプス回路 8 1 の電気伝導度のタイミングチャートである。図 2 5 (b) に示すように、シナプス回路 8 1 を介したニューロン回路 8 0 a からニューロン回路 8 0 b のスパイク信号の伝達の期間は Δt である。シナプス回路 8 1 の電気伝導度は、スパイク信号の伝達により決定される。ニューロン回路 8 0 a が発火しシナプス回路 8 1 にスパイク信号 4 4 c が入力すると、シナプス回路 8 1 の電気伝

導度は一時的に上昇する。その後、シナプス回路 81 の電気伝導度はある時定数で緩和する。シナプス回路 81 の電気伝導度の緩和途中にニューロン回路 80b が発火すると、発火のタイミングにより、緩和後の電気伝導度が Δw が変化する。この現象はスパイクタイミング依存シナプス可塑性 (STDP : Spike-Timing-Dependent Plasticity) と呼ばれている。STDP は、学習機能の根底にある機能である。

[0150] 図 25 (c) は、シナプス回路 81 における STDP の更新ルールを示す図である。図 25 (c) に示すように、期間 Δt が 0 付近では Δw の絶対値が大きく、期間 Δt が 0 から離れると Δw の絶対値が小さくなる。シナプス回路 81 は、このような STDP 機能を有していることが好ましい。シナプス回路としては、例えば IEEE Transaction on Neural Networks Vol. 17, pp 211-221 (2006)、IEDM14-665 28.5.1-28.5.4 (2014) および Nature Materials Vol. 16, pp 101-110 (2017) に記載されているものを用いることができる。

[0151] 図 26 は、実施例 8 におけるネットワークの接続構造を示す図である。図 26 では、複数のニューロン回路 80 のうち 1 つのニューロン回路 80a に注目し、ニューロン回路 80a に 3 次元空間において接続されるニューロン回路 80 を概念的に表した。図 26 に示すように、ニューロン回路 80a に接続線 85 を介し複数のニューロン回路 80 が接続されている。接続線 85 には、シナプス回路 81 および単純配線が含まれる。1 つのニューロン回路 80a は、例えば 100 から 10000 程度のニューロン回路 80 と接続される。ニューロン回路 80a は近くのニューロン回路 80 から遠くのニューロン回路 80 まで万遍なく接続されている。スパイク信号の伝達には接続距離に比例した遅延時間が発生する。ニューロン回路 80 の空間的な配置から空間的パターンが抽出でき、スパイク信号の遅延時間から時間的パターンを抽出できる。これにより、入力パターンの時空間パターンに対応したアトラクタが形成される。

[0152] 図 27 は、実施例 8 におけるクロスバーアレイ回路を示す図である。図 2

7に示すように、クロスバーアレイ回路86では、X方向に複数の配線84aが延伸し、Y方向に複数の配線84bが延伸している。配線84aおよび84bの端部には、ニューロン回路80および遅延素子82が設けられている。配線84aと配線84bとはZ方向に離間している。配線84aと配線84bの交点では、Z方向にシナプス回路81または単純配線83が延伸し、配線84aと84bとを接続している。ニューロン回路80が接続された配線84bにはシナプス回路81が接続されている。遅延素子82が接続された配線84bには単純配線83が接続されている。遅延素子82と単純配線83は、遠方のニューロン回路80を接続するためのものである。遅延素子82はニューロン回路80に対し例えば約9倍の割合で配置する。正のスパイク信号を出力するニューロン回路80に加え負のスパイク信号を出力するニューロン回路80を配置する。負のスパイク信号を出力するニューロン回路80の割合は全体のニューロン回路の例えば約20%である。

[0153] 図28は、実施例8における2次元のネットワークアーキテクチャを示す図である。図28に示すように、2次元のクロスバーアレイ回路86が設けられている。X方向およびY方向に配線84aおよび84bが延伸している。シナプス回路81および単純配線83の図示を省略している。配線84aおよび84bを介し2次元のアトラクタ73aが形成される。アトラクタ73aは図23のアトラクタ73のうち単純なアトラクタを示す。アトラクタ73aでは、ループ状に接続されたニューロン回路80が順番に後ろのニューロン回路80を発火させている状態である。

[0154] 図29は、実施例8における3次元のネットワークアーキテクチャを示す図である。図29に示すように、2次元のクロスバーアレイ回路86aから86cがZ方向に複数積層されている。クロスバーアレイ回路86aから86cをZ方向に接続する配線が設けられている。複数のクロスバーアレイ回路86aから86cを3次元のアトラクタ73aが形成される。

[0155] 図28および図29のように、図27のクロスバーアレイ回路86を用い、2次元または3次元のアトラクタ73aを形成することができる。

[0156] 実施例 8 に示すように、実施例 3、5 および 6 のニューロン回路 80 とシナプス回路 81 を用い神経回路に相当するシステムを形成することができる。

[0157] 以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

[0158] 10、36、50 スイッチ素子
 12 基板
 14 抵抗体
 14a 活性部
 14b 引き出し部
 16 電極
 22 線路
 24 インピーダンス素子
 31 負荷抵抗
 35 フィードバック回路
 40a、40b ニューロン
 42a、42b シナプス
 44a－44d スパイク信号

請求の範囲

- [請求項1] 時系列にスパイク信号が入力する入力端子と、
一端が前記入力端子に接続され、他端が中間ノードに接続され、単一のスパイク信号が入力しても高抵抗状態を維持し、第1期間内に複数のスパイク信号が入力すると抵抗値が前記高抵抗状態より低い低抵抗状態となる第1スイッチ素子と、
前記中間ノードに接続され、前記第1スイッチ素子が低抵抗状態となると前記入力端子を所定レベルとするフィードバック回路と、
前記入力端子と前記中間ノードとの間に前記第1スイッチ素子と直列に接続され、前記入力端子に1または複数のスパイク信号が入力しても低抵抗状態を維持し、前記入力端子が所定レベルとなると高抵抗状態となる第2スイッチ素子と、
を具備するニューロン回路。
- [請求項2] 前記中間ノードと基準電位端子との間に接続された負荷を具備する請求項1記載のニューロン回路。
- [請求項3] 前記所定レベルはハイレベルである請求項2記載のニューロン回路。
- [請求項4] 前記第1スイッチ素子は、前記一端と前記他端との間に接続され、第2期間内に前記他端に対し前記一端に印加される電圧を平均化した内部状態量が第1閾値より低いときに高抵抗状態となり、前記内部状態量が第2閾値より高いときに低抵抗状態となる抵抗体を備える請求項1から3のいずれか一項記載のニューロン回路。
- [請求項5] 前記抵抗体は、所定温度以上で金属相となり、前記所定温度以下で絶縁相となり、前記内部状態量は、前記第2期間内に前記他端に対し前記一端に印加される電圧のRMSである請求項4記載のニューロン回路。
- [請求項6] 前記第1スイッチ素子は、前記一端と前記他端との間に接続され、内部状態量が第1閾値より低いときに高抵抗状態となり、前記内部状

態量が第2閾値より高いときに低抵抗状態となる抵抗体を備え、

時刻 T_0 における前記内部状態量 $S(T_0)$ は、前記一端と前記他端との間の電圧を V_{10} 、 V_{10} が前記内部状態量に与える影響を $f(V_{10})$ 、および前記内部状態量の緩和時間を τ_{dec} としたとき

$$S(T_0) = \int_0^{T_0} f(V_{10}(T_0 - T)) e^{-T/\tau_{dec}} dT$$

である請求項1から3のいずれか一項記載のニューロン回路。

[請求項7] 前記抵抗体は、所定温度以上で金属相となり、前記所定温度以下で絶縁相となり、 A を定数としたとき $f(V_{10}) = A \times V_{10}^2$ である請求項6記載のニューロン回路。

[請求項8] 前記抵抗体は酸化バナジウムである請求項1から7のいずれか一項記載のニューロン回路。

[請求項9] 前記入力端子と前記中間ノードとの間に前記第1スイッチ素子および前記第2スイッチと直列に接続され、単一のスパイク信号が入力しても高抵抗状態を維持し、第3期間内に複数の前記スパイク信号が入力すると低抵抗状態となる第3スイッチ素子を具備する請求項1から7のいずれか一項記載のニューロン回路。

[請求項10] 前記第3スイッチ素子の高抵抗状態の抵抗値は前記第1スイッチ素子の高抵抗状態の抵抗値より高く、

前記第3スイッチの低抵抗状態の抵抗値は前記第1スイッチ素子の高抵抗状態の抵抗値より低い請求項9記載のニューロン回路。

[請求項11] 請求項1から10のいずれか一項記載のニューロン回路と、前記ニューロン回路を接続するシナプス回路と、を具備するシステム。

[請求項12] 入力信号が入力する入力端子と、出力端子と、前記入力端子に接続された一端と、前記出力端子に接続された他端と、前記一端と前記他端との間に接続され、内部状態量が第1閾値よ

り低いときに高抵抗状態となり、前記内部状態量が第2閾値より高いときに前記高抵抗状態より抵抗値の低い低抵抗状態となる抵抗体と、を備えるスイッチ素子と、

を具備し、

時刻 T_0 における前記内部状態量 $S(T_0)$ は、前記一端と前記他端との間の電圧を V_{10} 、 V_{10} が内部状態量に与える影響を $f(V_{10})$ 、および前記内部状態量の緩和時間を τ_{dec} としたとき

$$S(T_0) = \int_0^{T_0} f(V_{10}(T_0 - T)) e^{-T/\tau_{dec}} dT$$

であり、

前記入力信号の変動周期は前記緩和時間より短いスイッチ回路。

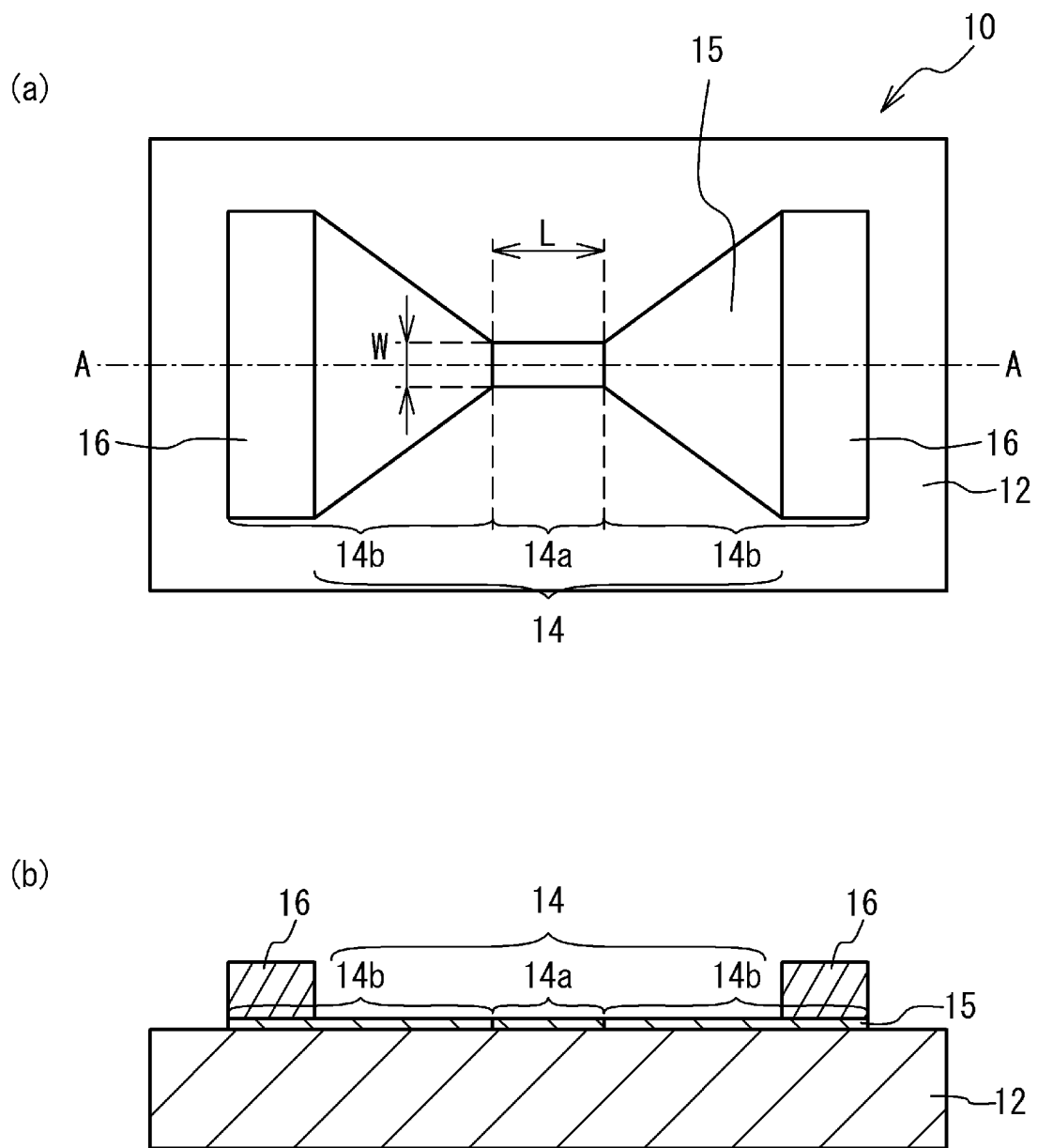
[請求項13]

前記入力信号は複数のスパイク信号であり、前記複数のスパイク信号の間隔は前記緩和時間より短い請求項12記載のスイッチ回路。

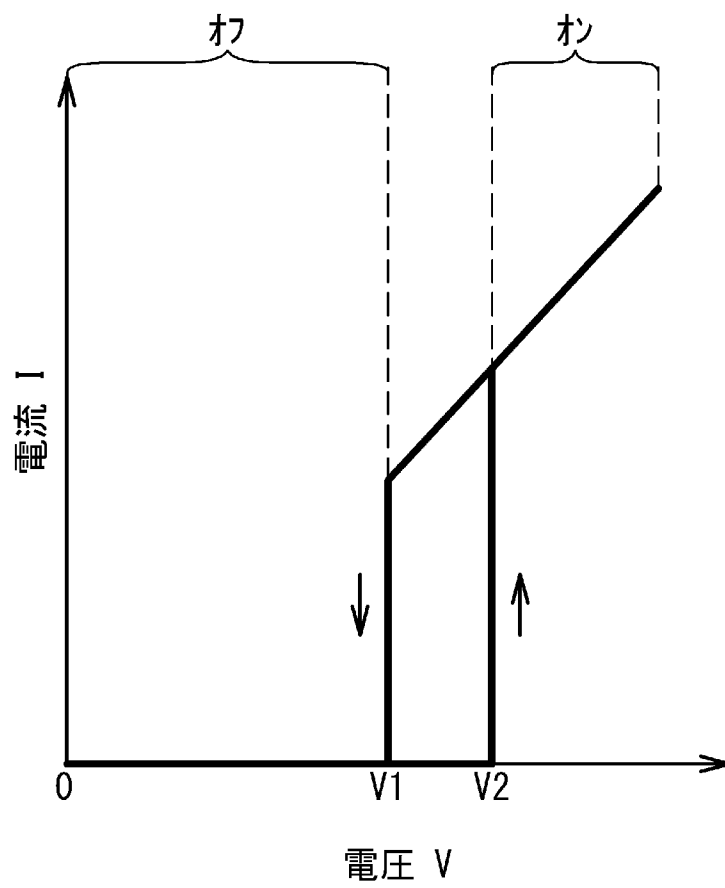
[請求項14]

前記抵抗体は、所定温度以上で金属相となり、前記所定温度以下で絶縁相となり、 A を定数としたとき $f(V_{10}) = A \times V_{10}^2$ である請求項12または13記載スイッチ回路。

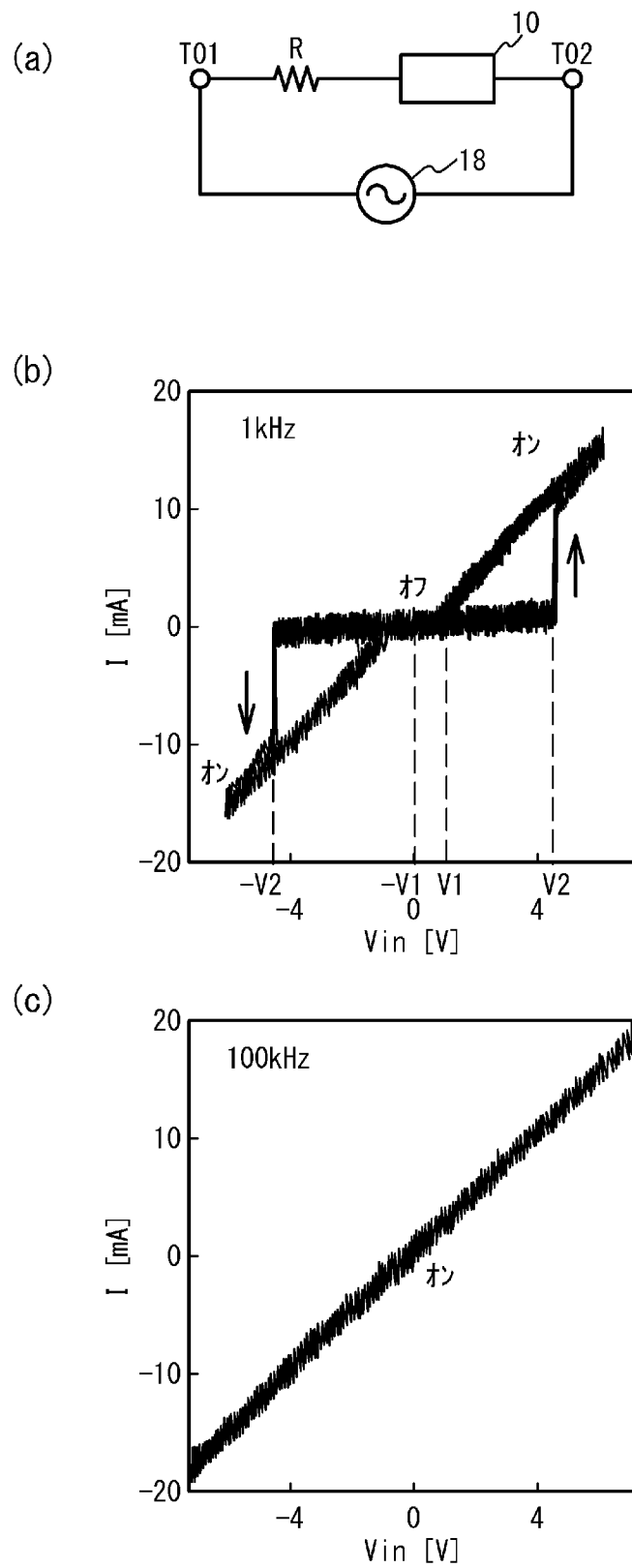
[図1]



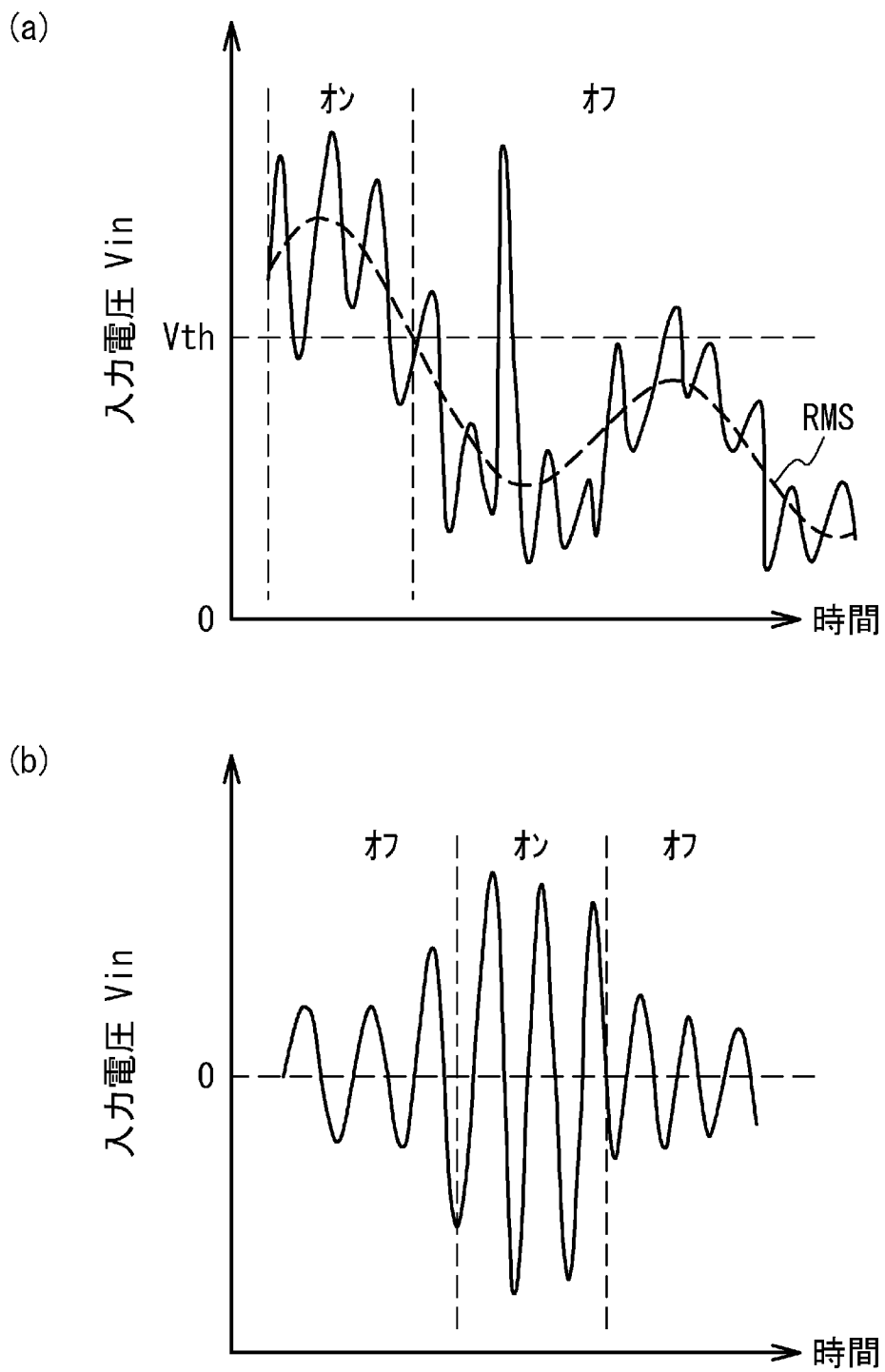
[図2]



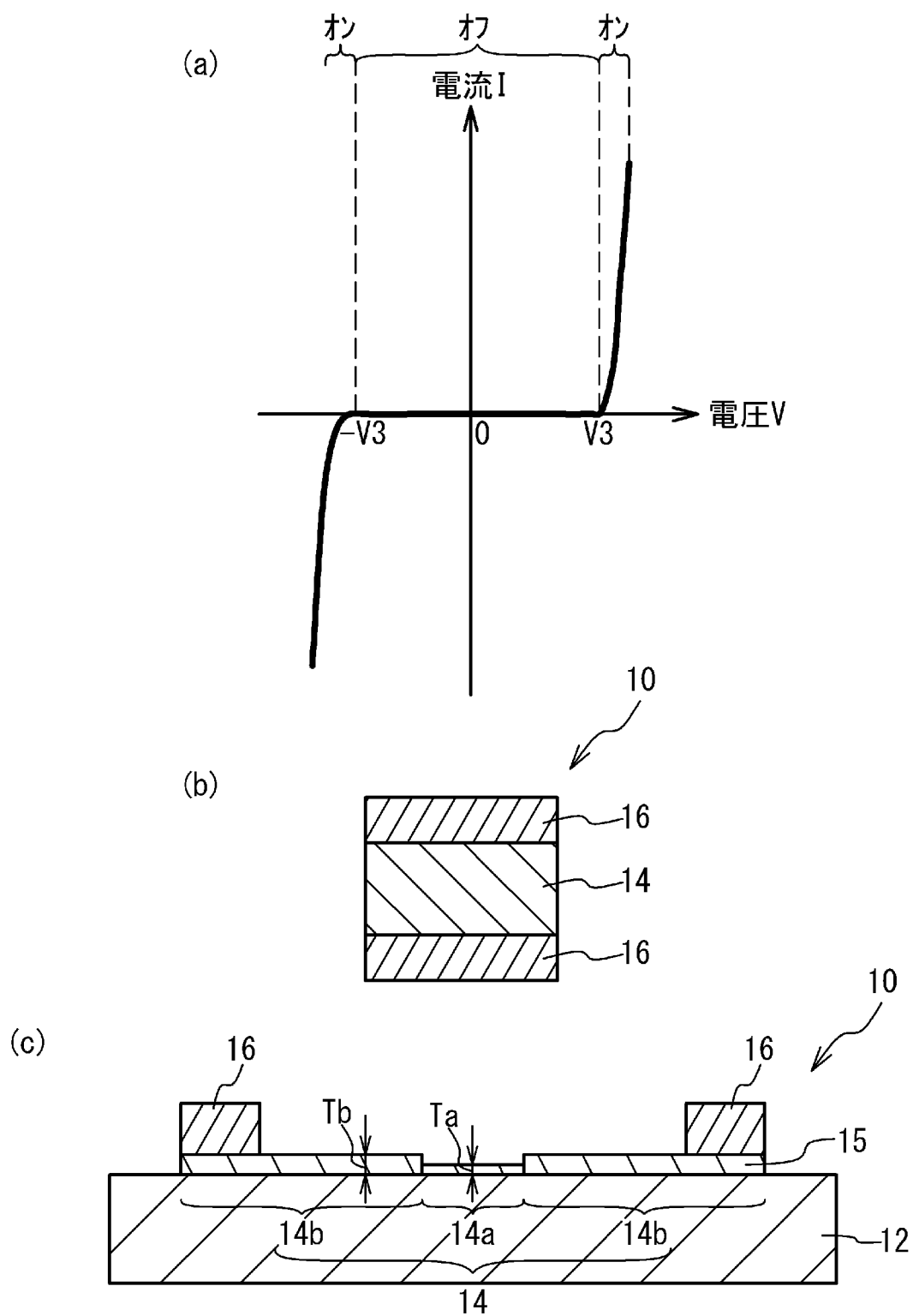
[図3]



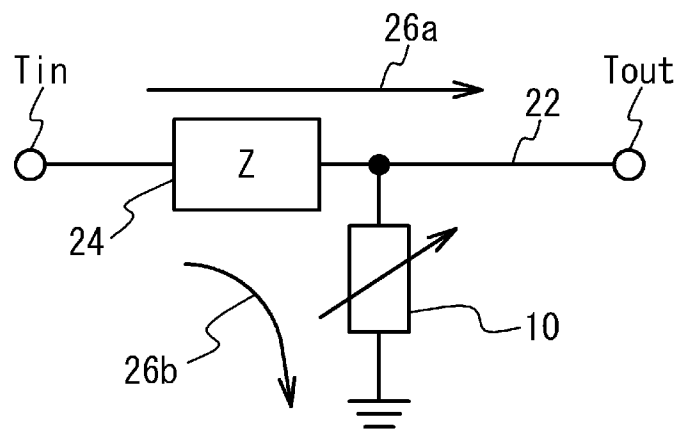
[図4]



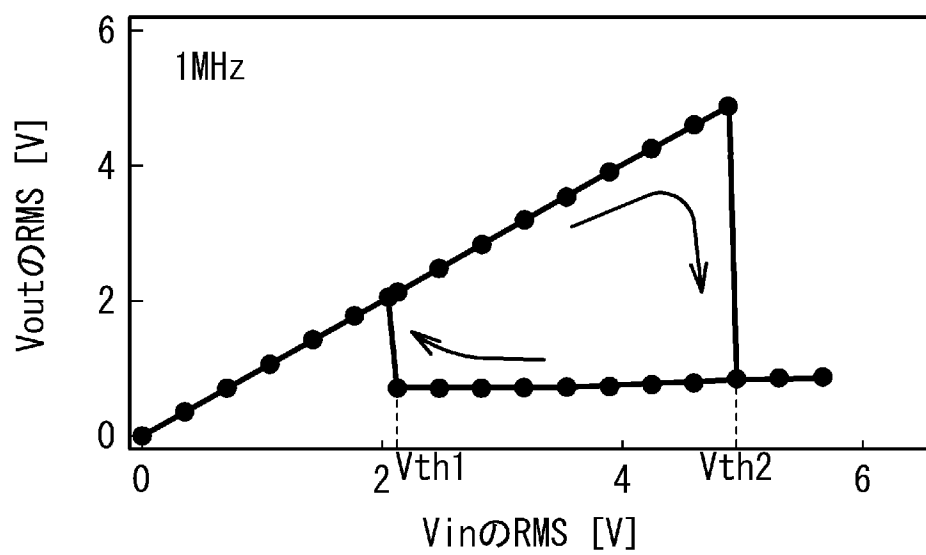
[図5]



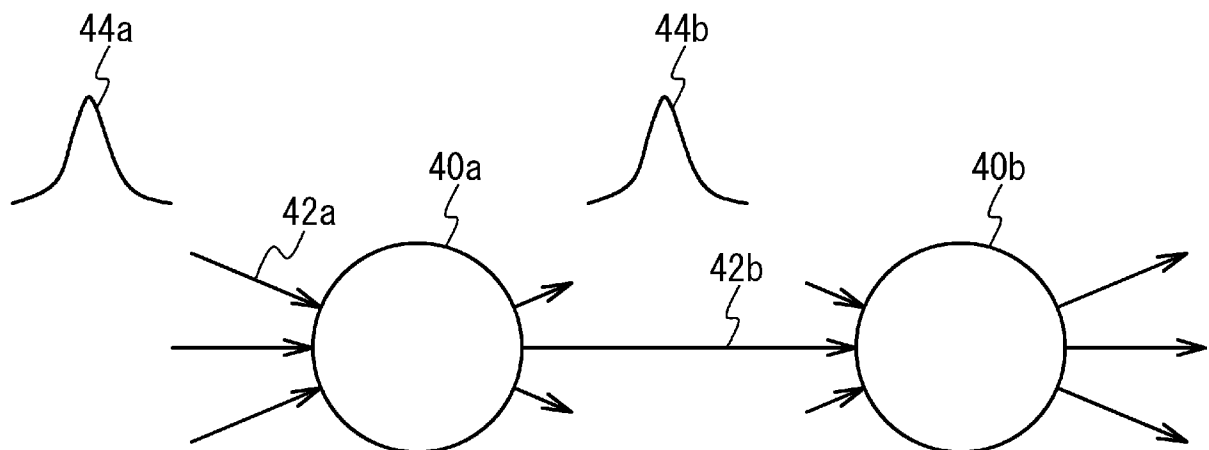
[図6]



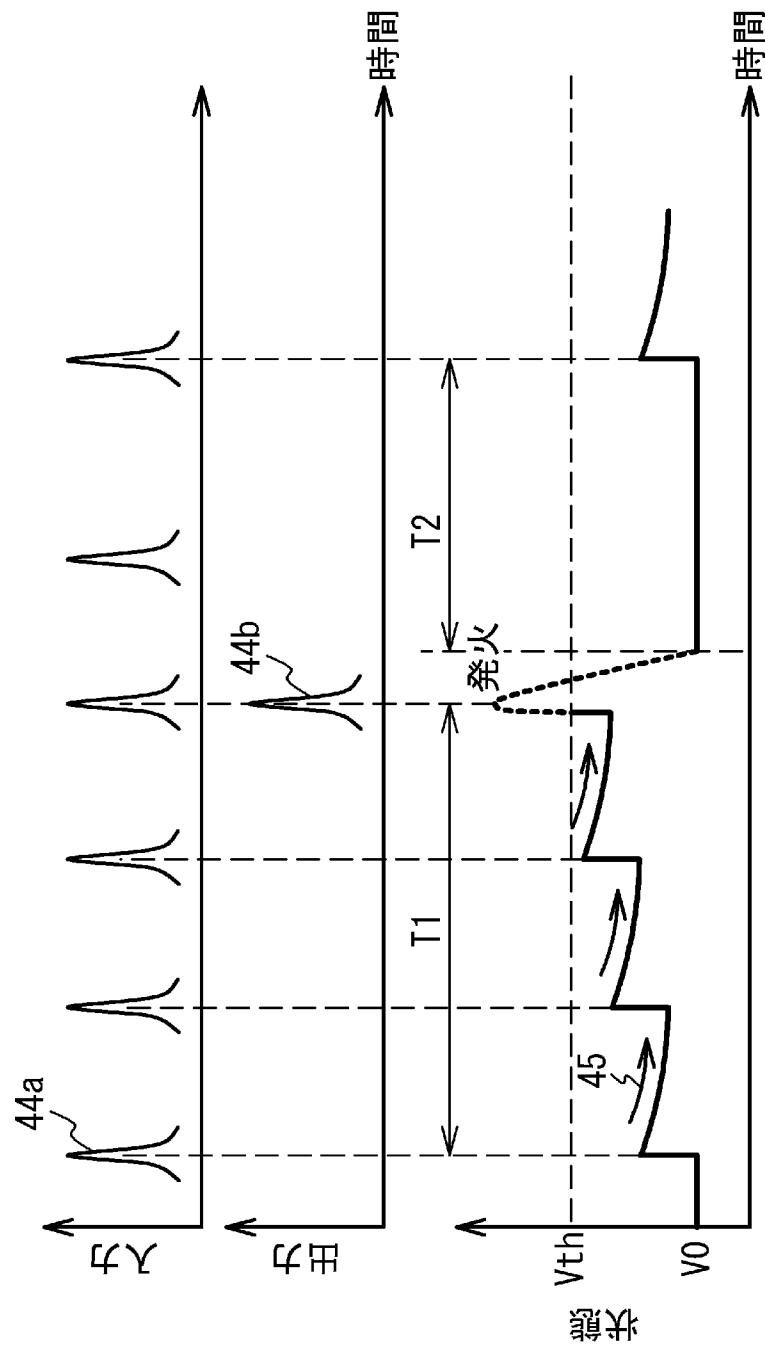
[図7]



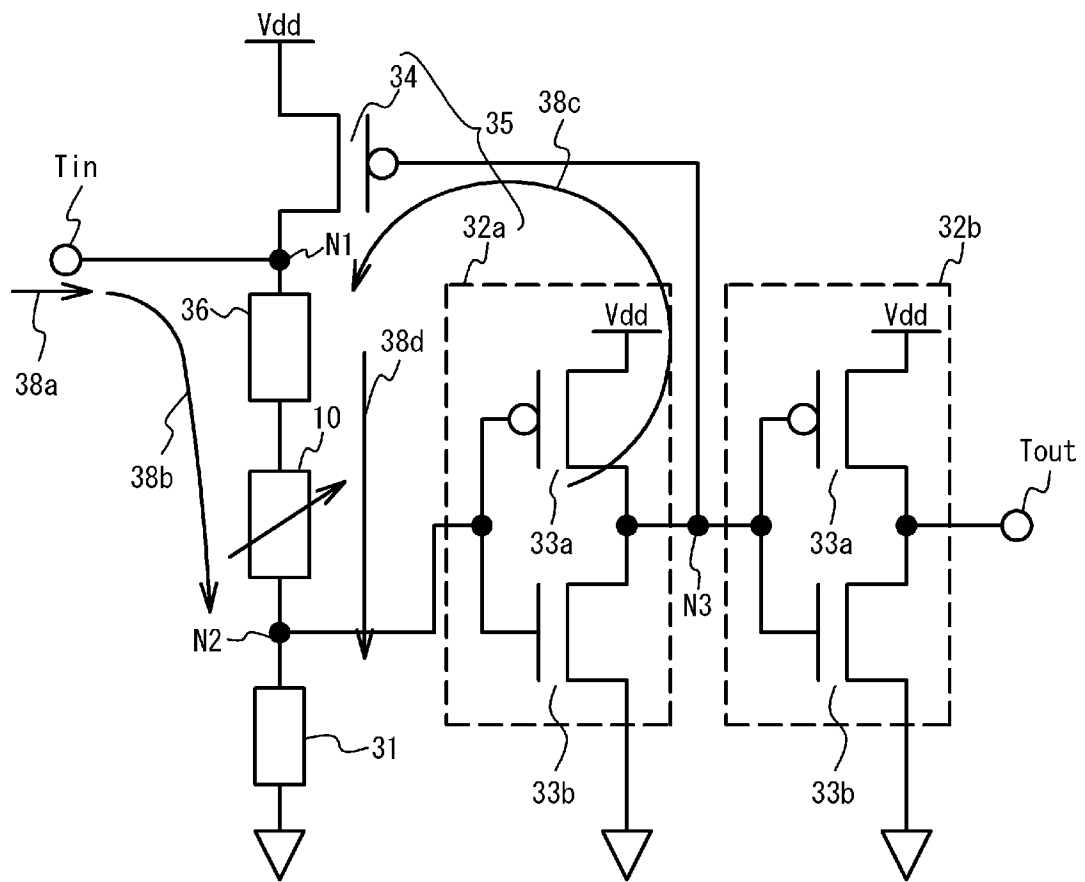
[図8]



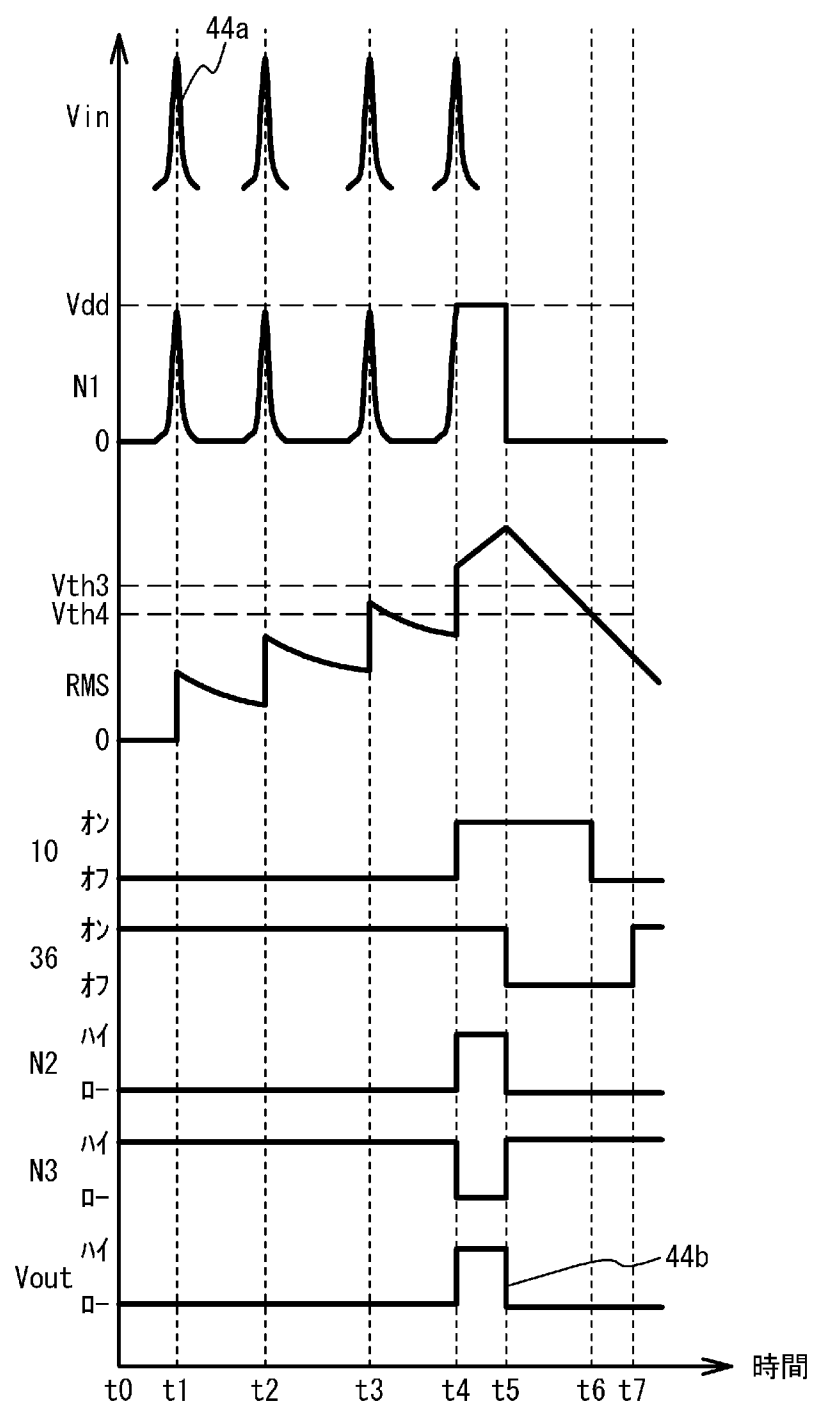
[図9]



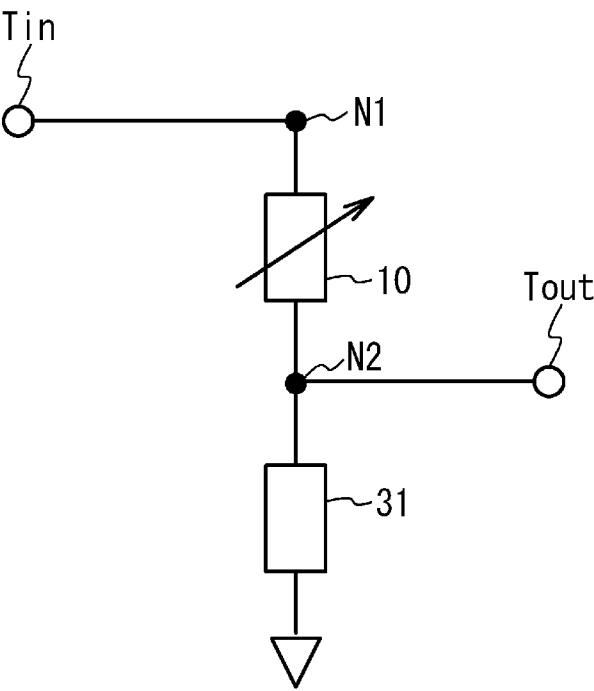
[図10]



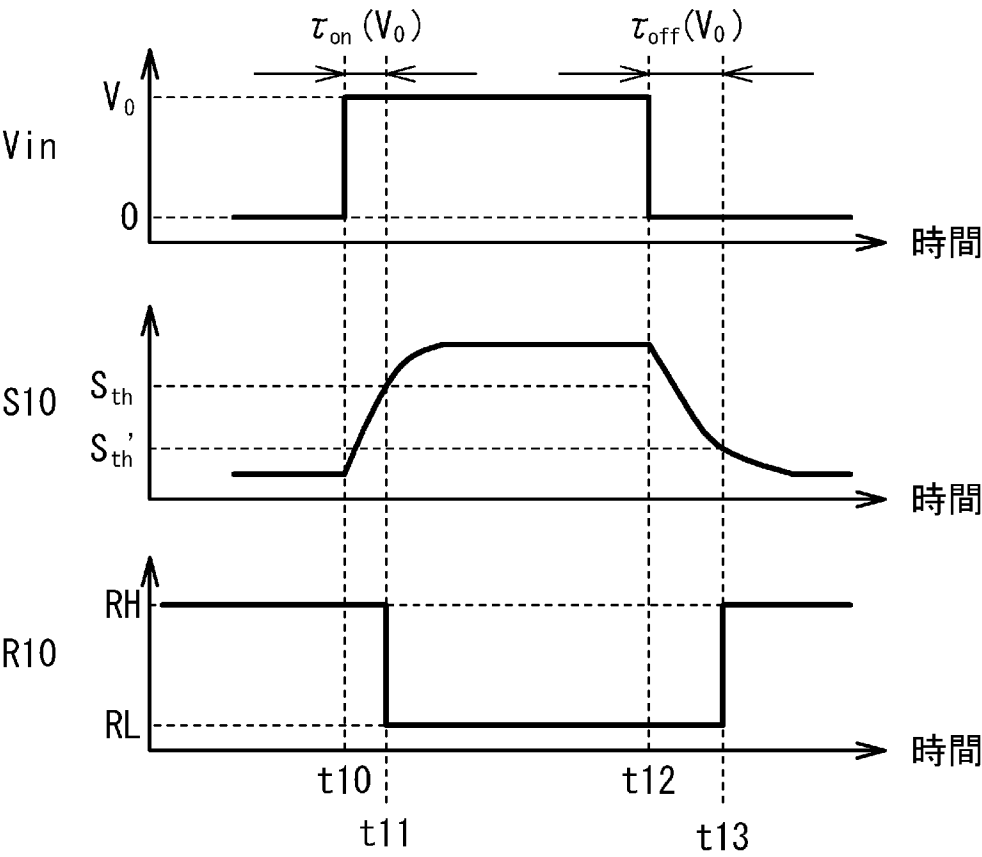
[図11]



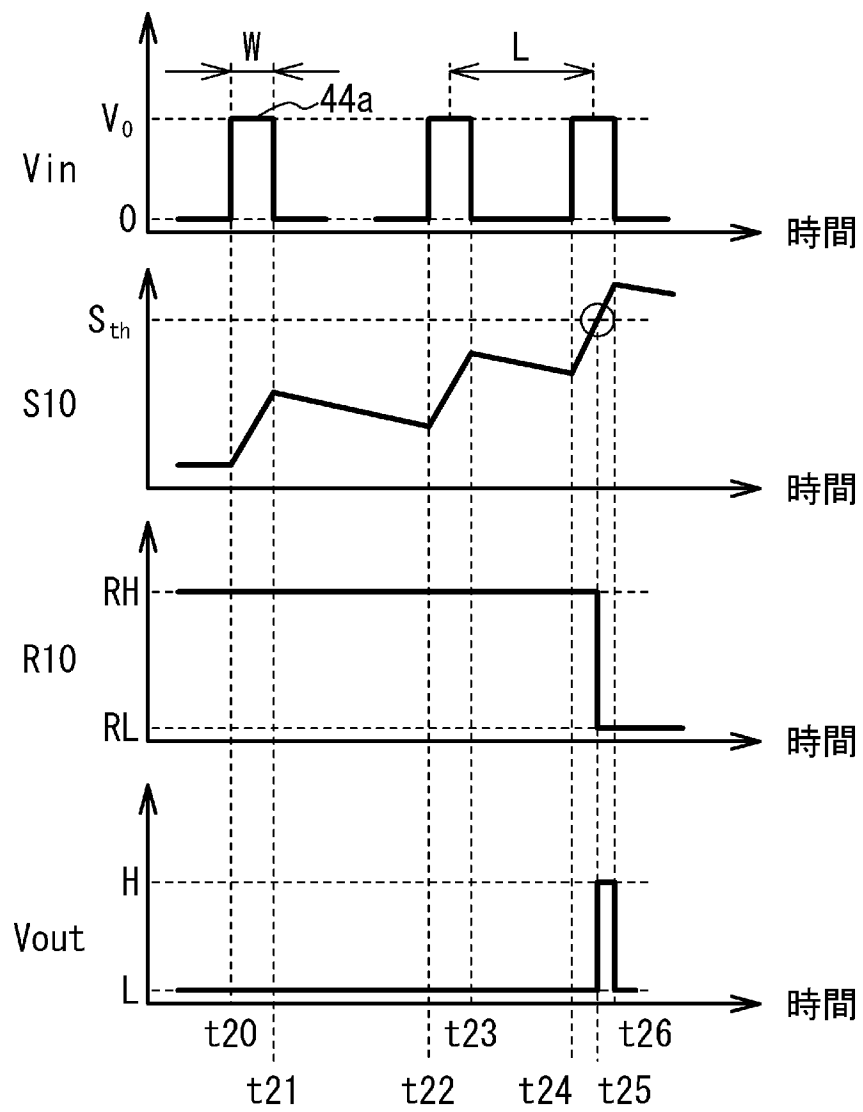
[図12]



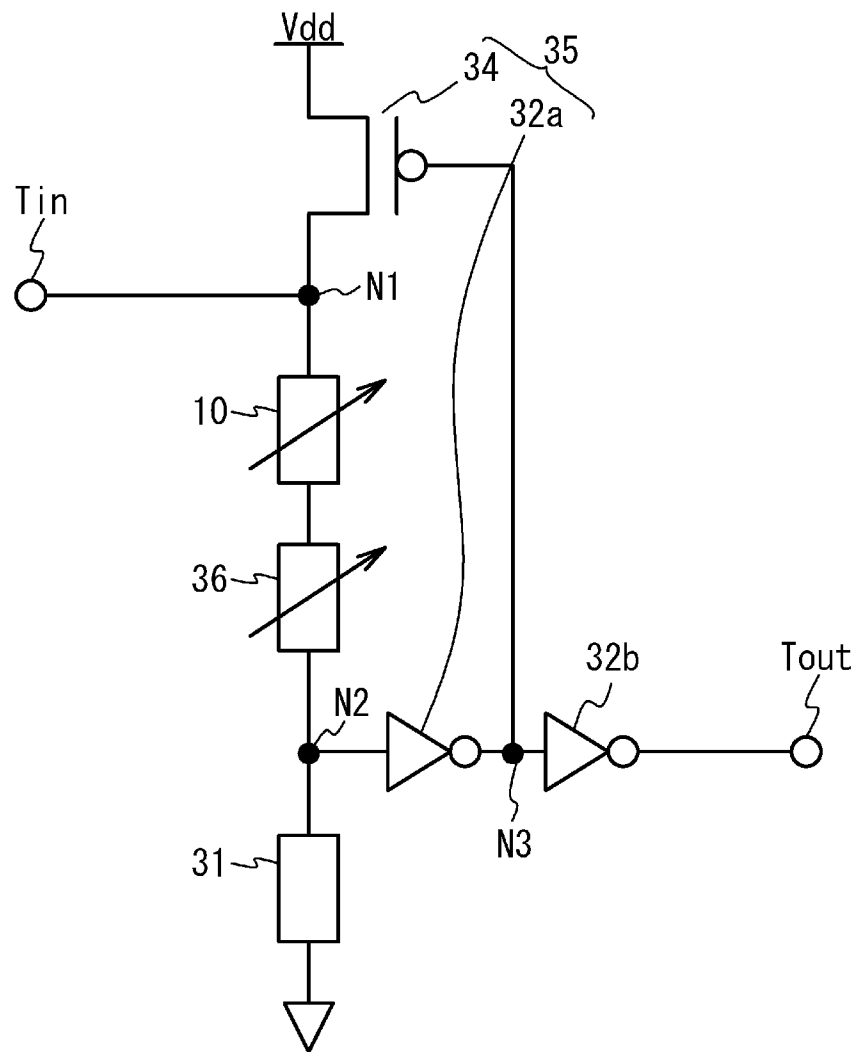
[図13]



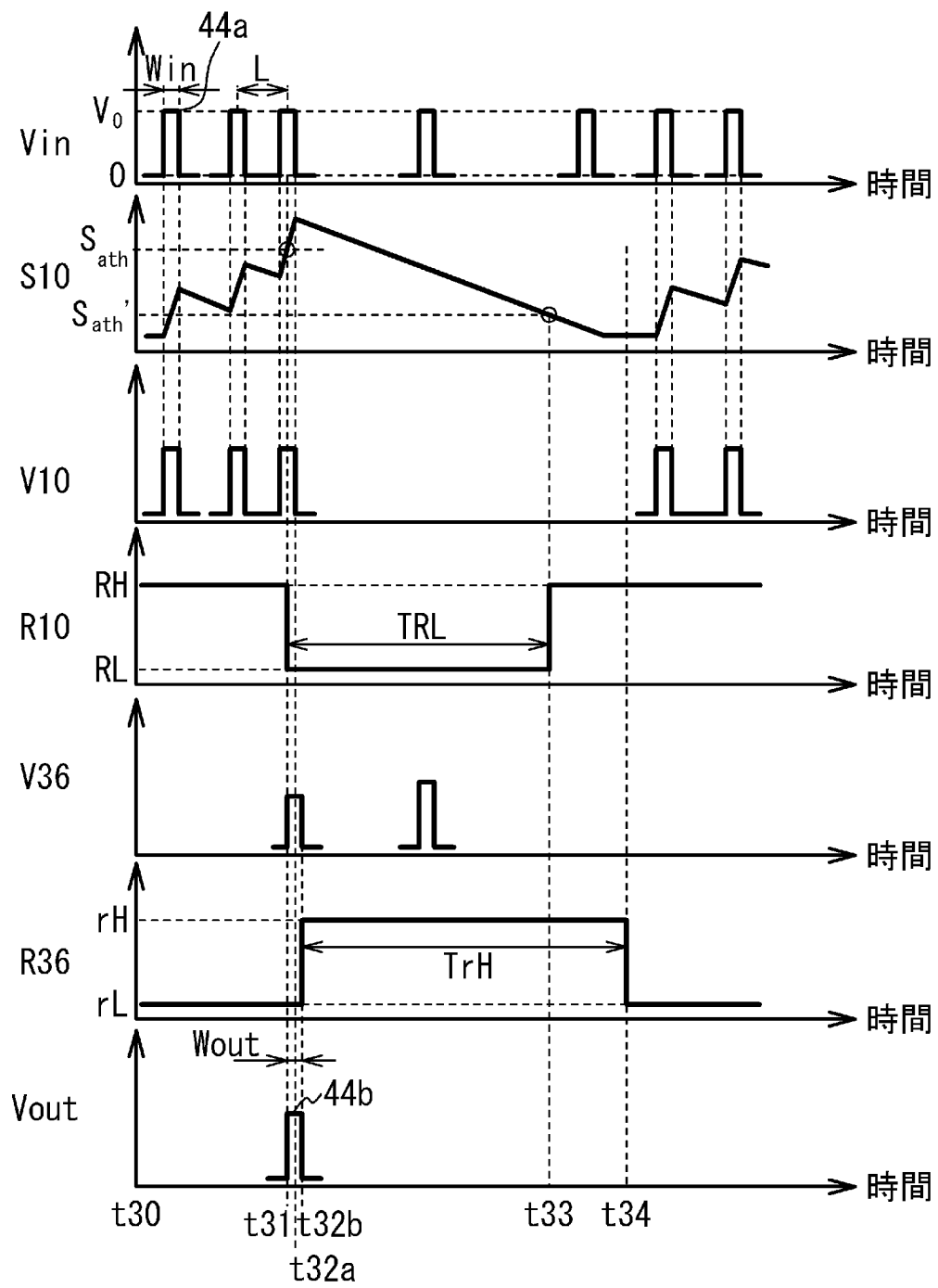
[図14]



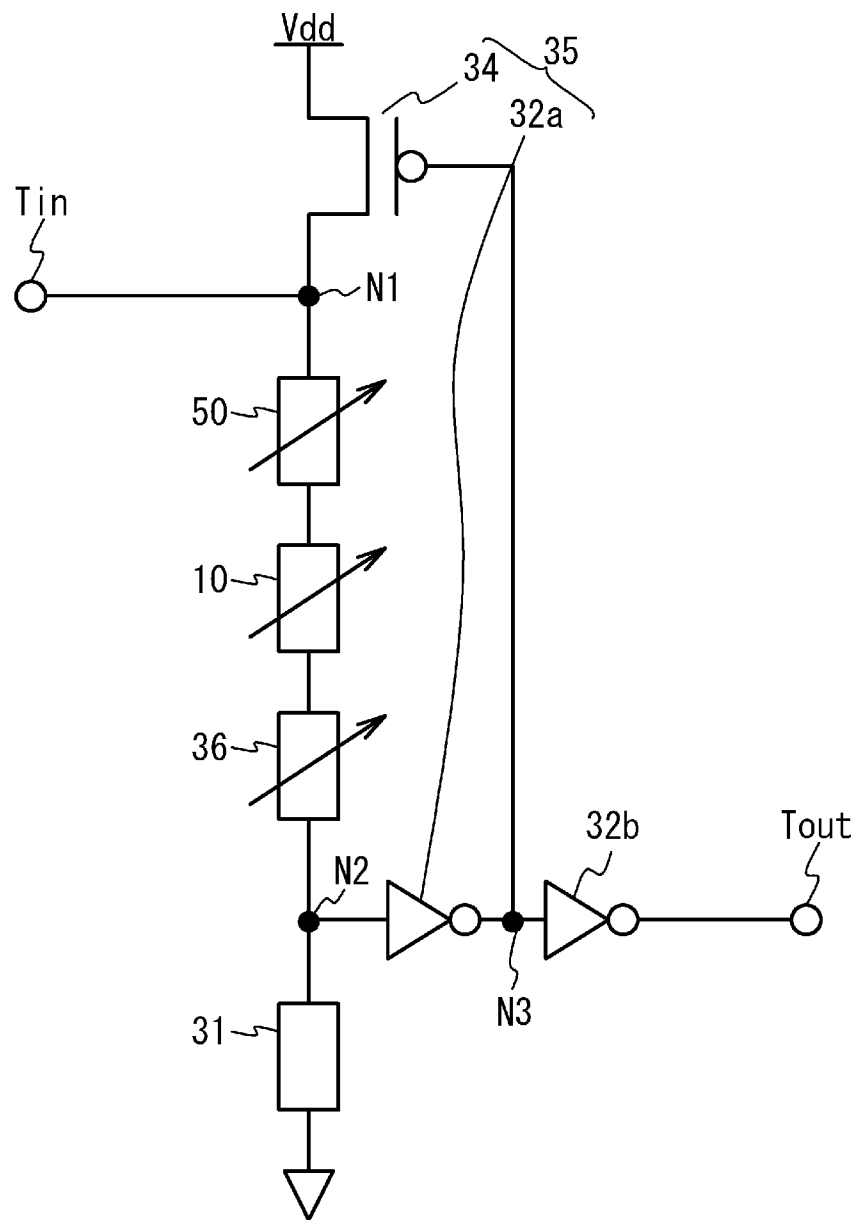
[図15]



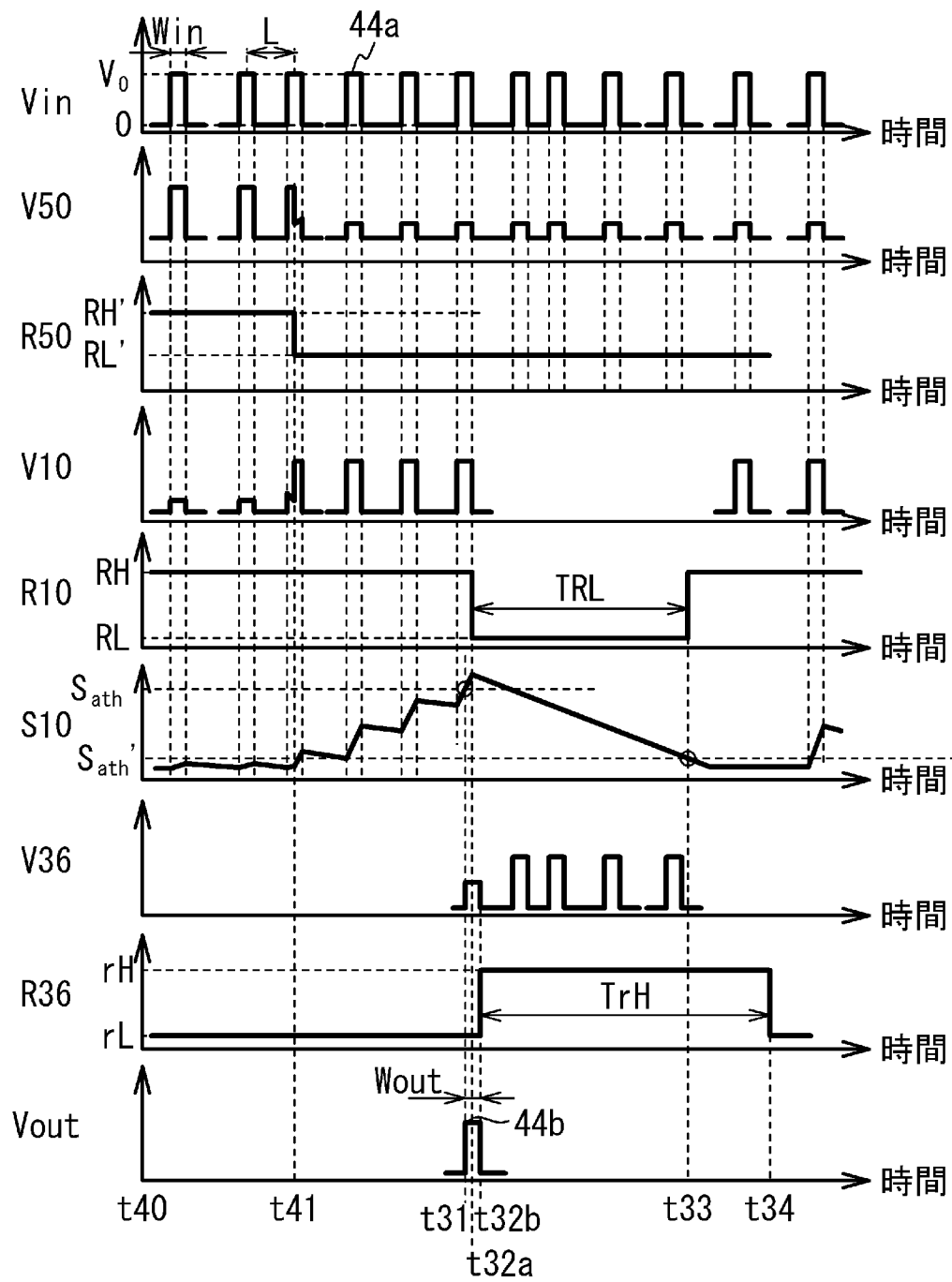
[図16]



[図17]



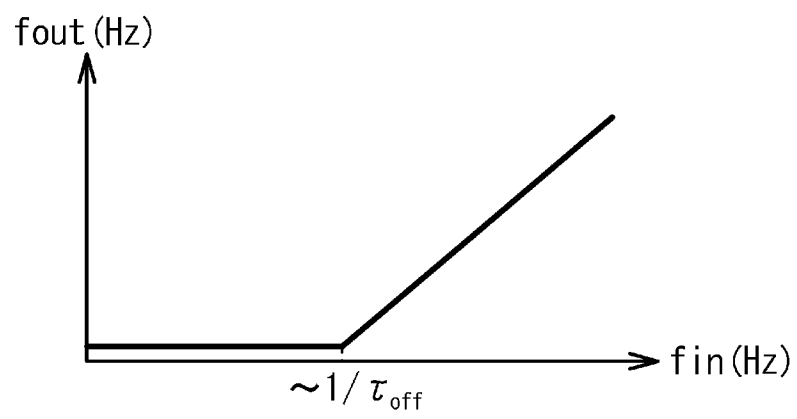
[図18]



[図19]

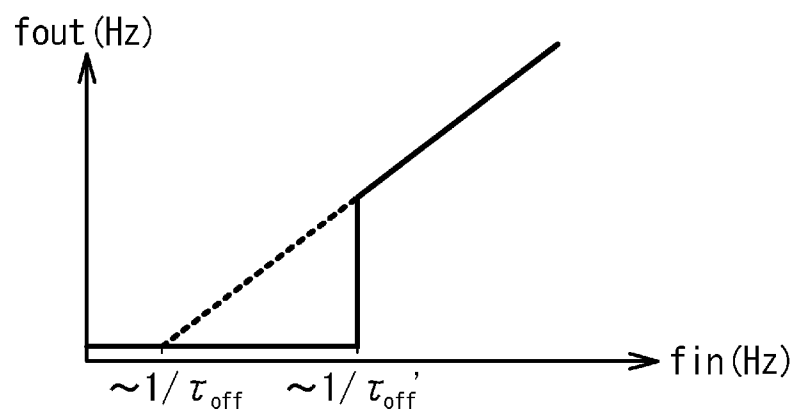
(a)

図17° 1

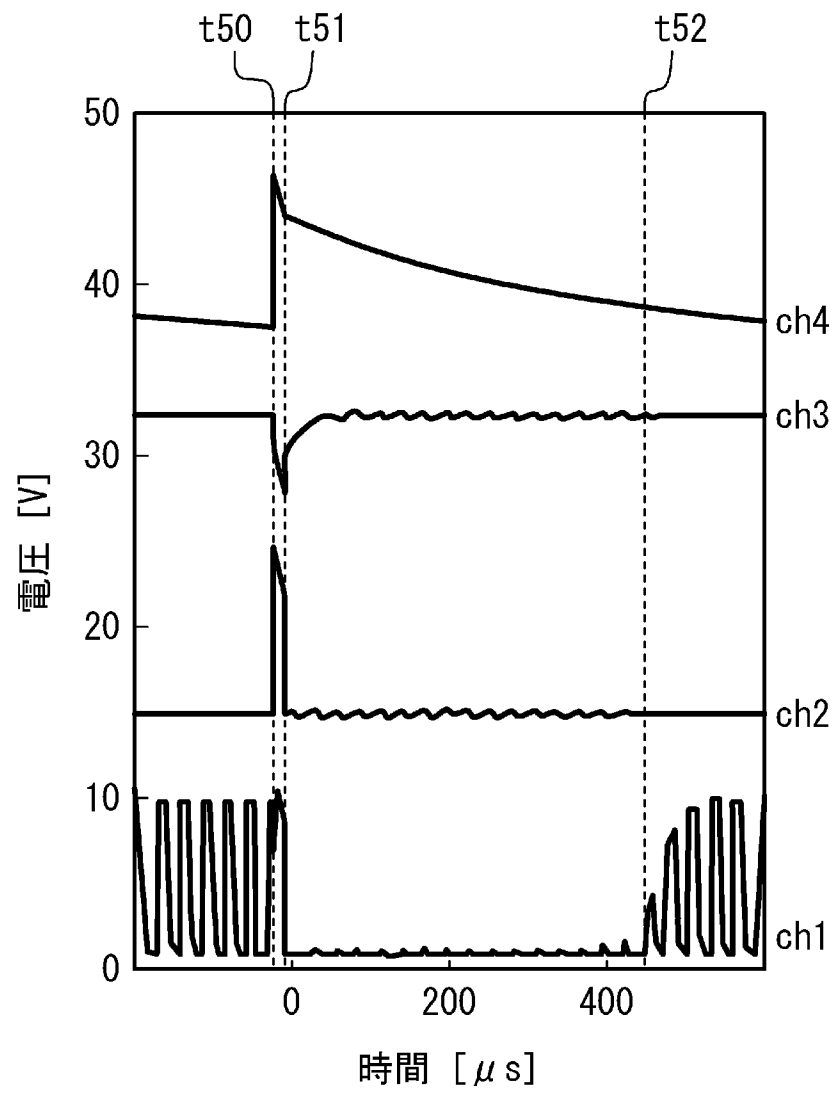


(b)

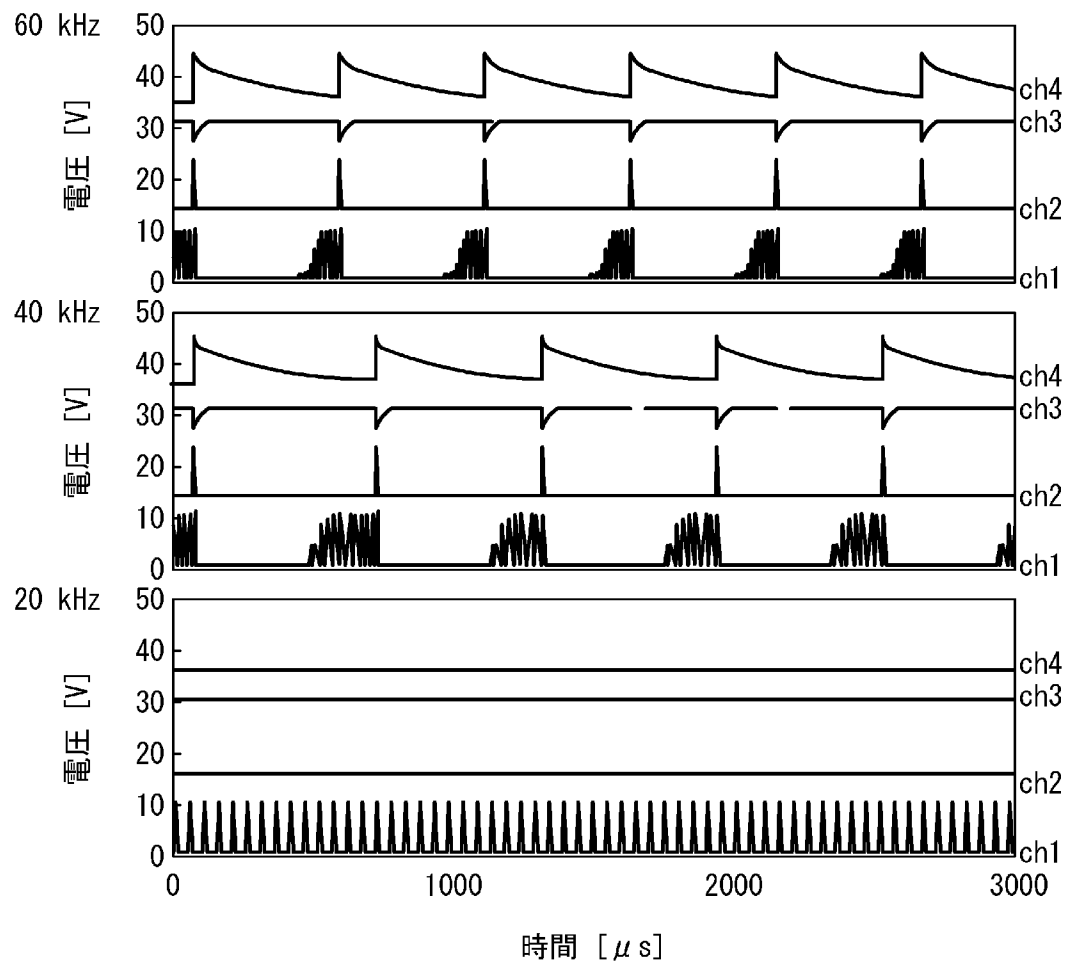
図17° 2



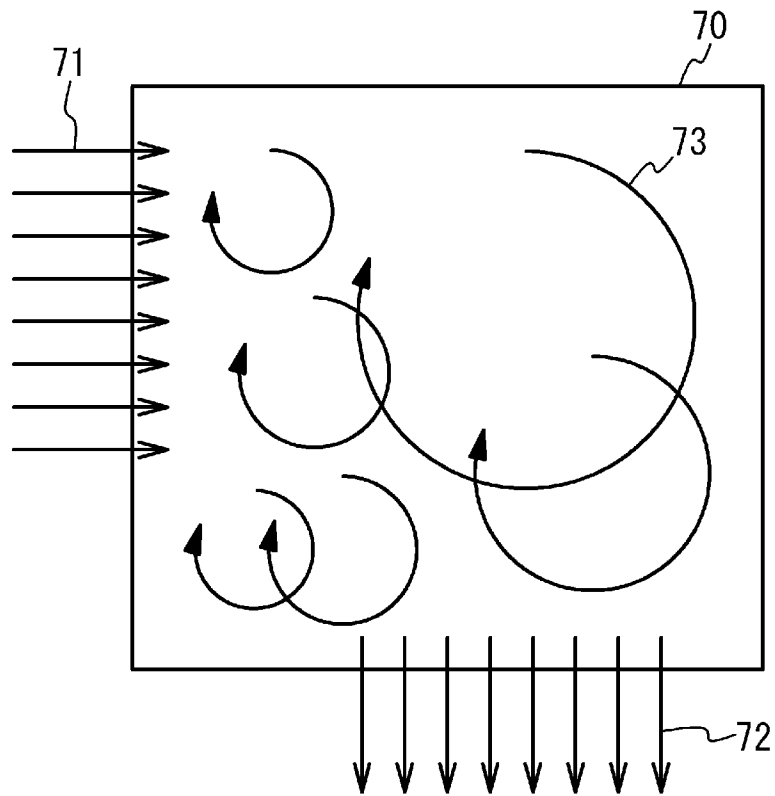
[図21]



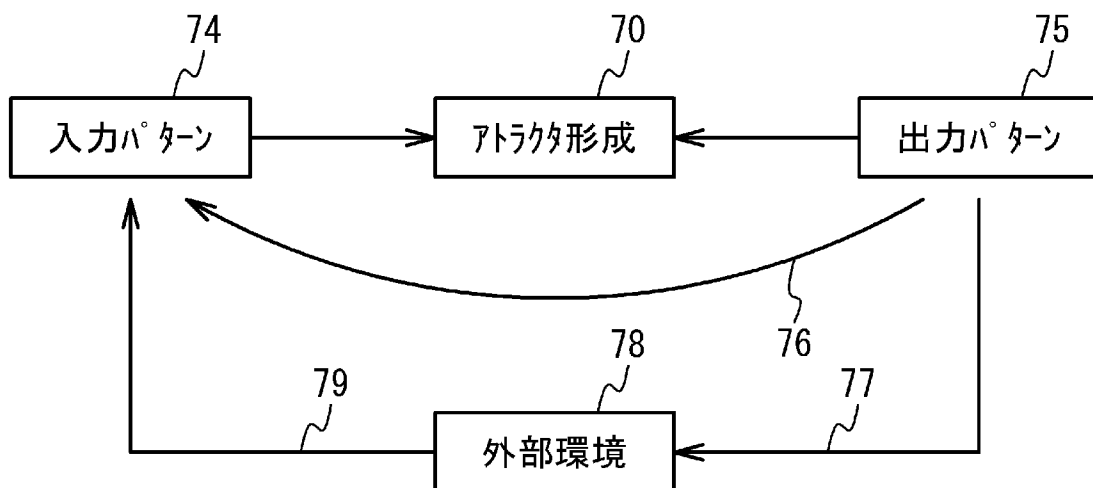
[図22]



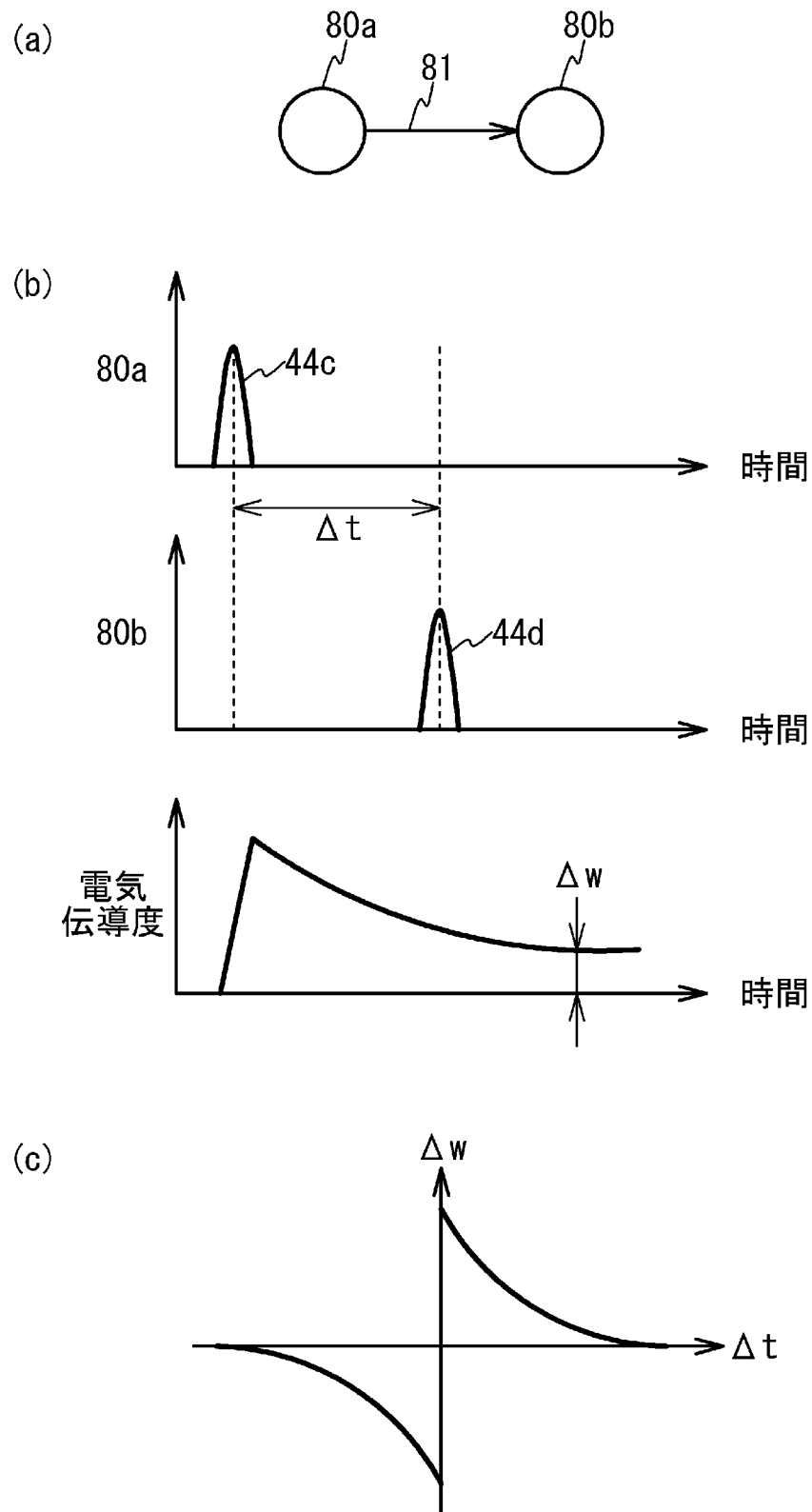
[図23]



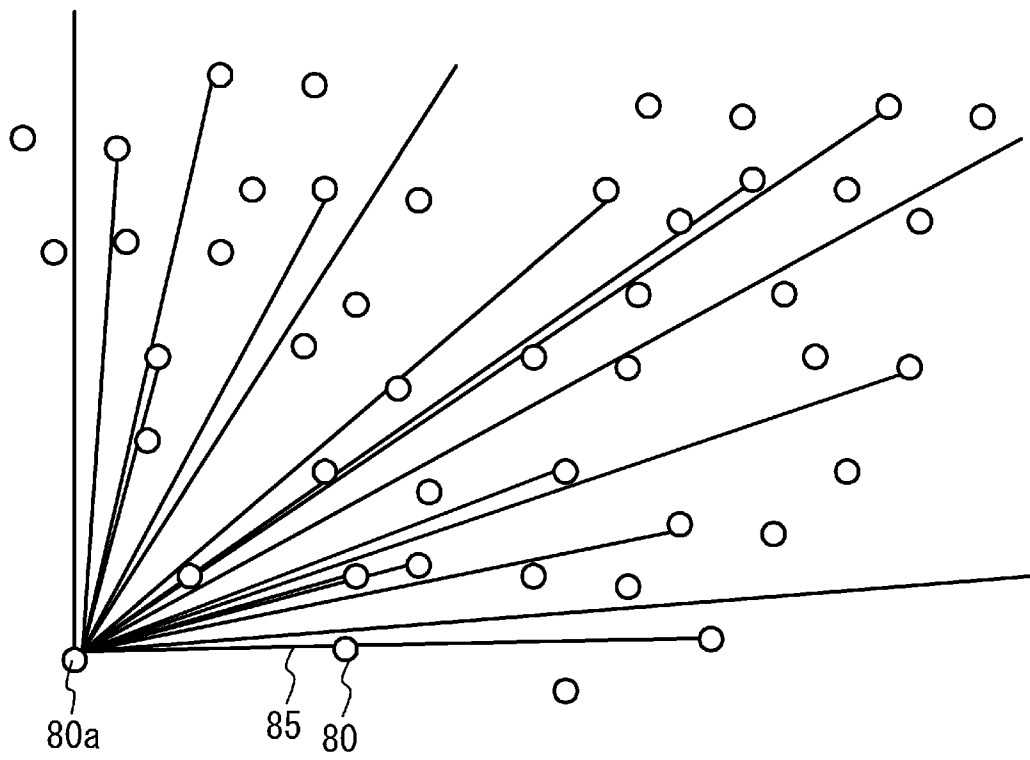
[図24]



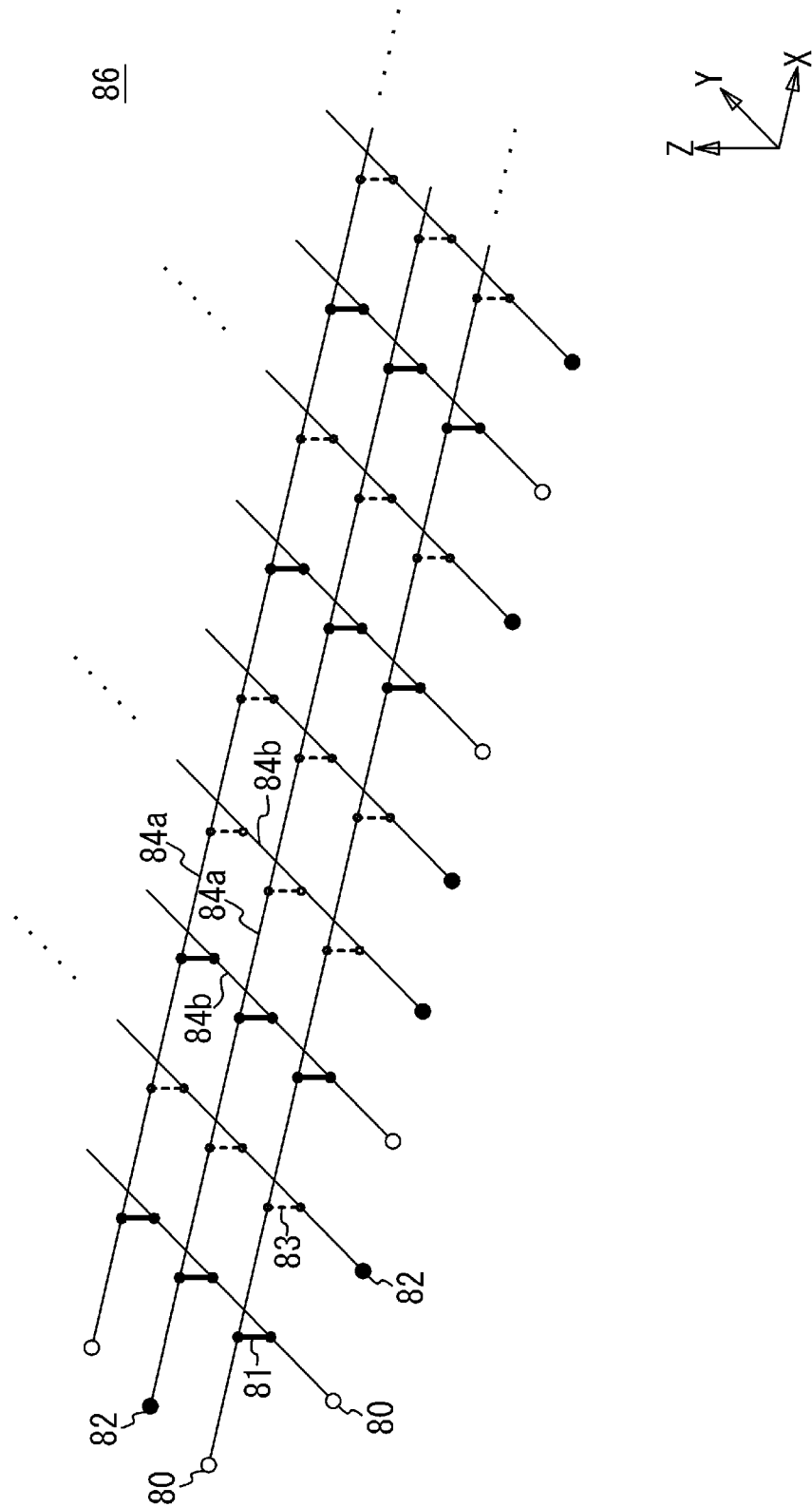
[図25]



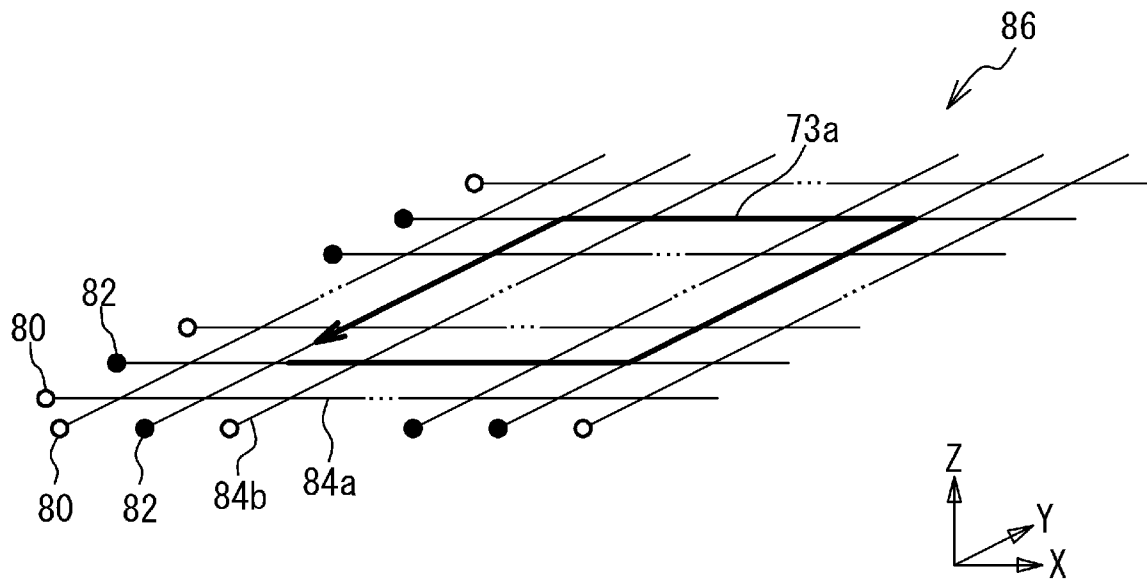
[図26]



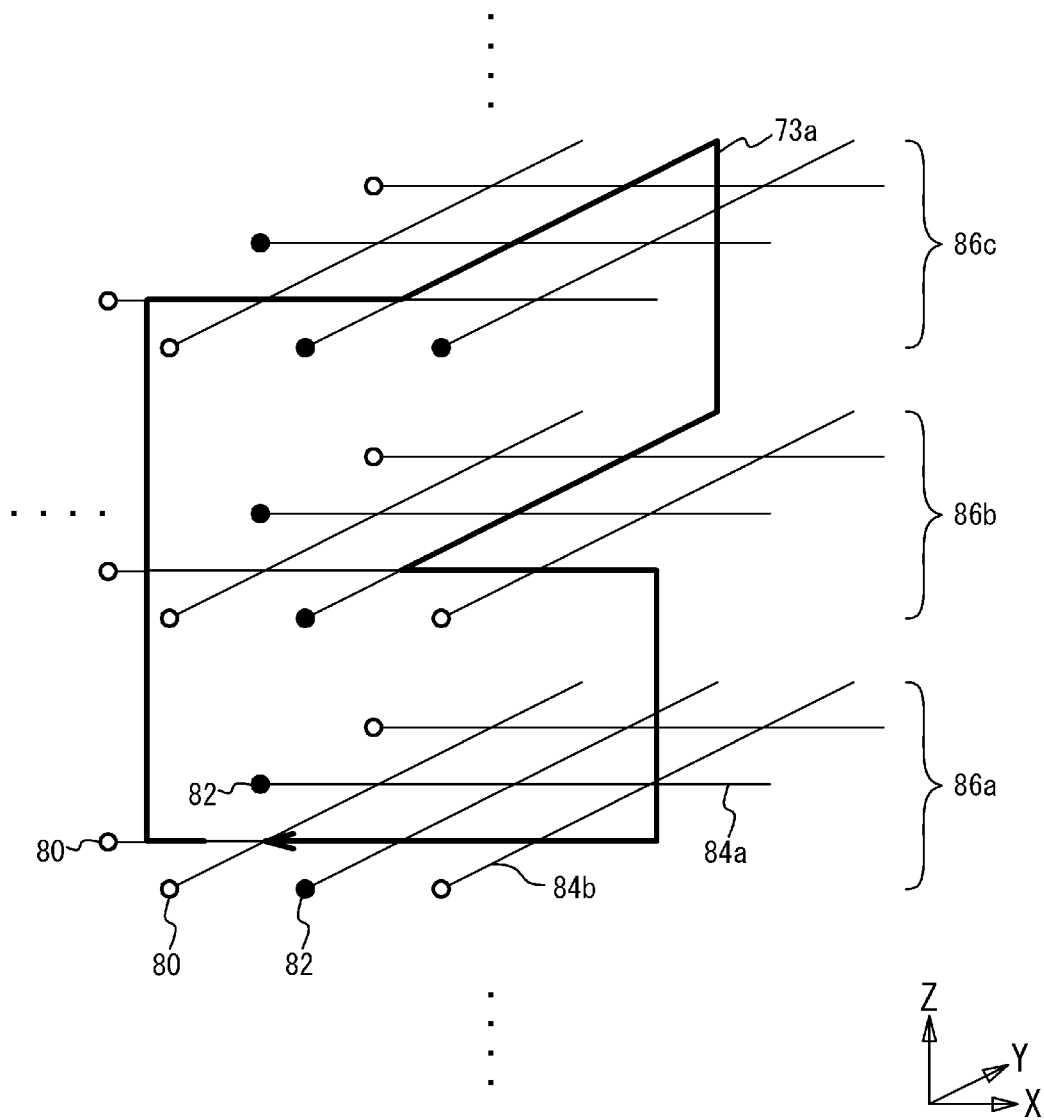
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025932

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/54(2006.01)i, G06N3/063(2006.01)i, G11C13/00(2006.01)n, H01L49/02(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/54, G06N3/063, G11C13/00, H01L49/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-541613 A (Energy Conversion Devices, Inc.), 03 December 2002 (03.12.2002), paragraphs [0015] to [0020], [0042], [0084] to [0087]; fig. 1, 7 & WO 2000/062301 A1 column 9, line 4 to column 11, line 16; column 19, line 23 to column 20, line 9; column 35, line 22 to column 36, line 23; fig. 1, 7	1-14
A	JP 6-20074 A (Canon Inc.), 28 January 1994 (28.01.1994), paragraphs [0074] to [0080]; fig. 3, 7, 8 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 August 2017 (15.08.17)

Date of mailing of the international search report
22 August 2017 (22.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025932

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-89268 A (Hitachi, Ltd.), 09 April 1993 (09.04.1993), paragraphs [0007] to [0009]; fig. 1, 2 (Family: none)	1-14
P,A	Takeaki YAJIMA, "Joule-netsu no Chikuseki Koka de Hakka suru Soten'i Neuron Soshi no Sakusei", 2017 Nen Dai 64 Kai JSAP Spring Meeting Koen Yokoshu, The Japan Society of Applied Physics, 01 March 2017 (01.03.2017), pages 12 to 239	1-14

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C11/54(2006.01)i, G06N3/063(2006.01)i, G11C13/00(2006.01)n, H01L49/02(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C11/54, G06N3/063, G11C13/00, H01L49/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-541613 A（エネルギー コンバージョン デバイセス インコーポレイテッド）2002.12.03, 段落[0015]-[0020], [0042], [0084]-[0087], 図1, 7 & WO 2000/062301 A1, 第9カラム第4行-第11カラム第16行, 第19カラム第23行-第20カラム第9行, 第35カラム第22行-第36カラム第23行, 図1, 7	1-14

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.08.2017

国際調査報告の発送日

22.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

5 N

4 2 2 6

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-20074 A (キヤノン株式会社) 1994. 01. 28, 段落[0074]-[0080], 図 3, 7, 8 (ファミリーなし)	1-14
A	JP 5-89268 A (株式会社日立製作所) 1993. 04. 09, 段落[0007]-[0009], 図 1, 2 (ファミリーなし)	1-14
P, A	矢嶋赳彬, 「ジュール熱の蓄積効果で発火する相転移ニューロン素子の作製」, 2017年第64回応用物理学会春季学術講演会講演予稿集, 公益社団法人応用物理学会, 2017. 03. 01, p. 12-239	1-14