



(21)申請案號：099142101

(22)申請日：中華民國 99 (2010) 年 12 月 03 日

(51)Int. Cl. : **H03K19/0175(2006.01)**

(71)申請人：富晶電子股份有限公司 (中華民國) FORTUNE SEMICONDUCTOR CORPORATION (TW)

新北市淡水區中正東路 2 段 27 號 28 樓

(72)發明人：陳國強 CHEN, KUO CHIANG (TW)；陳宴毅 CHEN, YEN YI (TW)

(74)代理人：張耀暉；莊志強

申請實體審查：有 申請專利範圍項數：10 項 圖式數：9 共 31 頁

(54)名稱

測試模式控制電路及其具有自我測試之電子裝置

TEST MODE CONTROLLER AND ELECTRONIC APPARATUS WITH SELF-TESTING THEREOF

(57)摘要

一種測試模式控制器，其包括致能信號產生器、控制信號產生器以及閃鎖器。致能信號產生器接收電源信號與第二控制信號，並產生第一致能信號與第二致能信號分別給閃鎖器與控制信號產生器。控制信號產生器接收電源指示電壓與參考電壓，並於第一致能信號致能時，產生第一控制信號傳送給閃鎖器。閃鎖器於第二致能信號致能時，接收第一控制信號，並且依據第一控制信號產生第二控制信號。第二控制信號用以控制晶片操作於測試模式或一般模式。據此，測試模式控制器在不需要使用一個測試接腳，即可縮短測試時間，且可節省晶片面積與封裝成本。

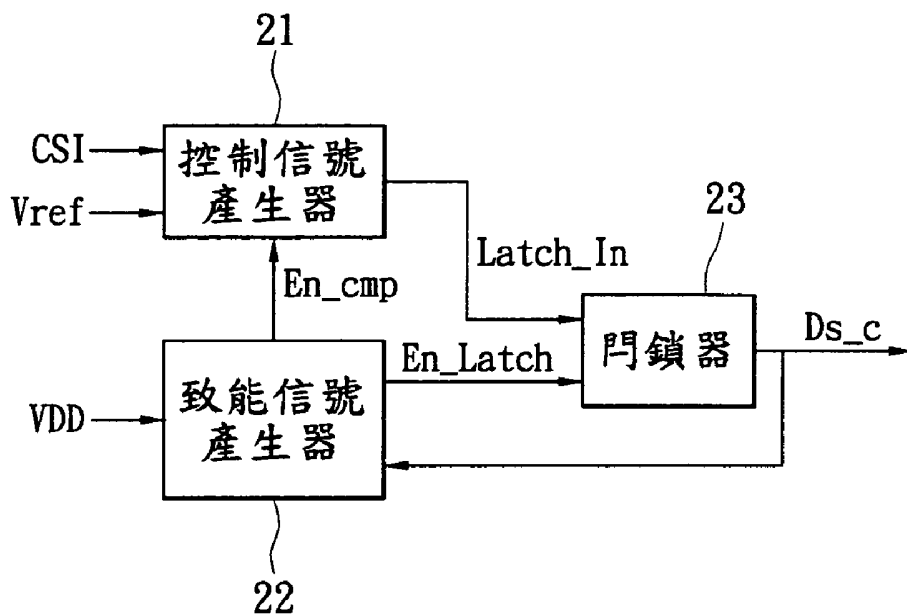
2：測試模式控制器

2

21：控制信號產生器

22：致能信號產生器

23：閃鎖器



## 六、發明說明：

### 【發明所屬之技術領域】

本發明有關於一種具有自我測試之電子裝置，且特別是有關於自我測試之電子裝置的測試模式控制器。

### 【先前技術】

目前市面上的所廣泛應用的電子電路都以積體電路的方式實施於單一晶片上。在生產晶片時，除了考慮功效外，還會考慮晶片的使用面積與依據接腳數目所需要的封裝成本。據此，多數的製造商在生產晶片時，也會致力於減少晶片的使用面積和接腳數目。

以下以傳統單節鋰電池保護電路為例，說明傳統晶片需要額外的測試接腳，以縮短傳統晶片的測試時間。請參照圖 1，圖 1 是傳統單節鋰電池保護電路的電路圖。傳統單節鋰電池保護電路 1 包括單節鋰電池 10、單節鋰電池保護晶片 11、功率電晶體電路 12、電阻 R1、R2 及電容 C1。另外，單節鋰電池保護晶片 11 具有功率電晶體控制接腳 OC、OD、電源信號接腳 VCC、接地接腳 GND、測試接腳 TD 與電源指示電壓接腳 CS，且功率電晶體電路 12 具有多個功率電晶體 M1、M2 與二極體 D1、D2。傳統單節鋰電池保護電路 1 之各元件的連接方式如圖 1 所示，故不在此多贅述。

單節鋰電池保護晶片 11 透過功率電晶體控制接腳 OC 與 OD 所輸出的控制信號控制功率電晶體電路 12 之功率電晶體 M1 與 M2 的操作，以藉此達到過充電、過放電及過電流保護。需要注意的是，單節鋰電池保護晶片 11 的測試接腳 TD 僅使用於測試模式。當單節鋰電池保護晶片 11 需要

操作於測試模式時，測試接腳 TD 會被施以外加電壓，以縮短測試時間。然而，當單節鋰電池保護晶片 11 操作於一般模式時，測試接腳 TD 會被空接。

綜上所述，傳統單節鋰電池保護晶片 11 會因為額外的測試接腳 TD，而可能有浪費晶片面積與增加封裝成本的問題。同樣地，傳統晶片亦可能需要額外的測試接腳，而可能有同樣的問題。

#### 【發明內容】

本發明實施例提供一種測試模式控制器。測試模式控制器包括致能信號產生器、控制信號產生器以及閘鎖器。致能信號產生器接收來自於閘鎖器的第二控制信號，而其所產生的第一致能信號與第二致能信號分別傳送至閘鎖器與控制信號產生器。控制信號產生器產生第一控制信號，並將第一控制信號傳送至閘鎖器。閘鎖器接收來自於控制信號產生器的第一控制信號，並傳送第二控制信號至致能信號產生器。另外，致能信號產生器接收電源信號與第二控制信號，並產生第一致能信號與第二致能信號。控制信號產生器接收電源指示電壓與參考電壓，於第一致能信號致能時，依據該電源指示電壓與參考電壓產生第一控制信號。閘鎖器受控於第二致能信號，並於第二致能信號致能時，依據第一控制信號輸出第二控制信號，其中第二控制信號用以控制晶片操作於測試模式或一般模式。

本發明實施例還提供一種具有自我測試之電子裝置，其包括晶片與上述的測試模式控制器。

綜上所述，本發明實施例所提供的測試模式控制器及具有自我測試之電子裝置不需要保留傳統晶片所使用

的一個測試接腳，而仍具有傳統晶片的測試接腳所能達到的縮短測試時間的效果。據此，相較於傳統晶片，本發明實施例之具有自我測試之電子裝置的晶片面積較小，且其封裝成本也較低。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，但是此等說明與所附圖式僅係用來說明本發明，而非對本發明的權利範圍作任何的限制。

### 【實施方式】

#### [ 測試模式控制器的實施例 ]

請參照圖 2，圖 2 是本發明實施例提供的一種測試模式控制器之電路圖。測試模式控制器 2 包括致能信號產生器 22、控制信號產生器 21 以及門鎖器 23。控制信號產生器 21 電性耦接於致能信號產生器 22 與門鎖器 23，且門鎖器 23 電性耦接於致能信號產生器 22。

致能信號產生器 22 接收來自於門鎖器 23 的第二控制信號  $Ds\_c$  與電源信號  $VDD$ ，並產生的第一致能信號  $En\_cmp$  與第二致能信號  $En\_Latch$ ，其中第一致能信號  $En\_cmp$  與第二致能信號  $En\_latch$  分別被傳送至門鎖器 23 與控制信號產生器 21。第一致能信號  $En\_cmp$  致能與禁能的時間將於圖 3 或圖 6 說明，同樣地，第二致能信號  $En\_latch$  致能與禁能的時間也將於圖 3 或圖 6 說明。

控制信號產生器 21 接收電源指示電壓  $CSI$  與參考電壓  $Vref$ ，並於第一致能信號  $En\_cmp$  致能(例如為高電壓準位 3.9V)時，依據電源指示電壓  $CSI$  與參考電壓  $Vref$  產生第一控制信號  $Latch\_In$ 。控制信號產生器 21 於第一致能信號

En\_cmp 禁能(例如為低電壓準位 0V)時，輸出第一準位(例如為低電壓準位 0V)的第一控制信號。更詳細地說，當第一致能信號 En\_cmp 致能，參考電壓 Vref 為任一正電壓，且電源指示電壓 CSI 被外接至一個負電壓準位(例如為-1.5V)時，控制信號產生器 21 會產生第二準位的第一控制信號 En\_cmp。控制信號產生器 21 所產生的第一控制信號 Latch\_In 會被傳送至閘鎖器 23。

閘鎖器 23 接收來自於控制信號產生器 21 的第一控制信號 Latch\_In 並傳送第二控制信號 Ds\_c 至致能信號產生器 22。閘鎖器 23 受控於第二致能信號 En\_latch，並於第二致能信號 En\_latch 致能時，依據第一控制信號 Latch\_In 輸出第二控制信號 Ds\_c。閘鎖器 23 可以是一個 D 型閘鎖器(D latch)，但閘鎖器 23 的類型並非用以限定本發明。當第二致能信號 En\_latch 致能，且第一控制信號 Latch\_In 為第一準位時，第二控制信號 Ds\_c 為第一準位。當第二致能信號 En\_latch 致能，且第一控制信號 Latch\_In 為第二準位時，第二控制信號 Ds\_c 為第二準位。當第二致能信號 En\_latch 禁能時，則第二控制信號 Ds\_c 維持先前的電壓準位。

測試模式控制器 2 透過第二控制信號 Ds\_c 控制與其連接之晶片操作於測試模式或一般模式，其中晶片可能為具有自我測試的晶片。在另一個實施例中，晶片與測試模式控制器 2 可能會被一起封裝，換言之，晶片可以包括測試模式控制器 2。

請同時參照圖 2 與圖 3，圖 3 是圖 2 之測試模式控制器所產生之多個信號的波形圖。當整個晶片的電路剛上電(電

源信號 VDD 由第一準位變至第二準位)時，因為晶片中的大部分功能都處於暖機的狀態，因此致能信號產生器 22 會先持續地致能第一致能信號 En\_cmp 與第二致能信號 En\_latch 一段起始時間 T\_START\_UP。

在起始時間 T\_START\_UP 中，電源指示電壓 CSI 會被接至負電壓準位，因此，控制信號產生器 21 會產生第二準位的第一控制信號 Latch\_In。當起始時間 T\_START\_UP 結束後，致能信號產生器 22 會將第一致能信號 En\_cmp 致能的時間再延遲一段延遲時間 T\_DELAY。換言之，致能信號產生器 22 於電源信號 VDD 由第一準位變至第二準位時，持續地致能第一致能信號 En\_cmp 一段起始時間 T\_START\_UP 與一段延遲時間 T\_DELAY。

透過將第一致能信號 En\_cmp 致能的時間再延遲一段延遲時間 T\_DELAY，可以確保第二致能信號 En\_Latch 致能時，能夠讓閃鎖器 23 可以取得穩定的第一控制信號 Latch\_In。在起始時間 T\_START\_UP 與延遲時間 T\_DELAY 中，控制信號產生器 21 可以據此產生第二準位的第一控制信號 Latch\_In。

在起始時間 T\_START\_UP 中，第二致能信號 En\_Latch 為致能且第一控制信號 Latch\_In 為第二準位，因此閃鎖器 23 會輸出第二準位的第二控制信號 Ds\_c。接著，在起始時間 T\_START\_UP 結束後，且在測試時間 T\_TEST 到達前，第二致能信號 En\_Latch 維持禁能，因此，閃鎖器 23 會維持輸出第二準位的第二控制信號 Ds\_c。

在起始時間 T\_START\_UP 中，致能信號產生器 22 的計時功能會被禁能。然而，在起始時間 T\_START\_UP 結束

後，第二致能信號 En\_Latch 會被禁能。此時，第二控制信號 Ds\_c 為第二準位，亦即晶片已經完成暖機且開始操作於測試模式，因此致能信號產生器 22 的計時功能會被致能。

當致能信號產生器 22 計時至測試時間 T\_TEST 到達後，致能信號產生器 22 會致能第二致能信號 En\_Latch 一段短暫的脈衝時間 T\_PULSE。換言之，致能信號產生器 22 於電源信號 VDD 由第一準位變至第二準位時，持續地致能第二致能信號 En\_Latch 一段起始時間 T\_START\_UP，並且在測試時間 T\_TEST 結束後，短暫地第二致能信號 En\_Latch 一段脈衝時間 T\_PULSE。

在延遲時間 T\_DELAY 結束後，第一致能信號 En\_cmp 為禁能，因此控制信號產生器 21 僅會輸出第一準位的第一控制信號 Latch\_In。在測試時間 T\_TEST 結束後，且在脈衝時間 T\_PULSE 中，第二致能信號 En\_Latch 短暫地被致能且第一控制信號 Latch\_In 為第一準位，如此，閘鎖器 23 將輸出第一準位的第二控制信號 Ds\_c。第一準位的第二控制信號 Ds\_c 將使得晶片的操作自測試模式回到一般模式。

當有雜訊等因素使晶片誤進入測試模式後，測試模式控制器 2 會在測試時間 T\_TEST 到達後，使得晶片回到一般模式的操作。據此，測試模式控制器 2 不但不需要額外的測試接腳，更可以防此晶片因雜訊因素而長期地操作於測試模式。

另外，需要說明的是，雖然此實施例以第一準位為 0V 且第二準位為 3.9V 來進行說明，但第一準位與第二準位的電壓準位並非用以限定本發明。同樣地，雖然此實施例以各信號致能的電壓準位為 3.9V 且各信號禁能的電壓準位為

0V 來進行說明，但各信號致能與禁能的電壓準位並非用以限定本發明。

[ 測試模式控制器的另一實施例 ]

接著，請參照圖 4，圖 4 為本發明實施例提供的一種測試模式控制器 4 之電路圖。測試模式產生器 4 同樣包括控制信號產生器 41、致能信號產生器 42 與門鎖器 43。控制信號產生器 41 包括比較器 411，而致能信號產生器 42 包括起始信號產生器 421、緩衝器 422、反向器 423、延遲單元 427、邏輯及閘(AND gate)424、時間控制電路 425 及邏輯或閘(OR gate)426。起始信號產生器 421 電性耦接於緩衝器 422，緩衝器 422 電性耦接於邏輯及閘 424 與反向器 423，反向器 423 電性耦接於邏輯或閘 426 與延遲單元 427，延遲單元 427 電性耦接於比較器 411，邏輯及閘 424 電性耦接於門鎖器 43 與時間控制電路 425，且邏輯或閘 426 電性耦接於時間控制電路 425 與門鎖器 43。

比較器 411 受控於第一致能信號  $En\_cmp$ ，且比較器 411 的負輸入端與正輸入端分別接收電源指示電壓  $CSI$  與參考電壓  $Vref$ 。當第一致能信號  $En\_cmp$  致能且參考電壓  $Vref$  大於電源指示電壓  $CSI$  時，比較器 411 產生第二準位的第一控制信號  $Latch\_In$ ，以及當第一致能信號  $En\_cmp$  禁能時，比較器 411 輸出第一準位的第一控制信號  $Latch\_In$ 。

請同時參照圖 4 與圖 5，圖 5 為圖 4 之測試模式控制器所產生的多個信號之波形圖。當整個晶片的電路剛上電(電源信號  $VDD$  由第一準位變至第二準位)時，因為晶片中的大部分功能都處於暖機的狀態，因此起始信號產生器 42 於電源信號  $VDD$  由第一準位變至第二準位時，會產生預先起

始信號 Start\_pre，其中預先起始信號 Start\_pre 在起始時間 T\_START\_UP 內由第一準位逐漸上升至第二準位。

緩衝器 422 用以緩衝預先起始信號 Start\_pre，並輸出起始信號 Start，其中起始信號 Start 在起始時間 T\_START\_UP 內為第一準位，且在起始時間 T\_START\_UP 結束後為第二準位。反向器 423 接收起始信號 Start，並輸出反向起始信號 Start\_b，其中反向起始信號 Start\_b 為起始信號 Start 的反向信號。

延遲單元 427 接收反向起始信號 Start\_b，當反向起始信號 Start\_b 未由第二準位變至第一準位時，輸出反向起始信號 Start\_b 以作為該第一控制信號 Latch\_In，而當反向起始信號 Start\_b 由第二準位變至該第一準位時，延遲反向起始信號 Start\_b 一段延遲時間 T\_DELAY，並輸出為第一致能信號 En\_cmp。換言之，第一致能信號 En\_cmp 會在起始時間 T\_START\_UP 與延遲時間 T\_DELAY 中持續地被致能。在起始時間 T\_START\_UP 與延遲時間 T\_DELAY 中，比較器 411 可以據此產生第二準位的第一控制信號 Latch\_In。

在起始時間 T\_START\_UP 與延遲時間 T\_DELAY 中，電源指示電壓 CSI 會被接至負電壓準位。此時因為第一致能信號 En\_cmp 致能，因此控制信號產生器 21 會產生第二準位的第一控制信號 Latch\_In。

邏輯或閘 426 對計時輸出信號 TC\_out 與反向起始信號 Start\_b 進行邏輯或(logic OR)運算，以產生第二致能信號 En\_latch。因為反向起始信號 Start\_b 於起始時間中為第二準位，因此第二致能信號 En\_latch 會於起始時間中持續地

被致能。如此，閃鎖器 43 將於起始時間  $T\_START\_UP$  中輸出第二準位的第二控制信號  $Ds\_c$ 。

邏輯及閘 424 對起始信號  $Start$  與第二控制信號  $Ds\_c$  作邏輯和 (logic AND) 運算，以產生時間控制致能信號  $En\_TC$ 。在起始時間  $T\_START\_UP$  結束後，起始信號  $Start$  為第二準位且第二控制信號  $Ds\_c$  亦為第二準位，邏輯及閘 424 會輸出致能的時間控制致能信號  $En\_TC$ 。

時間控制電路 425 於時間控制致能信號  $En\_TC$  致能時，計時一段測試時間  $T\_TEST$ ，並於測試時間  $T\_TEST$  結束後，輸出計時輸出信號  $TC\_out$ ，其中計時輸出信號  $TC\_out$  於測試時間  $T\_TEST$  結束後短暫地被致能一段脈衝時間  $T\_PULSE$ 。據此，在起始時間  $T\_START\_UP$  結束後，時間控制電路 425 被致能，並在計時測試時間  $T\_TEST$  到達後，短暫地致能計時輸出信號  $TC\_out$  一段脈衝時間  $T\_PULSE$ 。

在延遲時間  $T\_DELAY$  結束後，第一致能信號  $En\_cmp$  為禁能，因此比較器 411 僅會輸出第一準位的第一控制信號  $Latch\_In$ 。在測試時間  $T\_TEST$  結束後，且在脈衝時間  $T\_PULSE$  中，第二致能信號  $En\_Latch$  短暫地被致能且第一控制信號  $Latch\_In$  為第一準位，如此，閃鎖器 23 將輸出第一準位的第二控制信號  $Ds\_c$ 。第一準位的第二控制信號  $Ds\_c$  將使得晶片的操作自測試模式回到一般模式。

測試模式控制器 4 具有與圖 2 之測試模式控制器 2 相同的功效，可以避免因雜訊因素使得晶片長期地操作於測試模式，更能夠省去額外的測試接腳。

[ 測試模式控制器的另一實施例 ]

復同時參照圖 2 與圖 6，圖 6 為圖 2 之測試模式控制器所產生之多個信號的另一種波形圖。在圖 3 中，致能信號產生器 22 為了確保控制信號產生器 21 的操作速度不會跟不上電源信號 VDD 的變化速度，因此才會有一段所謂的起始時間  $T\_START\_UP$ 。一般而言，電源信號 VDD 由第一準位變至第二準位並非瞬間上升。如圖 6 所示，電源信號 VDD 是在上升時間  $T\_RISE$  中由第一準位逐漸上升至第二準位。

圖 6 的波形圖與圖 3 的波形圖近似，其差異僅在於圖 6 波形圖的內容欠缺了起始時間  $T\_START\_UP$ ，而改採用電源信號 VDD 的上升時間  $T\_RISE$  來取代。此領域具有通常知識者僅要將電源信號 VDD 的上升時間  $T\_RISE$  取代起始時間  $T\_START\_UP$ ，便可以參照圖 3 的說明來了解圖 6 的各波形之間的關係，故在此便不多贅述。然而，需要說明的是，在圖 6 的實施例中，控制信號產生器 21 的操作速度必須跟得上電源信號 VDD 的變化速度。

[ 測試模式控制器的另一實施例 ]

請同時參照圖 7 與圖 8，圖 7 為本發明實施例提供的一種測試模式控制器 7 之電路圖，而圖 8 是圖 7 的測試模式控制器所產生之多個信號的波形圖。圖 7 與圖 4 的差異在於，圖 7 的致能信號產生器 72 缺少了圖 4 的起始信號產生器 421。另外，圖 8 與圖 5 的差異在於，圖 8 缺少一段起始時間  $T\_START\_UP$  與預先起始信號  $Start\_pre$ 。

圖 5 與圖 6 的實施例是為了確保比較器 411 的操作速度不會跟不上電源信號 VDD 的變化速度，因此才會有一段所謂的起始時間  $T\_START\_UP$  與額外地產生預先起始信號

Start\_pre。在比較器 411 的操作速度跟得上電源信號 VDD 的變化速度之情況下，可以使用圖 7 與圖 8 的實施例來實施測試模式控制器。

於圖 7 與圖 8 中，此領域具有通常知識者僅要將電源信號 VDD 的上升時間 T\_RISE 取代起始時間 T\_START\_UP，且將電源信號 VDD 取代預先起始信號 Start\_pre，便可以參照圖 5 的說明來了解圖 8 的各波形之間的關係，故在此便不多贅述。

[ 具有自我測試之電子裝置的實施例 ]

請參照圖 9，圖 9 為本發明實施例提供的一種具有自我測試之電子裝置 9 之電路圖。電子裝置 9 包括晶片 91 與測試模式控制器 90。晶片 91 接收來自測試模式控制器 90 的第二控制信號 Ds\_c 以產生輸出信號 OUT\_SIG，且晶片 91 亦耦接至電源信號 VDD、電源指示電壓 CSI 及接地 GND。雖然圖 9 之晶片 91 的僅輸出一個輸出信號 OUT\_SIG，但晶片 91 並不限定於此，亦即，晶片 91 更可以輸出一個以上的輸出信號。

測試模式控制器 90 耦接至電源信號 VDD、電源指示電壓 CSI 及參考電壓 Vref，並輸出第二控制信號 Ds\_c，其中第二控制信號 Ds\_c 用以控制晶片 91 操作於測試模式或一般模式。此外，測試模式控制器 90 可以是前述的測試模式控制器 2、4、7 的其中之一。

[ 實施例的可能功效 ]

根據本發明實施例，上述的測試模式控制器及具有自我測試之電子裝置其產生的第二控制信號可以控制晶片操作於測試模式或一般模式，而不需要保留一個傳統

晶片所使用的測試接腳，而仍具有傳統晶片的測試接腳所能達到的縮短測試時間的效果。如此可以節省晶片面積與封裝成本。

以上所述僅為本發明之實施例，其並非用以侷限本發明之專利範圍。

#### 【圖式簡單說明】

圖 1 為傳統單節鋰電池保護電路的電路圖。

圖 2 為本發明實施例提供的一種測試模式控制器之電路圖。

圖 3 為圖 2 之測試模式控制器所產生之多個信號的波形圖。

圖 4 為本發明實施例提供的一種測試模式控制器之電路圖。

圖 5 為圖 4 之測試模式控制器所產生之多個信號的波形圖。

圖 6 為圖 2 之測試模式控制器所產生之多個信號的另一種波形圖。

圖 7 為本發明實施例提供的一種測試模式控制器之電路圖。

圖 8 為圖 7 之測試模式控制器所產生之多個信號的波形圖。

圖 9 為本發明實施例提供的一種具有自我測試之電子裝置之電路圖。

#### 【主要元件符號說明】

1：傳統單節鋰電池保護電路

10：單節鋰電池

- 11：單節鋰電池保護晶片
- 12：功率電晶體電路
- C1：電容
- R1、R2：電阻
- M1、M2：功率電晶體
- D1、D2：二極體
- OC、OD：功率電晶體控制接腳
- VCC：電源信號接腳
- GND：接地接腳
- CS：電源指示電壓接腳
- TD：測試接腳
- 2、4、7：測試模式控制器
- 21、41：控制信號產生器
- 22、42、72：致能信號產生器
- 23、43：門鎖器
- 411：比較器
- 421：起始信號產生器
- 422：緩衝器
- 423：反向器
- 424：邏輯及閘
- 425：時間控制電路
- 426：邏輯或閘
- 427：延遲單元
- 9：具有自我測試之電子裝置
- 90：測試模式控制器
- 91：晶片

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

99142101

※申請日：

99.12.03

※IPC 分類：H03K 19/0175 (2006.01)

一、發明名稱：(中文/英文)

測試模式控制電路及其具有自我測試之電子裝置 /  
TEST MODE CONTROLLER AND ELECTRONIC  
APPARATUS WITH SELF-TESTING THEREOF

二、中文發明摘要：

一種測試模式控制器，其包括致能信號產生器、控制信號產生器以及閘鎖器。致能信號產生器接收電源信號與第二控制信號，並產生第一致能信號與第二致能信號分別給閘鎖器與控制信號產生器。控制信號產生器接收電源指示電壓與參考電壓，並於第一致能信號致能時，產生第一控制信號傳送給閘鎖器。閘鎖器於第二致能信號致能時，接收第一控制信號，並且依據第一控制信號產生第二控制信號。第二控制信號用以控制晶片操作於測試模式或一般模式。據此，測試模式控制器在不需要使用一個測試接腳，即可縮短測試時間，且可節省晶片面積與封裝成本。

三、英文發明摘要：

A test mode controller includes an enable signal generator, a control signal generator, and a latch. The enable signal controller receives a power signal and the second control signal, and generates the first and second enable signals respectively to the latch and the control signal

generator. The control signal generator receives a power indicating voltage and a reference voltage, and generates the first control signal to the latch when the first enable signal is enabled. The latch receives the first control signal, and generates the second control signal in response to the first control signal when the second enable signal is enabled. The second control signal is used to control a chip to operate in a test mode or a normal mode. The test time can be reduced by the test mode controller without a test pin, and the chip area and cost of the package can be saved accordingly.

## 七、申請專利範圍：

## 1. 一種測試模式控制器，包括：

一致能信號產生器，接收一電源信號與一第二控制信號，並產生一第一致能信號與一第二致能信號；

一控制信號產生器，接收一電源指示電壓與一參考電壓，於該第一致能信號致能時，依據該電源指示電壓與該參考電壓產生一第一控制信號；以及

一門鎖器，受控於該第二致能信號，並於該第二致能信號致能時，依據該第一控制信號輸出該第二控制信號，其中該第二控制信號用以控制一晶片操作於一測試模式或一一般模式。

2. 如申請專利範圍第 1 項所述之測試模式控制器，其中該致能信號產生器於該電源信號由一第一準位變至一第二準位時，持續地致能該第二致能信號一起始時間，以及該於起始時間結束後的一測試時間後，短暫地致能該第二致能信號一脈衝時間；以及，該致能信號產生器於該電源信號由該第一準位變至該第二準位時，持續地致能該第一致能信號該起始時間與一延遲時間。

3. 如申請專利範圍第 1 項所述之測試模式控制器，其中該控制信號產生器於該第一致能信號禁能時，輸出該第一準位的該第一控制信號。

4. 如申請專利範圍第 3 項所述之測試模式控制器，其中該控制信號產生器包括一比較器，該比較器受控於該第一致能信號，該比較器的一負輸入端與一正輸入端分別接收該電源指示電壓與該參考電壓，其中當該第一致能信號致能且該參考電壓大於該電源指示電壓時，該比較器產生該第二準位的該第一

控制信號，以及當該第一致能信號禁能時，該比較器輸出該第一準位的該第一控制信號。

5. 如申請專利範圍第 2 項所述之測試模式控制器，其中該致能信號產生器於該電源信號由一第一準位變至一第二準位時，產生一預先起始信號，其中該預先起始信號在該起始時間內由第一準位逐漸上升至第二準位；該致能信號產生器依據該預先起始信號產生一起始信號與一反向起始信號，其中該反向起始信號為該起始信號的一反向信號，該起始信號為於該起始時間內為該第一準位，且該起始信號在該起始時間結束後為該第二準位；當該反向起始信號未由該第二準位變至該第一準位時，該致能信號產生器將該反向起始信號直接輸出為該第一致能信號，當該反向起始信號由該第二準位變至該第一準位時，該致能信號產生器延遲該反向起始信號該延遲時間，並輸出為該第一致能信號；該致能信號產生器對該起始信號與該第二控制信號作一邏輯和運算，以產生一時間控制致能信號；該致能信號產生器於該時間控制致能信號致能時，計時該測試時間，並於該測試時間結束後，產生一計時輸出信號，其中該計時輸出信號於測試時間結束後短暫地被致能該脈衝時間；該致能信號產生器對該計時輸出信號與該反向起始信號進行一邏輯或運算，以產生該第二致能信號。

6. 如申請專利範圍第 2 項所述之測試模式控制器，其中該致能信號產生器包括：

一起始信號產生器，於該電源信號由一第一準位變至一第二準位時，產生一預先起始信號，其中該預先起始信號在起始時間內由第一準位逐漸上升至第二準位；

一緩衝器，用以緩衝該預先起始信號，並輸出一起始信號

，其中該起始信號在該起始時間內為該第一準位，且在該起始時間結束後為該第二準位；

一反向器，接收該起始信號，並輸出一反向起始信號，其中該反向起始信號為該起始信號的一反向信號；

一延遲單元，接收該反向起始信號，當該反向起始信號未由該第二準位變至該第一準位時，輸出該反向起始信號以作為該第一控制信號，當該反向起始信號由該第二準位變至該第一準位時，延遲該反向起始信號該延遲時間，並輸出為該第一致能信號；

一邏輯及閘，對該起始信號與該第二控制信號作一邏輯和運算，以產生一時間控制致能信號；

一時間控制電路，於該時間控制致能信號致能時，計時該測試時間，並於該測試時間結束後，輸出一計時輸出信號，其中該計時輸出信號於測試時間結束後短暫地被致能該脈衝時間；以及

一邏輯或閘，對該計時輸出信號與該反向起始信號進行一邏輯或運算，以產生該第二致能信號。

7. 如申請專利範圍第 1 項所述之測試模式控制器，其中該致能信號產生器於該電源信號由一第一準位逐漸上升至一第二準位時的一上升時間內，持續地致能該第二致能信號該上升時間，以及於該上升時間結束後的一測試時間後，短暫地致能該第二致能信號一脈衝時間；以及，該致能信號產生器於該電源信號由該第一準位逐漸上升至該第二準位時的該上升時間內，持續地致能該第一致能信號該上升時間與一延遲時間。

8. 如申請專利範圍第 7 項所述之測試模式控制器，其中該致能信號產生器依據該電源信號產生一起始信號與一反向

起始信號，其中該反向起始信號為該起始信號的一反向信號，該起始信號為於該上升時間內為該第一準位，且該起始信號在該上升時間結束後為該第二準位；當該反向起始信號未由該第二準位變至該第一準位時，該致能信號產生器將該反向起始信號直接輸出為該第一致能信號，當該反向起始信號由該第二準位變至該第一準位時，該致能信號產生器延遲該反向起始信號該延遲時間，並輸出為該第一致能信號；該致能信號產生器對該起始信號與該第二控制信號作一邏輯和運算，以產生一時間控制致能信號；該致能信號產生器於該時間控制致能信號致能時，計時該測試時間，並於該測試時間結束後，產生一計時輸出信號，其中該計時輸出信號於測試時間結束後短暫地被致能該脈衝時間；該致能信號產生器對該計時輸出信號與該反向起始信號進行一邏輯或運算，以產生該第二致能信號。

9. 如申請專利範圍第 7 項所述之測試模式控制器，其中該致能信號產生器包括：

一緩衝器，用以緩衝該電源信號，並輸出一起始信號，其中該第一起信號在該上升時間內為該第一準位，且在該上升時間結束後為該第二準位；

一反向器，接收該起始信號，並輸出一反向起始信號，其中該反向起始信號為該起始信號的一反向信號；

一延遲單元，接收該反向起始信號，當該反向起始信號未由該第二準位變至該第一準位時，輸出該反向起始信號以作為該第一控制信號，當該反向起始信號由該第二準位變至該第一準位時，延遲該反向起始信號該延遲時間，並輸出為該第一致能信號；

一邏輯及閘，對該起始信號與該第二控制信號作一邏輯和

運算，以產生一時間控制致能信號；

一時間控制電路，於該時間控制致能信號致能時，計時該測試時間，並於該測試時間結束後，輸出一計時輸出信號，其中該計時輸出信號於測試時間結束後短暫地被致能該脈衝時間；以及

一邏輯或閘，對該計時輸出信號與該反向起始信號進行一邏輯或運算，以產生該第二致能信號。

10. 一種具有自我測試之電子裝置，包括：

一晶片，接收一第二控制信號，以決定操作於一測試模式或一一般模式中；以及

一測試模式控制器，包括：

一致能信號產生器，接收一電源信號與一第二致能信號，並產生一第一致能信號與該第二致能信號；

一控制信號產生器，接收一電源指示電壓與一參考電壓，於該第一致能信號致能時，依據該電源指示電壓與該參考電壓產生一第一控制信號；以及

一門鎖器，受控於該第二致能信號，並於該第二致能信號致能時，依據該第一控制信號輸出一第二控制信號。

八、圖式：

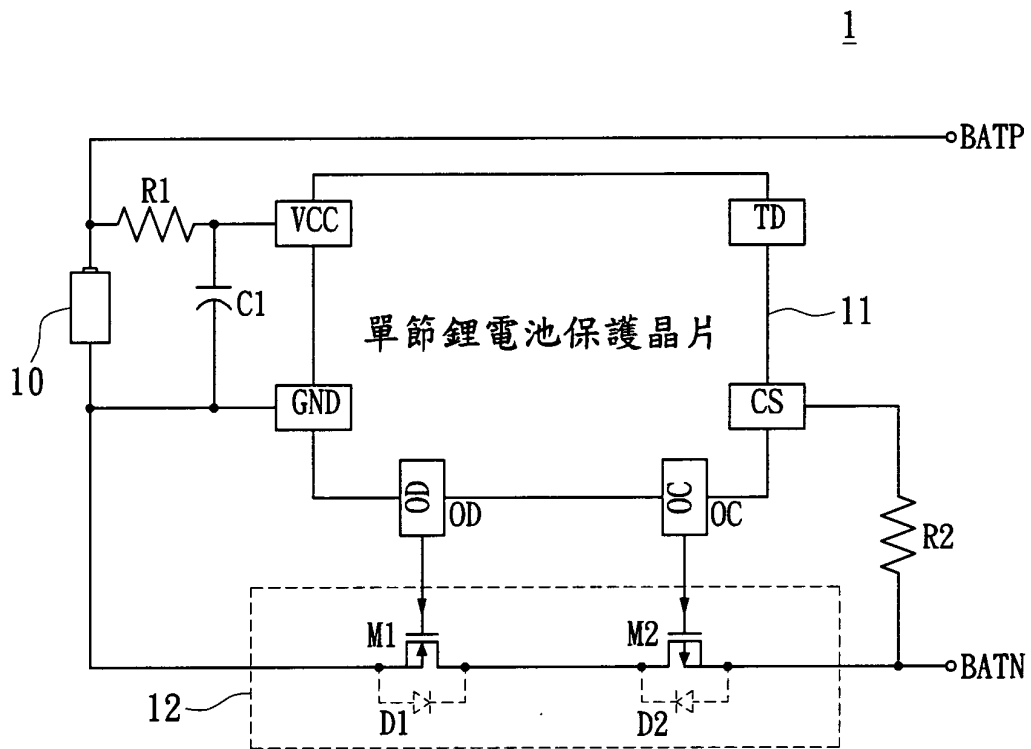


圖 1

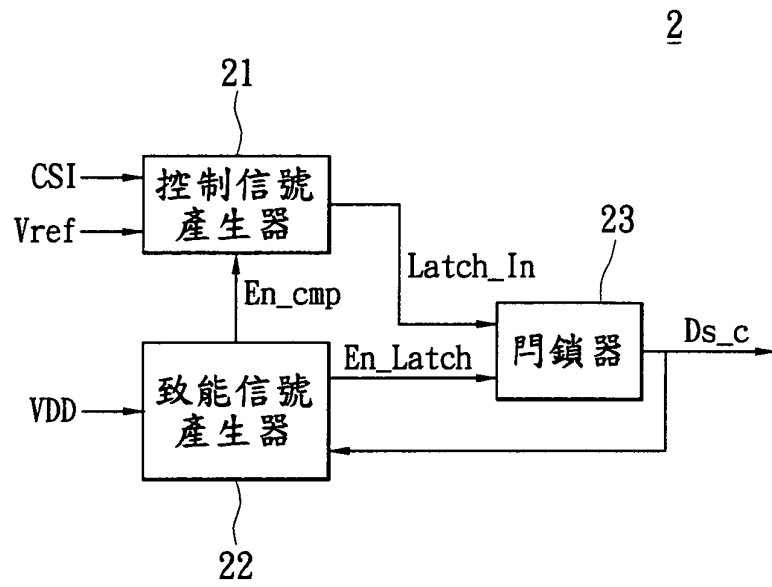


圖2

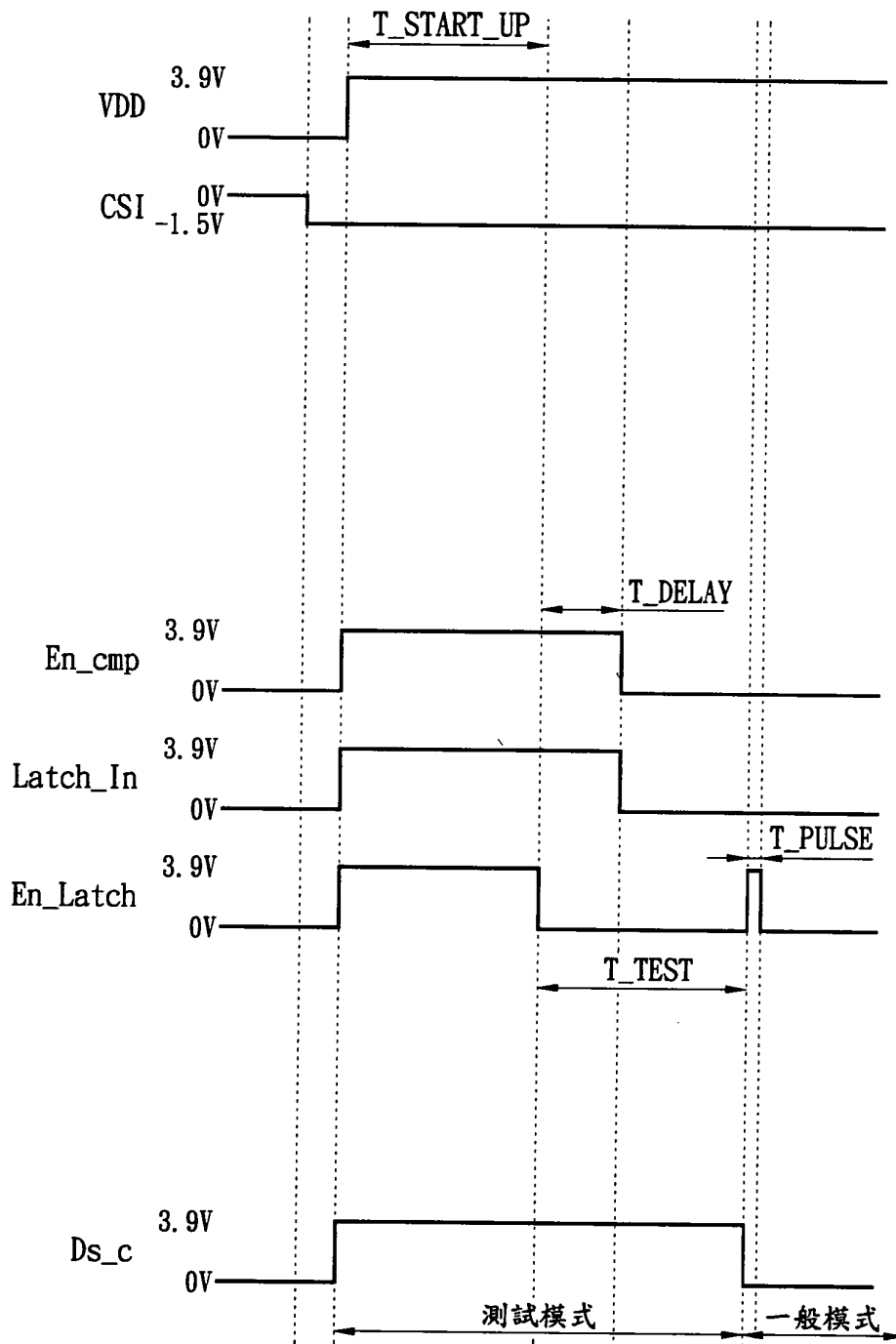


圖3

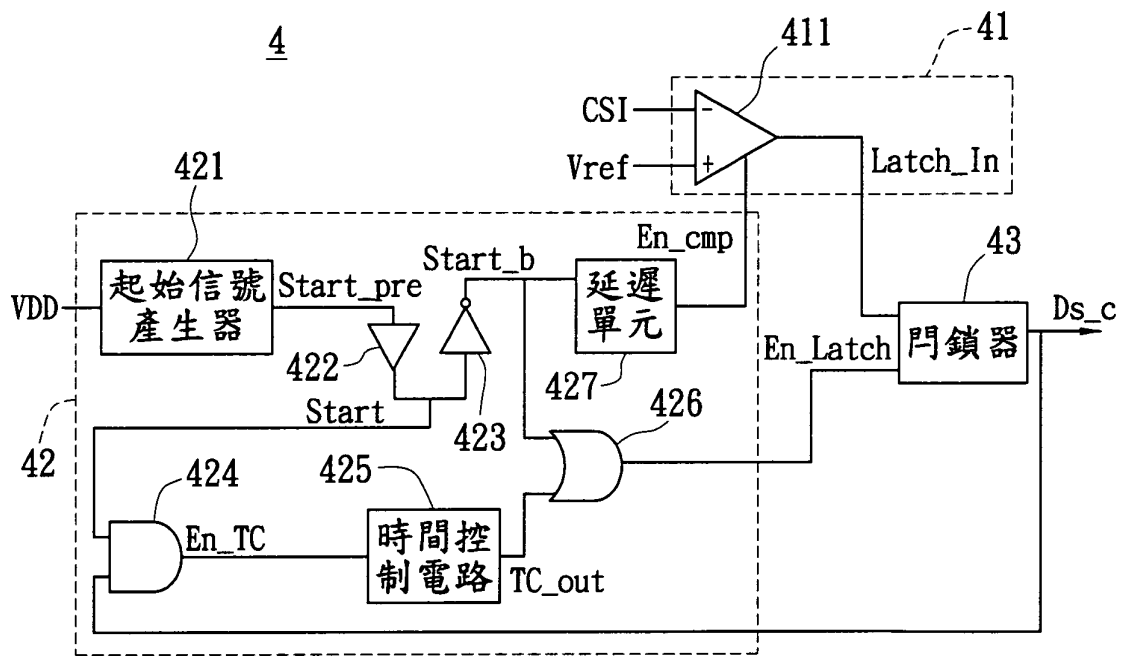


圖4

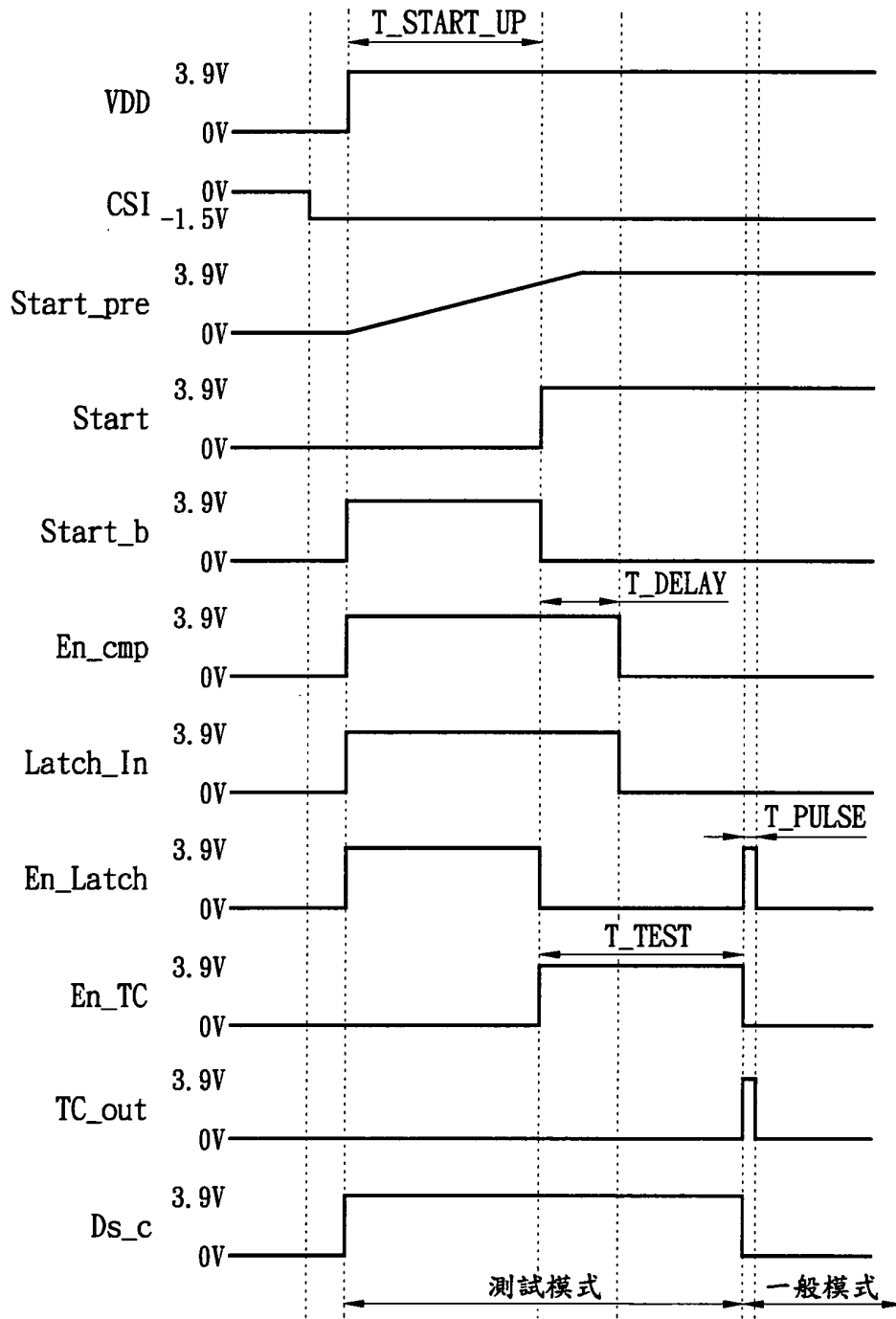


圖5

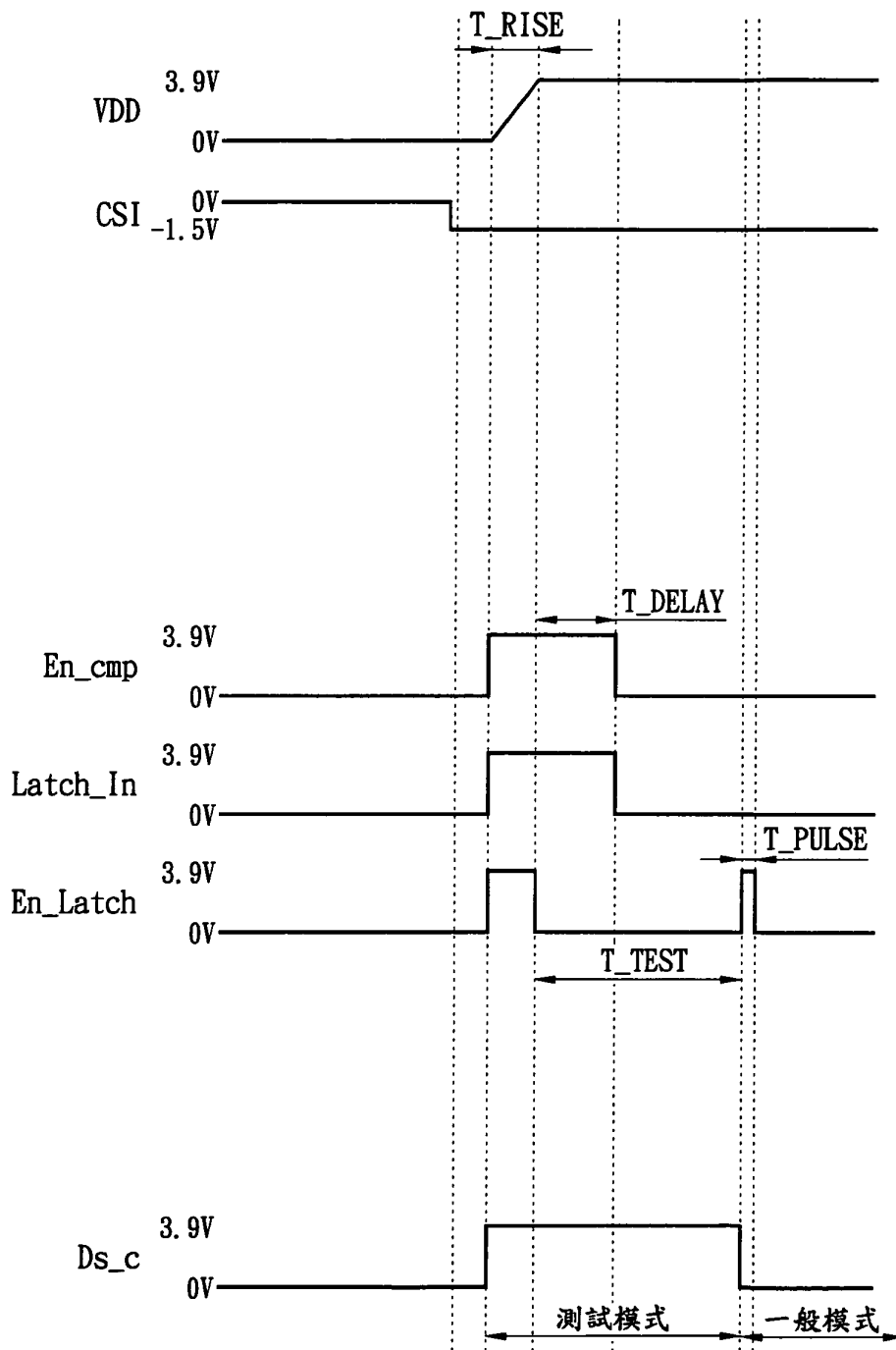


圖6

7

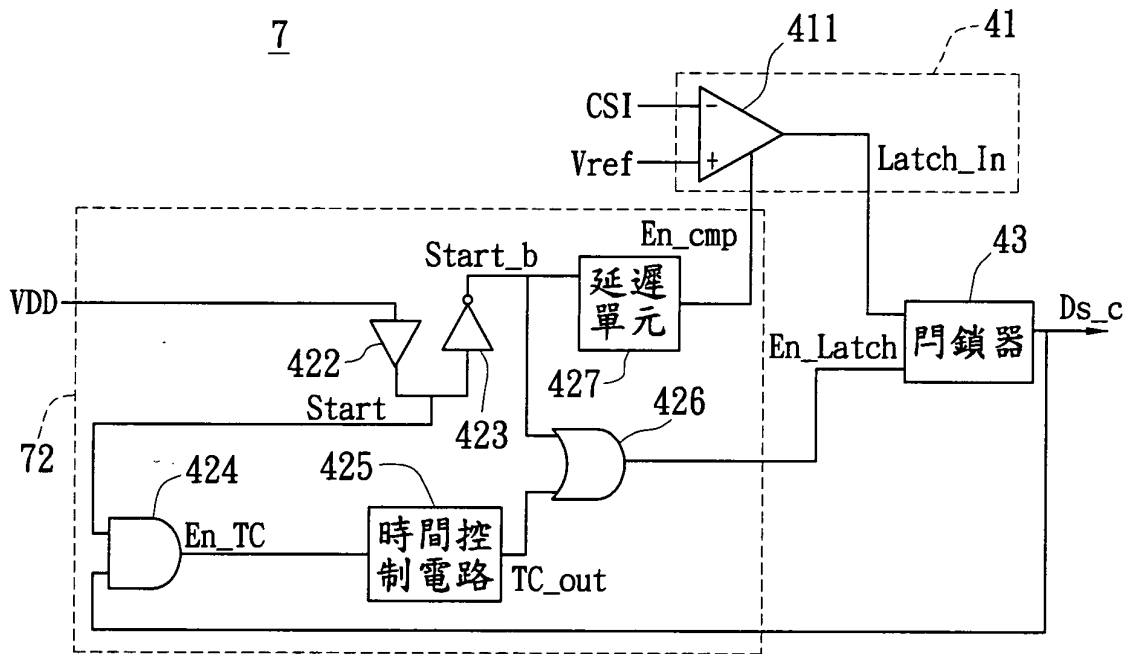


圖7

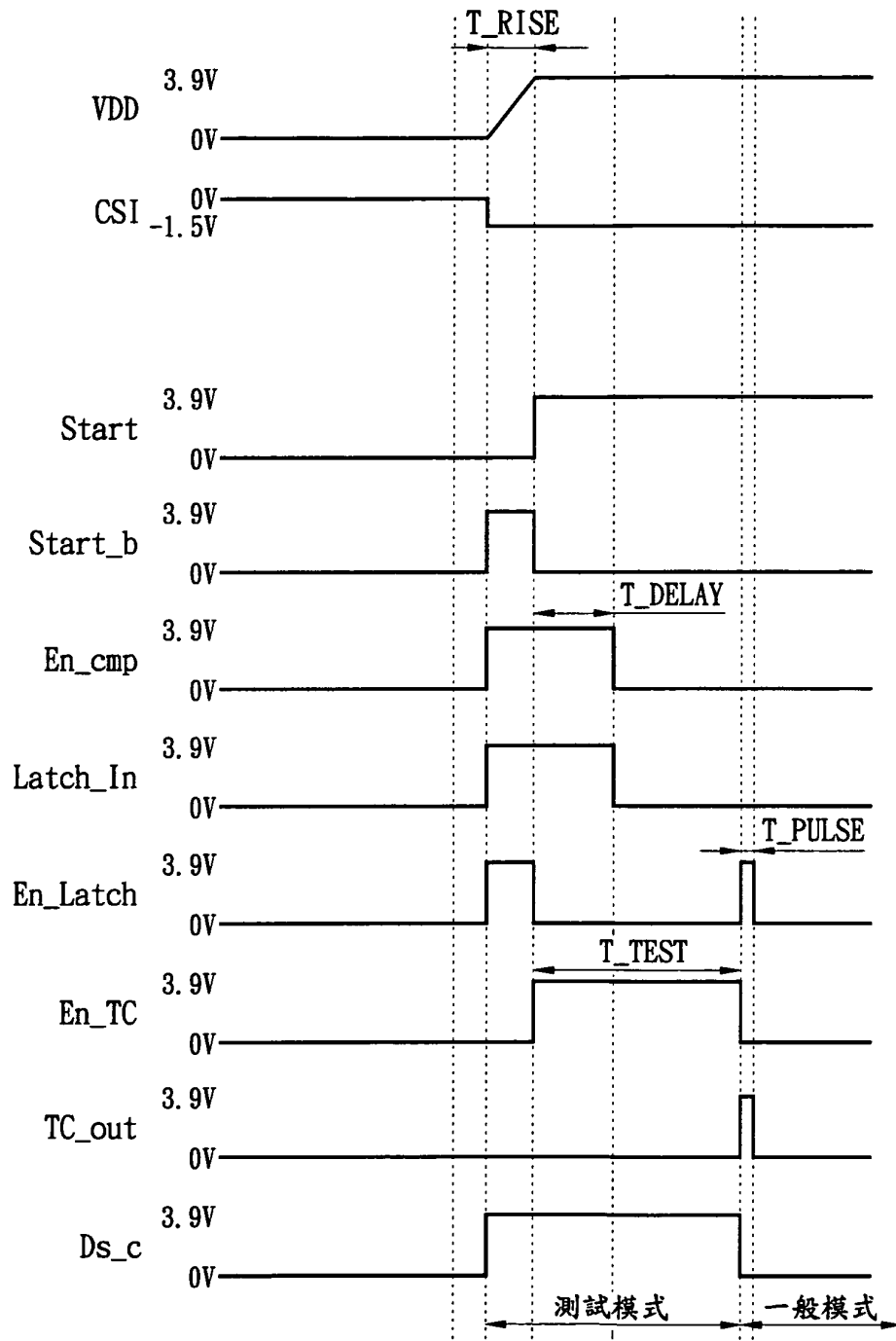


圖8

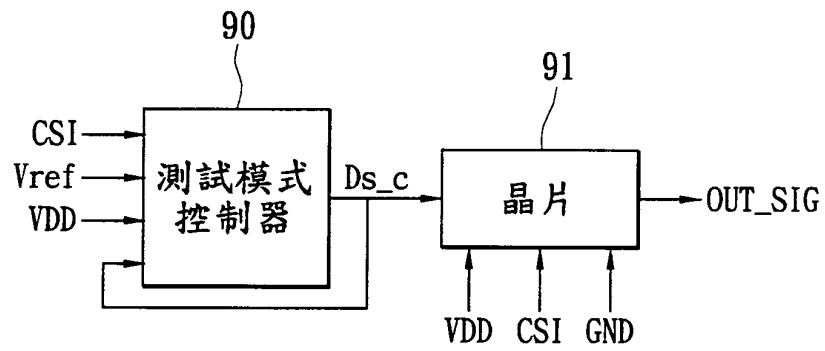


圖9

四、指定代表圖：

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

2：測試模式控制器

21：控制信號產生器

22：致能信號產生器

23：門鎖器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：