

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 16.03.01.

③0 Priorité : 16.05.00 JP 00142960; 31.07.00 JP 00230497; 31.07.00 JP 00230498; 31.07.00 JP 00230995.

④3 Date de mise à la disposition du public de la demande : 23.11.01 Bulletin 01/47.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : FUJITSU LIMITED — JP.

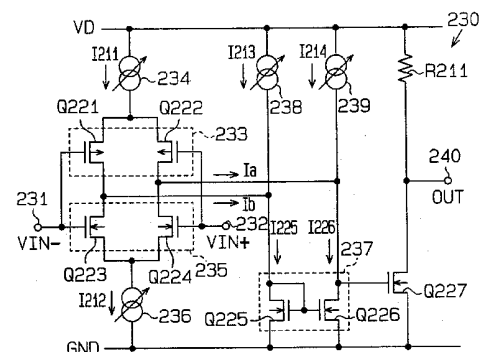
⑦2 Inventeur(s) : SUZUKI HISAO.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : CABINET BEAU DE LOMENIE.

⑤4 CIRCUIT D'AMPLIFICATEUR OPERATIONNEL.

⑤7 L'invention concerne un circuit d'amplificateur opérationnel qui inclut une première paire différentielle (233) incluant des premier et second transistors (Q221, Q222) et une seconde paire différentielle (235) incluant des troisième et quatrième transistors (Q223, Q224). Un cinquième transistor (Q225) est connecté aux premier et troisième transistors. Un sixième transistor (Q226) est connecté aux second et quatrième transistors. Des première, seconde, troisième et quatrième sources de courant (234, 236, 238, 239) sont respectivement connectées à la première paire différentielle pour produire un premier courant de polarisation, à la seconde paire différentielle pour produire un second courant de polarisation, au cinquième transistor pour produire un troisième courant de polarisation et au sixième transistor pour produire un quatrième courant de polarisation. Un circuit de commande commande les première à quatrième sources de courant pour que la somme des premier et second courants de polarisation soit constante et que les second à quatrième courants de polarisation deviennent sensiblement égaux.



ARRIÈRE-PLAN DE L'INVENTION

La présente invention concerne un circuit d'amplificateur opérationnel et de façon davantage particulière, elle concerne un circuit d'amplificateur opérationnel du type pôle à pôle, un circuit
5 d'amplificateur opérationnel du type push-pull ou symétrique, un circuit de sortie de courant et un circuit de commutateur analogique, lesquels circuits sont utilisés en tant que circuit opérationnel de base dans un dispositif électronique.

La figure 1 est un schéma de circuit d'un circuit d'amplificateur
10 opérationnel du type pôle à pôle 10 conformément à un premier art antérieur.

Une première tension d'entrée VIN- est appliquée sur la borne d'entrée inverseuse (la borne d'entrée négative) 11 du circuit d'amplificateur opérationnel 10 et une seconde tension d'entrée VIN+
15 est appliquée sur sa borne d'entrée non inverseuse (la borne d'entrée positive) 12. Les bornes d'entrée 11 et 12 sont respectivement connectées aux grilles de transistors métal-oxyde-semiconducteur ou MOS à canal P (ci-après appelés des "transistors PMOS") Q1 et Q2, lesquels transistors PMOS constituent une première paire différentielle
20 13. Les sources des transistors Q1 et Q2 sont connectées ensemble et un nœud entre les sources est connecté à une alimentation de potentiel haut VD via une première source de courant 14, laquelle première source de courant applique un courant de polarisation sur les transistors Q1 et Q2. Les bornes d'entrée 11 et 12 sont également
25 respectivement connectées aux grilles de transistors métal-oxyde-semiconducteur ou MOS à canal N (ci-après appelés des "transistors NMOS") Q3 et Q4, lesquels transistors NMOS constituent une seconde paire différentielle 15. Les sources des transistors Q3 et Q4 sont connectées ensemble et un nœud entre les sources est connecté à une
30 alimentation de potentiel bas GND via une seconde source de courant 16, laquelle seconde source de courant applique un courant de polarisation sur les transistors Q3 et Q4.

Les drains des transistors Q1 et Q2 sont connectés à l'alimentation de potentiel bas GND via une paire de transistors NMOS

Q5 et Q6, lesquels transistors NMOS constituent un premier circuit miroir de courant 17. Les grilles des transistors Q5 et Q6 sont connectées ensemble et un nœud entre les grilles est connecté au drain du transistor Q5.

5 Le drain du transistor Q6 est connecté à la grille d'un transistor NMOS de sortie Q7. La source du transistor de sortie Q7 est connectée à l'alimentation de potentiel bas GND et son drain est connecté à l'alimentation de potentiel haut VD via une résistance R1. Le drain du transistor Q7 est connecté à une borne de sortie 18.

10 Les drains des transistors Q3 et Q4 sont respectivement connectés à des second et troisième circuits miroirs de courant 19 et 20. Le second circuit miroir de courant 19 inclut une paire de transistors PMOS Q8 et Q9. Le drain du transistor Q3 est connecté à l'alimentation de potentiel haut VD via le transistor Q8. La source du transistor Q9 est
15 connectée à l'alimentation de potentiel haut VD et le drain du transistor Q9 est connecté au drain du transistor Q6.

Le troisième circuit miroir de courant 20 inclut une paire de transistors PMOS Q10 et Q11. Le drain du transistor Q4 est connecté aux grilles des transistors Q8 et Q9 via le transistor Q10. La source du
20 transistor Q11 est connectée à une alimentation de potentiel haut VD et le drain du transistor Q11 est connecté au drain du transistor Q5.

Les première et seconde sources de courant 14 et 16 qui sont commandées par un circuit de commande non représenté appliquent des courants de polarisation I1 et I2 conformément aux tensions
25 d'entrée VIN+ et VIN-, comme représenté sur la figure 2. De façon davantage spécifique, lorsque les première et seconde tensions d'entrée VIN- et VIN+ sont au niveau bas, la première paire différentielle 13 pilote les transistors Q5 et Q6 et lorsque les tensions d'entrée VIN+ et VIN- sont au niveau haut, la seconde paire
30 différentielle 15 pilote les transistors Q5 et Q6.

Lorsque les première et seconde paires différentielles 13 et 15 fonctionnent de cette façon, la somme des courants de polarisation I1 et I2 des première et seconde sources de courant 14 et 16 est constante. Même lorsque la différence de potentiel entre les tensions

d'entrée VIN+ et VIN- vaut zéro, par conséquent, des courants constants I5 et I6 circulent respectivement dans les transistors Q5 et Q6.

5 Les courants qui circulent dans les transistors Q1 et Q2 de la première paire différentielle 13 sont directement appliqués sur les transistors Q5 et Q6 et les courants qui circulent dans les transistors Q3 et Q4 de la seconde paire différentielle 15 sont appliqués sur les transistors Q5 et Q6 via les second et troisième circuits miroirs de courant 19 et 20. Par conséquent, les alimentations en courant sur les
10 transistors Q5 et Q6 depuis la seconde paire différentielle 13 sont retardées des temps opérationnels des second et troisième circuits miroirs de courant 19 et 20 de telle sorte que les courants qui circulent dans les transistors Q5 et Q6 varient de façon transitoire.

Lorsque la différence de potentiel entre les tensions d'entrée
15 VIN+ et VIN- est maintenue à zéro et que la valeur absolue de la tension d'entrée varie, par conséquent, les courants I5 et I6 varient de façon transitoire chaque fois que la validation/l'invalidation des première et seconde sources de courant 14 et 16 est commutée. Ceci diminue le taux de réjection de mode commun ou le rapport
20 d'affaiblissement dans le mode commun (CMRR) du circuit d'amplificateur opérationnel 10.

Lorsque les première et seconde sources de courant 14 et 16 sont toutes deux utilisées et que les transistors Q1 à Q4 des première et seconde paires différentielles 13 et 15 sont en train de fonctionner, la
25 commande du transistor de sortie au moyen de la première source de courant 14 et la commande du transistor de sortie au moyen de la seconde source de courant 16 sont exécutées simultanément. Dans le cas présent, il y a un retard temporel entre la commande du transistor de sortie au moyen la seconde source de courant 16 et la commande
30 du transistor de sortie au moyen de la première source de courant 14. Ceci réduit la caractéristique de fréquence du circuit d'amplificateur opérationnel 10.

En outre, les tensions sur lesquelles les transistors PMOS Q1 et Q2 et les transistors NMOS Q3 et Q4 fonctionnent varient en fonction

des conditions de processus. En fonction de la variation de processus, par conséquent, la première paire différentielle 13 ou la seconde paire différentielle 15 peut ne pas fonctionner.

On suppose que les points opérationnels des transistors PMOS Q1 et Q2 et des transistors NMOS Q3 et Q4 sont situés entre une tension de référence V_a et l'alimentation de potentiel haut V_D du fait d'une variation de processus, comme représenté sur la figure 2. Alors les transistors NMOS Q3 et Q4 ne fonctionnent pas même lorsque les première et seconde tensions d'entrée V_{IN-} et V_{IN+} qui modifient les premier et second courants de polarisation I_1 et I_2 sont appliquées.

Par conséquent, les transistors NMOS Q3 et Q4 ne fonctionnent pas même si les première et seconde tensions d'entrée V_{IN-} et V_{IN+} croissent et les transistors PMOS Q1 et Q2 de la première paire différentielle 13 s'arrêtent de fonctionner lorsque les premier et second courants de polarisation I_1 et I_2 sont commutés de l'un à l'autre.

La figure 3 est un schéma de circuit d'un circuit d'amplificateur opérationnel du type push-pull 300 conformément à un second art antérieur.

Le circuit d'amplificateur opérationnel 300 comporte une source de courant constant 11b qui applique un courant constant I_a sur un circuit miroir de courant 12b. Le circuit miroir de courant 12b inclut des transistors NMOS Q1b, Q2b et Q3b. Le courant constant I_a est appliqué sur le drain du transistor Q1b. Le drain du transistor Q1b est connecté aux grilles des transistors Q1b, Q2b et Q3b dont les sources sont connectées à une alimentation de potentiel bas V_S . Le drain du transistor Q2b est connecté à un circuit miroir de courant 13b et le drain du transistor Q3b est connecté à un circuit d'entrée différentielle 14b.

Le transistor Q2b présente la même dimension que celle du transistor Q1b et il applique sur le circuit miroir de courant 13b un courant de drain qui est sensiblement le même que le courant constant I_a de la source de courant constant 11b. Le transistor Q3b présente une dimension qui est le double de la dimension du transistor Q1b et il applique sur le circuit d'entrée différentielle 14b un courant de drain qui

est le double du courant constant I_a de la source de courant constant 11b.

Le circuit miroir de courant 13b inclut des transistors PMOS Q4b et Q5b. Le drain du transistor Q4b est connecté au drain du transistor Q2b. Les sources des transistors Q4b et Q5b sont connectées à une alimentation de potentiel haut VD et les grilles des transistors Q4b et Q5b sont connectées ensemble au drain du transistor Q4b.

Le transistor Q5b présente une dimension qui est le double de celle du transistor Q4b et il produit un courant de drain qui est deux fois plus important que le courant qui circule dans le transistor Q5b. Lorsque le courant de drain qui est sensiblement le même que le courant constant I_a circule dans le transistor Q4b, un courant qui est le double du courant constant I_a est émis en sortie depuis le drain du transistor Q5b.

Le circuit d'entrée différentielle 14b inclut une paire qui est constituée par des transistors NMOS Q6b et Q7b et inclut une paire qui est constituée par des transistors PMOS Q8b et Q9b. Les sources des transistors Q6b et Q7b sont connectées au drain du transistor Q3b. Le drain du transistor Q6b est connecté au drain du transistor Q8b et aux grilles des transistors Q8b et Q9b. La source du transistor Q8b est connectée à l'alimentation de potentiel haut VD. Le drain du transistor Q7b est connecté au drain du transistor Q9b dont la source est connectée à l'alimentation de potentiel haut VD.

Le circuit d'entrée différentielle 14b reçoit un courant de polarisation en provenance du transistor Q3b et établit un potentiel au niveau d'un nœud N1b entre les transistors Q7b et Q9b conformément à la différence de potentiel entre les tensions de signaux d'entrée I_m et I_p , lesquels signaux d'entrée sont appliqués sur les grilles des transistors Q6b et Q7b.

Le nœud N1b est connecté à la grille d'un transistor PMOS Q10b et à la grille d'un transistor PMOS Q11b au niveau de l'étage de sortie final. Les sources des transistors Q10b et Q11b sont connectées à l'alimentation de potentiel haut VD. Le drain du transistor Q11b est

connecté à une borne de sortie To. Le transistor Q11b présente une dimension qui est égale à dix fois celle du transistor Q10b et produit un courant de drain qui est égal à dix fois le courant de drain du transistor Q10b.

5 Le drain du transistor Q10b est connecté à un circuit miroir de courant 15b. Le circuit miroir de courant 15b inclut des transistors NMOS Q12b et Q13b. Le drain du transistor Q12b est connecté au drain du transistor Q10b. Les sources des transistors Q12b et Q13b sont connectées à l'alimentation de potentiel bas VS et le drain du
10 transistor Q12b est connecté aux grilles des transistors Q12b et Q13b.

Le transistor Q13b présente sensiblement la même dimension que celle du transistor Q12b et il produit le courant de drain du transistor Q12b (c'est-à-dire que le courant de drain du transistor Q12b est sensiblement le même que le courant de drain du transistor Q10b).

15 Le drain du transistor Q13b est connecté au drain du transistor Q5b et un nœud N2b entre les transistors Q13b et Q15b est connecté à un circuit miroir de courant 16b.

Le circuit miroir de courant 16b inclut des transistors NMOS Q14b et Q15b. Le drain du transistor Q14b est connecté au nœud N2b.
20 Les sources des transistors Q14b et Q15b sont connectées à l'alimentation de potentiel bas VS et le drain du transistor Q14b est connecté aux grilles des transistors Q14b et Q15b.

Le transistor Q15b est situé au niveau du dernier étage de sortie et son drain est connecté à la borne de sortie To. Le transistor Q14b
25 est sensiblement de la même dimension que chacun des transistors Q12b, Q13b, Q1b et Q2b. Le transistor Q15b présente une dimension qui est égale à dix fois la dimension du transistor Q14b et il produit un courant de drain qui est égal à dix fois le courant qui circule dans le transistor Q14b.

30 Le circuit d'amplificateur opérationnel 300 réalise une opération ou un fonctionnement push-pull lorsque les tensions de grille du transistor PMOS Q11b et du transistor NMOS Q15b sont commandées de telle sorte que l'état d'activation ou état passant/l'état de désactivation ou état bloqué du transistor Q11b soit toujours l'opposé

de l'état d'activation ou état passant/l'état de désactivation ou état bloqué du transistor Q15b.

Lorsque la tension du signal d'entrée IP est supérieure à la tension du signal d'entrée IM, une tension de grille $V_g(Q11b)$ au niveau
5 du noeud N1b ou du transistor Q11b est donnée par :

$$V_g(Q11b) = V_S + V(Q3b) + V(Q7b)$$

où $V(Q3b)$ est la tension de saturation (la tension de source-drain) du transistor Q3b et $V(Q7b)$ est la tension de saturation du transistor Q7b.

A cet instant, tout le courant constant du transistor Q5b circule
10 dans le transistor Q13b du fait que le transistor Q10b fonctionne dans un mode commun avec le transistor d'étage de sortie Q11b, et la tension de grille du transistor Q15b est établie tout en tirant un courant qui est égal à dix fois le courant constant depuis le drain du transistor Q15b.

Lorsque la tension du signal d'entrée IP est inférieure à la
15 tension du signal d'entrée IM, la tension de grille $V_g(Q11b)$ du transistor Q11b croît jusqu'à un niveau donné comme suit :

$$V_g(Q11b) = V_D - V(Q9b)$$

où $V(Q9b)$ est la tension de saturation du transistor Q9b.

A cet instant, tout le courant constant du transistor Q5b circule
20 dans le transistor Q14b du fait que le transistor Q10b fonctionne dans un mode commun avec le transistor d'étage de sortie Q11b de telle sorte que la tension de grille du transistor Q15b devient égale à la tension de l'alimentation de potentiel bas V_S .

Comme il apparaît au vu de ce qui précède, le circuit
25 d'amplificateur opérationnel 300 génère une sortie d'amplificateur opérationnel en appliquant des tensions qui s'étendent sensiblement dans la plage de tensions d'alimentation sur les grilles des transistors Q11b et Q15b d'une manière en opposition de phase.

Le circuit d'amplificateur opérationnel 300 a besoin que, lorsque
30 les tensions des signaux d'entrée IP et IM sont sensiblement les mêmes, les courants de drain des transistors Q11b et Q15b soient sensiblement identiques.

Lorsque $I_P = I_M$, les courants qui circulent dans les transistors Q8b et Q9b sont sensiblement identiques. Par conséquent, le courant de drain du transistor Q11b est déterminé par le rapport de la dimension du transistor Q11b sur les dimensions des transistors Q8b et Q9b. Le courant de drain du transistor Q15b est déterminé par le courant de drain du transistor Q10b et par le rapport de la dimension du circuit miroir de courant 15b sur la dimension du circuit miroir de courant 16b.

Comme il apparaît au vu de ce qui précède, une tension qui se situe sensiblement dans la plage de tensions d'alimentation est appliquée sur la grille du transistor Q11b et la performance de pilotage de courant en totalité du transistor est démontrée. La performance de pilotage de courant en totalité du transistor Q7b est démontrée en réglant la dimension du transistor Q15b de telle sorte que lorsque les tensions des signaux d'entrée I_P et I_M sont sensiblement identiques, le courant qui circule dans le transistor Q13b devienne plus important et le courant qui circule dans le transistor Q14b devienne plus petit.

Cependant, seulement le transistor de dernier étage Q11b réalise une conversion tension-courant, tel que vu depuis les transistors Q8b et Q9b lors de l'opération de poussée ou push du circuit d'amplificateur opérationnel 300 tandis que les fonctionnements des transistors Q10b et Q13b et du transistor de dernier étage Q15b sont nécessaires lors de l'opération de tirage ou pull. Ceci rend relativement faible la vitesse de fonctionnement du circuit d'amplificateur opérationnel 300 du second art antérieur.

La figure 4 est un schéma de circuit d'un circuit d'amplificateur opérationnel 400 conformément à un circuit de troisième art antérieur qui a la préférence pour un fonctionnement rapide. Dans le circuit d'amplificateur opérationnel 400, un transistor Q15b au niveau du dernier étage de sortie est piloté au moyen de la tension de drain d'un transistor Q8b qui présente une variation de tension opposée à une variation de tension au niveau d'un nœud N1b.

Un nœud N3b entre les transistors Q8b et Q6b est connecté à la grille d'un transistor PMOS Q10b. La grille du transistor Q15b au

niveau du dernier étage de sortie est connectée à la grille d'un transistor NMOS Q12b sur lequel le courant de drain du transistor Q10b est appliqué. Le circuit d'amplificateur opérationnel 400 ne comporte ni les transistors NMOS Q13b et Q14b, ni les transistors
5 Q2b, Q4b et Q5b qui sont représentés sur la figure 3.

Dans le circuit d'amplificateur opérationnel 400, les transistors Q12b et Q15b réalisent une conversion tension-courant, tel que vu depuis les transistors Q8b et Q9b. Par conséquent, le circuit d'amplificateur opérationnel 400 fonctionne plus rapidement que le
10 circuit d'amplificateur opérationnel 300 de la figure 3.

Le transistor Q10b est connecté au drain et à la grille du transistor Q8b et il forme un circuit miroir de courant en association avec le transistor Q8b. Lorsque les tensions des signaux d'entrée IP et IM ne sont pas identiques, par conséquent, seulement le courant qui
15 est deux fois plus grand que le courant qui circule lorsque les tensions des signaux d'entrée IP et IM sont identiques circule dans le transistor Q15b. Par conséquent, bien que le circuit d'amplificateur opérationnel 400 fonctionne vite, la performance de pilotage de sortie chute.

La figure 5 est un schéma de circuit d'un circuit de sortie de
20 courant 500 conformément à un circuit de quatrième art antérieur.

Le circuit de sortie de courant 500 inclut un circuit miroir de courant 11c et une source de courant 12c. Le circuit miroir de courant 11c inclut des transistors PMOS Q11c et Q12c. Les sources des transistors Q11c et Q12c sont connectées à une alimentation de
25 potentiel haut VD et le drain du transistor Q11c est connecté aux grilles des transistors Q11c et Q12c.

Le drain du transistor Q11c est connecté à la source de courant 12c et le drain du transistor Q12c est connecté à une borne de sortie OUT. Lorsqu'une tension prédéterminée est appliquée sur la borne de
30 sortie, un courant I12c qui est sensiblement le même que le courant de drain du transistor Q11c (c'est-à-dire le courant I11c de la source de courant 12c) circule dans le transistor Q12c. C'est-à-dire que le circuit de sortie de courant 500 émet en sortie le courant I12c qui est sensiblement le même que le courant d'entrée I11c.

Le circuit de sortie de courant 500 est utilisé dans un circuit analogique. En fonction de la structure du circuit analogique, les transistors PMOS sont remplacés par des transistors NMOS.

La figure 6 est un schéma de circuit d'un circuit de commutateur analogique 600 conformément à un circuit de cinquième art antérieur.

Le circuit de commutateur analogique 600 inclut une source de courant 21c, un circuit miroir de courant 22c, une paire différentielle 23c et un circuit miroir de courant 24c.

La source de courant 21c applique un courant I_{21c} sur le circuit miroir de courant 22c. Le circuit miroir de courant 22c inclut des transistors NMOS Q21c et Q22c. Le drain du transistor Q21c est connecté à la source de courant 21c. Les sources des transistors Q21c et Q22c sont connectées à une alimentation de potentiel bas VS et le drain du transistor Q21c est connecté aux grilles des transistors Q21c et Q22c. Le transistor Q22c présente une dimension qui est le double de la dimension du transistor Q21c et son drain est connecté à la paire différentielle 23c. Le transistor Q22c applique sur la paire différentielle 23c un courant de polarisation I_{22c} qui est le double du courant de drain du transistor Q21c (c'est-à-dire le courant I_{21c} de la source de courant 21c).

La paire différentielle 23c inclut des transistors NMOS Q23c et Q24c. Un nœud entre les sources des transistors Q23c et Q24c est connecté au drain du transistor Q22c. Les drains des transistors Q23c et Q24c sont respectivement connectés aux drains de transistors PMOS Q25c et Q26c du circuit miroir de courant 24c. Les sources des transistors Q25c et Q26c sont connectées à une alimentation de potentiel haut VD et le drain du transistor Q25c est connecté aux grilles des transistors Q25c et Q26c. La grille du transistor Q23c est connectée à une borne d'entrée T_i sur laquelle un signal d'entrée VIN est appliqué. La grille du transistor Q24c est connectée à une borne de sortie T_o et au drain du transistor Q24c. Un signal de sortie VOUT est émis en sortie depuis la borne de sortie T_o .

Le circuit de commutateur analogique 600 transfère seulement la composante de tension sur la borne de sortie T_o depuis la borne

d'entrée T_i . En d'autres termes, le circuit de commutateur analogique 600 ne transfère pas la composante de courant. Lorsque des courants de drain I_{23c} et I_{24c} des transistors Q_{23c} et Q_{24c} deviennent sensiblement égaux l'un à l'autre, les tensions source-grille V_{gs} des transistors Q_{23c} et Q_{24c} deviennent sensiblement égales l'une à l'autre. Lorsque le même courant de drain est appliqué depuis les transistors Q_{25c} et Q_{26c} , par conséquent, le signal de sortie V_{OUT} dont la tension est sensiblement égale à la tension du signal d'entrée V_{IN} est émis en sortie depuis la borne de sortie T_o .

10 Les transistors MOS comportent des condensateurs en relation avec les bornes individuelles et des tensions de nœud individuelles sont déterminées par la charge et par la décharge des condensateurs. Par exemple, dans le circuit de sortie de courant 500, lorsque le condensateur du transistor Q_{11c} est chargé et déchargé au moyen de l'alimentation de potentiel haut V_D et de la source de courant 12, la tension de grille du transistor Q_{12c} est déterminée. Le temps de charge/décharge est déterminé au moyen d'un condensateur et au moyen de la constante de temps comme défini par la valeur de résistance et par la valeur du courant. Plus les dimensions des transistors Q_{11c} et Q_{12c} deviennent importantes ou plus le courant qui circule devient faible, plus le temps de charge/décharge devient long.

20 La vitesse de fonctionnement du circuit de commutateur analogique 600 de la figure 6 est déterminée au moyen des vitesses de fonctionnement de la paire différentielle 23c et du circuit miroir de courant 24c. La vitesse de fonctionnement du circuit d'amplificateur opérationnel 400 de la figure 4 est déterminée par le circuit d'entrée différentielle 14b, par les transistors Q_{10b} et Q_{11b} et par le circuit miroir de courant qui inclut les transistors Q_{12b} et Q_{15b} .

30 Pour résumer, les vitesses de fonctionnement du circuit de sortie de courant 500, du circuit de commutateur analogique 600 et du circuit d'amplificateur opérationnel 400 sont affectées par la vitesse de fonctionnement du circuit miroir de courant. C'est-à-dire que le temps de fonctionnement du circuit miroir de courant empêche que la vitesse de fonctionnement de la totalité du circuit ne soit augmentée.

RÉSUMÉ DE L'INVENTION

Par conséquent, un premier objet de la présente invention consiste à proposer un circuit d'amplificateur opérationnel du type pôle à pôle qui présente un taux de réjection de mode commun amélioré et une caractéristique de fréquence améliorée.

Un second objet de la présente invention consiste à proposer un circuit d'amplificateur opérationnel qui fonctionne à une vitesse élevée et qui présente une performance de pilotage de sortie améliorée.

Un troisième objet de la présente invention consiste à proposer un circuit de sortie de courant, un circuit de commutateur analogique et un circuit d'amplificateur opérationnel qui fonctionnent à une vitesse élevée.

Selon un premier aspect de la présente invention, on propose un circuit d'amplificateur opérationnel qui inclut une première paire différentielle qui inclut un premier transistor qui est sensible à une première tension d'entrée et un second transistor qui est sensible à une seconde tension d'entrée, et une seconde paire différentielle qui inclut un troisième transistor qui est sensible à la première tension d'entrée et un quatrième transistor qui est sensible à la seconde tension d'entrée. Un cinquième transistor est connecté aux premier et troisième transistors. Un sixième transistor est connecté aux second et quatrième transistors. Une première source de courant qui est connectée à la première paire différentielle applique un premier courant de polarisation sur la première paire différentielle. Une seconde source de courant qui est connectée à la seconde paire différentielle applique un second courant de polarisation sur la seconde paire différentielle. Une troisième source de courant qui est connectée au cinquième transistor applique un troisième courant de polarisation sur le cinquième transistor. Une quatrième source de courant qui est connectée au sixième transistor applique un quatrième courant de polarisation sur le sixième transistor. Un circuit de commande qui est connecté aux première à quatrième sources de courant reçoit les première et seconde tensions d'entrée et commande les première à quatrième sources de courant de telle sorte que la somme des premier et second

courants de polarisation soit constante et que les second à quatrième courants de polarisation deviennent sensiblement égaux.

Selon un second aspect de la présente invention, on propose un circuit d'amplificateur opérationnel qui inclut une première paire différentielle qui inclut un premier transistor qui est sensible à une
5 première tension d'entrée et un second transistor qui est sensible à une seconde tension d'entrée, et une seconde paire différentielle qui inclut un troisième transistor qui est sensible à la première tension d'entrée et un quatrième transistor qui est sensible à la seconde tension d'entrée.
10 Un premier élément de résistance est connecté aux premier et troisième transistors. Un second élément de résistance est connecté aux second et quatrième transistors. Une première source de courant, qui est connectée à la première paire différentielle, applique un premier courant de polarisation sur la première paire différentielle. Une
15 seconde source de courant, qui est connectée à la seconde paire différentielle, applique un second courant de polarisation sur la seconde paire différentielle. Une troisième source de courant, qui est connectée au premier élément de résistance, applique un troisième courant de polarisation sur le premier élément de résistance. Une
20 quatrième source de courant, qui est connectée au second élément de résistance, applique un quatrième courant de polarisation sur le second élément de résistance. Un circuit de commande, qui est connecté aux première à quatrième sources de courant, reçoit les première et seconde tensions d'entrée et commande les première à quatrième
25 sources de courant de telle sorte que la somme des premier et second courants de polarisation soit constante et que les second à quatrième courants de polarisation deviennent sensiblement égaux.

Selon un troisième aspect de la présente invention, on propose un procédé de commande de premier et second courants de
30 polarisation qui sont respectivement appliqués sur des première et seconde paires différentielles d'un circuit d'amplificateur opérationnel. Le second courant de polarisation est commandé conformément à l'une des première et seconde tensions d'entrée. Le premier courant de polarisation est commandé en utilisant un courant constant

prédéterminé et un courant sensiblement égal au second courant de polarisation.

Selon un quatrième aspect de la présente invention, on propose un circuit d'amplificateur opérationnel qui inclut une première paire différentielle qui reçoit un premier courant de polarisation et qui
5 fonctionne en réponse à des première et seconde tensions d'entrée, et une seconde paire différentielle qui reçoit un second courant de polarisation et qui fonctionne en réponse aux première et seconde tensions d'entrée. Une première source de courant est connectée à la
10 première paire différentielle. Une seconde source de courant qui est connectée à la seconde paire différentielle produit le second courant de polarisation. Un circuit de commande qui est connecté aux première et seconde sources de courant commande la première source de courant de telle sorte que la première source de courant produise un courant
15 constant. Le circuit de commande produit le premier courant de polarisation au niveau d'un nœud entre la première paire différentielle et la première source de courant en additionnant un courant qui est sensiblement égal au second courant de polarisation au courant constant conformément à l'une des première et seconde tensions
20 d'entrée.

Selon un cinquième aspect de la présente invention, on propose un circuit d'amplificateur opérationnel qui inclut une première paire différentielle qui inclut un premier transistor à canal P sensible à une
25 première tension d'entrée et un second transistor à canal P sensible à une seconde tension d'entrée. La première paire différentielle reçoit un premier courant de polarisation. Une seconde paire différentielle inclut un premier transistor à canal N qui est sensible à la première tension d'entrée et un second transistor à canal N qui est sensible à la seconde tension d'entrée. La seconde paire différentielle reçoit un second
30 courant de polarisation. Une première source de courant inclut un troisième transistor à canal P qui est connecté entre la première paire différentielle et une alimentation de potentiel haut. Une seconde source de courant qui inclut un troisième transistor à canal N qui est connecté entre la seconde paire différentielle et une alimentation de potentiel bas

produit le second courant de polarisation. Un circuit de commande commande la première source de courant de telle sorte que la première source de courant produise un courant constant prédéterminé et commande les premier et second courants de polarisation. Le circuit
5 de commande inclut une troisième source de courant qui est connectée à la seconde source de courant. La troisième source de courant inclut un quatrième transistor à canal N qui produit un courant qui est sensiblement égal au second courant de polarisation. Le circuit de commande inclut un cinquième transistor à canal N qui est connecté au
10 quatrième transistor à canal N et à un nœud entre la première source de courant et la première paire différentielle. Le cinquième transistor à canal N est sensible à l'une des première et seconde tensions d'entrée.

Selon un sixième aspect de la présente invention, on propose un circuit d'amplificateur opérationnel qui inclut une première paire
15 différentielle qui inclut un premier transistor à canal P qui est sensible à une première tension d'entrée et un second transistor à canal P qui est sensible à une seconde tension d'entrée. La première paire différentielle reçoit un premier courant de polarisation. Une seconde paire différentielle inclut un premier transistor à canal N qui est sensible
20 à la première tension d'entrée et un second transistor à canal N qui est sensible à la seconde tension d'entrée. La seconde paire différentielle reçoit un second courant de polarisation. Une première source de courant inclut un troisième transistor à canal P qui est connecté entre la première paire différentielle et une alimentation de potentiel haut. Une
25 seconde source de courant qui inclut un troisième transistor à canal N qui est connecté entre la seconde paire différentielle et une alimentation de potentiel bas produit le second courant de polarisation. Un circuit de commande commande la seconde source de courant de telle sorte que la seconde source de courant produise un courant
30 constant prédéterminé et commande les premier et second courants de polarisation. Le circuit de commande inclut une troisième source de courant qui est connectée à la première source de courant. La troisième source de courant inclut un quatrième transistor à canal P qui produit un courant qui est sensiblement égal au premier courant de

polarisation. Le circuit de commande inclut un cinquième transistor à canal P qui est connecté au quatrième transistor à canal P et à un nœud entre la seconde source de courant et la seconde paire différentielle. Le cinquième transistor à canal P est sensible à l'une des

5 première et seconde tensions d'entrée.

Selon un septième aspect de la présente invention, on propose un circuit de commande qui est connecté à une première alimentation. Le circuit de commande commande un premier courant de sortie qui circule dans une première source de courant incluant un premier

10 transistor connecté en cascade à un second transistor qui présente la même polarité que celle du premier transistor. Le circuit de commande inclut une seconde source de courant qui est connectée à la première alimentation. La seconde source de courant inclut un troisième transistor. Un second courant de sortie qui est sensiblement égal au

15 premier courant de sortie circule jusqu'à la seconde source de courant. Un quatrième transistor est connecté en cascade au troisième transistor. Le quatrième transistor présente la même polarité que celle du troisième transistor et les second et quatrième transistors commandent les premier et second courants de sortie en commandant

20 la saturation/la non saturation des premier et troisième transistors conformément à un signal de tension. Une troisième source de courant qui est connectée à la seconde alimentation produit un troisième courant de sortie. Un quatrième courant de sortie dont la phase est l'opposé de celle du premier courant de sortie est produit en

25 additionnant le second courant de sortie et le troisième courant de sortie.

Selon un huitième aspect de la présente invention, on propose un circuit de sortie de courant qui inclut un circuit de source de courant constant qui inclut un premier transistor et un premier élément de

30 résistance connecté entre la grille et la source du premier transistor. Le circuit de source de courant constant fait en sorte qu'un premier courant qui circule au travers du premier élément de résistance soit égal à un premier courant de drain qui circule dans le premier transistor. Un circuit d'étage de sortie inclut un second transistor et un second

élément de résistance qui est connecté entre la grille et la source du second transistor. La valeur de résistance du second élément de résistance est proportionnelle à la valeur de résistance du premier élément de résistance. Le circuit d'étage de sortie produit un second
5 courant à partir du premier courant conformément à un rapport de courants qui est exprimé au moyen de l'inverse d'un rapport de la valeur de résistance du premier élément de résistance sur la valeur de résistance du second élément de résistance et établit une tension de grille du second transistor en appliquant le second courant sur le
10 second élément de résistance.

Selon un neuvième aspect de la présente invention, on propose un circuit de sortie de courant qui inclut un premier transistor dont le drain reçoit un premier courant, et un premier élément de résistance qui est connecté entre la grille et la source du premier transistor. La grille
15 d'un second transistor est connectée au drain du premier transistor et sa source est connectée à la grille du premier transistor. Un courant de drain est généré au niveau du drain du second transistor. La valeur de résistance d'un second élément de résistance est rapportée à la valeur de résistance du premier élément de résistance. La dimension d'un
20 troisième transistor est rapportée à la dimension du premier transistor. Le second élément de résistance est connecté entre la grille et la source du troisième transistor. Un second courant qui prend son origine à partir du courant de drain du second transistor est appliqué sur la grille du troisième transistor. Un troisième courant qui est rapporté au
25 premier courant est produit au niveau du drain du troisième transistor.

Selon un dixième aspect de la présente invention, on propose un circuit de commutateur analogique qui inclut un premier transistor dont le drain reçoit un premier courant, un premier élément de résistance qui est connecté entre la grille et la source du premier
30 transistor et un second transistor dont la grille est connectée au drain du premier transistor et dont la source est connectée à la grille du premier transistor. Un courant de drain est généré au niveau du drain du second transistor. Une paire différentielle inclut un transistor d'entrée dont la source reçoit un second courant qui prend son origine à

partir du courant de drain du second transistor et dont la grille reçoit un signal d'entrée. La paire différentielle inclut un transistor de sortie dont la source reçoit le second courant, dont la grille est connectée à une borne de sortie du circuit de commutateur analogique et dont le drain

5 est connecté à la grille du transistor de sortie. Un second élément de résistance est connecté au drain du transistor d'entrée. La valeur de résistance du second élément de résistance est rapportée à la valeur de résistance du premier élément de résistance. La dimension d'un troisième transistor est rapportée à la dimension du premier transistor.

10 Le second élément de résistance est connecté entre la grille et la source du troisième transistor, et le drain du troisième transistor est connecté au drain du transistor de sortie. Un troisième courant qui est rapporté au premier courant est généré au niveau du drain du troisième transistor.

15 Selon un onzième aspect de la présente invention, on propose un circuit d'amplificateur opérationnel qui inclut un premier transistor dont le drain reçoit un premier courant, un premier élément de résistance qui est connecté entre la grille et la source du premier transistor et un second transistor dont la grille est connectée au drain

20 du premier transistor et dont la source est connectée à la grille du premier transistor. Une paire différentielle inclut des premier et second transistors différentiels dont les sources reçoivent un second courant qui prend son origine à partir du courant de drain du second transistor et dont les grilles reçoivent respectivement des premier et second

25 signaux d'entrée. Des second et troisième éléments de résistance sont respectivement connectés aux drains des premier et second transistors différentiels. Un troisième transistor a sa grille qui est connectée à un premier nœud entre une première borne du second élément de résistance et le drain du premier transistor différentiel. La source du

30 troisième transistor est connectée à une seconde borne du second élément de résistance. Un troisième courant qui est rapporté au premier courant est généré au niveau du drain du troisième transistor. Un premier transistor de sortie a sa grille qui est connectée à un second nœud entre une troisième borne du troisième élément de

résistance et le drain du second transistor différentiel. La source du premier transistor de sortie est connectée à une quatrième borne du troisième élément de résistance. Un quatrième courant qui est rapporté au premier courant est généré au niveau du drain du premier transistor de sortie. Un quatrième élément de résistance est connecté au drain du troisième transistor. Un second transistor de sortie a sa grille qui est connectée à un troisième nœud entre le drain du troisième transistor et le quatrième élément de résistance. La source du second transistor de sortie est connectée au quatrième élément de résistance. Un cinquième courant qui correspond à une tension de grille du troisième transistor est généré au niveau du drain du second transistor de sortie sur la base du troisième courant.

D'autres aspects et d'autres avantages de l'invention apparaîtront au vu de la description qui suit qui est à considérer en conjonction avec les dessins annexés qui illustrent à titre d'exemple les principes de l'invention.

BRÈVE DESCRIPTION DES DESSINS

L'invention, en association avec ses objets et avantages, peut être mieux comprise par report à la description qui suit des modes de réalisation présentement préférés en association avec les dessins annexés parmi lesquels :

la figure 1 est un schéma de circuit d'un circuit d'amplificateur opérationnel selon un circuit de premier art antérieur ;

la figure 2 est un schéma de formes d'onde qui représente une commande de distribution de courants de polarisation ;

la figure 3 est un schéma de circuit d'un circuit d'amplificateur opérationnel selon un circuit de second art antérieur

la figure 4 est un schéma de circuit d'un circuit d'amplificateur opérationnel selon un circuit de troisième art antérieur

la figure 5 est un schéma de circuit d'un circuit d'amplificateur opérationnel selon un circuit de quatrième art antérieur

la figure 6 est un schéma de circuit d'un circuit d'amplificateur opérationnel selon un circuit de cinquième art antérieur

la figure 7 est un schéma de circuit d'un circuit d'amplificateur opérationnel conformément à un premier mode de réalisation de la présente invention ;

la figure 8 est un schéma de circuit du circuit d'amplificateur opérationnel conformément au premier mode de réalisation de la présente invention ;

la figure 9 est un schéma de circuit d'un circuit d'amplificateur opérationnel conformément à un second mode de réalisation de la présente invention ;

la figure 10 est un schéma de principe permettant d'expliquer une commande de courant de polarisation du circuit d'amplificateur opérationnel de la figure 9 ;

la figure 11 est un graphique qui représente la relation entre la tension d'entrée et le courant de polarisation dans le circuit d'amplificateur opérationnel de la figure 9 ;

la figure 12 est un schéma de circuit d'une modification du circuit d'amplificateur opérationnel de la figure 9 ;

la figure 13 est un schéma de circuit d'un circuit d'amplificateur opérationnel selon un troisième mode de réalisation de la présente invention ;

la figure 14 est un schéma qui représente la caractéristique VGS-ID d'un transistor MOS ;

la figure 15 est un schéma de circuit d'un circuit de sortie de courant ;

la figure 16 est un schéma de circuit d'un circuit de sortie de courant conformément à un quatrième mode de réalisation de la présente invention ;

la figure 17 est un schéma de circuit d'un circuit de commutateur analogique conformément à un cinquième mode de réalisation de la présente invention ; et

la figure 18 est un schéma de circuit d'un circuit d'amplificateur opérationnel conformément à un sixième mode de réalisation de la présente invention.

DESCRIPTION DÉTAILLÉE DU MODE DE RÉALISATION PRÉFÉRÉ

La figure 7 est un schéma de circuit d'un circuit d'amplificateur opérationnel du type pôle à pôle 230 conformément au premier mode de réalisation de la présente invention.

Une première tension d'entrée VIN- est appliquée sur une borne d'entrée inverseuse (la borne d'entrée négative) 231 du circuit d'amplificateur opérationnel 230 et une seconde tension d'entrée VIN+ est appliquée sur sa borne d'entrée non inverseuse (la borne d'entrée positive) 232. Les bornes d'entrée 231 et 232 sont respectivement connectées aux grilles de transistors PMOS Q221 et Q222 qui constituent une première paire différentielle 233. Les sources des transistors Q221 et Q222 sont connectées ensemble et un nœud entre les sources est connecté à une alimentation de potentiel haut VD via une première source de courant 234 qui applique un courant de polarisation sur les transistors Q221 et Q222. Les bornes d'entrée 231 et 232 sont également respectivement connectées aux grilles de transistors NMOS Q223 et Q224 qui constituent une seconde paire différentielle 235. Les sources des transistors Q223 et Q224 sont connectées ensemble et un nœud entre les sources est connecté à une alimentation de potentiel bas GND via une seconde source de courant 236 qui applique un courant de polarisation sur les transistors Q223 et Q224.

Les drains des transistors Q221 et Q222 sont respectivement connectés aux drains d'une paire de transistors NMOS Q225 et Q226 qui constituent un premier circuit miroir de courant 237. Les drains des transistors Q225 et Q226 sont respectivement connectés aux drains des transistors Q223 et Q224.

Les drains des transistors Q221 et Q223 sont connectés ensemble et un nœud entre les drains est connecté au drain du transistor d'étage de sortie Q225. Les drains des transistors Q222 et Q224 sont connectés ensemble et un nœud entre les drains est connecté au drain du transistor d'étage de sortie Q226.

Les grilles des transistors Q225 et Q226 sont connectées ensemble et un nœud entre les grilles est connecté au drain du transistor Q225. La source du transistor Q225 est connectée à

l'alimentation de potentiel bas GND et son drain est connecté à l'alimentation de potentiel haut VD via une troisième source de courant 238. La source du transistor Q226 est connectée à l'alimentation de potentiel bas GND et son drain est connecté à l'alimentation de potentiel haut VD via une quatrième source de courant 239.

Le drain du transistor Q226 est connecté à la grille du transistor NMOS Q227 au niveau du dernier étage de sortie. La source du transistor Q227 est connectée à l'alimentation de potentiel bas GND et son drain est connecté à l'alimentation de potentiel haut VD via une résistance R211. Le drain du transistor Q227 est connecté à une borne de sortie 240.

Un circuit de commande 241 de la figure 8 commande les première et seconde sources de courant 234 et 236 conformément aux tensions d'entrée VIN+ et VIN- de telle sorte que, comme représenté sur la figure 2, le total des courants de polarisation I211 et I212 qui sont appliqués depuis les première et seconde sources de courant 234 et 236 devienne constant. Le circuit de commande 241 commande les troisième et quatrième sources de courant 238 et 239 de telle sorte que les troisième et quatrième sources de courant 238 et 239 appliquent des courants I213 et I214 qui sont sensiblement égaux au courant de polarisation I212 de la seconde source de courant 236.

Le fonctionnement du circuit d'amplificateur opérationnel 230 sera décrit ci-après.

Le courant de polarisation I211 de la première source de courant 234 est appliqué sur les transistors Q225 et Q226 via les transistors Q221 et Q222. Le courant de polarisation I212 de la seconde source de courant 236 est appliqué sur les transistors Q225 et Q226 via les transistors Q223 et Q224.

Le courant en provenance de la première source de courant 234 se fusionne au courant en provenance de la seconde source de courant 236 et des courants Ia et Ib sont respectivement appliqués sur les transistors d'étage de sortie Q225 et Q226 depuis le point de fusion de courant. Les première et seconde sources de courant 234 et 236 sont commandées de telle sorte que la somme de leurs courants soit

toujours constante. Les seconde à quatrième sources de courant 236, 238 et 239 sont commandées afin d'appliquer des courants sensiblement identiques I_{212} à I_{214} .

5 Ce qui suit est l'analyse des courants I_{225} et I_{226} lorsque la tension d'entrée positive et la tension d'entrée négative sont les mêmes. Il est supposé ici que le sens des flèches sur la figure 7 est le sens de courant positif et que I_R est le courant total des courants en provenance des première et seconde sources de courant 234 et 236.

(1) Lorsque $I_{212} = 0$,
 10 du fait que $I_{211} + I_{212} = I_R$,
 $I_{211} = I_R$
 du fait que $I_{212} = I_{213} = I_{214}$,
 $I_{212} = I_{213} = I_{214} = 0$.

Puisque les première et seconde tensions d'entrée V_{IN-} et V_{IN+}
 15 présentent les mêmes valeurs, le même courant circule dans les transistors Q221 et Q222. Par conséquent :

$I_a = 0,5 \times I_R$
 $I_b = 0,5 \times I_R$
 par conséquent :
 20 $I_{225} = 0,5 \times I_R$
 $I_{226} = 0,5 \times I_R$

(2) Lorsque $I_{211} = I_{212}$
 du fait que $I_{211} + I_{212} = I_R$,
 25 $I_{211} = I_{212} = 0,5 \times I_R$
 du fait que $I_{212} = I_{213} = I_{214}$,
 $I_{212} = I_{213} = I_{214} = 0,5 \times I_R$
 par conséquent :
 $I_a = 0$
 30 $I_b = 0$
 par conséquent :
 $I_{225} = I_{213} = 0,5 \times I_R$
 $I_{226} = I_{214} = 0,5 \times I_R$

(3) Lorsque $I_{211} = 0$,
 du fait que $I_{211} + I_{212} = I_R$,
 $I_{212} = I_R$
 du fait que $I_{212} = I_{213} = I_{214}$,
 5 $I_{212} = I_{213} = I_{214} = I_R$
 par conséquent :
 $I_a = 0,5 \times (-I_R)$
 $I_b = 0,5 \times (-I_R)$
 par conséquent :
 10 $I_{225} = I_{213} = 0,5 \times I_R$
 $I_{226} = I_{214} = 0,5 \times I_R$

Comme il apparaît au vu de ce qui précède, les courants qui traversent les transistors d'étage de sortie Q225 et Q226 sont
 15 constants indépendamment du rapport de distribution du courant I_{211} de la première source de courant 234 sur le courant I_{212} de la seconde source de courant 236.

Le courant I_{211} de la première source de courant 234 est appliqué sur les transistors d'étage de sortie Q225 et Q226 via la
 20 première paire différentielle 233 et le courant I_{212} de la seconde source de courant 236 est appliqué sur les transistors Q225 et Q226 via la seconde paire différentielle 235. Par conséquent, il n'y a pas de retard temporel entre la commande des transistors d'étage de sortie Q225 et Q226 en utilisant le courant I_{211} de la première source de
 25 courant 234 et la commande des transistors d'étage de sortie Q225 et Q226 en utilisant le courant I_{212} de la seconde source de courant 236. Ceci conduit à une amélioration du taux de réjection de mode commun.

Les détails du circuit d'amplificateur opérationnel 230 feront l'objet d'une discussion ci-après par report à la figure 8.

30 Le circuit de commande 241 inclut une source de courant constant 251 qui applique un courant constant I_R et un circuit de commande de courant de polarisation 252 qui distribue le courant I_R sur les première et seconde sources de courant 234 et 236 sur la base des première et seconde tensions d'entrée V_{IN-} et V_{IN+} .

Le circuit de commande de courant de polarisation 252 inclut des transistors NMOS Q231, Q232 et Q233. Les sources des transistors Q231, Q232 et Q233 sont connectées à l'alimentation de potentiel bas GND via la source de courant constant 251. Une tension de référence VR est appliquée sur la grille du premier transistor Q231, la première tension d'entrée VIN- est appliquée sur la grille du second transistor Q232 et la seconde tension d'entrée VIN+ est appliquée sur la grille du troisième transistor Q233. Le circuit de commande de polarisation 252 compare la tension de référence VR aux première et seconde tensions d'entrée VIN- et VIN+ et distribue le courant constant IR sur les première et seconde sources de courant 234 et 236.

Le drain du premier transistor Q231 est connecté à l'alimentation de potentiel haut VD via des transistors PMOS Q234 et Q235. Une tension de polarisation VB est appliquée sur la grille du transistor Q234. La grille et le drain du transistor Q235 sont connectés ensemble via les transistors Q234. La grille du transistor Q235 est connectée à la première source de courant 234.

Les drains des second et troisième transistors Q232 et Q233 sont connectés ensemble et un nœud entre les drains est connecté à l'alimentation de potentiel haut VD via des transistors PMOS Q236 et Q237. La tension de polarisation VB est appliquée sur la grille du transistor Q236. La grille et le drain du transistor Q237 sont connectés ensemble via le transistor Q236. La grille du transistor Q237 est connectée au transistor Q238 et aux troisième et quatrième sources de courant 238 et 239.

La source du transistor Q238 est connectée à l'alimentation de potentiel haut VD et son drain est connecté à la seconde source de courant 236 via un transistor PMOS Q239. Les transistors Q238 et Q237 forment un circuit miroir de courant qui applique sur la seconde source de courant 236 un courant qui est sensiblement égal aux courants qui passent au travers des transistors Q232 et Q233.

La première source de courant 234 inclut des transistors PMOS Q241 et Q242. La source du transistor Q241 est connectée à l'alimentation de potentiel haut VD et son drain est connecté à la

première paire différentielle 233 via les transistors Q242. La tension de polarisation VB est appliquée sur la grille du transistor Q242. La grille du transistor Q241 est connectée à la grille du transistor Q235. Les transistors Q241 et Q235 forment un circuit miroir de courant et le
5 courant I211 qui est sensiblement égal au courant qui traverse le premier transistor Q231 circule dans le transistor Q241.

La seconde source de courant 236 inclut des transistors NMOS Q243 et Q244. La source du transistor Q243 est connectée à l'alimentation de potentiel bas GND et son drain est connecté au drain
10 du transistor Q238 via le transistor Q239. La grille du transistor Q243 est connectée à son drain et à la grille du transistor Q244. La source du transistor Q244 est connectée à l'alimentation de potentiel bas GND et son drain est connecté à la seconde paire différentielle 235. Les transistors Q243 et Q244 forment un circuit miroir de courant et le
15 courant I212 qui est sensiblement égal au courant qui passe au travers du transistor Q238, c'est-à-dire un courant égal à la somme des courants qui passent au travers des second et troisième transistors Q232 et Q233, circule dans le transistor Q244.

La troisième source de courant 238 inclut des transistors PMOS
20 Q245 et Q246. La source du transistor Q245 est connectée à l'alimentation de potentiel haut VD et son drain est connecté au transistor Q225 via le transistor Q246. La tension de polarisation VB est appliquée sur la grille du transistor Q246. La grille du transistor Q245 est connectée à la grille du transistor Q237. Les transistors Q245
25 et Q237 forment un circuit miroir de courant et le courant I213 qui est sensiblement égal à la somme des courants qui passent au travers des second et troisième transistors Q232 et Q233 circule dans le transistor Q245.

La quatrième source de courant 239 inclut des transistors
30 PMOS Q247 et Q248. La source du transistor Q247 est connectée à l'alimentation de potentiel haut VD et son drain est connecté au transistor Q226 via le transistor Q248. La tension de polarisation VB est appliquée sur la grille du transistor Q248. La grille du transistor Q247 est connectée à la grille du transistor Q237. Les transistors Q247

et Q237 forment un circuit miroir de courant et le courant de polarisation I_{214} qui est sensiblement égal à la somme des courants qui passent au travers des second et troisième transistors Q232 et Q233 circule dans le transistor Q247.

5 Les transistors Q234, Q236, Q239, Q242, Q246 et Q248 forment un étage en cascade en relation avec le circuit miroir de courant qui inclut les transistors Q235 et Q241 et en relation avec le circuit miroir de courant qui inclut les transistors Q237, Q238, Q245 et Q247.

10 Une description du fonctionnement du circuit d'amplificateur opérationnel 230 sera maintenant présentée dans un état statique dans lequel les première et seconde tensions d'entrée V_{IN-} et V_{IN+} sont identiques. Le courant I_R de la source de courant constant 255 est exprimé au moyen de "A" et les courants qui passent au travers des
15 transistors Q221, Q222, Q223, Q224, Q225 et Q226 sont respectivement exprimés au moyen de " I_{221} ", " I_{222} ", " I_{223} ", " I_{224} ", " I_{225} " et " I_{226} ".

(1) Lorsque la tension de référence $V_R >$ tension d'entrée V_{IN+} , V_{IN-} :

20 la plus grande part du courant constant I_R est distribuée sur le premier transistor Q231. On suppose que le courant qui passe au travers du premier transistor Q231 est de 0,8 A et que la somme des courants qui passent au travers des second et troisième transistors Q232 et Q233 est égale à 0,2 A.

25 Le courant qui passe au travers du premier transistor Q231 est appliqué sur les transistors Q221 et Q222 de la première paire différentielle 233 au moyen du circuit miroir de courant qui est constitué par les transistors Q235 et Q241. Du fait de l'état statique selon lequel les tensions d'entrée V_{IN+} et V_{IN-} sont identiques, le courant d'entrée
30 est distribué de façon uniforme sur les transistors Q221 et Q222 dans le circuit d'amplificateur opérationnel 230. Par conséquent, $I_{221} = I_{222} = 0,4$ A.

Les courants qui passent au travers des second et troisième transistors Q232 et Q233 sont appliqués sur les transistors Q223 et

Q224 de la seconde paire différentielle 235 au moyen du circuit miroir de courant qui est constitué par les transistors Q237, Q238, Q243 et Q244 et le courant d'entrée est distribué de façon uniforme sur les transistors Q223 et Q224. Par conséquent, $I_{224} = I_{223} = 0,1 \text{ A}$.

5 Les courants qui passent au travers des transistors Q232 et Q233 deviennent tels que $I_{213} = I_{214} = 0,2 \text{ A}$ du fait du circuit miroir de courant qui est constitué par les transistors Q237, Q245 et Q247.

Les courants I_{225} et I_{226} qui circulent jusqu'aux transistors d'étage de sortie sont calculés comme suit :

$$\begin{aligned} 10 \quad I_{225} &= I_{213} - I_{223} + I_{221} \\ &= 0,2 \text{ A} - 0,1 \text{ A} + 0,4 \text{ A} \\ &= 0,5 \text{ A} \end{aligned}$$

$$\begin{aligned} I_{226} &= I_{214} - I_{224} + I_{222} \\ &= 0,2 \text{ A} - 0,1 \text{ A} + 0,4 \text{ A} \end{aligned}$$

$$15 \quad = 0,5 \text{ A}$$

(2) Lorsque la tension de référence $V_R =$ tension d'entrée V_{IN+} , V_{IN-} :

Le courant constant I_R est distribué de façon uniforme sur le premier transistor Q231 et sur les second et troisième transistors Q232 et Q233.

20 Le courant qui passe au travers du transistor Q231 est appliqué sur les transistors Q221 et Q222 au moyen du circuit miroir de courant qui est constitué par les transistors Q235 et Q241. Dans l'état statique, le courant d'entrée est distribué de façon uniforme sur les transistors

25 Q221 et Q222. Par conséquent, $I_{221} = I_{222} = 0,25 \text{ A}$.

Les courants qui passent au travers des transistors Q232 et Q233 sont appliqués sur les transistors Q223 et Q224 au moyen du circuit miroir de courant qui est constitué par les transistors Q237, Q238, Q243 et Q244. Le courant d'entrée est distribué de façon

30 uniforme sur les transistors Q223 et Q224. Par conséquent, $I_{224} = I_{223} = 0,25 \text{ A}$.

Du fait du circuit miroir de courant qui est constitué par les transistors Q237, Q245 et Q247, $I_{213} = I_{214} = 0,5 \text{ A}$.

Les courants I_{225} et I_{226} qui circulent jusqu'aux transistors d'étage de sortie sont calculés comme suit :

$$\begin{aligned} I_{225} &= I_{213} - I_{223} + I_{221} \\ &= 0,5 \text{ A} - 0,25 \text{ A} + 0,25 \text{ A} \\ &= 0,5 \text{ A} \end{aligned}$$

5

$$\begin{aligned} I_{226} &= I_{214} - I_{224} + I_{222} \\ &= 0,5 \text{ A} - 0,25 \text{ A} + 0,25 \text{ A} \\ &= 0,5 \text{ A} \end{aligned}$$

(3) Lorsque la tension de référence $V_R <$ tension d'entrée V_{IN+} ,
10 V_{IN-} :

une faible part du courant constant I_R est distribuée sur le premier transistor Q_{231} . On suppose que le courant qui traverse le premier transistor Q_{231} vaut $0,2 \text{ A}$ et que la somme des courants qui traversent les second et troisième transistors Q_{232} et Q_{233} vaut $0,8 \text{ A}$.

15 Le courant qui traverse le premier transistor Q_{231} est appliqué sur les transistors Q_{221} et Q_{222} au moyen du circuit miroir de courant qui est constitué par les transistors Q_{235} et Q_{241} . Dans l'état statique, le courant d'entrée est distribué de façon uniforme sur les transistors Q_{221} et Q_{222} . Par conséquent, $I_{222} = I_{221} = 0,1 \text{ A}$.

20 Les courants qui traversent les second et troisième transistors Q_{232} et Q_{233} sont appliqués sur les transistors Q_{223} et Q_{224} au moyen du circuit miroir de courant qui est constitué par les transistors Q_{237} , Q_{238} , Q_{243} et Q_{244} . Dans l'état statique, le courant d'entrée est distribué de façon uniforme sur les transistors Q_{223} et Q_{224} . Par
25 conséquent, $I_{224} = I_{223} = 0,4 \text{ A}$.

Du fait du circuit miroir de courant qui est constitué par les transistors Q_{237} , Q_{245} et Q_{247} , $I_{213} = I_{214} = 0,8 \text{ A}$.

Les courants I_{225} et I_{226} qui circulent jusqu'aux transistors d'étage de sortie sont calculés comme suit :

$$\begin{aligned} I_{225} &= I_{213} - I_{223} + I_{221} \\ &= 0,8 \text{ A} - 0,4 \text{ A} + 0,1 \text{ A} \\ &= 0,5 \text{ A} \\ I_{226} &= I_{214} - I_{224} + I_{222} \\ &= 0,8 \text{ A} - 0,4 \text{ A} + 0,1 \text{ A} \end{aligned}$$

30

= 0,5 A

Le circuit d'amplificateur opérationnel 230 du premier mode de réalisation présente les avantages qui suivent :

(1) Le circuit de commande 241 commande les première à
5 quatrième sources de courant 234, 236, 238 et 239 sur la base des
première et seconde tensions d'entrée VIN- et VIN+ de telle sorte que
la somme des courants de polarisation I211 et I212 des première et
seconde sources de courant 234 et 236 soit maintenue constante et
que les courants de polarisation I212, I213 et I214 des seconde à
10 quatrième sources de courant 236, 238 et 239 deviennent sensiblement
égaux les uns aux autres. En tant que résultat, les courants qui passent
au travers des transistors d'étages de sortie Q225 et Q226 sont
maintenus constants indépendamment des première et seconde
tensions d'entrée VIN- et VIN+, ce qui conduit à un taux de réjection de
15 mode commun amélioré.

(2) Les transistors Q221 et Q223 des première et seconde
paires différentielles 233 et 235 qui reçoivent la première tension
d'entrée VIN- sont connectés au transistor d'étage de sortie Q225 et les
transistors Q222 et Q224 des première et seconde paires différentielles
20 233 et 235 qui reçoivent la seconde tension d'entrée VIN+ sont
connectés au transistor d'étage de sortie Q226. Par conséquent, il n'y a
pas de retard temporel entre la commande des transistors d'étage de
sortie au moyen de la première paire différentielle 233 et la commande
des transistors d'étage de sortie au moyen de la seconde paire
différentielle 235. Ceci conduit à une caractéristique de fréquence
25 améliorée.

Le premier mode de réalisation peut être modifié comme suit.

Selon le premier mode de réalisation, les transistors d'étage de
sortie Q225 et Q226 peuvent remplacés par des éléments de
30 résistance qui présentent la même valeur de résistance. Dans ce cas,
un transistor d'étage de sortie qui comporte une grille qui est connectée
à un noeud entre l'élément de résistance associé et la troisième source
de courant 238 peut être prévu additionnellement. Des signaux de
sortie d'amplificateur opérationnel complémentaires peuvent être

acquis à partir du transistor d'étage de sortie additionnel et du transistor d'étage de sortie Q227.

Tous les transistors NMOS selon le premier mode de réalisation ou certains d'entre eux peuvent être remplacés par des transistors bipolaires NPN et tous les transistors PMOS ou certains d'entre eux peuvent être remplacés par des transistors bipolaires PNP.

Un circuit d'amplificateur opérationnel du type pôle à pôle conformément au second mode de réalisation de l'invention sera maintenant décrit par report aux figures 9 à 11.

Comme représenté sur la figure 9, le circuit d'amplificateur opérationnel 340 comporte un circuit d'étage d'entrée 341, un circuit d'étage de sortie 342 et un circuit de commande 343.

Le circuit d'étage d'entrée 341 inclut une paire différentielle de tension d'entrée faible (première paire différentielle d'entrée) 351, une paire différentielle de tension d'entrée élevée (seconde paire différentielle d'entrée) 352, une source de courant de tension élevée (première source de courant) 353 et une source de courant de tension faible (seconde source de courant) 354.

La première paire différentielle d'entrée 351 inclut des transistors PMOS Q321 et Q322. La grille du transistor Q321 est connectée à la borne d'entrée non inverseuse (la borne d'entrée positive), soit T311, du circuit d'amplificateur opérationnel 340 sur laquelle la première tension d'entrée V_{IN+} est appliquée. La grille du transistor Q322 est connectée à la borne d'entrée inverseuse (la borne d'entrée négative), soit T312, du circuit d'amplificateur opérationnel 340 sur laquelle la seconde tension d'entrée V_{IN-} est appliquée. Les sources des transistors Q321 et Q322 sont connectées ensemble et un noeud entre les sources est connecté à une alimentation de potentiel haut V_D via la première source de courant 353. Les drains des transistors Q321 et Q322 sont connectés au circuit d'étage de sortie 342. La première source de courant 353 applique un courant de polarisation sur les transistors Q321 et Q322.

La seconde paire différentielle d'entrée 352 inclut des transistors NMOS Q323 et Q324. La grille du transistor Q323 est

connectée à la première borne d'entrée T311 sur laquelle la première tension d'entrée VIN+ est appliquée. La grille du transistor Q324 est connectée à la seconde borne d'entrée T312 sur laquelle la seconde tension d'entrée VIN- est appliquée. Les sources des transistors Q323 et Q324 sont connectées ensemble et un noeud entre les sources est connecté à une alimentation de potentiel bas VS via la seconde source de courant 354. Le drain du transistor Q323 est connecté au circuit d'étage de sortie 342 via un circuit miroir de courant 355. Le drain du transistor Q324 est connecté au circuit d'étage de sortie 342 via un circuit miroir de courant 356. La seconde source de courant 354 applique un courant de polarisation sur les transistors Q323 et Q324.

La première source de courant 353 inclut un transistor PMOS Q325. La source du transistor Q325 est connectée à l'alimentation de potentiel haut VD et son drain est connecté à la première paire différentielle d'entrée 351. La grille du transistor Q325 est connectée au circuit de commande 343.

La seconde source de courant 354 inclut un transistor NMOS Q326. La source du transistor Q326 est connectée à l'alimentation de potentiel bas VS et son drain est connecté à la seconde paire différentielle d'entrée 352. La grille du transistor Q326 est connectée au circuit de commande 343.

Le circuit miroir de courant 355 inclut une paire de transistors PMOS Q327 et Q328. La source du transistor Q327 est connectée à l'alimentation de potentiel haut VD et son drain est connecté au transistor Q323. La grille du transistor Q327 est connectée à son drain et à la grille du transistor Q328. La source du transistor Q328 est connectée à l'alimentation de potentiel haut VD et son drain est connecté à un circuit miroir de courant 357 du circuit d'étage de sortie 342.

Le circuit miroir de courant 356 inclut une paire de transistors PMOS Q329 et Q330. La source du transistor Q329 est connectée à l'alimentation de potentiel haut VD et son drain est connecté au transistor Q324. La grille du transistor Q329 est connectée à son drain et à la grille du transistor Q330. La source du transistor Q330 est

connectée à l'alimentation de potentiel haut VD et son drain est connecté au circuit miroir de courant 357.

Le circuit miroir de courant 357 inclut une paire constituée par des transistors NMOS Q331 et Q332. La source du transistor Q331 est
5 connectée à l'alimentation de potentiel bas VS et son drain est connecté aux drains des transistors Q322 et Q328. La grille du transistor Q331 est connectée à son drain et à la grille du transistor Q332. La source du transistor Q332 est connectée à l'alimentation de
10 Q321 et Q330. Le drain du transistor Q332 est connecté à la grille du transistor d'étage de sortie Q333.

Le transistor d'étage de sortie Q333 est de préférence un transistor NMOS. La source du transistor Q333 est connectée à
15 l'alimentation de potentiel bas VS et son drain est connecté à l'alimentation de potentiel haut VD via une résistance R321. Le drain du transistor Q333 est également connecté à une borne de sortie T313 qui émet en sortie un signal de sortie d'amplificateur opérationnel OUT.

Le circuit de commande 343 commande la première source de courant 353 de telle sorte que la première source de courant 353
20 applique un courant constant I31a. Le circuit de commande 343 produit un premier courant de polarisation I31b destiné à être appliqué sur la première paire différentielle d'entrée 351. Le courant constant I31b est produit en additionnant un courant I32b au courant constant I31a. Le courant I32b est sensiblement égal à un second courant de polarisation
25 I32a qui est destiné à être appliqué sur la seconde paire différentielle d'entrée 352 à partir de la seconde source de courant 354 sur la base de la première tension d'entrée VIN+. Selon le second mode de réalisation, du fait que le courant constant I31a est séparé selon le courant I32b et selon le premier courant de polarisation I31b, le courant
30 I32b présente une valeur négative par rapport au premier courant de polarisation I31b du point de vue du calcul.

Le circuit de commande 343 inclut des sources de courant constant 361 et 362, un transistor PMOS Q341 et des transistors NMOS Q342, Q343 et Q344. La première source de courant constant

361 est connectée à l'alimentation de potentiel haut VD via le transistor Q341 et à l'alimentation de potentiel bas VS via le transistor Q342. La première source de courant constant 361 produit un courant constant I.

5 La source du transistor Q341 est connectée à l'alimentation de potentiel haut VD et son drain est connecté à la source de courant constant 361. La grille du transistor Q341 est connectée à son drain et à la grille du transistor Q325. Les transistors Q341 et Q325 sont connectés selon un mode miroir de courant de telle sorte que le courant constant I31a qui est égal au courant I en provenance de la source de
10 courant constant 361 circule jusqu'au transistor Q325.

La source du transistor Q342 est connectée à l'alimentation de potentiel bas VS et son drain est connecté à la source de courant constant 361. La grille du transistor Q342 est connectée à son drain et à la grille du transistor Q326.

15 La seconde source de courant constant 362 est de préférence le transistor NMOS Q343. Le transistor NMOS Q344 qui présente la même polarité que celle du transistor Q343 est connecté en cascade au transistor Q343. Les transistors Q343 et Q344 présentent respectivement les mêmes caractéristiques électriques que les
20 transistors Q326 et Q323 et sont connectés d'une façon similaire à celle des transistors Q326 et Q323.

La source du transistor Q343 est connectée à l'alimentation de potentiel bas VS, son drain est connecté à la source du transistor Q344 et sa grille est connectée à la grille du transistor Q342. Par conséquent,
25 le transistor Q343 est connecté au transistor Q342 selon un mode miroir de courant. La première tension d'entrée VIN+ est appliquée sur la grille du transistor Q344 via la première borne d'entrée T311.

Lorsque la tension de grille du transistor Q323 est commandée au moyen de la première tension d'entrée VIN+, la tension de source
30 du transistor Q323 (c'est-à-dire la tension de drain du transistor Q326) est modifiée et la saturation/non saturation du transistor Q326 est commandée. Lorsque la tension de grille du transistor Q344 est commandée au moyen de la première tension d'entrée VIN+, la tension de source du transistor Q344 (c'est-à-dire la tension de drain du

transistor Q343) est modifiée et la saturation/la non saturation du transistor Q343 est commandée. Par conséquent, le courant I32b qui est identique au second courant de polarisation I32a qui circule jusqu'au transistor Q326 circule jusqu'au transistor Q343.

5 Le drain du transistor Q344 est connecté à un noeud N311 entre la première source de courant 353 et la première paire différentielle d'entrée 351. Par conséquent, le courant I31a qui circule jusqu'à la première source de courant 353 est séparé selon le premier courant de polarisation I31b qui est appliqué sur la première paire différentielle
10 d'entrée 351 et selon le courant I32b qui circule jusqu'au transistor Q344. C'est-à-dire que le premier courant de polarisation I31b dont la phase est l'opposé de celle du second courant de polarisation I32a est produit en additionnant le courant négatif I32b qui est sensiblement égal au second courant de polarisation I32a au courant constant I31a
15 de la première source de courant 353.

Par report maintenant à la figure 1, une description de la façon de commander les premier et second courants de polarisation I31b et I31a du circuit d'amplification opérationnel 340 dans le cas où les première et seconde tensions d'entrée VIN+ et VIN- de la même phase
20 sont appliquées sera présentée. La figure 10 est un schéma de principe permettant d'expliquer une commande de courant de polarisation et elle représente un circuit de commande de courant 370. Sur la figure 10, les mêmes index de référence sont octroyés aux composants qui sont les mêmes que les composants correspondants qui sont représentés sur la
25 figure 9.

Comme représenté sur la figure 10, un transistor NMOS Q351 est connecté entre le noeud N11 et l'alimentation de potentiel bas VS et la grille du transistor Q351 est connectée à son drain.

Un transistor NMOS Q352 est connecté en cascade au
30 transistor Q326. De façon spécifique, la source du transistor NMOS Q352 est connectée au drain du transistor Q326 et la tension d'entrée VIN (VIN+, VIN-) est appliquée sur la grille du transistor Q352. Le drain du transistor Q352 est connecté à l'alimentation de potentiel haut VD

via un transistor PMOS Q353. La grille du transistor Q353 est connectée à son drain.

Sur la figure 10, le transistor NMOS Q351 correspond à la première paire différentielle d'entrée 351 de la figure 9 et le transistor
5 Q352 correspond à la seconde paire différentielle d'entrée 352. Par conséquent, le premier courant de polarisation I31b circule jusqu'au transistor Q351 et le second courant de polarisation I32a circule jusqu'au transistor Q352.

Les transistors Q341 et Q325 forment un circuit miroir de
10 courant et le courant I31a qui est sensiblement égal au courant I de la source de courant constant 361 circule jusqu'au transistor Q325. Le courant I31a est constant.

Les transistors Q326, Q342 et Q343 forment un circuit miroir de
15 courant et les courants I32a et I32b qui sont basés sur le courant I de la source de courant constant 361 circulent respectivement jusqu'aux transistors Q326 et Q343. Les courants I32a et I32b correspondent aux tensions de grille (c'est-à-dire à la tension d'entrée VIN) des transistors Q352 et Q344 qui sont respectivement connectés en cascade aux transistors Q326 et Q343.

20 Lorsque la tension d'entrée VIN est égale à la tension de l'alimentation de potentiel haut VD, les courants I32a et I32b sont sensiblement égaux au courant I ($I_{32a} = I_{32b} = I$). Par conséquent, tout le courant I31a du transistor Q325 circule jusqu'au transistor Q343 et le courant I31b qui circule jusqu'au transistor Q351 devient égal à 0
25 (zéro).

Lorsque la tension d'entrée VIN chute, la tension de source du transistor Q344 chute également. Du fait que la tension de drain du transistor Q343 est la même que la tension de source du transistor Q344, la tension de drain du transistor Q343 chute en conformité avec
30 la décroissance de la tension d'entrée VIN. Lorsque la tension de drain du transistor Q343 décroît jusqu'au niveau qui ne permet pas au même courant que le courant de drain du transistor Q342 de circuler jusqu'au transistor Q342, le courant de drain du transistor Q343 diminue et le courant I32b devient inférieur au courant I ($I_{32b} < I$). Par conséquent, le

courant I_{32b} ne devient pas égal au courant constant I_{31a} ($I_{32b} \neq I_{31a}$) et le courant I_{31b} du transistor Q351 devient supérieur à zéro ($I_{31b} > 0$).

Lorsque la tension d'entrée V_{IN} décroît davantage, le transistor
 5 Q343 devient inopérant et le courant I_{32b} devient égal à zéro ($I_{32b} = 0$). A cet instant, tout le courant I_{31a} qui circule jusqu'au transistor Q325 circule jusqu'au transistor Q351 de telle sorte que le courant I_{31b} devient égal au courant I de la source de courant constant 361 ($I_{31b} = I_{31a} = I$). Du fait de la tension d'entrée V_{IN} , la tension de drain du
 10 transistor Q326 devient sensiblement égale à la tension de drain du transistor Q343 et les courants I_{32a} et I_{32b} deviennent sensiblement égaux l'un à l'autre ($I_{32a} = I_{32b}$).

Lorsque la tension d'entrée V_{IN} devient égale à la tension de
 l'alimentation de potentiel bas V_S , les courants I_{32a} et I_{32b} deviennent
 15 égaux à zéro. Par conséquent, tout le courant I_{31a} qui circule jusqu'au transistor Q325 circule jusqu'au transistor Q351 de telle sorte que le courant I_{31b} devient égal au courant I de la source de courant constant 361 ($I_{31b} = I_{31a} = I$).

Lorsque la tension d'entrée V_{IN} présente un niveau haut ou H (à
 20 proximité de la tension de l'alimentation de potentiel haut V_D), comme représenté sur la figure 11, $I_{32a} = I$ et $I_{31b} = 0$.

Lorsque la tension d'entrée V_{IN} décroît et que la tension qui est
 acquise en soustrayant la tension grille-source V_{GS} des transistors
 Q344 et Q353 de la tension d'entrée V_{IN} décroît au-dessous d'une
 25 tension de seuil V_H des transistors Q343 et Q326, $I_{32a} < I$ et $I_{31b} > 0$. La tension de seuil V_H est le niveau de seuil au niveau duquel les transistors Q343 et Q326 peuvent émettre en sortie le courant I .

Lorsque la tension d'entrée V_{IN} décroît davantage et que la
 tension soustraite passe au-dessous d'une tension de seuil V_L , $I_{32a} =$
 30 0 et $I_{31b} = I$. La tension de seuil V_L est le niveau de seuil auquel les transistors Q343 et Q326 peuvent émettre en sortie un courant.

Les courants I_{32b} et I_{32a} qui circulent respectivement jusqu'aux
 transistors Q344 et Q352 varient simultanément en fonction de la
 tension de grille ou de la tension d'entrée V_{IN} . Puisque le courant I_{31a}

qui circule jusqu'au transistor Q325 est constant, le courant I_{31b} varie en même temps que les courants I_{32b} et I_{32a} . Dans ce cas, les valeurs des variations (valeurs absolues) au niveau des courants I_{31b} , I_{32b} et I_{32a} sont les mêmes.

5 La tension de seuil V_H à laquelle le courant I_{32a} commence à devenir plus petit que le courant I est déterminée par les dimensions de dispositif des transistors Q342 à Q353 et par les conditions de processus. C'est-à-dire que la tension de seuil V_H n'est pas déterminée lorsque la constante de circuit est établie mais est déterminée en
10 fonction des points de fonctionnement des transistors Q342 à Q353.

Le fonctionnement du circuit d'amplificateur opérationnel 340 fera l'objet d'une discussion ci-après.

Le courant de polarisation I qui est appliqué depuis la source de courant constant 361 est appliqué sur le transistor Q344 et sur les
15 transistors Q321 et Q322 de la première paire différentielle d'entrée 351 au moyen du circuit miroir de courant qui inclut les transistors Q341 et Q325. Le courant I_{31a} qui circule jusqu'au transistor Q325 est constant.

Le courant I est appliqué sur le transistor Q344 et sur les
20 transistors Q323 et Q324 de la seconde paire différentielle d'entrée 352 au moyen du circuit miroir de courant qui est constitué par les transistors Q342, Q343 et Q326.

La première tension d'entrée V_{IN+} d'un niveau haut ou H est appliquée sur la grille du transistor Q344, le transistor Q343 réalise un
25 effet miroir de courant du transistor Q342 de telle sorte que $I_{32b} = I$. Puisque $I_{32b} = I_{31a}$, le premier courant de polarisation I_{31b} sur les transistors Q321 et Q322 devient égal à zéro ($I_{31b} = 0$).

Puisque la première tension d'entrée V_{IN+} décroît, la tension de source du transistor Q344 chute. La tension de source du transistor
30 Q344 est sensiblement égale à la tension de drain du transistor Q343. Par conséquent, la tension de drain du transistor Q343 décroît également. Lorsque la tension de drain du transistor Q343 décroît jusqu'au niveau qui ne permet pas au courant qui est sensiblement égal au courant de drain du transistor Q342 de circuler jusqu'au transistor

Q343, le courant de drain du transistor Q343 diminue ($I_{32b} < I$). Par conséquent, $I_{32b} \neq I_{31a}$ et le premier courant de polarisation I_{31b} sur les transistors Q321 et Q322 devient supérieur à 0 ($I_{31b} > 0$).

Lorsque la première tension d'entrée V_{IN+} décroît davantage, le transistor Q343 devient inopérant et le courant I_{32b} devient égal à zéro ($I_{32b} = 0$). A cet instant, le premier courant de polarisation I_{31b} devient égal au courant I_{31a} ($I_{31b} = I_{31a} = I$).

L'état de la connexion des transistors Q326, Q323 et Q324 est le même que l'état de la connexion des transistors Q343 et Q344 et la tension de drain du transistor Q326 est sensiblement égale à la tension de drain du transistor Q343. Par conséquent, les courants I_{32a} et I_{32b} sont égaux l'un à l'autre ($I_{32a} = I_{32b}$).

Le circuit d'amplificateur opérationnel 340 du second mode de réalisation présente les avantages qui suivent.

(1) Le circuit de commande 343 produit le premier courant de polarisation I_{31b} en additionnant le courant I_{32b} qui est sensiblement égal au second courant de polarisation I_{32a} au courant I_{31a} qui circule jusqu'à la première source de courant 353. Puisque le courant constant I_{31a} est séparé selon le courant I_{31b} et selon le premier courant de polarisation I_{31b} , le courant I_{32b} présente une valeur négative par rapport au premier courant de polarisation I_{31b} du point de vue du calcul. Par conséquent, l'instant auquel le premier courant de polarisation I_{31b} varie devient sensiblement le même que l'instant auquel le second courant de polarisation I_{32a} varie de telle sorte que les valeurs des variations (les valeurs absolues) au niveau des courants I_{31b} et I_{32a} deviennent sensiblement les mêmes. Le circuit de commande 343 commande les premier et second courants de polarisation I_{31b} et I_{32a} de telle sorte que la somme des premier et second courants de polarisation I_{31b} et I_{32a} devienne toujours égale au courant constant I . Cette commande permet aux courants constants I_{331} et I_{332} de circuler respectivement jusqu'aux transistors d'étage de sortie Q331 et Q332 indépendamment de la différence de potentiel entre les tensions d'entrée V_{IN+} et V_{IN-} . Ceci empêche que la tension de sortie ne varie et améliore le taux de réjection de mode commun.

(2) Le circuit de commande 343 comporte les transistors Q344 et Q343 qui, tout comme les transistors Q323 et Q326, sont connectés en cascade. Le drain du transistor Q344 est connecté au noeud entre la première source de courant 353 et la première paire différentielle d'entrée 351. Au niveau du noeud N11, le courant I32b qui est sensiblement égal au second courant de polarisation I32a est additionné au courant I31a qui circule jusqu'à la première source de courant 353. Par conséquent, la variation au niveau du premier courant de polarisation I31b devient sensiblement égale en valeur absolue à la variation au niveau du second courant de polarisation I32a. Ceci signifie que la valeur (le point de transition) de la tension d'entrée V_{IN+} à laquelle les premier et second courants de polarisation I31b et I32a commencent à varier est déterminée par les caractéristiques électriques des transistors Q343 et Q344. En tant que résultat, même si les caractéristiques électriques des transistors individuels varient en fonction des conditions de processus, le point de transition est modifié conformément à cette variation. Ceci empêche que les transistors Q321, Q322, Q323 et Q324 des première et seconde paires différentielles d'entrée 351 et 352 ne deviennent inopérants.

Le second mode de réalisation peut être modifié comme suit.

(a) Comme représenté sur la figure 12, la présente invention peut être mise en oeuvre dans un circuit d'amplificateur opérationnel 380 qui inclut un circuit de commande 381 qui commande des premier et second courants de polarisation I31b et I32a conformément à la seconde tension d'entrée V_{IN-} .

Le circuit de commande 381 inclut une source de courant 382 qui inclut un transistor PMOS Q361 et un transistor PMOS Q362 qui présente la même polarité que celle du transistor Q361 et qui lui est connecté en cascade. La seconde tension d'entrée V_{IN-} est appliquée sur la grille du transistor Q362 et elle commande la saturation/la non saturation du transistor PMOS Q361. Le circuit d'amplificateur opérationnel 380 présente un taux de réjection de mode commun amélioré et est empêché de devenir inopérant du fait de la variation du processus.

(b) Dans le second mode de réalisation, des transistors PMOS peuvent être changés contre des transistors NMOS. Dans ce cas, l'alimentation de potentiel haut VD et l'alimentation de potentiel bas VS sont remplacées l'une par l'autre. En outre, les tensions de grille des transistors PMOS qui sont connectés en cascade aux transistors de la source de courant qui est connectée à l'alimentation de potentiel haut VD sont commandées au moyen de la première tension d'entrée VIN+ ou les tensions de grille des transistors NMOS qui sont connectés en cascade aux transistors de la source de courant qui est connectée à l'alimentation de potentiel bas VS sont commandées au moyen de la seconde tension d'entrée VIN-.

(c) Selon le second mode de réalisation, tous les transistors NMOS ou certains d'entre eux peuvent être remplacés par des transistors bipolaires NPN et tous les transistors PMOS ou certains d'entre eux peuvent être remplacés par des transistors bipolaires PNP.

Un circuit d'amplificateur opérationnel du type push-pull 430 conformément au troisième mode de réalisation de la présente invention sera maintenant décrit par report aux figures 13 à 15.

Comme représenté sur la figure 13, le circuit d'amplificateur opérationnel 430 comporte un circuit de source de courant constant 431, un circuit d'étage d'entrée 432 et un circuit d'étage de sortie 433.

Le circuit de source de courant constant 431 inclut un circuit miroir de courant 441, des transistors NMOS Q421 et Q422 et un élément de résistance R401.

Le circuit miroir de courant 441 inclut des transistors PMOS Q423 et Q424. Les sources des transistors Q423 et Q424 sont connectées à une alimentation de potentiel haut VD et le drain du transistor Q423 est connecté aux grilles des transistors Q423 et Q424. Les drains des transistors Q423 et Q424 sont respectivement connectés aux drains des transistors Q421 et Q422.

La grille du transistor Q421 est connectée au drain du transistor Q422 et sa source est connectée à la grille du transistor Q422.

La source du transistor Q421 est connectée à une alimentation de potentiel bas VS via l'élément de résistance R401 et la source du transistor Q422 est connectée à l'alimentation de potentiel bas VS.

Un noeud N411 entre le transistor Q421 et l'élément de
5 résistance R401 est connecté à la grille du transistor Q422.

Le circuit d'étage d'entrée 432 inclut un transistor PMOS Q425, une source de courant constant 442 et un circuit d'entrée différentielle 443.

La source du transistor PMOS Q425 est connectée à
10 l'alimentation de potentiel haut VD, sa grille est connectée à la grille du transistor Q423 du circuit miroir de courant 441 et son drain est connecté à la source de courant constant 442. Le transistor Q425 présente sensiblement la même dimension que celles des transistors Q423 et Q424 et il applique sensiblement le même courant de drain
15 que le courant de drain des transistors Q423 et Q424 (c'est-à-dire un courant de drain I_{421} du transistor Q421) sur la source de courant constant 442.

La source de courant constant 442 inclut des transistors NMOS Q426 et Q427. Le drain du transistor Q426 est connecté au drain du
20 transistor Q425. Les sources des transistors Q426 et Q427 sont connectées à l'alimentation de potentiel bas VS. Le drain du transistor Q426 est connecté aux grilles des transistors Q426 et Q427. Le drain du transistor Q427 est connecté au circuit d'entrée différentielle 443.

Le transistor Q427 présente une dimension qui est le double de
25 celle du transistor Q426. Par conséquent, la source de courant constant 442 applique sur le circuit d'entrée différentielle 443 un courant de polarisation I_{427} qui est le double du courant de drain du transistor Q425 (c'est-à-dire le courant de drain I_{421} du transistor Q421).

Le circuit d'entrée différentielle 443 inclut une paire qui est
30 constituée par des transistors NMOS Q428 et Q429 et une paire qui est constituée par des transistors PMOS Q430 et Q431. Les sources des transistors Q428 et Q429 sont connectées au drain du transistor Q427. Le drain du transistor Q428 est connecté au drain du transistor Q430 et aux grilles des transistors Q430 et Q431. La source du transistor Q430

est connectée à l'alimentation de potentiel haut VD. Le drain du transistor Q429 est connecté au drain du transistor Q431 dont la source est connectée à l'alimentation de potentiel haut VD.

Les transistors Q430 et Q431 présentent sensiblement les
5 mêmes dimensions. Par conséquent, lorsque les tensions de signaux d'entrée IM et IP sont sensiblement égales l'une à l'autre, les mêmes courants de drain I430 et I431 circulent respectivement jusqu'aux transistors Q430 et Q431. Chacun des courants de drain I430 et I431 est égal à la moitié d'un courant de polarisation I427.

10 Les signaux d'entrée IM et IP sont appliqués sur les grilles des transistors Q428 et Q429. Le circuit d'entrée différentielle 443 fonctionne sur le courant de polarisation qui est appliqué depuis le transistor Q427 et génère de façon complémentaire une tension au niveau d'un noeud N412 entre les transistors Q428 et Q430 et une
15 tension au niveau d'un noeud N413 entre les transistors Q429 et Q431 conformément à la différence de potentiel entre les signaux d'entrée IM et IP.

Les noeuds N412 et N413 du circuit d'entrée différentielle 443 sont connectés au circuit d'étage de sortie 433. Le circuit d'étage de
20 sortie 433 inclut des transistors PMOS Q432 et Q433, un transistor NMOS Q434 et un élément de résistance R402. Les grilles des transistors Q432 et Q433 sont respectivement connectées aux noeuds N412 et N413. Le noeud N412 est connecté au drain et à la grille du transistor Q430. Par conséquent, le transistor Q432 est connecté au
25 transistor Q430 selon un mode miroir de courant.

La source du transistor Q432 est connectée à l'alimentation de potentiel haut VD et son drain est connecté à l'élément de résistance R402. La dimension du transistor Q432 est égale à n fois la dimension du transistor Q430 (ou la dimension du transistor Q423) ($n = 2$ selon le
30 troisième mode de réalisation). Le transistor Q432 applique sur l'élément de résistance R402 un courant de drain I432 qui est égal au double du courant de drain I430 du transistor Q430.

La source du transistor supérieur Q433 au niveau du dernier étage de sortie est connectée à l'alimentation de potentiel haut VD et

son drain est connecté à une borne de sortie To. La dimension du transistor Q433 est égale à dix fois la dimension de chacun des transistors Q430 et Q431. Un courant de drain I433 qui est établi conformément au rapport de la dimension du transistor Q433 sur la dimension des transistors Q430 et Q431 est émis en sortie depuis la borne de sortie To.

L'élément de résistance R402 inclut des éléments de résistance connectés en parallèle R402a et R402b. La valeur de résistance de chaque élément de résistance R402a, R402b est sensiblement égale à celle de l'élément de résistance R401. Le nombre d'éléments de résistance destinés à être connectés en parallèle n'est pas limité à deux.

Un noeud N414 entre l'élément de résistance R402 et le transistor Q432 est connecté à la grille du transistor Q434. La source du transistor inférieur Q434 au niveau du dernier étage de sortie est connectée à l'alimentation de potentiel bas VS et son drain est connecté à la borne de sortie To.

Le transistor Q434 tire un courant de drain I434 à partir de la borne de sortie To conformément à une tension au niveau du noeud N414 (la tension de grille V434) qui est déterminée au moyen du courant de drain I432 du transistor Q432 et de la valeur de résistance de l'élément de résistance R402.

Lorsque les signaux d'entrée IP et IM sont sensiblement identiques, un courant de repos conformément à la tension de grille qui est établie au moyen de l'élément de résistance R402 circule dans le circuit d'amplificateur opérationnel 430. Lors de l'opération de poussée ou push du circuit d'amplificateur opérationnel 430, le courant de drain I433 du transistor Q433 au niveau du dernier étage de sortie est émis en sortie depuis la borne de sortie To. Lors de l'opération de tirage ou pull, le courant de drain I434 du transistor Q434 est tiré depuis la borne de sortie To.

Le fonctionnement du circuit d'amplificateur opérationnel 430 sera décrit ci-après.

Tout d'abord, une description de la façon d'établir le courant de repos du transistor d'étage de sortie Q434 sera présentée.

La figure 15 est un schéma de principe permettant d'expliquer comment établir le courant de repos du transistor d'étage de sortie Q434 et représente à titre d'exemple un circuit de sortie de courant 5 450. Sur la figure 15, les mêmes index de référence sont octroyés aux composants qui sont les mêmes que les composants correspondants qui sont représentés sur la figure 13.

Le circuit de sortie de courant 450 inclut un circuit de source de 10 courant constant 431 et un circuit d'étage de sortie 451. Le circuit d'étage de sortie 451 inclut un transistor PMOS Q435, un transistor NMOS Q436 et un élément de résistance R403. Le transistor Q435 forme un circuit miroir de courant en association avec le transistor Q423 du circuit de source de courant constant 431 et la dimension du 15 transistor Q435 vaut A fois la dimension du transistor Q423.

La source du transistor Q435 est connectée à l'alimentation de potentiel haut VD et son drain est connecté à l'alimentation de potentiel bas VS via l'élément de résistance R403. La valeur de résistance de l'élément de résistance R403 est obtenue en connectant A éléments de 20 résistance R401 en parallèle. La grille du transistor Q436 est connectée à un noeud entre le transistor Q435 et l'élément de résistance R403.

La source du transistor Q436 est connectée à l'alimentation de potentiel bas VS et son drain est connecté à la borne de sortie To. La 25 dimension du transistor Q436 est égale à B fois la dimension du transistor Q422 du circuit de source de courant constant 431.

Dans le circuit de source de courant constant 431, lorsque le transistor Q421 applique le courant sur l'élément de résistance R401, la tension de grille du transistor Q422 (le potentiel au niveau du noeud 30 N411) est établi. La tension de drain est déterminée et la tension de grille du transistor Q421 est établie de façon conjointe au moyen du courant de drain qui circule jusqu'au transistor Q422. Le circuit miroir de courant 441 commande le courant de drain qui est destiné à être appliqué sur le transistor Q422 conformément au courant de drain qui

circule jusqu'au transistor Q421. Le transistor Q421 commande la tension de grille du transistor Q422 de telle sorte que le courant de drain du transistor Q422 soit sensiblement égal au courant de drain du transistor Q421.

5 Le courant de drain I_{421} du transistor Q421 et la tension de grille du transistor Q422 sont déterminés au moyen de la dimension du transistor Q422 et au moyen de la valeur de résistance de l'élément de résistance R401.

10 Un courant de drain I_{435} qui est égal à A fois le courant de drain I_{422} du transistor Q422 est appliqué sur l'élément de résistance R403 depuis le transistor Q435. La valeur de résistance de l'élément de résistance R403 est obtenue en connectant A éléments de résistance R401 en parallèle. Le potentiel au niveau du noeud entre le transistor Q435 et l'élément de résistance R403 est par conséquent
15 sensiblement égal au potentiel au niveau du noeud N411. C'est-à-dire que la tension de grille, soit V_{436} , du transistor Q436 est sensiblement égale à la tension de grille, soit V_{422} , du transistor Q422.

La dimension du transistor Q436 est égale à B fois la dimension du transistor Q422 de telle sorte que le transistor Q436 émet en sortie
20 un courant de drain I_{436} qui vaut B fois le courant de drain I_{422} du transistor Q422.

Le transistor Q432 de la figure 13 correspond au transistor Q435 dont la dimension est le double ($A = 2$) de celle du transistor Q423. L'élément de résistance R402 de la figure 13 correspond à
25 l'élément de résistance R403, lequel comporte deux éléments de résistance connectés en parallèle qui présentent sensiblement les mêmes valeurs de résistance que la valeur de résistance de l'élément de résistance R401. En outre, le transistor Q434 de la figure 13 correspond au transistor Q436, transistor dont la dimension est le
30 double ($B = 2$) de la dimension du transistor Q422.

Sur la figure 13, le courant I_{421} qui est sensiblement égal au courant de drain I_{422} du transistor Q422 est appliqué en tant que courant de polarisation I_{427} sur le circuit d'entrée différentielle 443 via

les transistors Q425, Q426 et Q427. En établissant la dimension du transistor Q427, le courant de polarisation I_{427} est comme suit :

$$I_{427} = I_{421} \times 2 = I_{422} \times 2$$

Lorsque les tensions des signaux d'entrée IP et IM sont
 5 sensiblement égales l'une à l'autre, le courant de polarisation I_{427}
 circule de façon uniforme jusqu'aux transistors Q428 et Q429. Par
 conséquent, les courants de drain I_{430} et I_{431} des transistors Q430 et
 Q431 qui forment un circuit miroir de courant deviennent également
 sensiblement égaux l'un à l'autre. Puisque le courant de polarisation
 10 I_{427} est le double du courant de drain I_{422} , les courants de drain I_{430}
 et I_{431} des transistors Q430 et Q431 sont comme suit :

$$I_{430} = I_{431} = I_{422}$$

Puisque le transistor Q432 présente une dimension qui est le
 double de celle du transistor Q430, le courant de drain I_{432} du
 15 transistor Q432 qui est connecté au transistor Q430 dans un mode
 miroir de courant devient :

$$I_{432} = I_{430} \times 2 = I_{422} \times 2$$

L'élément de résistance R402 reçoit le courant de drain I_{432} du
 transistor Q432 et établit la tension de grille V434 du transistor Q434.
 20 Puisque l'élément de résistance R402 inclut deux éléments de
 résistance connectés en parallèle R402a et R402b dont chacun
 présente sensiblement la même valeur de résistance que la valeur de
 résistance de l'élément de résistance R401, la tension de grille V434
 est donnée par :

$$\begin{aligned} 25 \quad V_{434} &= I_{432} \times R_{402} \\ &= (I_{422} \times 2) \times (R_{401} / 2) \\ &= I_{422} \times R_{401} \\ &= V_{422} \end{aligned}$$

Comme il apparaît au vu de ce qui précède, la tension de grille
 30 V434 du transistor Q434 devient sensiblement égale à la tension de
 grille V422 du transistor Q422.

Le courant de drain I_{434} du transistor Q434 (le courant de
 repos) est déterminé au moyen du rapport de la dimension du transistor
 Q434 sur la dimension du transistor Q422 et devient tel que :

$$I_{434} = I_{422} \times 10$$

Lorsque le courant de drain I_{430} est égal au courant de drain I_{431} , la tension de drain du transistor Q431 (la tension au niveau du noeud N413) est sensiblement égale à la tension de drain du transistor Q430 (la tension au niveau du noeud N412). Par conséquent, le courant de drain I_{433} , conformément au rapport des dimensions correspondant au courant de drain I_{430} , circule jusqu'au transistor Q433. Lorsque les tensions des signaux d'entrée IP et IM sont égales, le courant de drain I_{430} est égal au courant de drain I_{422} . Par conséquent, le courant de drain I_{433} devient tel que :

$$I_{433} = I_{422} \times 10$$

Comme il apparaît, lorsque les tensions des signaux d'entrée IP et IM sont égales, les courants de drain I_{433} et I_{434} qui sont identiques circulent jusqu'aux transistors Q433 et Q434.

Lorsque la conversion tension-courant est terminée au moyen des deux étages des transistors Q432 et Q434 dans le circuit d'étage de sortie 433, le circuit d'amplificateur opérationnel 430 fonctionne rapidement.

Lorsque la tension du signal d'entrée IP est supérieure à la tension du signal d'entrée IM, le potentiel au niveau du noeud N413 ou la tension de grille V433 du transistor Q433 devient telle que :

$$V_{433} = V_S + V(Q427) + V(Q429)$$

où $V(Q427)$ est la tension de saturation (la tension de source-drain) du transistor Q427 et $V(Q429)$ est la tension de saturation du transistor Q429.

Lorsque la tension du signal d'entrée IP est inférieure à la tension du signal d'entrée IM, la tension de grille V433 du transistor Q433 devient telle que :

$$V_{433} = V_D - V(Q431)$$

où $V(Q431)$ est la tension de saturation du transistor Q431.

Le transistor d'étage de sortie supérieur Q433, de façon similaire à ceux des arts antérieurs des figures 3 et 4, émet en sortie le courant de drain I_{433} conformément à la tension de grille V433 qui croît et qui décroît pratiquement dans la plage de la tension d'alimentation.

Lorsque la tension du signal d'entrée IP est inférieure à la tension du signal d'entrée IM, le courant de drain I430 devient égal à un courant de polarisation maximum I427. Par conséquent, le courant de drain I430 du transistor Q430 devient tel que :

5
$$I_{430} = I_{427} = I_{422} \times 2.$$

C'est-à-dire que le courant de drain I430 est deux fois plus important que le courant de drain qui existe lorsque les tensions des signaux d'entrée IP et IM sont égales l'une à l'autre. Par conséquent, au maximum, le courant de drain I430 qui est le double du courant de drain qui existe lorsque les tensions des signaux d'entrée IP et IM sont égales l'une à l'autre circule jusqu'au transistor Q432 qui est connecté au transistor Q430 selon un mode miroir de courant. En tant que résultat, la tension V432 qui est le double de la tension qui existe lorsque les tensions des signaux d'entrée IP et IM sont égales l'une à l'autre est appliquée sur la grille (plus spécifiquement, entre la source et la grille) du transistor Q434.

Comme représenté sur la figure 14, la caractéristique qu'est le courant de drain (ID) en fonction de la tension source-grille (VGS) d'un transistor MOS est exprimée au moyen d'une courbe quadratique. Par conséquent, le courant de drain I434 qui présente la caractéristique quadratique par rapport à la tension de grille V434 circule jusqu'au transistor Q434. La tension source-grille VGS est représentée tandis que la tension source-drain VDS est considérée comme valant 100%. Le courant de drain ID est représenté moyennant l'hypothèse consistant en ce que le courant de drain qui est produit lorsque la tension source-grille VGS est égale à la tension source-drain VDS vaut 100%.

Lorsque les tensions des signaux d'entrée IP et IM sont identiques, par exemple, le courant de repos devient égal à environ 17% du courant de drain maximum en relation avec 50% de la tension de grille V434 (VGS) du transistor Q434. Lorsque la tension de grille V434 est doublée (100%), le courant de drain I434 du transistor Q434 devient égal à 100%, soit environ 6 fois le courant de repos qui est égal à approximativement 17% du courant de drain maximum.

Puisque du courant de drain I434 en une quantité importante circule jusqu'au transistor Q434 selon le troisième mode de réalisation, une réduction de la performance du pilotage de sortie du circuit d'amplificateur opérationnel 430 est atténuée.

5 Le circuit d'amplificateur opérationnel 430 du troisième mode de réalisation présente les avantages qui suivent.

(1) Le circuit de source de courant constant 431 comporte un transistor Q422, l'élément de résistance R401 étant connecté entre sa grille et sa source. Les transistors Q421, Q423 et Q424 ont pour effet
10 que le courant I421 qui circule au travers de l'élément de résistance R401 coïncide avec le courant de drain I422 du transistor Q422. Le transistor d'étage de sortie Q434 présente une dimension qui est dix fois celle du transistor Q422. Deux éléments de résistance R402a et R402b dont chacun présente sensiblement la même valeur de
15 résistance que la valeur de résistance de l'élément de résistance R401 sont connectés en parallèle entre la source et la grille du transistor Q434. Le courant de drain I432 qui est le double du courant de drain I422 est appliqué sur les éléments de résistance R402a et R402b, d'où ainsi l'établissement de la tension de grille V434 du transistor d'étage
20 de sortie Q434. C'est-à-dire que le courant I432 est produit à partir du courant I421 conformément à un rapport de courants qui est exprimé au moyen de l'inverse d'un rapport de la valeur de résistance de l'élément de résistance R401 sur la valeur de résistance du second élément de résistance R402. Du fait que la tension de grille V434 a pour effet que
25 le courant de drain I434 qui présente les caractéristiques quadratiques circule jusqu'au transistor Q434, une réduction de la performance de pilotage de sortie du circuit d'amplificateur opérationnel 430 est atténuée.

(2) Le circuit d'étage de sortie 433 comporte le transistor Q432
30 qui applique le courant de drain I432 sur l'élément de résistance R402. Le transistor Q432 est connecté au transistor Q430 du circuit d'entrée différentielle 443 selon un mode miroir de courant. Par conséquent, du fait qu'une conversion tension-courant est mise en œuvre au moyen des deux étages de transistor Q432 et Q434 en considérant le

transistor Q430 en tant que référence, le circuit d'amplificateur opérationnel 430 fonctionne rapidement.

Selon le troisième mode de réalisation, les transistors PMOS peuvent être remplacés par des transistors NMOS et les transistors NMOS peuvent être remplacés par des transistors PMOS. Dans ce cas, la tension d'alimentation de potentiel haut VD devrait remplacer l'alimentation de potentiel bas VS et vice versa.

Un circuit de sortie de courant 540 conformément au quatrième mode de réalisation de l'invention sera maintenant décrit par report à la figure 16.

Le circuit de sortie de courant 540 comporte un circuit de conversion de courant 541, un circuit de source de courant constant 542, un circuit miroir de courant 543 et un circuit d'étage de sortie 544.

Le circuit de conversion de courant 541 inclut des transistors PMOS Q541 et Q542 et un premier élément de résistance R511. La source du premier transistor Q541 est connectée à une alimentation de potentiel haut VD, sa grille est connectée à l'alimentation de potentiel haut VD via le premier élément de résistance R511 et son drain est connecté à une source de courant constant 542. La source du second transistor Q542 est connectée à la grille du premier transistor Q541, sa grille est connectée au drain du premier transistor Q541 et son drain est connecté au circuit miroir de courant 543.

Le circuit miroir de courant 543 inclut des transistors NMOS Q543 et Q544. Le drain du transistor Q543 est connecté au drain du transistor Q542. Les sources des transistors Q543 et Q544 sont connectées à une alimentation de potentiel bas VS. Le drain du transistor Q543 est connecté aux grilles des transistors Q543 et Q544. Le drain du transistor Q544 est connecté au circuit d'étage de sortie 544.

La dimension du transistor Q544 est sensiblement la même que la dimension du transistor Q543. Le fonctionnement en miroir de courant a pour effet qu'un courant de drain qui est sensiblement égal au courant de drain du transistor Q543 (ou au courant de drain I542 du transistor Q542) circule jusqu'au transistor Q544.

Le circuit d'étage de sortie 544 inclut un second élément de résistance R512 et un transistor PMOS Q545. Le drain du transistor Q544 est connecté à l'alimentation de potentiel haut VD via le second élément de résistance R512. La source du transistor Q545 est
5 connectée à l'alimentation de potentiel haut VD, sa grille est connectée à l'alimentation de potentiel haut VD via le second élément de résistance R512 et son drain est connecté à une borne de sortie To.

La dimension du transistor Q545 est rapportée à la dimension du transistor Q541. Selon le quatrième mode de réalisation, la
10 dimension du transistor Q545 est égale à la dimension du transistor Q541. La valeur de résistance du second élément de résistance R512 est rapportée à la valeur de résistance du premier élément de résistance R511. Selon le quatrième mode de réalisation, la valeur de
15 de résistance du second élément de résistance R512 est égale à la valeur de résistance du premier élément de résistance R511.

Le fonctionnement du circuit de sortie de courant 540 sera décrit ci-après.

Tandis qu'un courant I541 est appliqué sur les transistors Q541 et Q542 et sur le premier élément de résistance R511 depuis la source
20 de courant constant 542, un courant I542 est émis en sortie depuis le transistor Q542.

Le transistor Q542 commande la tension de grille du transistor Q541 en appliquant le courant I542 sur le premier élément de résistance R511 de telle sorte que le courant de drain qui circule
25 jusqu'au transistor Q541 soit sensiblement le même que le courant constant I541. En d'autres termes, la tension grille-source du transistor Q541 est établie au moyen du premier élément de résistance R511 et du courant I542 de telle sorte que le courant de drain qui circule
30 jusqu'au transistor Q541 soit sensiblement le même que le courant constant I541.

Le courant I542 est appliqué en tant que courant I543 sur le second élément de résistance R512 via le circuit miroir de courant 543. Du fait que les dimensions des transistors Q543 et Q544 sont identiques, le courant de drain I543 qui circule jusqu'au transistor Q544

est sensiblement le même que le courant de drain I542 du transistor Q543.

5 Du fait que le premier élément de résistance R511 est sensiblement identique au second élément de résistance R512, la tension de grille, soit V_a , du transistor Q541 qui est établie au moyen du premier élément de résistance R511 et du courant I542 est sensiblement égale à la tension de grille, soit V_b , du transistor Q545 qui est établie au moyen du second élément de résistance R512 et du courant I543.

10 Le transistor Q545 présente la même dimension que celle du transistor Q541, les sources des transistors Q545 et Q541 sont connectées à l'alimentation de potentiel haut VD et les tensions de grille V_b et V_a sont égales. Par conséquent, le courant de drain I544 qui circule jusqu'au transistor Q545 est sensiblement le même que le
15 courant de drain I541 du transistor Q541.

Lorsque le courant I541 du circuit de source de courant constant 542 est modifié, la tension de grille V_a du transistor Q541 est déterminée au moyen du courant modifié I541. A cet instant, la tension de grille V_b qui est sensiblement égale à la tension de grille V_a est
20 établie indépendamment des courants I542 et I543 qui circulent respectivement au travers des premier et second éléments de résistance R511 et R512. La tension de grille V_b du transistor Q545 est établie au moyen de la conversion courant/tension au moyen du second élément de résistance R512.

25 Selon le quatrième mode de réalisation, les tensions de grille V_a et V_b des transistors Q541 et Q545 sont déterminées de façon spontanée par le courant de drain I541 du transistor Q541. Par conséquent, le courant de drain I544 circule de façon spontanée jusqu'au transistor Q545, ce qui raccourcit le temps de réponse.

30 Le circuit de sortie de courant 540 du quatrième mode de réalisation présente l'avantage qui suit.

Dans le circuit de sortie de courant 540, la tension de grille V_b du transistor Q545 est établie au moyen de la conversion courant/tension au moyen du second élément de résistance R512

tandis que dans le circuit de sortie de courant classique 500 (voir figure 5), la tension de grille du transistor Q512 est établie au moyen de la charge/la décharge du condensateur du transistor Q11c. Du fait que le circuit de sortie de courant 540 n'établit pas la tension de grille en chargeant/déchargeant le condensateur, le temps de transfert de courant du circuit de sortie de courant 540 est réduit.

Un circuit de commutateur analogique 550 conformément au cinquième mode de réalisation de la présente invention sera maintenant décrit par report à la figure 17. Sur la figure 17, des index de référence identiques sont octroyés aux composants qui sont les mêmes que les composants correspondants qui sont représentés sur la figure 16.

Le circuit de commutateur analogique 550 comporte un circuit de conversion de courant 541, un circuit de source de courant constant 542, un circuit miroir de courant 551 et un circuit différentiel 552.

Le circuit de conversion de courant 541 inclut des transistors PMOS Q541 et Q542 et un premier élément de résistance R511. Un courant I541 en provenance du circuit de source de courant constant 542 est appliqué sur le drain du transistor Q541. Le drain du transistor Q542 est connecté au circuit miroir de courant 551.

Le circuit miroir de courant 551 inclut des transistors NMOS Q551 et Q552. Le drain du transistor Q551 est connecté au drain du transistor Q542. Les sources des transistors Q551 et Q552 sont connectées à une alimentation de potentiel bas VS. Le drain du transistor Q551 est connecté aux grilles des transistors Q551 et Q552. Le drain du transistor Q552 est connecté au circuit différentiel 552.

Le transistor Q552 présente une dimension qui est le double de la dimension du transistor Q551. Par conséquent, un courant de drain qui est le double du courant de drain du transistor Q551 (ou du courant de drain du transistor Q542) est appliqué sur le circuit différentiel 552.

Le circuit différentiel 552 inclut une paire différentielle 553 qui comporte des transistors NMOS Q553 et Q554. Les sources des transistors Q553 et Q554 sont connectées au drain du transistor Q552. La grille du transistor Q553 est connectée à une borne d'entrée Ti qui

reçoit un signal d'entrée VIN et son drain est connecté à une alimentation de potentiel haut VD via un second élément de résistance R512. La grille du transistor Q554 est connectée à une borne de sortie To et son drain est connecté à la borne de sortie et au drain d'un transistor PMOS Q555. La grille du transistor Q555 est connectée à l'alimentation de potentiel haut VD via le second élément de résistance R512 et sa source est connectée à l'alimentation de potentiel haut VD.

Le fonctionnement du circuit de commutateur analogique sera décrit ci-après.

10 Tandis que le courant externe I541 est appliqué sur les transistors Q541 et Q542 et sur l'élément de résistance R511, un courant I542 est émis en sortie depuis le transistor Q551. Le fonctionnement du circuit miroir de courant 551 a pour effet que le courant de drain du transistor Q552 est égal à deux fois le courant I542.

15 Lorsque le courant externe I541 est sensiblement égal au courant de drain I542, le courant de drain I551 du transistor Q552 est deux fois plus grand que le courant externe I541.

Lorsque le potentiel du signal d'entrée VIN est sensiblement égal au potentiel de sortie VOUT, la paire différentielle 553 distribue le courant de drain du transistor Q552 de façon uniforme sur les transistors Q553 et Q554. Par conséquent, les courants I552 et I553 qui circulent respectivement jusqu'aux transistors Q553 et Q554 sont égaux l'un à l'autre.

20 Puisque la tension de grille Vb du transistor Q555 est sensiblement égale à la tension de grille Va du transistor Q541, le courant de drain I553 est égal aux courants de drain I541 et I542. Par conséquent, le courant d'entrée de drain et le courant de sortie de source des transistors Q553 et Q554 se correspondent l'un l'autre. En tant que résultat, la paire différentielle 553 maintient un état stable selon lequel le potentiel du signal d'entrée VIN est égal au potentiel du signal de sortie VOUT.

30 Lorsque le potentiel du signal d'entrée VIN est inférieur au potentiel du signal de sortie VOUT (condition de tension transitoire), la paire différentielle 553 fonctionne pour faire en sorte que le courant

I552 soit inférieur au courant I553 en réponse au signal d'entrée VIN. Ceci a pour effet que la tension de grille Vb du transistor Q555 est supérieure à la tension de grille Va du transistor Q541 de telle sorte que le courant de drain I553 devient inférieur au courant de drain I541.

- 5 Dans ce cas, le courant distribué ne circule pas jusqu'au transistor Q554, ce qui réduit la tension grille-source du transistor Q554. En tant que résultat, le potentiel du signal de sortie VOUT chute.

Lorsque le potentiel du signal d'entrée VIN est supérieur au potentiel du signal de sortie VOUT (condition de tension transitoire), la
10 paire différentielle 553 fonctionne pour faire en sorte que le courant I552 soit supérieur au courant I553. Ceci a pour effet que la tension de grille Vb du transistor Q555 est inférieure à la tension de grille Va du transistor Q541 de telle sorte que le courant de drain I553 devient
15 supérieur au courant de drain I541. Dans ce cas, le courant distribué ne circule pas jusqu'au transistor Q553, ce qui réduit la tension grille-source du transistor Q553. Ceci augmente le potentiel du signal de sortie VOUT.

Dans le circuit de commutateur analogique 550 du cinquième mode de réalisation, la tension de grille Vb du transistor Q555 est
20 établie au moyen de la conversion courant/tension du courant I552 au moyen du second élément de résistance R512, ce qui modifie le courant I553. En tant que résultat, le temps de production du courant I553 devient plus court que celui dans le circuit miroir de courant 524 de la figure 6. Le circuit de commutateur analogique 550 fonctionne par
25 conséquent rapidement.

Un circuit d'amplificateur opérationnel du type push-pull 560 conformément au sixième mode de réalisation de la présente invention sera maintenant décrit par report à la figure 18. Sur la figure 18, les
30 mêmes index de référence sont octroyés aux composants qui sont les mêmes que les composants correspondants qui sont représentés sur les figures 16 et 17.

Le circuit d'amplificateur opérationnel 560 inclut un circuit de source de courant constant 561, un circuit de conversion de courant

541, un circuit miroir de courant 543, un circuit d'entrée différentielle 562 et un circuit d'étage de sortie 563.

Le circuit de source de courant constant 561 inclut un circuit miroir de courant 564, des transistors NMOS Q561 et Q562 et un
5 premier élément de résistance R521.

Le circuit miroir de courant 564 inclut des transistors PMOS Q563 et Q564. Les sources des transistors Q563 et Q564 sont connectées à une alimentation de potentiel haut VD. Le drain du transistor Q563 est connecté aux grilles des transistors Q563 et Q564.
10 Les drains des transistors Q563 et Q564 sont respectivement connectés aux drains des transistors Q561 et Q562.

La grille du transistor Q516 est connectée au drain du transistor Q562 et sa source est connectée à une alimentation de potentiel bas VS via l'élément de résistance R521. Un nœud N11 entre le transistor
15 Q561 et l'élément de résistance R521 est connecté à la grille du transistor Q562 et la source du transistor Q562 est connectée à la source d'alimentation de potentiel bas VS.

La source du transistor Q565 est connectée à la source d'alimentation de potentiel bas VS, sa grille est connectée à la grille du
20 transistor Q562 et son drain est connecté au circuit de conversion de courant 541. La dimension du transistor Q565 est sensiblement égale à la dimension du transistor Q562 de telle sorte qu'un courant de drain I563 qui est sensiblement égal au courant de drain I562 (I561) du transistor Q562 est appliqué sur le circuit de conversion de courant 541
25 depuis le transistor Q565.

Lorsque le transistor Q561 applique le courant sur le premier élément de résistance R521, la tension de grille V_c du transistor Q562 est établie. La tension de drain du transistor Q562 est déterminée par le courant de drain I562 qui circule jusqu'au transistor Q562, d'où ainsi
30 l'établissement de la tension de grille du transistor Q561.

Le circuit miroir de courant 564 reçoit le courant de drain I561 en provenance du transistor Q561 et commande le courant de drain destiné à être appliqué sur le transistor Q562. Le courant I561 et l'élément de résistance R521 déterminent la tension grille-source du

transistor Q562, ce qui a pour effet que le courant de drain I562 circule jusqu'au transistor Q562. C'est-à-dire que le transistor Q561 commande la tension de grille du transistor Q562 de telle sorte que le courant de drain I562 qui circule jusqu'au transistor Q562 soit
5 sensiblement égal au courant de drain I561.

Le courant de drain I561 du transistor Q561 et la tension de grille Vc du transistor Q562 sont déterminés par la dimension du transistor Q562 et par la valeur de résistance de l'élément de résistance R521.

10 Le circuit de conversion de courant 541 inclut des transistors PMOS Q541 et Q542 ainsi qu'un second élément de résistance R511. Le drain du transistor Q541 est connecté au drain du transistor Q565 et un courant de drain I564 est émis en sortie depuis le transistor Q542. La tension grille-source du transistor Q541 est déterminée par le
15 courant I564 et par le second élément de résistance R511 et le courant de drain qui circule jusqu'au transistor Q541 est sensiblement égal au courant I563.

Le circuit miroir de courant 543 inclut des transistors NMOS Q543 et Q544. Le drain du transistor Q543 est connecté au drain du
20 transistor Q542. Les sources des transistors Q543 et Q544 sont connectées à l'alimentation de potentiel bas VS et le drain du transistor Q543 est connecté aux grilles des transistors Q543 et Q544.

La dimension du transistor Q544 est sensiblement égale à la dimension du transistor Q543. Le transistor Q544 applique sur le circuit
25 d'entrée différentielle 562 sensiblement le même courant de polarisation que le courant de drain I563 du transistor Q543.

Le circuit d'entrée différentielle 562 inclut une paire différentielle 565 qui comporte des transistors NMOS Q566 et Q567 et des troisième et quatrième éléments de résistance R522 et R523. Les sources des
30 transistors Q566 et Q567 sont connectées au drain du transistor Q544

Le drain du transistor Q566 est connecté à l'alimentation de potentiel haut VD via le troisième élément de résistance R522. Le drain du transistor Q567 est connecté à l'alimentation de potentiel haut VD via le quatrième élément de résistance R523. La grille du transistor

Q566 est connectée à une première borne d'entrée T1 et la grille du transistor Q567 est connectée à une seconde borne d'entrée T2.

Le troisième élément de résistance R522 inclut plusieurs (deux selon le sixième mode de réalisation) éléments de résistance R522a et
5 R522b qui sont connectés en série. La valeur de résistance de chacun des éléments de résistance R522a et R522b est sensiblement égale à la valeur de résistance du second élément de résistance R511. Le quatrième élément de résistance R523 inclut deux éléments de résistance R523a et R523b qui sont connectés en série. La valeur de
10 résistance de chacun des éléments de résistance R523a et R523b est sensiblement égale à la valeur de résistance du second élément de résistance R511. Par conséquent, la valeur de résistance de chacun des troisième et quatrième éléments de résistance R522 et R523 est le double de la valeur de résistance du second élément de résistance
15 R511. C'est-à-dire que les valeurs de résistance des troisième et quatrième éléments de résistance R522 et R23 sont rapportées à la valeur de résistance du second élément de résistance R511.

Les transistors Q566 et Q567 présentent la même dimension. Le circuit d'entrée différentielle 562 reçoit un courant de polarisation
20 I565 depuis le transistor Q544 et produit des courants de drain I566 et I567 conformément à la différence de potentiel entre les premier et second signaux d'entrée IM et IP. Les courants de drain I566 et I567 modifient de façon complémentaire le potentiel au niveau d'un nœud N12 entre le transistor Q566 et le troisième élément de résistance
25 R522 ainsi que le potentiel au niveau d'un nœud N13 entre le transistor Q567 et le quatrième élément de résistance R523. Lorsque les potentiels des premier et second signaux d'entrée IM et IP sont égaux, les courants de drain I566 et I567 qui circulent respectivement jusqu'aux transistors Q566 et Q567 sont identiques.

30 Le circuit d'étage de sortie 563 inclut des transistors PMOS Q568 et Q569, un transistor NMOS Q570 et un cinquième élément de résistance R524. La grille du transistor Q568 est connectée au nœud N12 et la grille du transistor Q569 est connectée au nœud N13.

La source du transistor Q568 est connectée à l'alimentation de potentiel haut VD et son drain est connecté au cinquième élément de résistance R524. Le transistor Q568 présente une dimension qui est égale à n fois celle du transistor Q541 ($n = 2$ selon le sixième mode de réalisation) et le transistor Q568 produit un courant de drain I568 en réponse à une tension de grille Vb1.

La source du transistor supérieur Q569 au niveau du dernier étage de sortie est connectée à l'alimentation de potentiel haut VD et son drain est connecté à une borne de sortie To. Le transistor Q569 est d'une dimension qui est dix fois celle du transistor Q541. Le transistor Q569 applique un courant de drain I569 sur la borne de sortie To en réponse à une tension de grille Vb2.

Le cinquième élément de résistance R524 inclut n (2 selon le sixième mode de réalisation) éléments de résistance connectés en parallèle R524a et R524b. Chacun des éléments de résistance R524a et R524b présente une valeur de résistance qui est sensiblement égale à la valeur de résistance du premier élément de résistance R521. Par conséquent, la valeur de résistance du cinquième élément de résistance R524 est la moitié de la valeur de résistance du premier élément de résistance R521. C'est-à-dire que la valeur de résistance du cinquième élément de résistance R524 est rapportée à la valeur de résistance du premier élément de résistance R521.

Un nœud N14 entre le cinquième élément de résistance R524 et le transistor Q568 est connecté à la grille du transistor inférieur Q570 au niveau du dernier étage de sortie. La source du transistor Q570 est connectée à l'alimentation de potentiel bas VS et son drain est connecté à la borne de sortie To.

Le transistor Q570 présente une dimension qui est égale à dix fois celle du transistor Q562. Le transistor Q570 produit un courant de drain I570 qui est tiré depuis la borne de sortie To en réponse à une tension de grille Vd (le potentiel au niveau du nœud N14) qui est déterminée au moyen du courant de drain I568 du transistor Q568 et au moyen de la valeur de résistance de l'élément de résistance R524.

Le circuit d'amplificateur opérationnel 570 réalise l'opération push-pull conformément aux potentiels des signaux d'entrée IP et IM de telle sorte que le courant de drain I569 du transistor Q569 est émis en sortie depuis la borne de sortie To ou que le courant de drain I570 du transistor Q570 est tiré depuis la borne de sortie To.

Le fonctionnement du circuit d'amplificateur opérationnel 560 sera décrit ci-après.

Les transistors Q561 à Q564 et le premier élément de résistance R521 produisent un courant de drain I562 du transistor Q562 qui est sensiblement égal au courant de drain I561 du transistor Q561. Le transistor Q565 produit un courant de drain I563 qui est sensiblement égal au courant de drain I562 du transistor Q562.

Les transistors Q541 et Q542 et l'élément de résistance R511 convertissent le courant I563 selon le courant I564. Le courant I564 et l'élément de résistance R511 déterminent la tension grille-source du transistor Q541, ce qui a pour effet que le courant de drain I563 circule jusqu'au transistor Q541.

Le circuit miroir de courant 543 applique sur la paire différentielle 565 le courant de polarisation I565 qui est sensiblement égal au courant I564.

Une description du fonctionnement du circuit miroir de courant 543 qui comporte la connexion suivieuse de tension selon laquelle la première borne d'entrée T1 est connectée à la borne de sortie To est maintenant présentée.

(1) Cas dans lequel les potentiels des premier et second signaux d'entrée IM et IP sont égaux l'un à l'autre

Les transistors Q566 et Q567 fonctionnent de manière à distribuer de façon uniforme le courant de polarisation I565 sur les transistors Q566 et Q567. Ceci rend égaux les courants de drain I567 et I568. Chaque courant de drain est la moitié du courant I564 ($I566 = I567 = I564 \times 0,5$).

La tension de grille Vb1 du transistor Q568 est donnée comme suit à partir de la valeur de résistance du troisième élément de résistance R522 et à partir du courant I566 :

$$V_{b1} = I_{566} \times R_{522} = I_{564} \times 0,5 \times R_{511} \times 2 = V_a$$

C'est-à-dire que la tension de grille V_{b1} du transistor Q568 est sensiblement égale à la tension de grille V_a du transistor Q541.

La tension de grille V_{b2} du transistor Q569 est donnée par :

5
$$V_{b2} = I_{567} \times R_{523} = I_{564} \times 0,5 \times R_{511} \times 2 = V_a$$

C'est-à-dire que la tension de grille V_{b2} est sensiblement égale à la tension de grille V_a du transistor Q541.

Le transistor Q569 produit le courant I_{569} qui est égal à dix fois le courant de drain I_{563} du transistor Q541 en réponse à la tension de grille V_{b2} .

10

Le transistor Q568 applique sur le cinquième élément de résistance R_{524} le courant I_{568} qui est le double du courant de drain I_{563} (I_{562}) en réponse à la tension de grille V_{b1} .

La tension de grille V_d du transistor Q570 est donnée comme suit à partir de la valeur de résistance du cinquième élément de résistance R_{524} et à partir du courant I_{568} :

15

$$V_d = I_{568} \times R_{524} = I_{562} \times 2 \times R_{521} / 2 = V_c$$

Par conséquent, la tension de grille V_d est sensiblement égale à la tension de grille V_c du transistor Q562.

Le courant de drain I_{570} qui est égal à dix fois le courant de drain I_{562} circule jusqu'au transistor Q570.

20

Du fait que le courant de drain I_{569} du transistor Q569 est sensiblement égal au courant de drain I_{570} du transistor Q570, l'état stable selon lequel les potentiels des premier et second signaux d'entrée I_M et I_P sont égaux est maintenu.

25

(2) Cas dans lequel le potentiel du second signal d'entrée I_P est inférieur au potentiel du premier signal d'entrée I_M (le potentiel du signal de sortie OUT)

La paire différentielle 565 distribue une très grande part du courant de polarisation I_{565} sur le transistor Q566 ($I_{566} > I_{567}$). Le courant de drain I_{566} du transistor Q566 devient par conséquent supérieur à la moitié du courant de drain I_{564} du transistor Q542 ($I_{566} > I_{564} \times 0,5$).

30

Du fait du troisième élément de résistance R522, la tension de grille Vb1 du transistor Q568 devient :

$$V_{b1} = I_{566} \times R_{522} < V_a$$

La tension de grille Vb1 est inférieure à la tension de grille Va du transistor Q541.

La tension de grille Vb2 du transistor Q569 devient :

$$V_{b1} = I_{567} \times R_{523} > V_a$$

La tension de grille Vb2 est supérieure à la tension de grille Va du transistor Q541.

10 Le transistor Q569 produit le courant I569 ($I_{569} \leq I_{563} \times 10$) qui est égal ou inférieur à dix fois le courant de drain I563, en réponse à la tension de grille Vb2.

Le transistor Q568 applique sur le cinquième élément de résistance R524 le courant I568 ($I_{568} \geq I_{563} \times 2$) qui est égal ou supérieur à deux fois le courant de drain I563, en réponse à la tension de grille Vb1.

20 Du fait que la valeur de résistance du cinquième élément de résistance R524 est la moitié de la valeur de résistance du premier élément de résistance R521, la tension de grille Vd du transistor Q570 devient :

$$V_d > V_c.$$

La tension de grille Vd est par conséquent supérieure à la tension de grille Vc du transistor Q562.

25 Le transistor Q570 produit le courant I570 qui est égal ou supérieur à dix fois le courant de drain I562 ($I_{570} \geq I_{562} \times 10$), en réponse à la tension de grille Vd ($V_d > V_c$). Par conséquent, le courant de drain I569 devient inférieur au courant de drain I570. En tant que résultat, le potentiel du signal de sortie OUT décroît jusqu'à pratiquement le potentiel de l'alimentation de potentiel bas VS, ce qui réduit la tension de borne du premier signal d'entrée IM.

30 (3) Cas dans lequel le potentiel du second signal d'entrée IP est supérieur au potentiel du premier signal d'entrée IM (le potentiel du signal de sortie OUT)

La paire différentielle 565 distribue une très grande part du courant de polarisation I565 sur le transistor Q567 ($I_{566} < I_{567}$). Le courant de drain I566 devient par conséquent inférieur à la moitié du courant de drain I564 ($I_{566} < I_{564} \times 0,5$).

5 Du fait du troisième élément de résistance R522, la tension de grille Vb1 du transistor Q568 devient :

$$V_{b1} = I_{566} \times R_{522} > V_a$$

La tension de grille Vb1 est supérieure à la tension de grille Va du transistor Q541.

10 La tension de grille Vb2 du transistor Q569 devient :

$$V_{b2} = I_{567} \times R_{523} < V_a$$

La tension de grille Vb2 est inférieure à la tension de grille Va du transistor Q541.

Le transistor Q569 produit le courant de drain I569 ($I_{569} \geq I_{563} \times 10$) qui est égal ou supérieur à dix fois le courant de drain I563, en réponse à la tension de grille Vb2.

Le transistor Q568 applique sur le cinquième élément de résistance R524 le courant I568 ($I_{568} \leq I_{563} \times 2$) qui est égal ou inférieur à deux fois le courant de drain I563, en réponse à la tension de grille Vb1.

20 Du fait que la valeur de résistance du cinquième élément de résistance R524 est la moitié de la valeur de résistance du premier élément de résistance R521, la tension de grille Vd du transistor Q570 devient :

25 $V_d < V_c.$

La tension de grille Vd devient par conséquent inférieure à la tension de grille Vc du transistor Q562.

Le transistor Q570 produit le courant I570 qui est égal ou inférieur à dix fois le courant de drain I562 ($I_{570} \leq I_{562} \times 10$) en réponse à la tension de grille Vd. Par conséquent, le courant de drain I569 devient supérieur au courant de drain I570. En tant que résultat, le potentiel du signal de sortie OUT croît jusqu'à presque le potentiel de l'alimentation de potentiel haut VD, ce qui augmente la tension de borne du premier signal d'entrée IM.

Le circuit d'amplificateur opérationnel 560 du sixième mode de réalisation présente les avantages qui suivent.

(1) Les tensions de grille V_{b1} et V_{b2} du transistor Q568 et du transistor de sortie Q569 sont respectivement établies au moyen des
5 troisième et quatrième éléments de résistance R522 et R523, et les courants I568 et I569 qui sont corrélés au courant de drain I563 du transistor Q541 sont produits en conséquence. La conversion courant/tension au moyen des troisième et quatrième éléments de résistance R522 et R523 modifie les tensions de grille V_{b1} et V_{b2}
10 conformément aux premier et second signaux d'entrée IM et IP. Ceci a pour effet que le courant de drain I569 du premier transistor de sortie Q569, le courant de drain I568 du transistor Q568 et le courant de drain du second transistor de sortie Q570 varient. En tant que résultat, les courants I569 et I570 varient rapidement conformément à des
15 variations des premier et second signaux d'entrée IM et IP, ce qui raccourcit le temps de transfert des courants. Le circuit d'amplificateur opérationnel 560 fonctionne par conséquent rapidement.

(2) Les transistors Q561, Q563 et Q564 ont pour effet que le courant I561 qui circule au travers de l'élément de résistance R521 est
20 égal au courant de drain I562 du transistor Q562. Le courant I568 qui est égal à deux fois le courant de drain I562 est appliqué sur l'élément de résistance R524 et la tension de grille V_d du transistor de sortie Q570 est établie en conséquence. Par conséquent, le transistor Q570 démontre une réponse conformément à une caractéristique quadratique
25 en relation avec la tension de grille V_c , ce qui empêche que la performance de pilotage de sortie du circuit d'amplificateur opérationnel 570 ne se détériore.

(3) La grille du transistor Q568 est connectée au drain du transistor Q566 et à la paire différentielle 565. Par conséquent, les
30 deux étages constitués par les transistors Q568 et Q570 réalisent une conversion tension/courant moyennant la paire différentielle 565 en tant que référence. Le circuit d'amplificateur opérationnel 570 fonctionne par conséquent rapidement.

Les quatrième à sixième modes de réalisation peuvent être modifiés comme suit.

(a) Des transistors PMOS peuvent être remplacés par des transistors NMOS et des transistors NMOS peuvent être remplacés par
5 des transistors PMOS. Dans ce cas, l'alimentation de potentiel haut VD devrait remplacer l'alimentation de potentiel bas VS et vice versa.

(b) Dans le circuit d'amplificateur opérationnel 560, par exemple, le rapport de la valeur de résistance du premier élément de résistance R521 sur la valeur de résistance du cinquième élément de
10 résistance R524 peut être modifié en fonction des nécessités. Dans ce cas, la tension de grille Vd du transistor de sortie Q570 doit être sensiblement égale à la tension de grille Vc du transistor Q562. En outre, il est préférable de modifier le courant de drain I568 en modifiant la dimension du transistor 568.

15 Il apparaîtra à l'homme de l'art que la présente invention peut être mise en œuvre selon bon nombre d'autres formes spécifiques sans que l'on s'écarte ni de l'esprit, ni du cadre de l'invention. Par conséquent, les présents exemples et les présents modes de réalisation doivent être considérés comme étant illustratifs et non pas
20 limitatifs et l'invention n'a pas à être limitée aux détails qui sont présentés ici mais elle peut être modifiée dans le cadre et les équivalents des revendications annexées.

REVENDICATIONS

1. Circuit d'amplificateur opérationnel caractérisé en ce qu'il comprend :

une première paire différentielle (233) qui inclut un premier transistor (Q221) qui est sensible à une première tension d'entrée et un second transistor (Q222) qui est sensible à une seconde tension d'entrée ;

une seconde paire différentielle (235) qui inclut un troisième transistor (Q223) qui est sensible à la première tension d'entrée et un quatrième transistor (Q224) qui est sensible à la seconde tension d'entrée ;

un cinquième transistor (Q225) qui est connecté aux premier et troisième transistors ;

un sixième transistor (Q226) qui est connecté aux second et quatrième transistors ;

une première source de courant (234), qui est connectée à la première paire différentielle, pour appliquer un premier courant de polarisation sur la première paire différentielle ;

une seconde source de courant (236), qui est connectée à la seconde paire différentielle, pour appliquer un second courant de polarisation sur la seconde paire différentielle ;

une troisième source de courant (238), qui est connectée au cinquième transistor, pour appliquer un troisième courant de polarisation sur le cinquième transistor ;

une quatrième source de courant (239), qui est connectée au sixième transistor, pour appliquer un quatrième courant de polarisation sur le sixième transistor ; et

un circuit de commande (241), qui est connecté aux première à quatrième sources de courant, pour recevoir les première et seconde tensions d'entrée et pour commander les première à quatrième sources de courant de telle sorte que la somme des premier et second courants de polarisation soit constante

et que les second à quatrième courants de polarisation deviennent sensiblement égaux.

2. Circuit d'amplificateur opérationnel selon la revendication 1, caractérisé en ce que le circuit de commande inclut :

5 une source de courant constant (251) pour produire un courant constant qui est égal à la somme des premier et second courants de polarisation ; et

un circuit de distribution (252), qui est connecté aux première à quatrième sources de courant, pour comparer les première et seconde tensions d'entrée à une tension de référence et pour distribuer le courant constant de la source de courant constant selon le premier courant de polarisation de la première source de courant et selon les second à quatrième courants de polarisation des seconde à quatrième sources de courant sur la base d'un résultat de comparaison.

3. Circuit d'amplificateur opérationnel selon la revendication 1, caractérisé en ce que les premier et troisième transistors sont connectés l'un à l'autre, le cinquième transistor est connecté à un noeud entre les premier et troisième transistors, les second et quatrième transistors sont connectés l'un à l'autre et le sixième transistor est connecté à un noeud entre les second et quatrième transistors.

4. Circuit d'amplificateur opérationnel selon la revendication 3, caractérisé en ce que chacun des premier et second transistors est un transistor à canal P et chacun des troisième à sixième transistors est un transistor à canal N.

5. Circuit d'amplificateur opérationnel selon la revendication 4, caractérisé en ce que chacune des première, troisième et quatrième sources de courant inclut un transistor à canal P et la seconde source de courant inclut un transistor à canal N.

6. Circuit d'amplificateur opérationnel selon la revendication 3, caractérisé en ce qu'au moins l'un des premier et second transistors est un transistor bipolaire PNP et au moins l'un des troisième à sixième transistors est un transistor bipolaire NPN.

7. Circuit d'amplificateur opérationnel caractérisé en ce qu'il comprend :

une première paire différentielle (233) qui inclut un premier transistor (Q221) qui est sensible à une première tension d'entrée et un second transistor (Q222) qui est sensible à une seconde tension d'entrée ;

5 une seconde paire différentielle (235) qui inclut un troisième transistor (Q223) qui est sensible à la première tension d'entrée et un quatrième transistor (Q224) qui est sensible à la seconde tension d'entrée ;

un premier élément de résistance qui est connecté aux premier et troisième transistors ;

10 un second élément de résistance qui est connecté aux second et quatrième transistors ;

une première source de courant, qui est connectée à la première paire différentielle, pour appliquer un premier courant de polarisation sur la première paire différentielle ;

15 une seconde source de courant (234), qui est connectée à la seconde paire différentielle, pour appliquer un second courant de polarisation sur la seconde paire différentielle ;

une troisième source de courant (238), qui est connectée au premier élément de résistance, pour appliquer un troisième courant de polarisation sur le premier élément de résistance ;

20 une quatrième source de courant (239), qui est connectée au second élément de résistance, pour appliquer un quatrième courant de polarisation sur le second élément de résistance ; et

25 un circuit de commande (241), qui est connecté aux première à quatrième sources de courant, pour recevoir les première et seconde tensions d'entrée et pour commander les première à quatrième sources de courant de telle sorte que la somme des premier et second courants de polarisation soit constante et que les second à quatrième courants de polarisation deviennent sensiblement égaux.

Fig.1

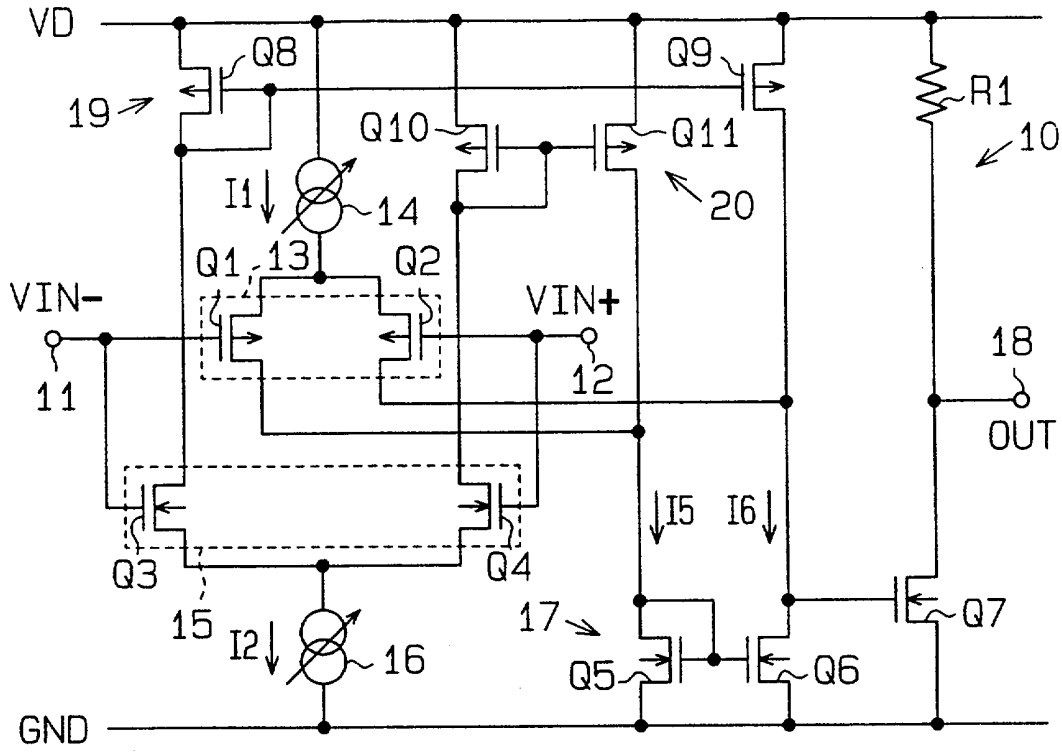


Fig.2

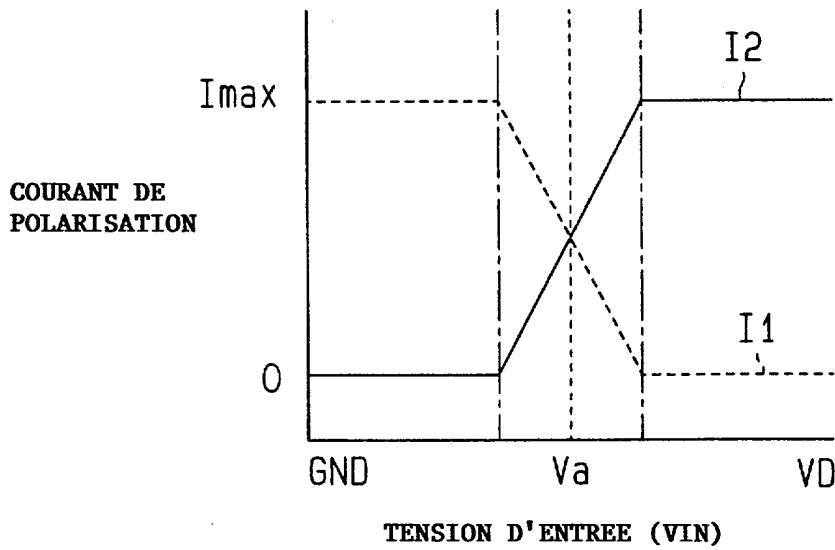


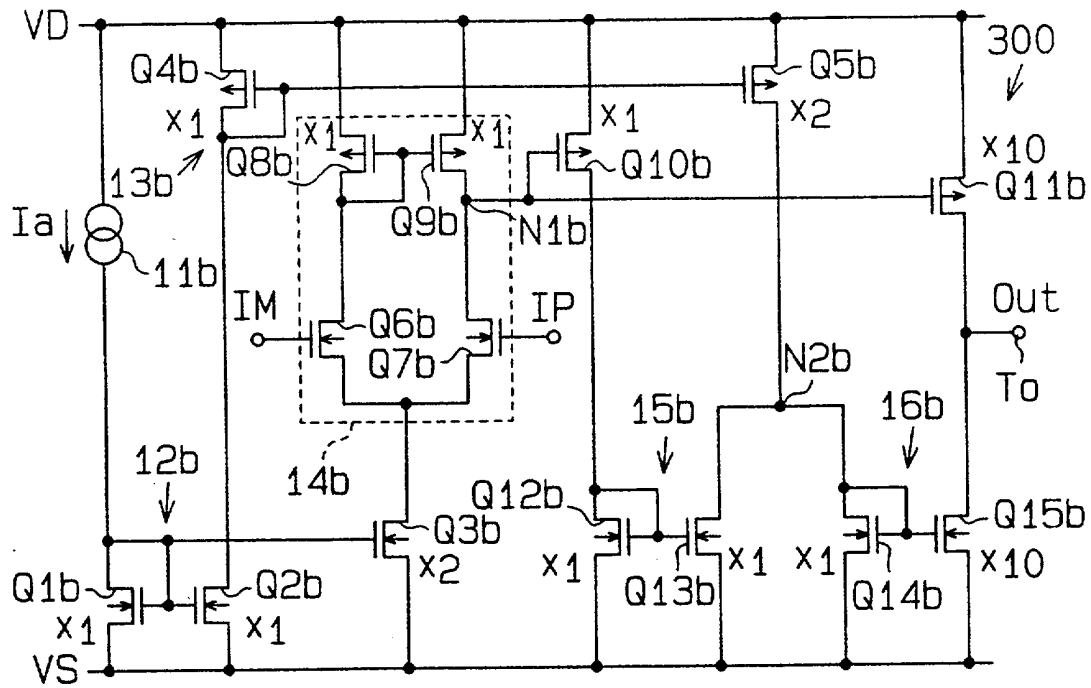
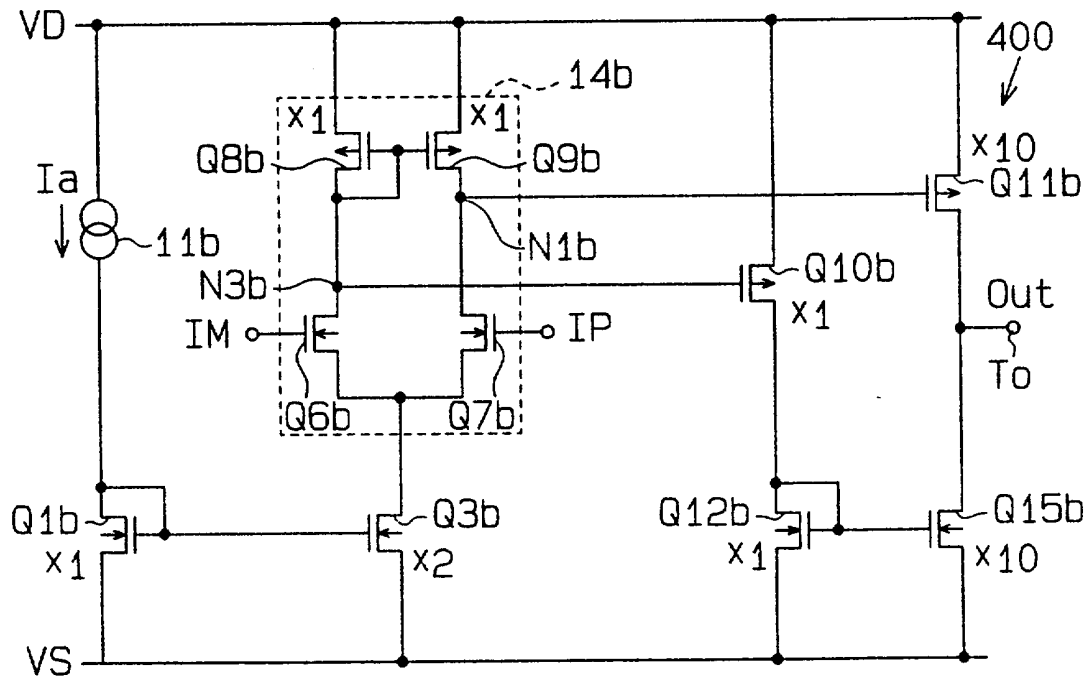
Fig.3**Fig.4**

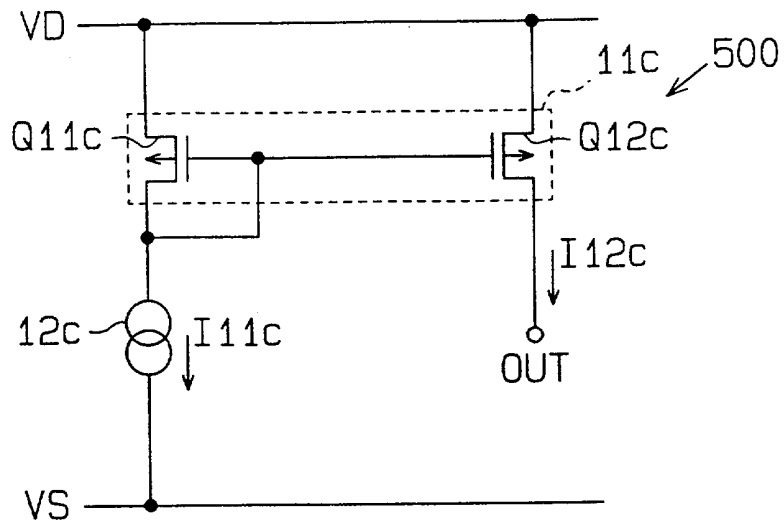
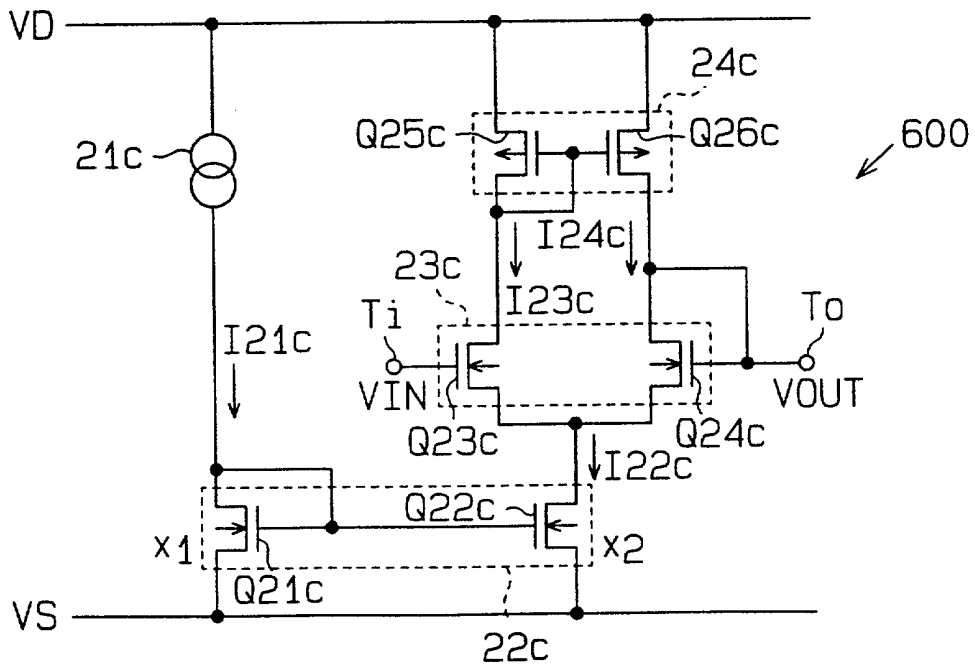
Fig.5**Fig.6**

Fig. 8

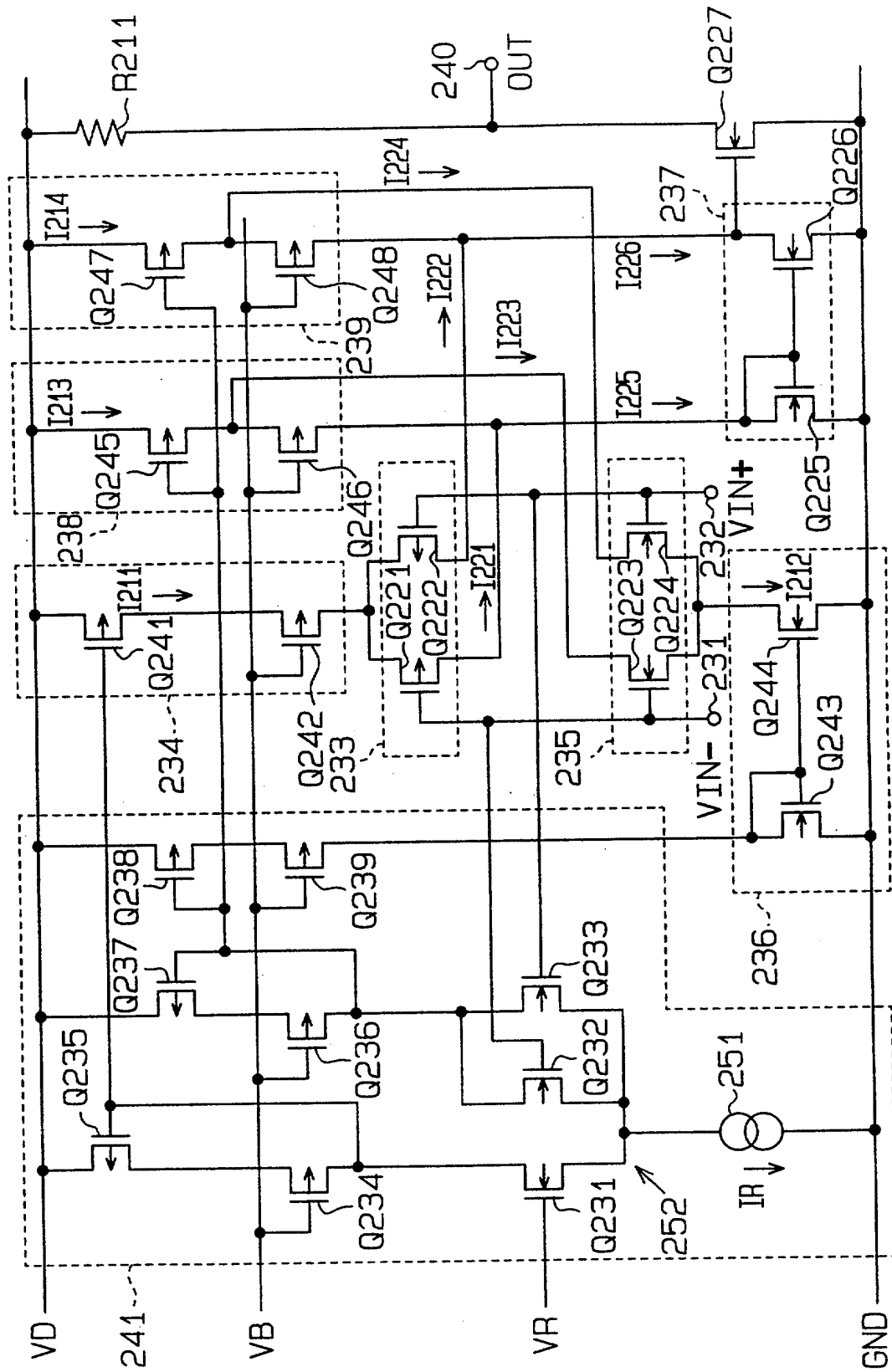


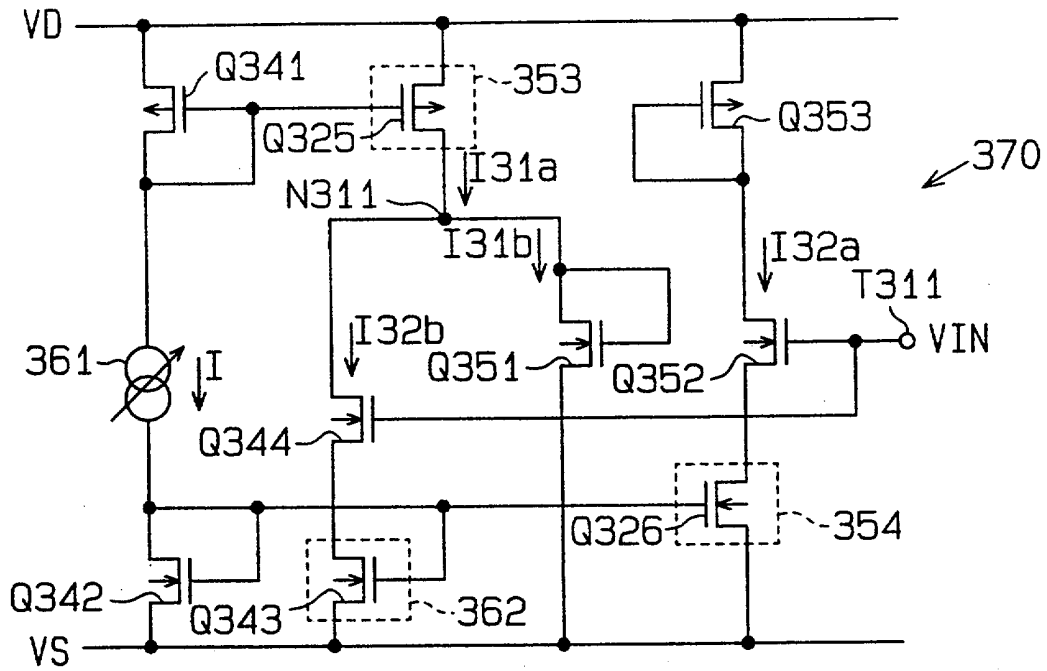
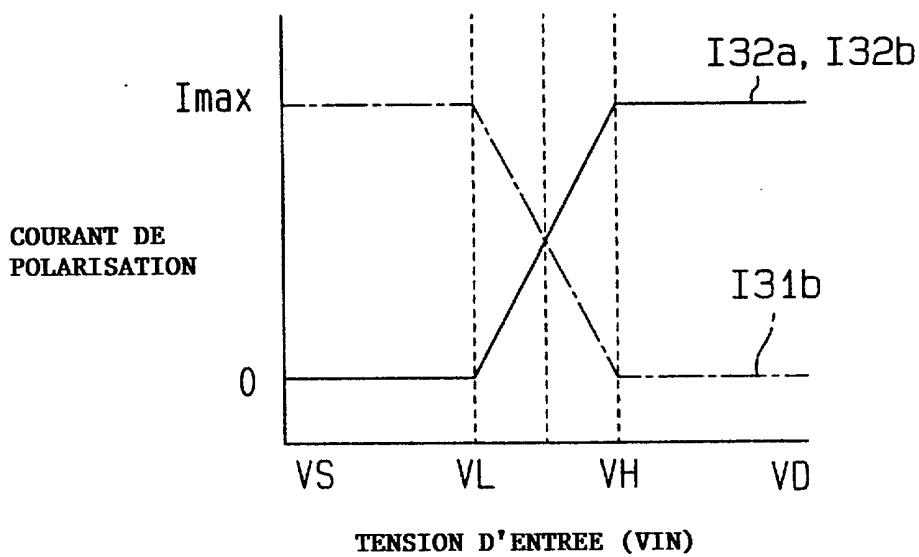
Fig.10**Fig.11**

Fig.13

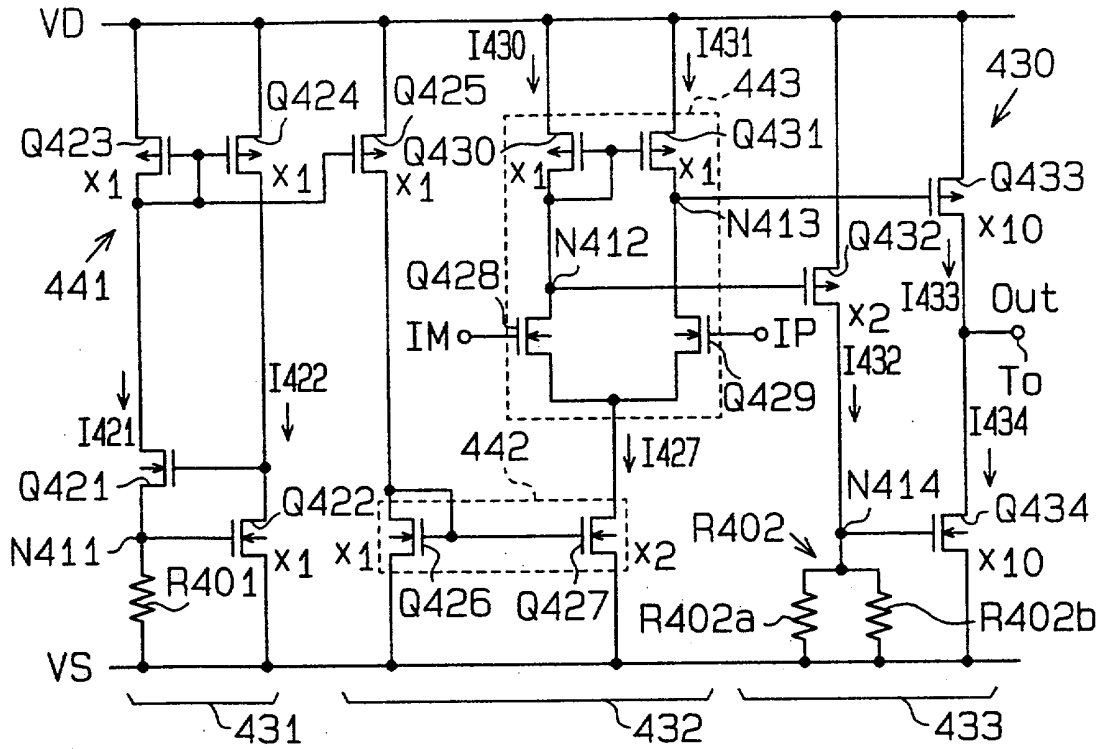


Fig.14

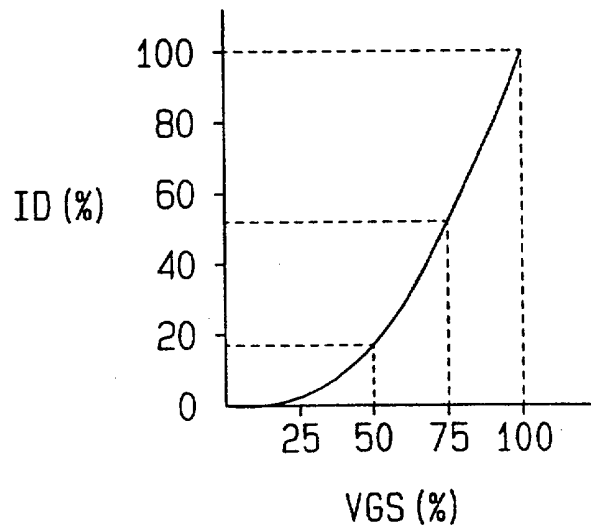


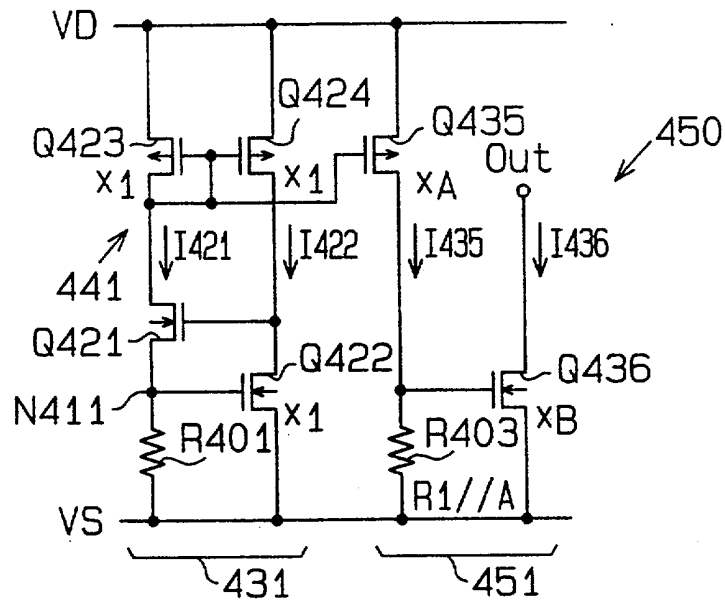
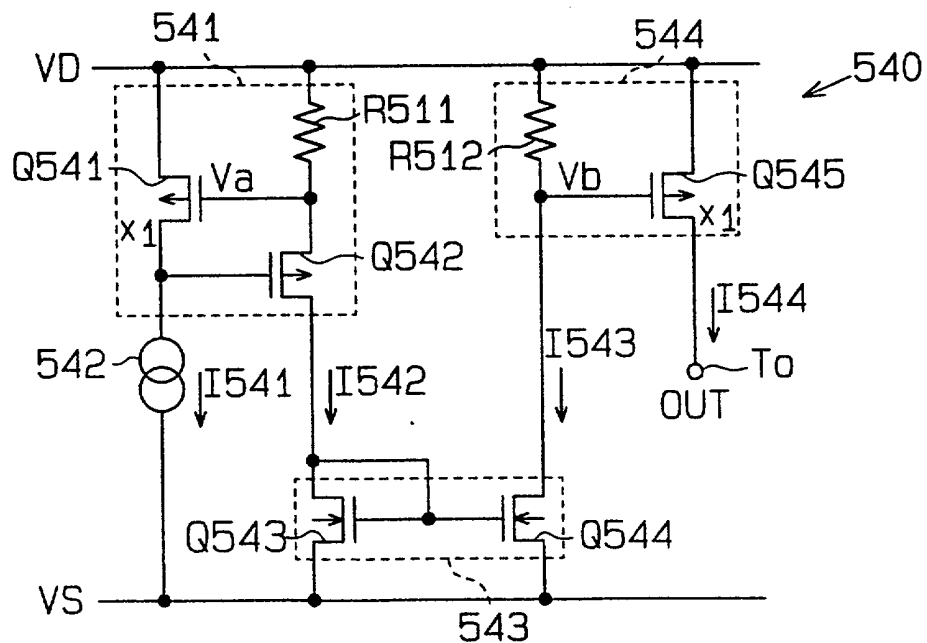
Fig.15**Fig.16**

Fig.17

