

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 8 月 2 日(02.08.2012)



(10) 国際公開番号  
**WO 2012/102258 A1**

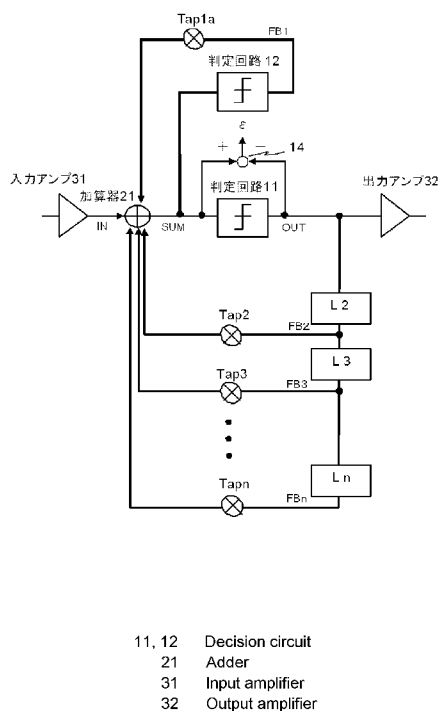
- (51) 国際特許分類:  
*H04B 3/06* (2006.01) *H03H 17/00* (2006.01)
- (21) 国際出願番号: PCT/JP2012/051409
- (22) 国際出願日: 2012 年 1 月 24 日(24.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-013956 2011 年 1 月 26 日(26.01.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 天宮 泰 (AMAMIYA, Yasushi) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 加藤 朝道 (KATO, Asamichi); 〒2220033 神奈川県横浜市港北区新横浜 3 丁目 2 0 番 1 2 号加藤内外特許事務所内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: DECISION FEEDBACK EQUALIZER

(54) 発明の名称: 判定帰還型等化器

【図1】



11, 12 Decision circuit  
21 Adder  
31 Input amplifier  
32 Output amplifier

回路 1 2 と、を備える (図 1)。

(57) Abstract: The objective of the present invention is operability at a higher speed. The present invention is provided with (FIG. 1): a weighted summing circuit (an adder (21) and coefficient multipliers (Tap 1a, Tap 2 to Tap n)) for adding an input signal and each of the respective signals which are weighted feedback signals (FB1 to FBn) (n is an integer greater than or equal to 2); a decision circuit (11), which operates in synchronization with a clock signal, for assessing whether or not the summed result of the weighted summing circuit is greater than or equal to a predetermined threshold in order to output the assessment result to the outside and to a shift register (latch circuits (L2 to Ln)); the shift register, which sequentially holds the assessment result of the decision circuit (11) in synchronization with the clock signal in order to output the held contents of each of the registers, which are constituent elements, as the feedback signals (FB2 to FBn); and a decision circuit (12), which operates in synchronization with the clock signal, for assessing whether or not the summed result of the weighted summing circuit is greater than or equal to a predetermined threshold in order to output the assessment result as the feedback signal (FB1).

(57) 要約: より高速に動作可能とする。入力信号と帰還信号  $FB1 \sim FBn$  ( $n$  は 2 以上の整数) にそれぞれ重み付けしたそれぞれの信号とを加算する重み付け加算回路 (加算器 21、係数器  $Tap1a$ 、 $Tap2 \sim Tapn$ ) と、重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を外部に出力すると共にシフトレジスタ (ラッチ回路  $L2 \sim Ln$ ) に出力する、クロック信号に同期して動作する判定回路 11 と、判定回路 11 の判定結果をクロック信号に同期して順次保持し、構成要素であるそれぞれのレジスタの保持内容をそれぞれ帰還信号  $FB2 \sim FBn$  として出力するシフトレジスタと、重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を帰還信号  $FB1$  として出力する、クロック信号に同期して動作する判定

**WO 2012/102258 A1**



---

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称： 判定帰還型等化器

### 技術分野

[0001] [関連出願についての記載]

本発明は、日本国特許出願：特願２０１１－０１３９５６号（２０１１年１月２６日出願）の優先権主張に基づくものであり、同出願の全記載内容は引用をもって本書に組み込み記載されているものとする。

本発明は、判定帰還型等化器に係り、特に、判定帰還型等化器の高速動作技術に係る。

### 背景技術

[0002] 近年、サーバ・ネットワーク機器、携帯電話、ストレージ、ＯＡ、家電などあらゆる電子機器で機器間、機器内のデータ通信の高速化が進展している。こうした高速通信における信号伝送では符号間干渉（ＩｎｔｅｒＳｙｍｂｏｌ Ｉｎｔｅｒｆｅｒｅｎｃｅ、以下、ＩＳＩと略す）、雑音などによる信号歪みが顕著となるため、信号波形を補正するための等化（イコライズ）技術が重要である。中でも判定帰還型等化（Ｄｅｃｉｓｉｏｎ Ｆｅｅｄｂａｃｋ Ｅｑｕａｌｉｚｅｒ、以下、ＤＦＥと略す）が符号間干渉の除去に有効であり、無線の受信技術などにおいても用いられている（特許文献１参照）。

[0003] 図１０は、特許文献１等において開示される一般的な判定帰還型等化器の構成を示すブロック図である。判定帰還型等化器は、入力アンプ１３１を介して入力した受信信号に帰還信号を加減算する加算器１２１、加算出力信号を“１”か“０”に判定する判定回路１１１、判定結果を順次シフトする縦続接続されるラッチ回路Ｌ１２～Ｌ１ｎ（ｎは２以上の整数）、判定回路１１１、ラッチ回路Ｌ１２～Ｌ１ｎのそれぞれの出力にそれぞれ重み係数（タップ係数）を乗算する係数器Ｔａｐ１１～Ｔａｐ１ｎ、判定回路１１１の判定結果を外部に出力する出力アンプ１３２を備える。加算器１２１は、係数

器 T a p 1 1 ~ T a p 1 n の出力を帰還信号として入力する。

[0004] このような構成の判定帰還型等化器によれば、1 周期、2 周期、3 周期・  
・・ n 周期前の複数の帰還処理を施すマルチタップ構成によって、1 つ前の  
信号のみならず、さらに前の信号にさかのぼって信号干渉を除去することが  
できる。ここで、k (k = 1 ~ n) 周期前の信号干渉を、k t h - p o s t  
と称す。

[0005] なお、各帰還経路のタップ係数の設定方法としては、あらかじめ伝送特性  
に応じて決められた固定値を設定する方法や、判定回路 1 1 1 の入出力間の  
信号を比較する誤差検出器 1 1 4 を設け、誤差信号  $\varepsilon$  を最小化するようにア  
ダプティブに係数器を制御する方法などがあり、適切な波形等化が実現され  
る。

## 先行技術文献

## 特許文献

[0006] 特許文献1：特開平 6 - 2 0 4 9 0 2 号公報

## 発明の概要

## 発明が解決しようとする課題

[0007] なお、上記特許文献の全開示内容はその引用をもって本書に繰込み記載す  
る。

以下の分析は本発明において与えられる。

[0008] 判定帰還型等化器では、伝送速度をより高速化しようとした場合に、帰還  
経路の遅延時間が、帰還経路を構成する回路内の遅延時間によって、等化処  
理に必要な適正な遅延時間よりも長くなり、この時点で伝送速度が制限され  
てしまう。特に 1 つ前の信号干渉（以下、1 s t - p o s t と称す）を除去  
するための帰還経路（図 1 0 の P 1）は、信号 1 周期内に帰還する必要がある  
ため、この 1 s t - p o s t の帰還経路の遅延時間が判定帰還型等化器の  
動作速度を制限してしまうことになる。

[0009] 本発明の課題は、より高速で動作可能な判定帰還型等化器を提供すること

にある。

### 課題を解決するための手段

[0010] 本願発明者は、判定帰還型等化器の動作速度を制限する 1 s t - p o s t の帰還経路の遅延時間の増加の要因が、帰還経路内の回路負荷であることに着目し、1 s t - p o s t 帰還経路を 2 n d - p o s t 以降の主信号経路とは別に専用に設けることで、1 s t - p o s t 帰還経路の回路の負荷を軽減し、判定帰還型等化器のより高速化が可能であるとの知見を得た。

[0011] 本発明の 1 つのアスペクト（側面）に係る判定帰還型等化器は、入力信号と第 1 ～第 n（n は 2 以上の整数）の帰還信号にそれぞれ重み付けしたそれぞれの信号とを加算する第 1 の重み付け加算回路と、第 1 の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を外部に出力すると共にシフトレジスタに出力する、クロック信号に同期して動作する第 1 の判定回路と、第 1 の判定回路の判定結果をクロック信号に同期して順次保持し、構成要素であるそれぞれのレジスタの保持内容をそれぞれ第 2 ～第 n の帰還信号として出力するシフトレジスタと、第 1 の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を第 1 の帰還信号として出力する、クロック信号に同期して動作する第 2 の判定回路と、を備える。

### 発明の効果

[0012] 本発明によれば、より高速化が可能である。

### 図面の簡単な説明

[0013] [図1]本発明の第 1 の実施例に係る判定帰還型等化器の構成を示すブロック図である。

[図2]本発明の第 1 の実施例に係る加算器および係数器の回路図の例である。

[図3]本発明の第 1 の実施例に係る判定回路の回路図の例である。

[図4]本発明の第 2 の実施例に係る判定帰還型等化器の構成を示すブロック図である。

[図5]本発明の第 3 の実施例に係る判定帰還型等化器の構成を示すブロック図

である。

[図6]本発明の第4の実施例に係る判定帰還型等化器の構成を示すブロック図である。

[図7]本発明の第5の実施例に係る判定帰還型等化器の構成を示すブロック図である。

[図8]本発明の第5の実施例に係る判定回路の回路図の例である。

[図9]本発明の第6の実施例に係る判定帰還型等化器の構成を示すブロック図である。

[図10]従来の判定帰還型等化器の構成を示すブロック図である。

[図11]本発明の第7の実施例に係る受信機の構成を示すブロック図である。

[図12]本発明の第8の実施例に係る通信システムの構成を示すブロック図である。

[図13]本発明の第9の実施例に係る半導体装置の構成を示すブロック図である。

### 発明を実施するための形態

[0014] 以下、本発明を実施するための形態について、概説する。なお、以下の概説に付記した図面参照符号は、専ら理解を助けるための例示であり、図示の態様に限定することを意図するものではない。

[0015] 本発明の一実施形態に係る判定帰還型等化器は、入力信号と第1～第 $n$ （ $n$ は2以上の整数）の帰還信号にそれぞれ重み付けしたそれぞれの信号とを加算する第1の重み付け加算回路（図1の21、Tap1a、Tap2～Tap $n$ に相当）と、第1の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を外部に出力すると共にシフトレジスタ（図1のL2～L $n$ に相当）に出力する、クロック信号に同期して動作する第1の判定回路（図1の11）と、第1の判定回路の判定結果をクロック信号に同期して順次保持し、構成要素であるそれぞれのレジスタの保持内容をそれぞれ第2～第 $n$ の帰還信号として出力するシフトレジスタと、第1の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を

第1の帰還信号として出力する、クロック信号に同期して動作する第2の判定回路（図1の12）と、を備える。

[0016] 判定帰還型等化器において、第2の判定回路は、第1の判定回路よりも高速で動作するように第1の判定回路と異なる回路定数で構成されることが好ましい。

[0017] 判定帰還型等化器において、第2の判定回路を構成する少なくとも一部のトランジスタのサイズが第1の判定回路を構成するトランジスタのサイズよりも小さいことが好ましい。

[0018] 判定帰還型等化器において、第1および第2の判定回路は、加算結果を保持しクロック信号で動作するデータ保持部（図3のT3、T4、T9、T10に相当）をそれぞれ含み、第2の判定回路のデータ保持部を構成するトランジスタのサイズが第1の判定回路のデータ保持部を構成するトランジスタのサイズよりも小さいことが好ましい。

[0019] 判定帰還型等化器において、第2の判定回路は、第1の判定回路よりも小さな論理振幅で動作するように構成されることが好ましい。

[0020] 判定帰還型等化器において、第1および第2の判定回路は、加算結果を保持しクロック信号で動作するデータ保持部をそれぞれ含み、第2の判定回路のデータ保持部を構成する負荷抵抗（図3のR1、R2、R3、R4）が第1の判定回路のデータ保持部を構成する負荷抵抗よりも抵抗値が低いことが好ましい。

[0021] 判定帰還型等化器において、第1の判定回路の判定結果に対し、第1の帰還信号に対する重み付けと同等の重み付けを行う重み付け手段（図5のTap1）を備え、第1の重み付け加算回路は、重み付け手段の出力信号をさらに加算し、重み付け手段と第2の判定回路および第1の帰還信号に対する重み付け機能とに対して排他的に電源供給を行うようにしてもよい。

[0022] 判定帰還型等化器において、入力信号と第1～第n（nは2以上の整数）の帰還信号にそれぞれ重み付けしたそれぞれの信号とを加算する第2の重み付け加算回路（図6の22、Tap1a、Tap2～Tapnに相当）をさ

らに備え、第2の判定回路は、第1の重み付け加算回路の加算結果を判定する代わりに第2の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定するようにしてもよい。

[0023] 判定帰還型等化器において、第2の重み付け加算回路を構成するトランジスタのサイズが第1の重み付け加算回路を構成するトランジスタのサイズよりも小さいことが好ましい。

[0024] 判定帰還型等化器において、第1の判定回路（図7の11a）は、第1の帰還信号に重み付けした信号によって所定の閾値が制御可能に構成され、第1の重み付け加算回路（図7の21b、Tap2～Tapnに相当）は、第1の帰還信号に重み付けした信号を加算することなく、入力信号と第2～第n（nは2以上の整数）の帰還信号にそれぞれ重み付けしたそれぞれの信号とを加算することが好ましい。

[0025] 判定帰還型等化器において、第2の判定回路（図9の12a）は、第1の帰還信号に重み付けした信号によって所定の閾値が制御可能に構成されることが好ましい。

[0026] このような判定帰還型等化器は、2nd-post以降のマルチタップ判定帰還等化部や出力増幅器などを要する主信号経路とは別に、1st-post 帰還専用経路を並列に備える。この1st-post 帰還専用経路は、重み付け加算回路の出力信号を入力とする第2の判定回路と、1st-post 帰還に対応する重み付け手段（係数器）とで構成され、第2の判定回路の出力端は、重み付け手段（係数器）を介して重み付け加算回路の入力部にのみ接続される。したがって、1st-post 専用帰還経路は、その接続形態において出力負荷が軽減され、帰還遅延時間の短縮、すなわち判定帰還型等化器のより高速な動作を可能とする。

[0027] 以下、実施例に即し、図面を参照して詳しく説明する。

## 実施例 1

[0028] 図1は、本発明の第1の実施例に係る判定帰還型等化器の構成を示すブロック図である。図1において、判定帰還型等化器は、判定回路11、12、

加算器 2 1、入力アンプ 3 1、出力アンプ 3 2、係数器 T a p 1 a、T a p 2 ~ T a p n ( n は 2 以上の整数)、ラッチ回路 L 2 ~ L n、誤差検出器 1 4 を備える。

[0029] 入力アンプ 3 1 は、外部から入力した等化対象とされる信号を増幅し、信号 I N として加算器 2 1 に出力する。

[0030] 加算器 2 1 は、信号 I N と帰還信号 F B 1 ~ F B n にそれぞれ係数器 T a p 1 a、T a p 2 ~ T a p n によって重み付けしたそれぞれの信号とを加算し、加算結果となる信号 S U M を出力する。

[0031] 判定回路 1 1 は、図示されないクロック信号に同期して動作し、信号 S U M が所定の閾値以上であるか否かを判定し、判定結果を信号 O U T として出力する。

[0032] 出力アンプ 3 2 は、信号 O U T を増幅して外部に出力する。

[0033] ラッチ回路 L 2 ~ L n は、それぞれ入力した信号を図示されないクロック信号に同期して保持する信号検出回路であって、フリップフロップやサンプリングラッチなどで実現され、縦続に接続されてシフトレジスタを構成する。ラッチ回路 L 2 ~ L n は、入力した信号 O U T を順次シフトし、それぞれ帰還信号 F B 2 ~ F B n をそれぞれ係数器 T a p 2 ~ T a p n に出力する。

[0034] 判定回路 1 2 は、図示されないクロック信号に同期して動作し、信号 S U M が所定の閾値以上であるか否かを判定し、判定結果を帰還信号 F B 1 として係数器 T a p 1 a に出力する。

[0035] 誤差検出器 1 4 は、信号 S U M と信号 O U T との誤差信号  $\varepsilon$  を出力する。

[0036] 係数器 T a p 1 a、T a p 2 ~ T a p n は、誤差信号  $\varepsilon$  に応じてそれぞれの重み付け係数を変更するようにしてもよい。あるいは、誤差検出器 1 4 を設けることなく、予め等化対象とされる信号における等化処理結果に基づき、重み付け係数を決定しておいてもよい。

[0037] 以上のような構成の判定帰還型等化器は、タップ数 n の判定帰還型等化器であり、2 n d - p o s t 以降は、通常の判定帰還型等化器と同様の構成である。すなわち、信号を入力する入力アンプ 3 1 の後段に加算器 2 1 が接続

され、加算器 2 1 の出力信号を “1” または “0” のデジタル値に判定して出力する判定回路 1 1 を介して、次段の機能ブロック（例えば DMUX など）へと出力される。図 1 では出力端に出力アンプ 3 2 を設置している。

[0038] また、判定回路 1 1 の出力から 2<sup>nd</sup>-post、3<sup>rd</sup>-post、  
・ ・ ・ n<sup>th</sup>-post の帰還経路が設けられ、クロック信号のそれぞれ 2 周期分、3 周期分、  
・ ・ ・ n 周期分の遅延データを加算器 2 1 に帰還させる。すなわち、判定回路 1 1 の信号 OUT から、2<sup>nd</sup>-post 以降の帰還遅延を形成するラッチ回路 L 2、L 3、  
・ ・ ・ L n へとクロック信号に同期して順次シフトさせ、ラッチ回路 L 2 ~ L n の各々の出力である帰還信号 FB 2 ~ FB n に、係数器 Tap 2 ~ Tap n によるそれぞれの重み係数を乗算した後、加算器 2 1 に帰還し、加減算処理により波形等化処理が施される。

[0039] 一方、1<sup>st</sup>-post の帰還は、2<sup>nd</sup>-post ~ n<sup>th</sup>-post の帰還経路とは独立した異なる経路を介する。すなわち、加算器 2 1 の出力データを判定する判定回路 1 2 を判定回路 1 1 とは別に並列して設け、この判定回路 1 2 の出力データである帰還信号 FB 1 に係数器 Tap 1 a による 1<sup>st</sup>-post 帰還の重み係数を乗算した後、加算器 2 1 に帰還させ、1<sup>st</sup>-post の波形等化を実現する。1<sup>st</sup>-post の帰還経路における判定回路 1 2 は、他の帰還経路のラッチ回路 L 2、出力アンプ 3 2、誤差検出器 1 4 とは接続されずに、係数器 Tap 1 a のみを介して加算器 2 1 に出力される。

[0040] また、係数器 Tap 1 a、Tap 2 ~ Tap n におけるそれぞれの重み係数をアダプティブに最適化制御する場合には、判定回路 1 1 の入出力間データを誤差検出器 1 4 によって検出して誤差信号  $\varepsilon$  を取得すれば良い。したがって、1<sup>st</sup>-post の帰還経路にあたる判定回路 1 2 には、こうした負荷となる誤算信号のモニタ機能を設ける必要がない。

[0041] 図 10 の判定帰還型等化器では、1<sup>st</sup>-post の帰還経路を構成する判定回路 1 1 1 の出力端は、1<sup>st</sup>-post 帰還経路（係数器 Tap 1 1）および、2<sup>nd</sup>-post 以降の経路（ラッチ回路 L 1 2）、出力経路（

出力アンプ 132) に接続されるため、ファンアウト数は 3 となる。さらに、誤差検出器 114 を設ける場合には、ファンアウト数は 4 に及ぶ。

[0042] 一方、本実施例の構成では、独立経路として設けた 1st-post 帰還経路の判定回路 12 は、ファンアウト数が 1 であり、従来と比較して出力負荷が大きく軽減される。その結果、判定帰還型等化器の動作速度を制限していた 1st-post 帰還の遅延時間が減少し、判定帰還型等化器のより高速な動作が可能となる。

[0043] 次に、判定帰還型等化器の具体的な回路構成について説明する。判定帰還型等化器は、より高速化を可能とするために、耐ノイズ性に優れる差動信号を適用するように構成されることが好ましい。ここでは、差動信号に対応した加算器 21 および判定回路 11、12 を主として説明する。差動信号は、一方の符号に対し、他方の符号に「/」を付して表す。

[0044] 図 2 は、加算器 21 および係数器 Tap1a、Tap2～Tapn の回路図の例である。加算器 21 は、Nch トランジスタ T20～T2n、T30～T3n、T40～T4n、抵抗 R11、R12、電流源 Iss を備える。係数器 Tap1a、Tap2～Tapn は、電流源 Iss のそれぞれ  $\alpha_1 \sim \alpha_n$  倍の電流を流す電流源に該当する。

[0045] Nch トランジスタ T2k ( $k=0 \sim n$ ) は、ドレインを抵抗 R11 を介して電源に接続すると共にドレインから信号 SUM を出力し、ソースを Nch トランジスタ T4k のドレインに接続する。Nch トランジスタ T3k は、ドレインを抵抗 R12 を介して電源に接続すると共にドレインから信号 /SUM を出力し、ソースを Nch トランジスタ T4k のドレインに接続し、Nch トランジスタ T2k と差動対を構成する。

[0046] Nch トランジスタ T20 は、ゲートに信号 IN が供給され、Nch トランジスタ T30 は、ゲートに信号 /IN が供給される。Nch トランジスタ T40 は、ゲートにクロック信号 CLK が供給され、ソースを電流源 Iss を介して接地する。

[0047] Nch トランジスタ T2k ( $k=1 \sim n$ ) は、ゲートに信号 FBk が供給

され、 $Nch$ トランジスタ $T3k$  ( $k=1\sim n$ ) は、ゲートに信号 $/FBk$ が供給される。 $Nch$ トランジスタ $T4k$  ( $k=1\sim n$ ) は、ゲートにクロック信号 $CLK$ が供給され、ソースをそれぞれ係数器 $Tap1a$ 、 $Tap2\sim Tapn$ を介して接地する。

[0048] このような構成の加算器21は、クロック信号 $CLK$ がハイレベルとなる期間において $Nch$ トランジスタ $T40\sim T4n$ がオンとなる。この場合、電流源 $I_{ss}$ の電流は、信号 $IN$ 、 $/IN$ の大きさに応じて $Nch$ トランジスタ $T20$ 、 $T30$ にそれぞれ分配される。また、電流源 $I_{ss}$ の $\alpha k$ 倍の電流が信号 $FBk$ 、 $/FBk$ の大きさに応じて $Nch$ トランジスタ $T2k$ 、 $T3k$ にそれぞれ分配される。したがって、 $Nch$ トランジスタ $T20\sim T2n$ に流れる電流が全て加算されて抵抗 $R11$ に流れ、 $Nch$ トランジスタ $T30\sim T3n$ に流れる電流が全て加算されて抵抗 $R12$ に流れ、加算器21は、重み付け加算器として機能し、加算結果を信号 $SUM$ 、 $/SUM$ として出力する。

[0049] 図3は、判定回路11、12の回路図の例である。判定回路11、12は、同一の構成であって、 $Nch$ トランジスタ $T1\sim T14$ 、抵抗 $R1\sim R4$ を備える。

[0050]  $Nch$ トランジスタ $T1$ は、ドレインを、一端が電源に接続される抵抗 $R1$ の他端、 $Nch$ トランジスタ $T3$ のドレイン、 $Nch$ トランジスタ $T4$ のゲート、 $Nch$ トランジスタ $T7$ のゲートに接続し、ソースを $Nch$ トランジスタ $T5$ のドレインに接続し、ゲートに信号 $SUM$ が供給される。 $Nch$ トランジスタ $T2$ は、ドレインを、一端が電源に接続される抵抗 $R2$ の他端、 $Nch$ トランジスタ $T4$ のドレイン、 $Nch$ トランジスタ $T3$ のゲート、 $Nch$ トランジスタ $T8$ のゲートに接続し、ソースを $Nch$ トランジスタ $T5$ のドレインに接続し、ゲートに信号 $/SUM$ が供給される。 $Nch$ トランジスタ $T5$ は、ソースを $Nch$ トランジスタ $T13$ のドレインに接続し、ゲートにクロック信号 $CLK$ が供給される。 $Nch$ トランジスタ $T3$ 、 $T4$ は、ソースを共通に $Nch$ トランジスタ $T6$ のドレインに接続する。 $Nch$ ト

ランジスタT6は、ソースをNchトランジスタT13のドレインに接続し、ゲートにクロック信号／CLKが供給される。NchトランジスタT13は、ソースを接地し、ゲートに基準電圧Vrefが与えられる。

[0051] NchトランジスタT7は、ドレインを、一端が電源に接続される抵抗R3の他端、NchトランジスタT9のドレイン、NchトランジスタT10のゲートに接続し、ソースをNchトランジスタT11のドレインに接続し、ドレインから信号OUTを出力する。NchトランジスタT8は、ドレインを、一端が電源に接続される抵抗R4の他端、NchトランジスタT10のドレイン、NchトランジスタT9のゲートに接続し、ソースをNchトランジスタT11のドレインに接続し、ドレインから信号／OUTを出力する。NchトランジスタT11は、ソースをNchトランジスタT14のドレインに接続し、ゲートにクロック信号／CLKが供給される。NchトランジスタT9、T10は、ソースを共通にNchトランジスタT12のドレインに接続する。NchトランジスタT12は、ソースをNchトランジスタT14のドレインに接続し、ゲートにクロック信号CLKが供給される。NchトランジスタT14は、ソースを接地し、ゲートに基準電圧Vrefが与えられる。

[0052] 以上のような構成の判定回路11(12)は、CML(Current Mode Logic)形式のマスタ・スレーブ・フリップフロップ回路として機能する。すなわち、NchトランジスタT1、T2は、クロック信号CLKがHレベルである場合に活性化されて信号SUM、／SUMのレベルを比較し、NchトランジスタT3、T4は、クロック信号CLKがLレベルである場合に活性化されて比較結果を保持するように機能して、マスター部を構成する。また、NchトランジスタT7、T8は、クロック信号CLKがHレベルである場合に活性化されてNchトランジスタT3、T4の保持データを増幅し、NchトランジスタT9、T10は、クロック信号CLKがLレベルである場合に活性化されて増幅された保持データを保持して信号OUT、／OUTとして出力するスレーブ部を構成する。

[0053] ここで判定回路 1 2 における回路パラメータは、高速性能だけでなく、後段に接続される回路を駆動することも考慮して決定される。一般に高速性能と駆動能力は、トレードオフの関係にある。図 10 の判定帰還型等化器では、判定回路のファンアウト数が前述の通り 3 ~ 4 と多くなるため、所望の駆動能力を得るために高速性能を犠牲にしても構成回路のトランジスタサイズを大きくするなどの設計上の制限がある。

[0054] これに対し、本実施例の判定帰還型等化器では、判定回路 1 2 は、ファンアウト数が 1 の独立した経路に存在するため、従来よりも高速性能に特化した回路設計が可能である。すなわち、判定回路 1 2 は、判定回路 1 1 よりも高速で動作するように判定回路 1 1 とは異なる回路定数で構成される。回路定数に関し、より具体的には、以下の (1) ~ (4) のような構成例を挙げることができる。

(1) 判定回路 1 2 を構成するトランジスタ (T 1 ~ T 1 4) のサイズが、判定回路 1 1 のそれよりも小さい。

(2) 判定回路 1 2 を構成するデータ保持部のトランジスタ (T 3、T 4、T 9、T 1 0) のサイズが、判定回路 1 1 のそれよりも小さい。

(3) 判定回路 1 2 が判定回路 1 1 よりも小さい論理振幅で動作する。

(4) 判定回路 1 2 を構成する負荷抵抗 (R 1 ~ R 4) の値を判定回路 1 1 のそれよりも小さくすることで、論理振幅を抑える。

## 実施例 2

[0055] 実施例 1 では、フルレートクロック構成の判定帰還型等化器について説明したが、これに限定されず、マルチクロックを用いるタイムインターリーブを用いた判定帰還型等化器に対しても同様に適用できる。例えば、2 倍のタイムインターリーブに相当するハーフレートクロック構成の判定帰還型等化器に本発明を適用した場合の回路構成例について説明する。

[0056] 図 4 は、本発明の第 2 の実施例に係る判定帰還型等化器の構成を示すブロック図である。図 4 において、判定帰還型等化器は、判定回路 1 1 e、1 1 o、1 2 e、1 2 o、加算器 2 1 e、2 1 o、入力アンプ 3 1 a、出力アン

プ32e、32o、係数器Tap1ae、Tap1ao、Tap2e～Tapne（nは2以上の整数）、Tap2o～Tapno、ラッチ回路L2e～Lne、L2o～Lnoを備える。

[0057] 入力アンプ31aは、判定帰還型等化器に入力される信号を2分岐して加算器21e、21oに分配する。加算器21e、判定回路11e、12e、ラッチ回路L2e～Lne、出力アンプ32e、係数器Tap1ae、Tap2e～Tapneは、それぞれ図1における加算器21、判定回路11、12、ラッチ回路L2～Ln、出力アンプ32、係数器Tap1a、Tap2～Tapnに相当し、クロック信号の一方のエッジに同期して同様に動作する。加算器21o、判定回路11o、12o、ラッチ回路L2o～Lno、出力アンプ32o、係数器Tap1ao、Tap2o～Tapnoは、それぞれ図1における加算器21、判定回路11、12、ラッチ回路L2～Ln、出力アンプ32、係数器Tap1a、Tap2～Tapnに相当し、クロック信号の他方のエッジに同期して同様に動作する。ただし、加算器21eは、入力アンプ31aの出力と、係数器Tap1ao、Tapke（ただし、kは偶数）、Tapmo（ただし、mは3以上の奇数）のそれぞれの出力とを加算し判定回路11e、12eに出力する。また、加算器21oは、入力アンプ31aの出力と、係数器Tap1ae、Tapke（ただし、kは3以上の奇数）、Tapmo（ただし、mは偶数）のそれぞれの出力とを加算し判定回路11o、12oに出力する。

[0058] このような構成の判定帰還型等化器は、クロック信号の2倍のレートで動作する2系統の判定帰還型等化器によって入力アンプ31aの出力を等化して出力アンプ32e、32oから交互に出力するように機能する。したがって、より高速に動作可能となるハーフレート動作の判定帰還型等化器が実現される。

### 実施例 3

[0059] 図5は、本発明の第3の実施例に係る判定帰還型等化器の構成を示すブロック図である。図5において、図1と同一の符号は、同一物を表し、その説

明を省略する。本実施例の判定帰還型等化器は、図 1 に対し係数器 T a p 1 をさらに備え、係数器 T a p 1 は、判定回路 1 1 の出力に重み係数を掛け、加算器 2 1 a に出力する。

[0060] 本実施例の判定帰還型等化器は、実施例 1 に示した構成に、図 1 0 の判定帰還型等化器における 1 s t - p o s t 帰還経路も設け、高速の 1 s t - p o s t 帰還経路と従来の 1 s t - p o s t 帰還経路とを入力信号の状況に応じて切り替えて用いる。すなわち、判定回路 1 1 を経由し係数器 T a p 1 を介して加算器 2 1 a に帰還する通常経路と、加算器 2 1 a の出力から分岐され判定回路 1 2、係数器 T a p 1 a を経由して加算器 2 1 a に帰還する高速経路の双方を設ける。この場合、係数器 T a p 1 と、判定回路 1 2 および係数器 T a p 1 a とに対して排他的に電源を遮断する機能を設ける。この電源遮断機能により、通常状態では、高速経路側（判定回路 1 2 および係数器 T a p 1 a）の電源を遮断しておき、通常経路（係数器 T a p 1）のみを用いることで省電力動作させる。一方、入力信号速度が高速となり、通常経路では 1 s t - p o s t の帰還が間に合わなくなって誤差信号  $\varepsilon$  が所望の値を超える場合などにおいて、通常経路を遮断し、高速経路のみを用いることで、高速動作させる。

[0061] このような構成の判定帰還型等化器によれば、入力信号の速度に応じて、判定帰還型等化器を低速用途では省電力に動作させ、高速用途は高速に動作させ、用途に応じて電力スケーラビリティを持たせることが可能となる。

#### 実施例 4

[0062] 図 6 は、本発明の第 4 の実施例に係る判定帰還型等化器の構成を示すブロック図である。図 6 において、図 1 と同一の符号は、同一物を表し、その説明を省略する。本実施例の判定帰還型等化器は、信号 I N と帰還信号 F B 1 ~ F B n にそれぞれ係数器 T a p 1 a、T a p 2 ~ T a p n によって重み付けしたそれぞれの信号とを加算し、加算結果となる信号を判定回路 1 2 に出力する加算器 2 2 をさらに備える。判定回路 1 2 は、加算器 2 2 の出力を判定する。

- [0063] 実施例 1 の判定帰還型等化器は、加算器 2 1 の出力を 2 分岐して一方を 1 s t - p o s t 専用の高速帰還経路としたのに対して、本実施例の判定帰還型等化器は、加算器 2 1 の前段から 2 分岐した構成としている。すなわち信号 I N を 2 分岐して、それぞれに対応させて、加算器 2 1、判定回路 1 1 と、加算器 2 2、判定回路 1 2 とを設ける。
- [0064] 信号 I N を分岐した一方は、加算器 2 1、判定回路 1 1、および 2 n d - p o s t 以降の帰還遅延形成回路（ラッチ段で構成）、タップ 2 以降の係数器 T a p 2 ~ T a p n で構成され、2 n d - p o s t 以降の I S I を除去するために 2 n d - p o s t 以降を係数乗算した上で加算器 2 1、2 2 に帰還する。
- [0065] 信号 I N を分岐した他方は、1 s t - p o s t 専用の高速帰還経路とし、加算器 2 2、判定回路 1 2、係数器 T a p 1 a で構成され、1 s t - p o s t の I S I を除去するために 1 s t - p o s t に係数乗算した上で加算器 2 1、2 2 に帰還する。
- [0066] 1 s t - p o s t 専用に加算器 2 2 の前段から分岐した独立の帰還経路を設けており、これにより 1 s t - p o s t 帰還経路の判定回路 1 2 はファンアウト数が 2 であるため、従来構成のファンアウト 3 ~ 4 と比較して、出力負荷が軽減される。その結果、判定帰還型等化器の動作速度を制限していた 1 s t - p o s t 帰還の遅延時間を減少させ、判定帰還型等化器のより高速化を可能とする。
- [0067] さらに、加算器 2 2 は、判定回路 1 2 のみに加算結果を出力するので、加算器 2 1 よりも小さいサイズのトランジスタで構成することで、加算処理のより高速化と入力分岐の負荷増加を抑制することができる。

## 実施例 5

- [0068] 図 7 は、本発明の第 5 の実施例に係る判定帰還型等化器の構成を示すブロック図である。図 7 において、図 1 と同一の符号は、同一物を表し、その説明を省略する。本実施例の判定帰還型等化器は、判定回路 1 1 に替えて閾値が制御可能な判定回路 1 1 a を備える。係数器 T a p 1 a の出力である帰還

信号 F B 1 は、加算器 2 1 b に入力されることなく係数器 T a p 1 a を介して判定回路 1 1 a の閾値制御端子に入力される。

[0069] 本実施例の判定帰還型等化器は、実施例 1 に示した判定帰還型等化器に対して、1 s t - p o s t を加算器 2 1 b に帰還するのではなく、判定回路 1 1 a のデータ判定閾値レベルの制御に用いる。すなわち、加算器 2 1 b の出力を分岐した一方は、2 n d - p o s t 以降の判定帰還処理ブロックとし、判定回路 1 1 a、および 2 n d - p o s t 以降の帰還遅延形成回路（ラッチ段で構成）、タップ 2 以降の係数乗算器で構成され、2 n d - p o s t 以降の | S | を除去するために 2 n d - p o s t 以降を係数乗算した上で加算器 2 1 b に帰還する。

[0070] また、加算器 2 1 b の出力を分岐した他方は、1 s t - p o s t 専用の高速帰還経路として、判定回路 1 2、係数器 T a p 1 a で構成され、判定回路 1 2 の出力結果を乗算処理した上で判定回路 1 1 a の閾値制御端子に入力する。例えば、判定回路 1 2 の結果が” 1 ”であれば、1 s t - p o s t の | S | を除去する方向へ判定回路 1 1 a の閾値レベルを調整する。また判定回路 1 2 の結果が” 0 ”であれば、判定回路 1 1 a の閾値レベルを変更しない（あるいは逆方向へ調整する）。このように、前のデータの 1 / 0 の結果に応じて判定回路 1 1 a の閾値を上下させることは、加算器 2 1 b でのデータ加減算処理と等価であって、判定帰還型等化動作が実現される。

[0071] 次に、判定回路 1 1 a について具体的な回路例を説明する。図 8 は、判定回路 1 1 a の回路図の例であり、図 2、図 3 と同一の符号は、同一物を表し、その説明を省略する。判定回路 1 1 a において、N c h トランジスタ T 2 1 のドレインは、N c h トランジスタ T 1 のドレインに接続され、N c h トランジスタ T 3 1 のドレインは、N c h トランジスタ T 2 のドレインに接続される。なお、図 8 において、図 3 の N c h トランジスタ T 1 3、1 4 はそれぞれ電流源 I s s として表されている。

[0072] このような判定回路 1 1 a において、クロック信号 C L K が H レベルである場合に、N c h トランジスタ T 4 1、T 5、T 1 2 がオンとなる。この場

合、電流源  $I_{SS}$  の  $\alpha$  1 倍の電流が流れる係数器  $Tap1a$  の電流は、信号  $FB1$ 、 $\neg FB1$  に応じて  $Nch$  トランジスタ  $T21$ 、 $T31$  にそれぞれ分配される。また、電流源  $I_{SS}$  の電流が信号  $SUM$ 、 $\neg SUM$  の大きさに応じて  $Nch$  トランジスタ  $T1$ 、 $T2$  にそれぞれ分配される。したがって、 $Nch$  トランジスタ  $T1$  に流れる電流に  $Nch$  トランジスタ  $T21$  に流れる電流が加算され、抵抗  $R1$  に流れる。また、 $Nch$  トランジスタ  $T2$  に流れる電流に  $Nch$  トランジスタ  $T31$  に流れる電流が加算され、抵抗  $R2$  に流れる。この結果、信号  $FB1$  が "1" であれば、 $1st-post$  の  $IS$  を除去する方向へ判定回路  $11a$  の閾値レベルが調整される。また、信号  $FB1$  が "0" であれば、判定回路  $11a$  の閾値レベルは変更されない。このように、信号  $FB1$ 、 $\neg FB1$  に応じて判定回路  $11a$  の閾値が制御される。

[0073] 以上のような構成の判定帰還型等化器において、判定回路  $12$  のファンアウト数は  $1$  であるため、従来の判定帰還型等化器のファンアウト数  $3 \sim 4$  と比較して  $1st-post$  帰還経路における負荷が軽減され高速化が図られる。さらに、 $1st-post$  は、加算器  $21a$  まで帰還されないのですらに高速性に優れる。

[0074] 但し、本構成では  $1st-post$  が厳密には帰還ループを形成していないので、判定回路  $12$  のデータ判定処理の際には、 $1st-post$  の  $IS$  が除去されていない。従って、波形等化性能が若干低下する虞がある。この点を解決する実施例を次に示す。

## 実施例 6

[0075] 図 9 は、本発明の第 6 の実施例に係る判定帰還型等化器の構成を示すブロック図である。図 9 において、図 7 と同一の符号は、同一物を表し、その説明を省略する。本実施例の判定帰還型等化器は、図 7 の判定回路  $12$  に替えて、閾値が係数器  $Tap1a$  の出力によって制御可能とされる判定回路  $12a$  を備える。判定回路  $12a$  は、図 8 に示すような判定回路  $11a$  と同様の構成である。ただし、判定回路  $12a$  は、実施例 1 で説明したのと同様に判定回路  $11a$  よりも高速で動作するように判定回路  $11a$  とは異なる回路定

数で構成される。加算器 21b は、信号 IN と帰還信号 FB2 ～ FBn にそれぞれ係数器 Tap2 ～ Tapn によって重み付けしたそれぞれの信号とを加算し、加算結果となる信号を判定回路 11a、12a に出力する。

[0076] このような構成において、1st-post 専用帰還の判定回路 12a の出力を判定回路 11a および判定回路 12a の双方の閾値制御端子に帰還する。判定回路 12a の閾値制御端子にも帰還することで、1st-post も確実に等化処理することができ、実施例 5 における課題を解決する。ここで判定回路 12a のファンアウト数は 2 となるが、従来判定帰還型等化器のファンアウト数 3 ～ 4 と比較すれば、負荷軽減となる。

[0077] また、本実施例の判定帰還型等化器は、判定回路 12a の出力を加算器 21b まで帰還しないのでより高速性に優れる。

[0078] 以上のような各実施例の判定帰還型等化器は、USB、PCIe、シリアル ATA などの高速通信インタフェース、およびそれらを必要とする通信機器、PC 周辺機器などに好適である。次に、本発明の判定帰還型等化器の適用例について説明する。

## 実施例 7

[0079] 図 11 は、本発明の第 7 の実施例に係る受信機の構成を示すブロック図である。図 11 において、受信機 50 は、可変利得増幅器 51、線形等化器 52、判定帰還型等化器 53、直列並列変換回路 54、クロック再生回路 55、位相補間器 56、制御回路 57 を備える。

[0080] 可変利得増幅器 51 は、制御回路 57 によって設定される利得で受信信号である入力信号を増幅し、線形等化器 52 に出力する。線形等化器 52 は、制御回路 57 によって設定されるピーキングの位置や等化量に基づいて可変利得増幅器 51 の出力信号を等化し、判定帰還型等化器 53 に出力する。判定帰還型等化器 53 は、上記実施例 1 ～ 6 に示される判定帰還型等化器であり、線形等化器 52 の出力信号を等化し、直列並列変換回路 54 に出力する。直列並列変換回路 54 は、シフトレジスタなどで構成され、直列に入力された信号を並列データに変換して受信信号として外部へ出力する。

[0081] クロック再生回路 5 5 は、直列並列変換回路 5 4 において処理される信号に基づいてクロック信号を再生し、位相補間器 5 6 に出力する。位相補間器 5 6 は、再生されたクロック信号の位相を調整して判定帰還型等化器 5 3 の動作クロックを生成し、判定帰還型等化器 5 3 に出力する。制御回路 5 7 は、可変利得増幅器 5 1 の利得、線形等化器 5 2 におけるピーキングの位置や等化量、判定帰還型等化器 5 3 における係数器の値などを、それぞれ、可変利得増幅器 5 1、線形等化器 5 2、判定帰還型等化器 5 3 に出力する。制御回路 5 7 は、これらの設定値を外部から与えられる情報を基に設定してもよく、判定帰還型等化器 5 3 の出力信号や直列並列変換回路 5 4 の出力信号における誤りの発生などを参照することで設定することも可能である。

[0082] このような構成の受信機 5 0 によれば、判定帰還型等化器 5 3 として実施例 1 ～ 6 に示される判定帰還型等化器が用いられるので、より高速な動作が可能である。

## 実施例 8

[0083] 図 1 2 は、本発明の第 8 の実施例に係る通信システムの構成を示すブロック図である。図 1 2 において、通信システム 7 0 は、上記の実施例 7 で説明した受信機 5 0、電圧制御発振器 5 8、6 4、送信機 6 0 を備える。送信機 6 0 は、並列直列変換回路 6 1、増幅器 6 2、制御回路 6 3 を備える。

[0084] 電圧制御発振器 5 8 は、受信機 5 0 のクロック信号を発生するものであり、受信機 5 0 中の位相補間器 5 6 は、電圧制御発振器 5 8 の発生したクロック信号に対し、クロック再生回路 5 5 の位相を参照して位相調整を行う。

[0085] 並列直列変換回路 6 1 は、外部から入力される送信対象とされる並列信号を直列信号に変換し、増幅器 6 2 に出力する。増幅器 6 2 は、FIR フィルタなどを含み、適切に帯域制限して増幅した送信信号を受信機 5 0 に向け、出力する。電圧制御発振器 6 4 は、送信機 6 0 のクロック信号を発生するものであり、並列直列変換回路 6 1 は、このクロック信号に基づいて変換動作を行う。制御回路 6 3 は、増幅器 6 2 の利得や帯域を設定する回路であって、これらの設定値を外部から与えられる情報を基に設定するようにしてもよ

い。

[0086] このような構成の通信システム 70 によれば、実施例 7 と同様に、より高速な動作が可能である。

## 実施例 9

[0087] 図 13 は、本発明の第 9 の実施例に係る半導体装置の構成を示すブロック図である。図 13 において、半導体装置 80 は、実施例 7 で説明した受信機 50 を 4 つ、実施例 8 で説明した送信機 60 を 4 つ、電圧制御発振器 65 を備える。

[0088] 電圧制御発振器 65 は、実施例 8 で説明した電圧制御発振器 58、64 と同等であって、4 つの受信機 50 および 4 つの送信機 60 に対し、クロック信号を供給する。

[0089] このような構成の半導体装置 80 によれば、実施例 7 と同様に、より高速な動作が可能である。なお、受信機 50、送信機 60 を 4 つとしたが、これは一例であって、1 または複数備えるようにしてもよい。

[0090] なお、本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素（各請求項の各要素、各実施例の各要素、各図面の各要素等を含む）の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

[0091] なお、本 PCT 出願において追加した記載事項については、その基準日は、PCT 出願日となるが、当初の優先権の記載事項についての基準日は、優先日をもってパリ条約の優先権の規定に従って判断されるべきものであり、後の追加記載事項によっては如何なる影響をも受けないものとする。

## 符号の説明

[0092] 11、11a、11e、11o、12、12a、12e、12o 判定回路  
14 誤差検出器

21、21a、21b、21e、21o、22 加算器  
31、31a 入力アンプ  
32、32e、32o 出力アンプ  
Iss 電流源  
L2~Ln、L2e~Lne、L2o~Lno ラッチ回路  
R1~R4、R11、R12 抵抗  
T1~T14、T20~T2n、T30~T3n、T40~T4n Nch  
トランジスタ  
Tap1a、Tap1~Tapn、Tap1ae、Tap1ao、Tap2  
e~Tapne、Tap2o~Tapno 係数器  
50 受信機  
51 可変利得増幅器  
52 線形等化器  
53 判定帰還型等化器  
54 直列並列変換回路  
55 クロック再生回路  
56 位相補間器  
57、63 制御回路  
58、64、65 電圧制御発振器  
60 送信機  
61 並列直列変換回路  
62 増幅器  
70 通信システム  
80 半導体装置

## 請求の範囲

- [請求項1]           入力信号と第1～第 $n$ （ $n$ は2以上の整数）の帰還信号にそれぞれ重み付けしたそれぞれの信号とを加算する第1の重み付け加算回路と、  
、  
          前記第1の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を外部に出力すると共にシフトレジスタに出力する、クロック信号に同期して動作する第1の判定回路と、  
          前記第1の判定回路の判定結果を前記クロック信号に同期して順次保持し、構成要素であるそれぞれのレジスタの保持内容をそれぞれ第2～第 $n$ の帰還信号として出力する前記シフトレジスタと、  
          前記第1の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定し、判定結果を第1の帰還信号として出力する、前記クロック信号に同期して動作する第2の判定回路と、  
          を備えることを特徴とする判定帰還型等化器。
- [請求項2]           前記第2の判定回路は、前記第1の判定回路よりも高速で動作するように前記第1の判定回路と異なる回路定数で構成されることを特徴とする請求項1記載の判定帰還型等化器。
- [請求項3]           前記第2の判定回路を構成する少なくとも一部のトランジスタのサイズが前記第1の判定回路を構成するトランジスタのサイズよりも小さいことを特徴とする請求項2記載の判定帰還型等化器。
- [請求項4]           前記第1および第2の判定回路は、前記加算結果を保持し前記クロック信号で動作するデータ保持部をそれぞれ含み、  
          前記第2の判定回路のデータ保持部を構成するトランジスタのサイズが前記第1の判定回路のデータ保持部を構成するトランジスタのサイズよりも小さいことを特徴とする請求項3記載の判定帰還型等化器。  
          。
- [請求項5]           前記第2の判定回路は、前記第1の判定回路よりも小さな論理振幅で動作するように構成されることを特徴とする請求項2記載の判定帰

還型等化器。

[請求項6] 前記第 1 および第 2 の判定回路は、前記加算結果を保持し前記クロック信号で動作するデータ保持部をそれぞれ含み、

前記第 2 の判定回路のデータ保持部を構成する負荷抵抗が前記第 1 の判定回路のデータ保持部を構成する負荷抵抗よりも抵抗値が低いことを特徴とする請求項 2 記載の判定帰還型等化器。

[請求項7] 前記第 1 の判定回路の判定結果に対し、前記第 1 の帰還信号に対する重み付けと同等の重み付けを行う重み付け手段を備え、

前記第 1 の重み付け加算回路は、前記重み付け手段の出力信号をさらに加算し、

前記重み付け手段と前記第 2 の判定回路および前記第 1 の帰還信号に対する重み付け機能とに対して排他的に電源供給を行うように制御することを特徴とする請求項 1 または 2 記載の判定帰還型等化器。

[請求項8] 前記入力信号と前記第 1 ～第  $n$  ( $n$  は 2 以上の整数) の帰還信号にそれぞれ重み付けしたそれぞれの信号とを加算する第 2 の重み付け加算回路をさらに備え、

前記第 2 の判定回路は、前記第 1 の重み付け加算回路の加算結果を判定する代わりに前記第 2 の重み付け加算回路の加算結果が所定の閾値以上であるか否かを判定することを特徴とする請求項 1 または 2 記載の判定帰還型等化器。

[請求項9] 前記第 2 の重み付け加算回路を構成するトランジスタのサイズが前記第 1 の重み付け加算回路を構成するトランジスタのサイズよりも小さいことを特徴とする請求項 8 記載の判定帰還型等化器。

[請求項10] 前記第 1 の判定回路は、前記第 1 の帰還信号に重み付けした信号によって前記所定の閾値が制御可能に構成され、

前記第 1 の重み付け加算回路は、前記第 1 の帰還信号に重み付けした信号を加算することなく、前記入力信号と前記第 2 ～第  $n$  ( $n$  は 2 以上の整数) の帰還信号にそれぞれ重み付けしたそれぞれの信号とを

加算することを特徴とする請求項 1 または 2 記載の判定帰還型等化器。  
。

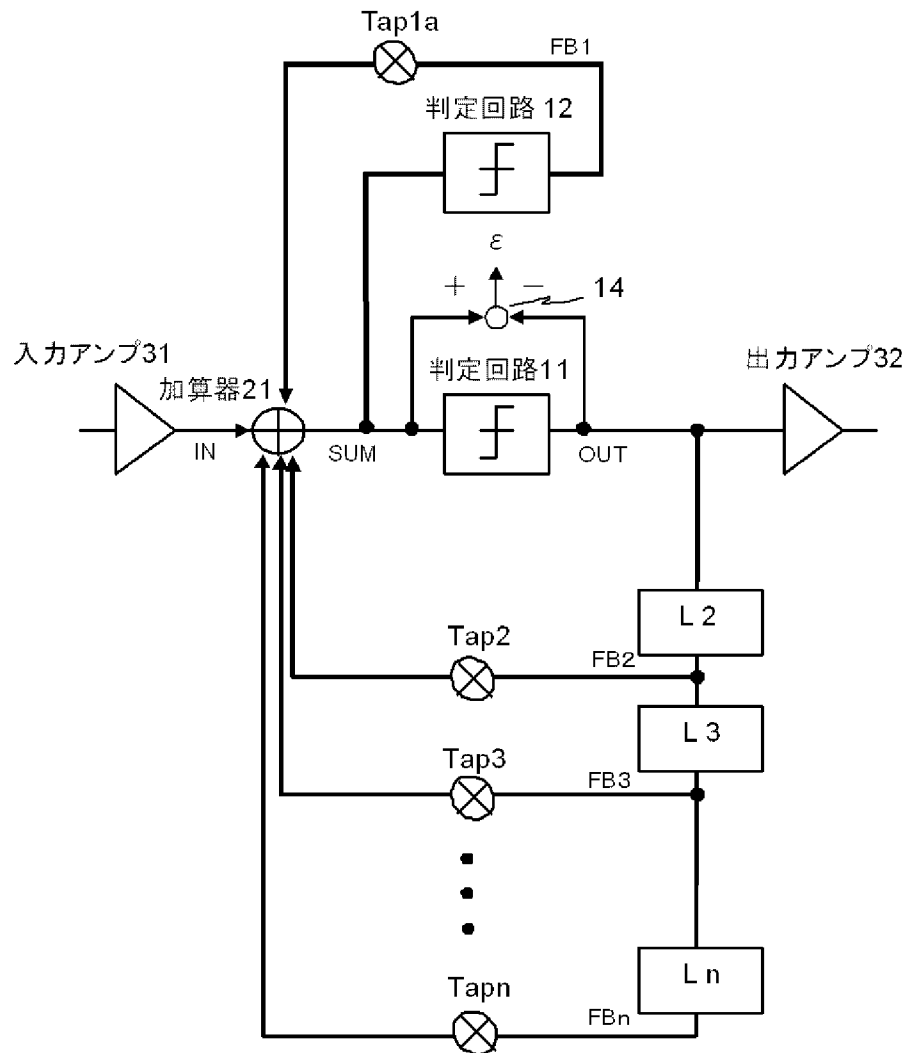
[請求項11] 前記第 2 の判定回路は、前記第 1 の帰還信号に重み付けした信号によって前記所定の閾値が制御可能に構成されることを特徴とする請求項 10 記載の判定帰還型等化器。

[請求項12] 請求項 1 乃至 11 のいずれかに記載の判定帰還型等化器を備える受信機。

[請求項13] 請求項 12 に記載の受信機と該受信機に対し送信信号を送出する送信機を備える通信システム。

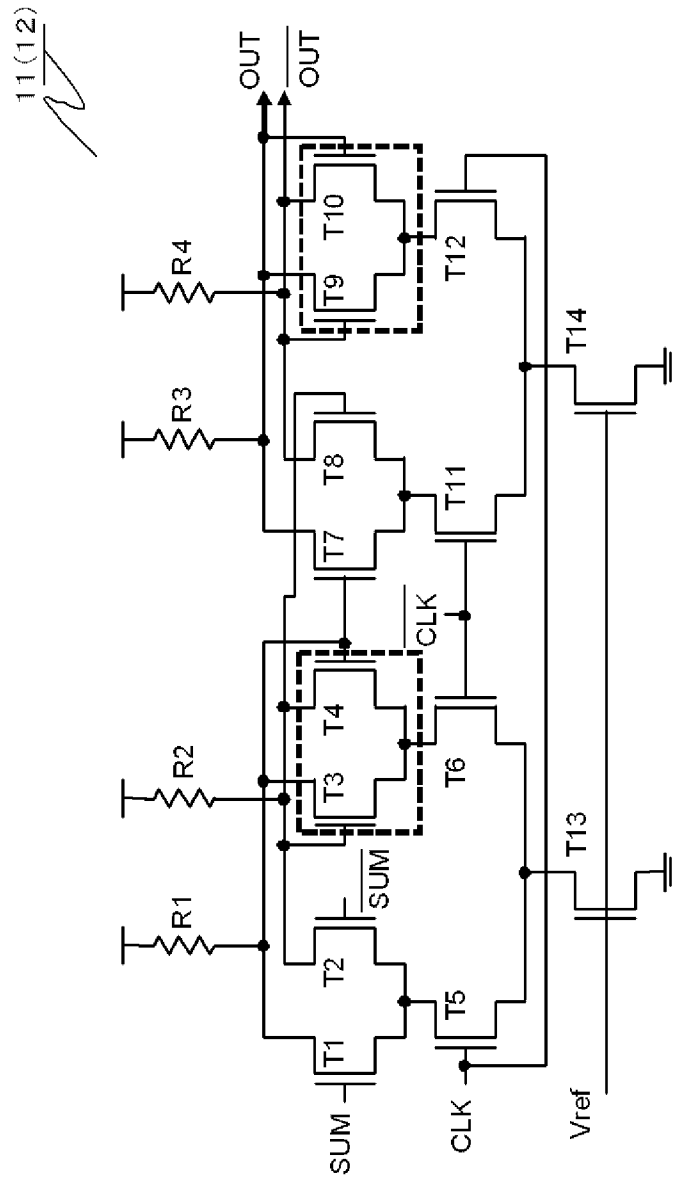
[請求項14] 請求項 12 に記載の受信機を 1 または複数備える半導体装置。

[図1]

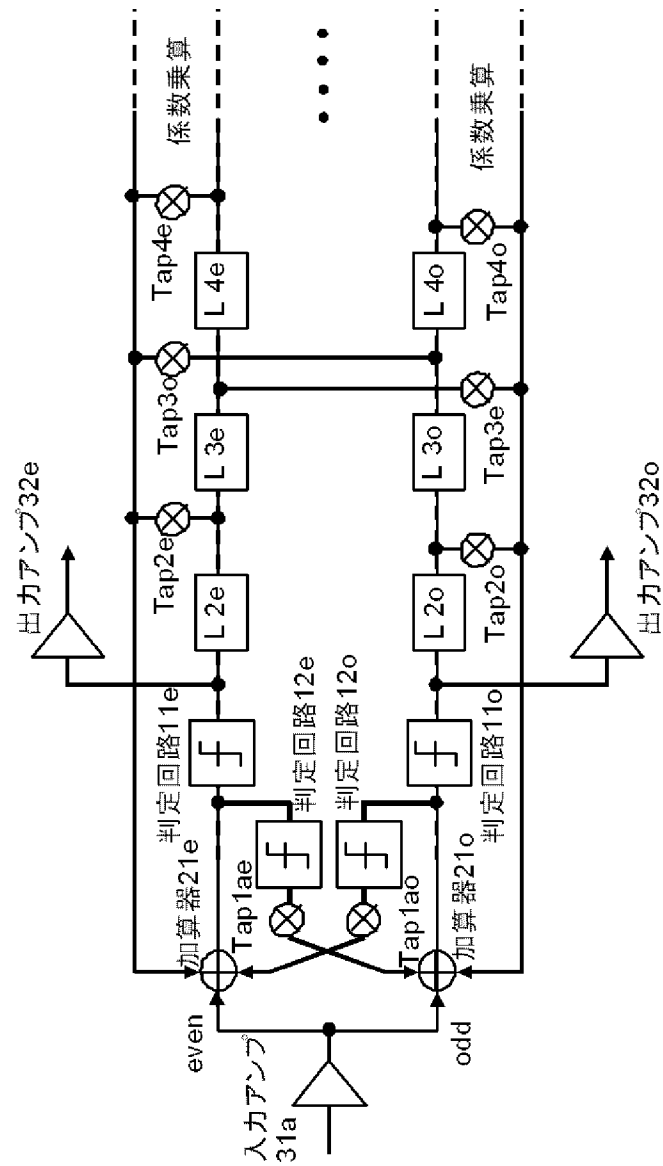


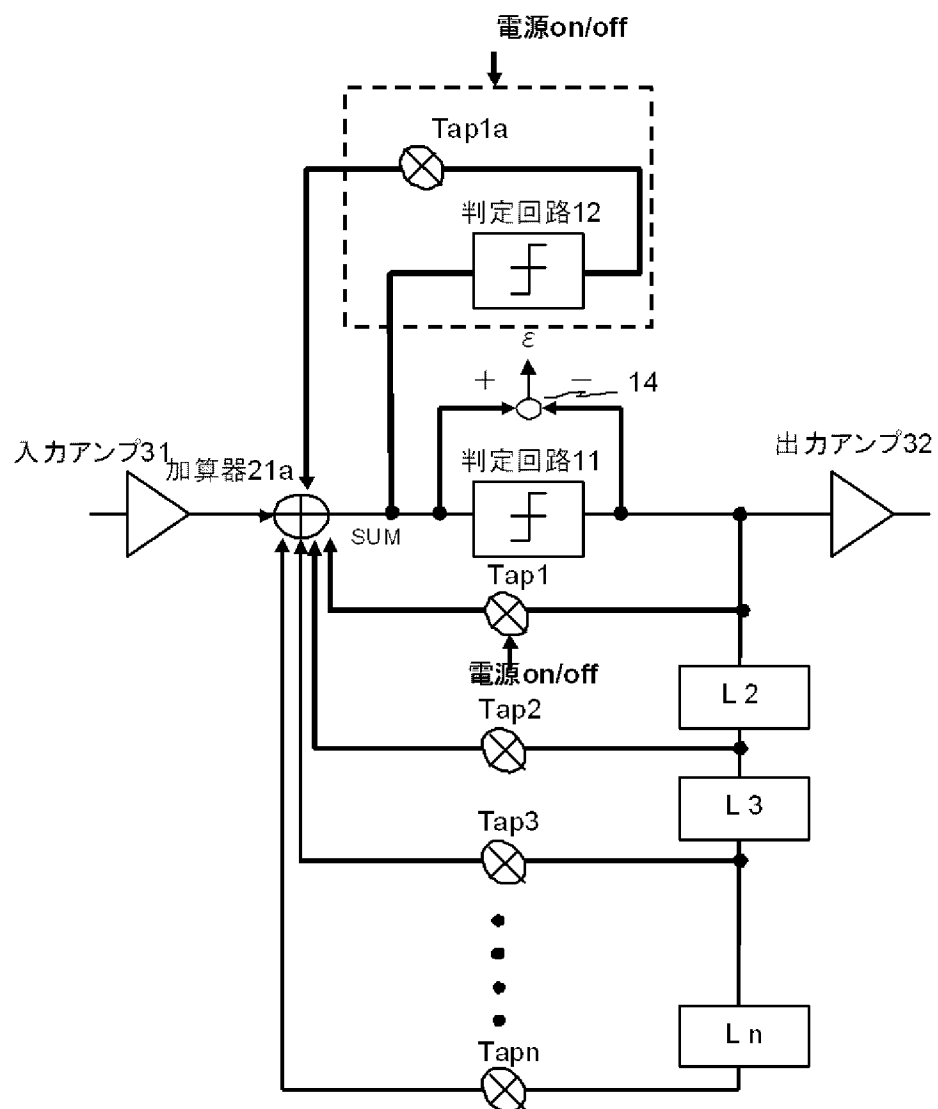


[図3]

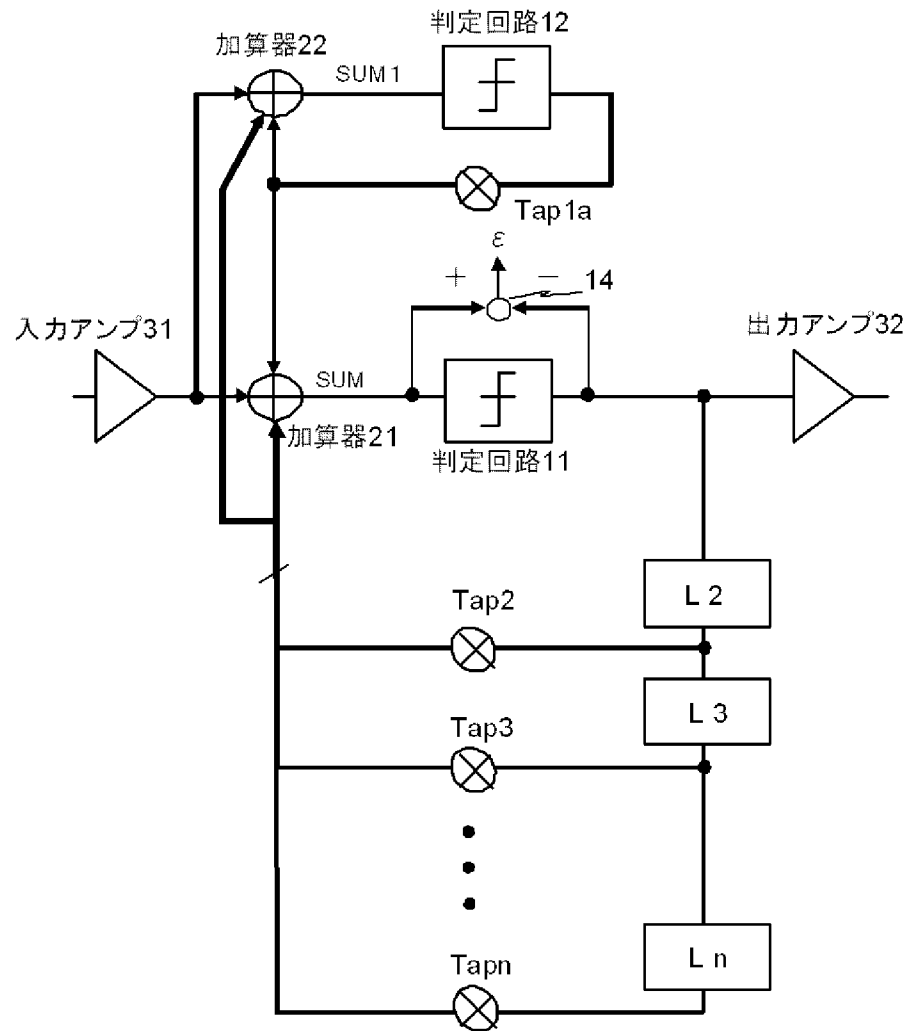


[図4]

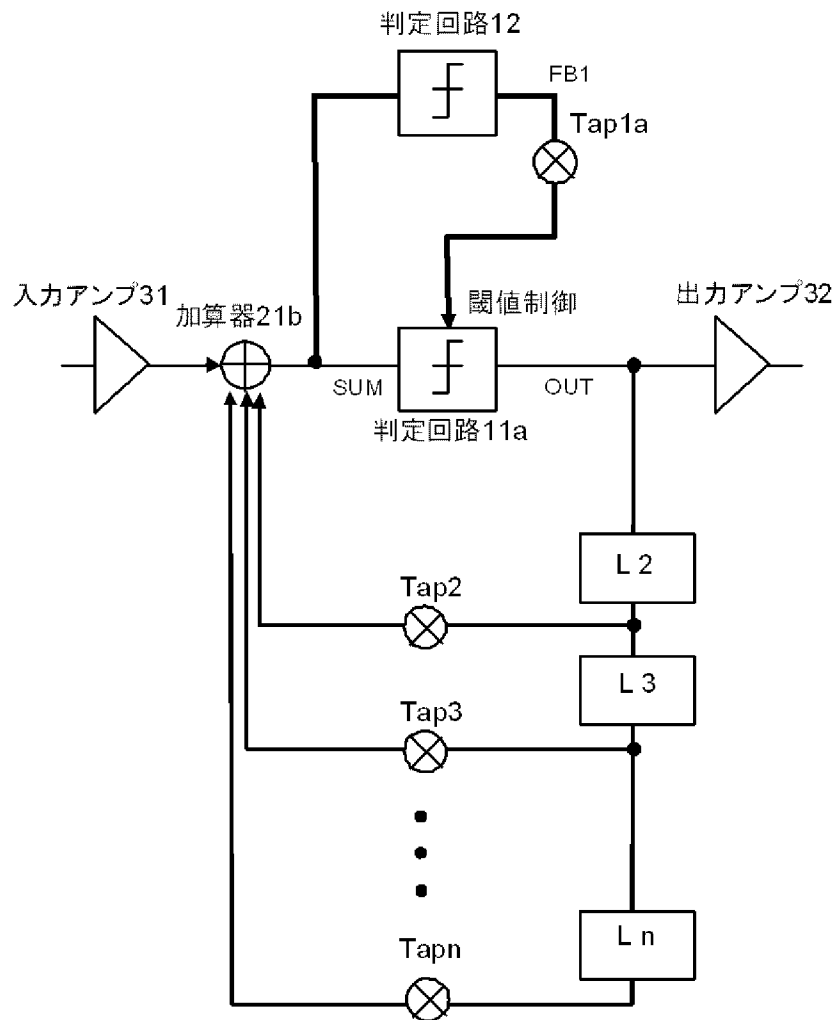




[図6]

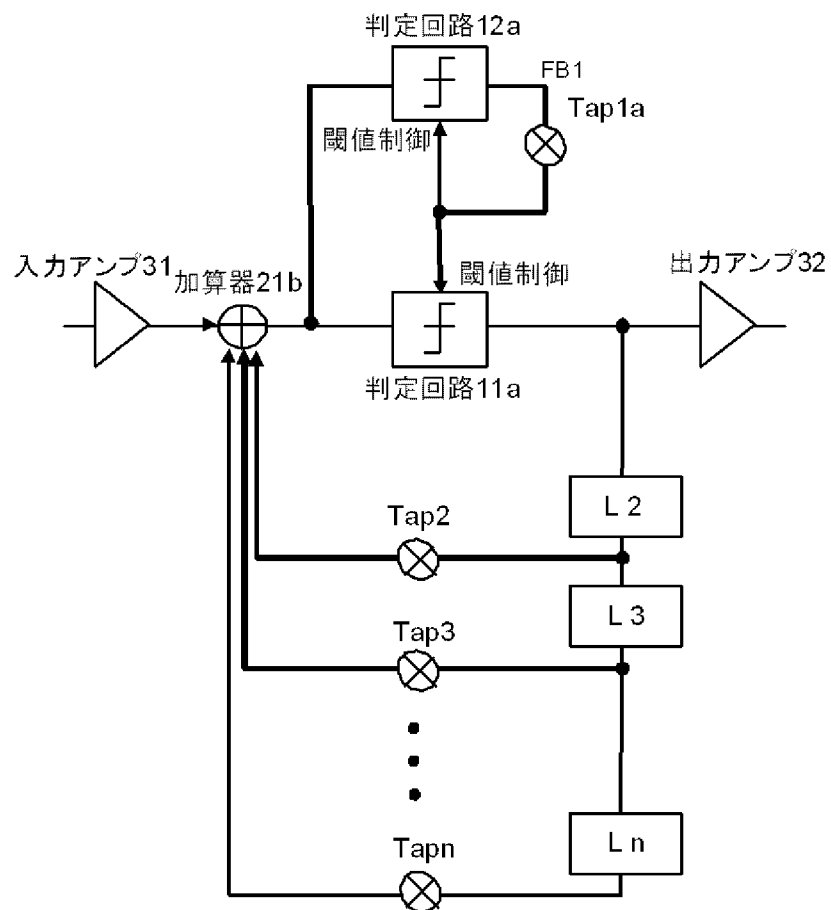


[図7]

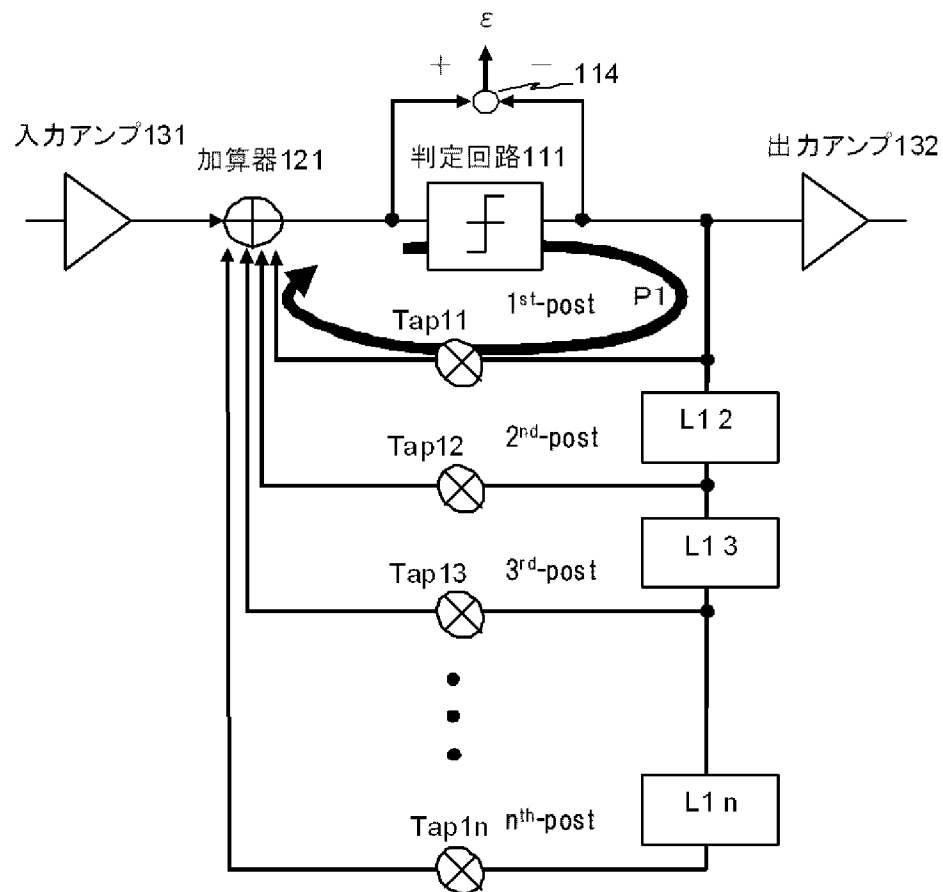




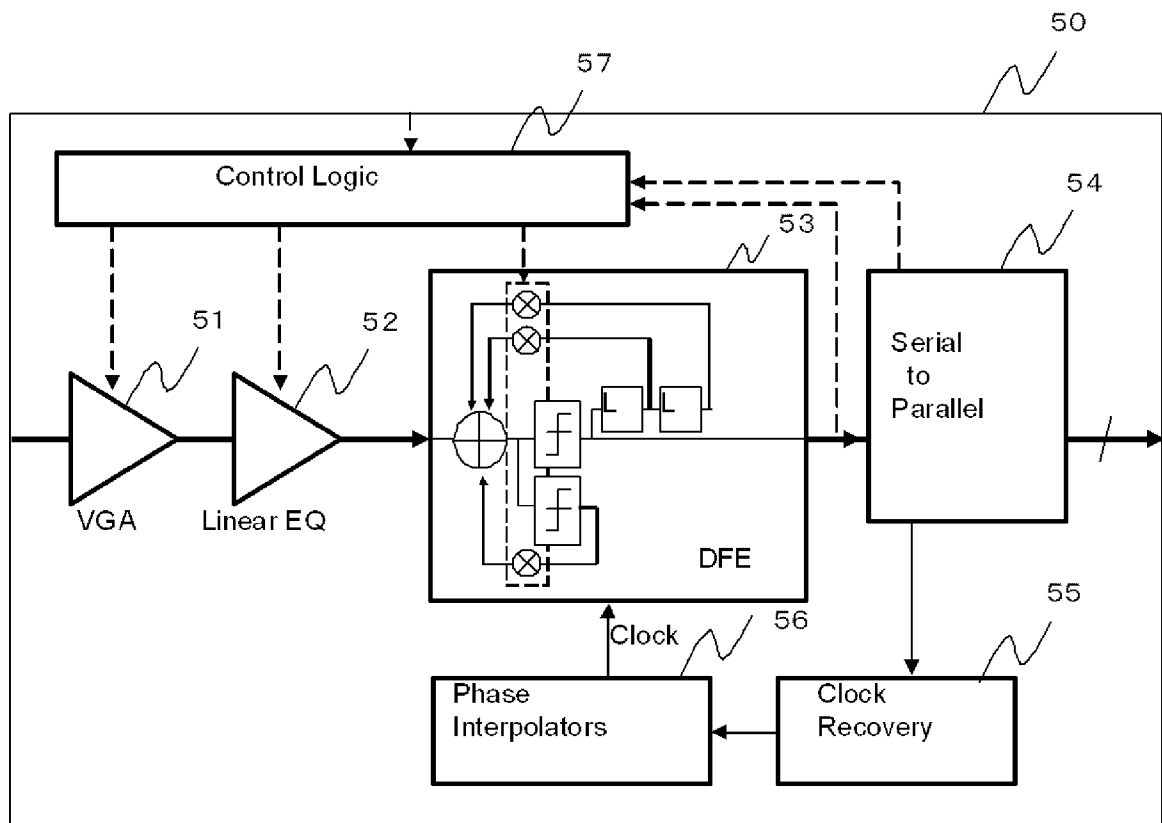
[図9]



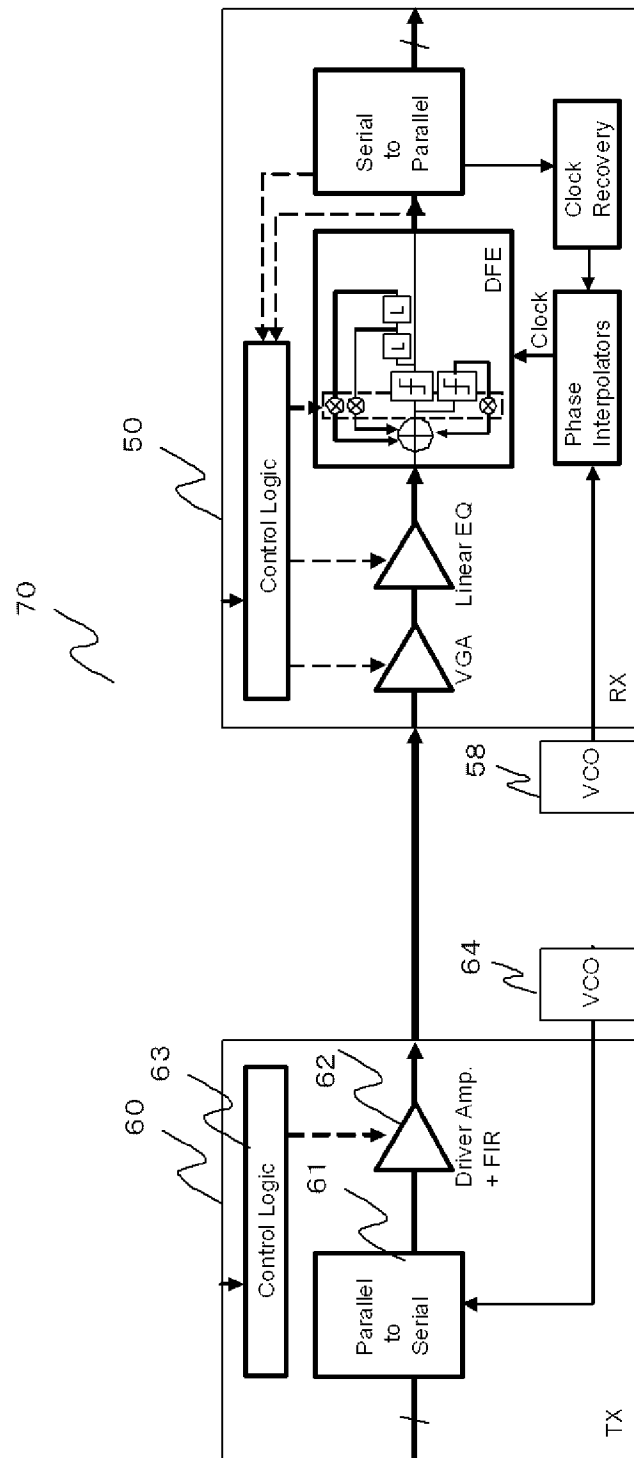
[図10]



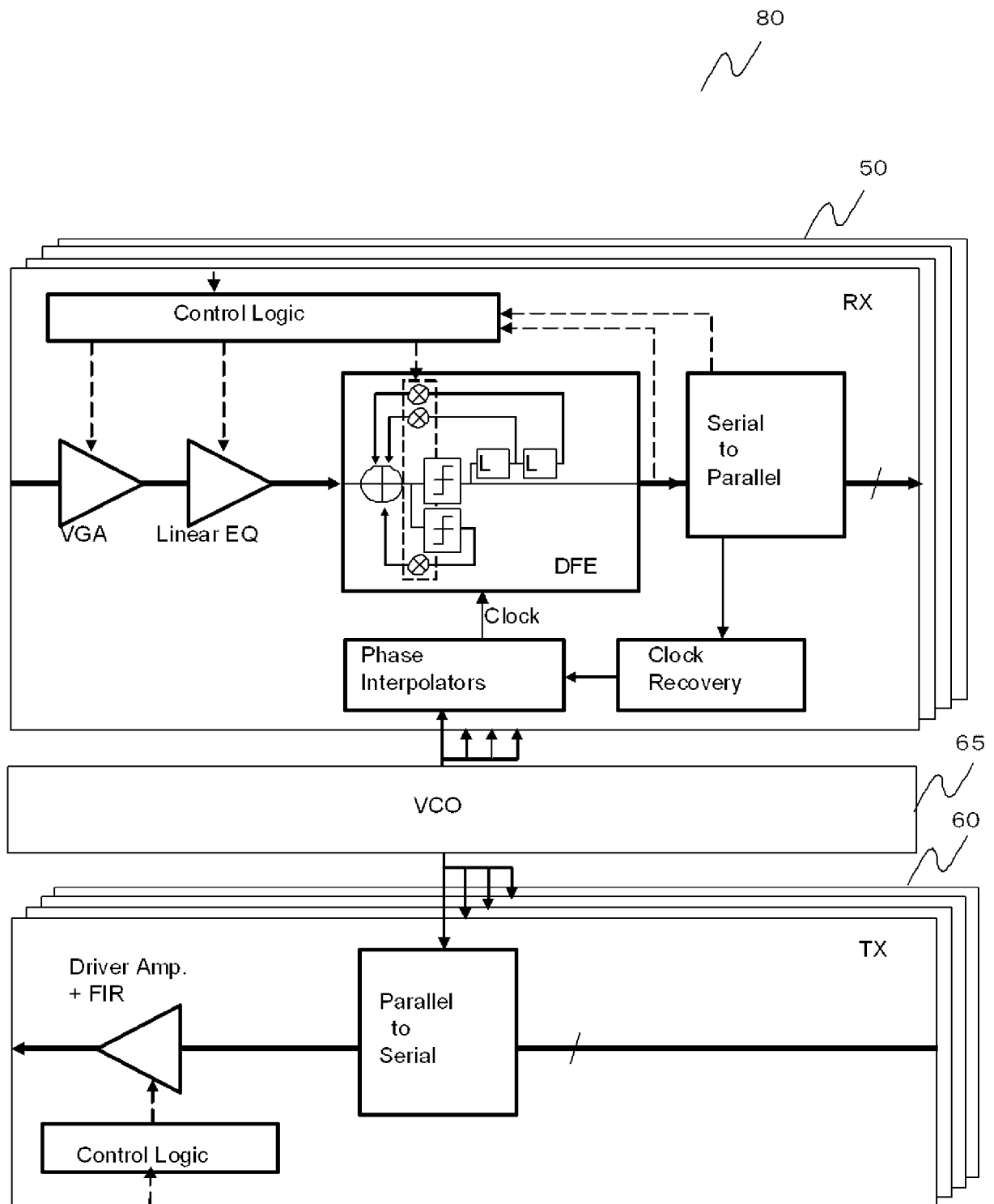
[図11]



[図12]



[図13]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051409

## A. CLASSIFICATION OF SUBJECT MATTER

H04B3/06(2006.01) i, H03H17/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B3/06, H03H17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, CiNii

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                      | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | Robert Payne, et.al., A 6.25Gb/s binary adaptive DFE with first post-cursor tap cancellation for serial backplane communications, 2005 IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC., 2005.02.10, Vol.1, pages.68,69,585 | 1-14                  |
| A         | Bo Wang, et.al., A programmable pre-cursor ISI equalization circuit for high-speed serial link over highly lossy backplane channel, Canadian Conference on Electrical and Computer Engineering, 2009. CCECE '09., 2009.05.03, pages.1221-1226                           | 1-14                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

05 March, 2012 (05.03.12)

Date of mailing of the international search report

13 March, 2012 (13.03.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051409

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                         | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | WO 2008/041609 A1 (Matsushita Electric Industrial Co., Ltd.),<br>10 April 2008 (10.04.2008),<br>entire text; all drawings<br>& US 2009/0067485 A1 & EP 2068456 A1                                          | 1-14                  |
| A         | Adesh Garg, et.al., A 1-Tap 40-Gb/s Look-Ahead Decision Feedback Equalizer in 0.18-um SiGe BiCMOS Technology, IEEE Journal of Solid-State Circuits, 2006.10, vol.41, Issue.10, pages. 2224-2232            | 1-14                  |
| A         | Srinivasa R.Sridhara, et.al., Joint Equalization and Coding for On-Chip Bus Communication, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.16, Issue.3, IEEE, 2008.03, pages.314-318 | 10,11                 |
| A         | JP 6-204902 A (NEC Corp.),<br>22 July 1994 (22.07.1994),<br>entire text; all drawings<br>& US 5689528 A & EP 604956 A2                                                                                     | 1-14                  |
| A         | JP 8-204624 A (Matsushita Electric Industrial Co., Ltd.),<br>09 August 1996 (09.08.1996),<br>entire text; all drawings<br>& US 5748673 A & EP 725497 A2                                                    | 1-14                  |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04B3/06(2006.01)i, H03H17/00(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04B3/06, H03H17/00

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore  
CiNii

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                                                                       | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| A               | Robert Payne, et.al., A 6.25Gb/s binary adaptive DFE with first post-cursor tap cancellation for serial backplane communications, 2005 IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC., 2005.02.10, Vol.1, pages.68,69,585 | 1-14           |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 3 . 2 0 1 2

国際調査報告の発送日

1 3 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

前田 典之

5 J

9 0 7 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 4

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                                                               |                |
|-----------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                                             | 関連する<br>請求項の番号 |
| A                     | Bo Wang, et.al., A programmable pre-cursor ISI equalization circuit for high-speed serial link over highly lossy backplane channel, Canadian Conference on Electrical and Computer Engineering, 2009. CCECE '09., 2009.05.03, pages.1221-1226 | 1-14           |
| A                     | WO 2008/041609 A1 (松下電器産業株式会社) 2008.04.10, 全文全図 & US 2009/0067485 A1 & EP 2068456 A1                                                                                                                                                          | 1-14           |
| A                     | Adesh Garg, et.al., A 1-Tap 40-Gb/s Look-Ahead Decision Feedback Equalizer in 0.18-um SiGe BiCMOS Technology, IEEE Journal of Solid-State Circuits, 2006.10, vol.41, Issue.10, pages.2224-2232                                                | 1-14           |
| A                     | Srinivasa R.Sridhara, et.al., Joint Equalization and Coding for On-Chip Bus Communication, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.16, Issue.3, IEEE, 2008.03, pages.314-318                                    | 10, 11         |
| A                     | JP 6-204902 A (日本電気株式会社) 1994.07.22, 全文全図 & US 5689528 A & EP 604956 A2                                                                                                                                                                       | 1-14           |
| A                     | JP 8-204624 A (松下電器産業株式会社) 1996.08.09, 全文全図 & US 5748673 A & EP 725497 A2                                                                                                                                                                     | 1-14           |