

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-209754

(P2012-209754A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.
H04J 3/00 (2006.01)F I
H04J 3/00テーマコード (参考)
5K028

審査請求 未請求 請求項の数 6 O L (全 23 頁)

(21) 出願番号 特願2011-73669 (P2011-73669)
(22) 出願日 平成23年3月29日 (2011.3.29)

(出願人による申告) 平成22年度、総務省、「超高速光エッジノード技術の研究開発」研究開発委託契約に基づく開発項目「クライアント信号収容技術の研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100070150
弁理士 伊東 忠彦
(74) 代理人 100146776
弁理士 山口 昭則
(72) 発明者 大久保 利明
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72) 発明者 片桐 徹
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 フレームマッピング装置及びフレームマッピング方法

(57) 【要約】

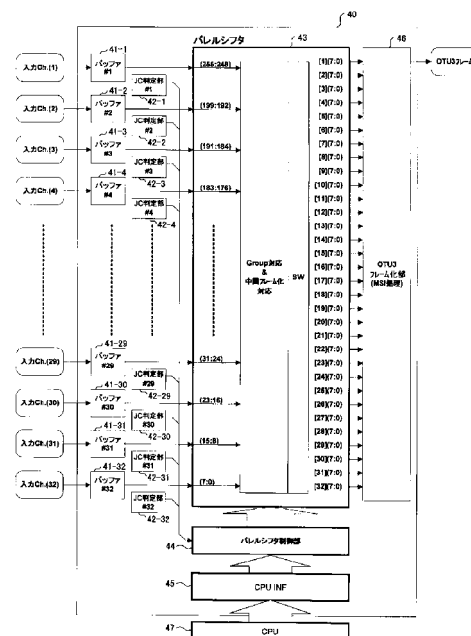
【課題】 フレームマッピング装置において、回路規模を削減することを目的とする。

【解決手段】 複数の低速信号転送用フレームを高速信号転送用フレームにマッピングするフレームマッピング装置であって、前記低速信号転送用フレームの最小単位を1チャンネルとして前記高速信号転送用フレームに多重可能な最大信号チャンネル数分設けられ、供給される前記複数の低速信号転送用フレームをバッファリングするバッファと、前記低速信号転送用フレームの周波数調整情報の判定を行う前記最大信号チャンネル数分の判定部と、前記最大信号チャンネル数分のバッファから出力される信号を供給されるバレルシフタと、

前記複数の低速信号転送用フレームそれぞれについての外部設定と前記判定部の判定結果に応じて前記バレルシフタを制御して前記高速信号転送用フレームにマッピングする制御部と、を有する。

【選択図】 図14

多重及びマッピング回路の一実施形態の概略構成図



【特許請求の範囲】**【請求項 1】**

複数の低速信号転送用フレームを高速信号転送用フレームにマッピングするフレームマッピング装置であって、

前記低速信号転送用フレームの最小単位を 1 チャンネルとして前記高速信号転送用フレームに多重可能な最大信号チャンネル数分設けられ、供給される前記複数の低速信号転送用フレームをバッファリングするバッファと、

前記低速信号転送用フレームの周波数調整情報の判定を行う前記最大信号チャンネル数分の判定部と、

前記最大信号チャンネル数分のバッファから出力される信号を供給されるバレルシフトと

10

、
前記複数の低速信号転送用フレームそれぞれについての外部設定と前記判定部の判定結果に応じて前記バレルシフトを制御して前記高速信号転送用フレームにマッピングする制御部と、

を有することを特徴とするフレームマッピング装置。

【請求項 2】

請求項 1 記載のフレームマッピング装置において、

前記制御部は、一の前記低速信号転送用フレームが複数チャンネルで構成されるとき、前記複数チャンネルを一のグループとしてグループ単位にコンカチネーション動作するよう前記バレルシフトを制御する

20

ことを特徴とするフレームマッピング装置。

【請求項 3】

請求項 2 記載のフレームマッピング装置において、

前記判定部は、前記低速信号転送用フレームが非同期マッピング方式でマッピングされるときに周波数調整情報の判定を行う

ことを特徴とするフレームマッピング装置。

【請求項 4】

複数の低速信号転送用フレームを高速信号転送用フレームにマッピングするフレームマッピング方法であって、

前記低速信号転送用フレームの最小単位を 1 チャンネルとして前記高速信号転送用フレームに多重可能な最大信号チャンネル数分設けられたバッファに、供給される前記複数の低速信号転送用フレームをバッファリングし、

30

前記最大信号チャンネル数分の判定部で前記低速信号転送用フレームの周波数調整情報の判定を行い、

前記最大信号チャンネル数分のバッファから出力される信号をバレルシフトに供給し、

前記複数の低速信号転送用フレームそれぞれについての外部設定と前記判定部の判定結果に応じて前記バレルシフトを制御して前記高速信号転送用フレームにマッピングすることを特徴とするフレームマッピング方法。

【請求項 5】

請求項 4 記載のフレームマッピング方法において、

40

一の前記低速信号転送用フレームが複数チャンネルで構成されるとき、前記複数チャンネルを一のグループとしてグループ単位にコンカチネーション動作するよう前記バレルシフトを制御する

ことを特徴とするフレームマッピング方法。

【請求項 6】

請求項 5 記載のフレームマッピング方法において、

前記判定部は、前記低速信号転送用フレームが非同期マッピング方式でマッピングされるときに周波数調整情報の判定を行う

ことを特徴とするフレームマッピング方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、複数の低速信号転送用フレームを高速信号転送用フレームにマッピングするフレームマッピング装置及びフレームマッピング方法に関する。

【背景技術】

【0002】

近年、インターネットトラヒックの爆発的増大に対応可能である波長多重伝送（WDM）方式を前提とし、SDH（Synchronous Optical Network）又はSONET（Synchronous Digital Hierarchy）等の同期網のみならずIP（Internet Protocol）又はイーサネット（登録商標）系の非同期網のクライアント信号を、エンド・エンドで通信をする際に、上位レイヤーが下位レイヤーを一切意識しなくて済む、所謂トランスペアレントに伝送するプラットフォームとして、OTN（Optical Transport Network：光転送ネットワーク）がITU-Tにおいて勧告化されている。そのインタフェースやフレームフォーマットはITU-Tの勧告G. 709により標準化されており、商用システムへの導入が急速に進んでいる。

10

【0003】

ITU-Tの勧告G. 709に準拠したインタフェースを適用したネットワークにおいて、低速な信号速度を持つ信号転送用フレーム（Optical Channel Data Unit ‘j’：ODUj）と前記ODUjよりも高速な信号速度を持つ信号転送用フレーム（Optical Channel Data Unit ‘k’：ODUk）の多重収容・多重分離の実現を考える。

20

【0004】

ここで、例えばイーサネット（登録商標）等のクライアント信号を収容したODUフレームをLower Order ODU（LO_ODU）と呼び、低速のODUフレームを複数多重収容したODUフレームをHigher Order ODU（HO_ODU）と呼ぶ。つまり、低速の信号転送用フレームODUj（例えばODU1）は、高速な信号速度を持つHO_ODUkフレーム（例えばODU2，ODU3，ODU4）に多重収容されることになる。なお、低速の信号転送用フレームとしてはLO_ODUjとHO_ODUjのいずれであっても構わない。つまり、HO_ODUjをHO_ODUkに多重収容してもよい。

30

【0005】

図1にOTUkフレームフォーマットを示す。OTNフレームは、オーバーヘッド部、OPUk（Optical channel Payload Unit kは0又は正の整数）ペイロード部、及び、OTUkFEC（Optical channel Transport Unit k Forward Error Correction）部を含む。

【0006】

オーバーヘッド部は第1列（column）～第16列の16バイト×4行（row）のサイズを有し、FA（Frame Alignment）オーバーヘッド、OTUkオーバーヘッド、ODUkオーバーヘッド、OPUkオーバーヘッドを有しており、接続及び品質の管理に用いられる。OPUkペイロード部は、第17列～第3824列の3808バイト×4行のサイズを有する。OTUkFEC部は、第3825列～第4080列の256バイト×4行のサイズを有し、伝送中に発生した誤りを訂正するために用いられる。

40

【0007】

FAオーバーヘッドには6バイトの固定フレームパターンであるFAS（Frame Alignment Signal）と、1バイトのシーケンス番号であるMFAS（MultiFrame Alignment Signal）が含まれる。

【0008】

50

ODU_j フレームのHO__ODU_k への多重収容は、HO__ODU_k フレームのペイロード部分であるOPU_k (Optical Channel Payload Unit 'k') ペイロードエリアをバイト単位で t_s 個に分割したタイムスロットであるトリビュータリスロット (Tributary Slot: TS) を定義し、HO__ODU_k フレームのペイロードエリアの各TSにODU_j を収容することにより実現する。

【0009】

ITU-T G. 709 勧告では、1TSあたりの帯域が約1.25 Gbps 及び約2.5 Gbps 程度の2種類のトリビュータリスロットを定義している。1トリビュータリスロットあたりの帯域が約1.25 Gbps の場合のトリビュータリスロット数 t_s は、図2に示すように、HO__ODU1に対して $t_s = 2$ 、HO__ODU2に対しては $t_s = 8$ 、HO__ODU3に対しては $t_s = 32$ 、HO__ODU4に対しては $t_s = 80$ を定義している。

【0010】

1TSあたりの帯域が約2.5 Gbps の場合のトリビュータリスロット数(t_s)は、図3に示すように、HO__ODU2に対しては $t_s = 4$ 、HO__ODU3に対しては $t_s = 16$ を定義している。なお、図2、図3において、TS# i ($i = 1 \sim 80$) はトリビュータリスロット番号を表し、OHはOver Hed、FSはFixed Stuff、FECはForward Error Correctionを表している。上記のOH、FS、FECもトリビュータリスロットに格納されている。

【0011】

図4にODU0フレームとODU1フレームをOPU2フレームにマッピングする様子を示す。図4においては、ODU0フレームをOPU2フレームのペイロードエリアのTS#1にマッピングし、ODU1フレームをOPU2フレームのペイロードエリアのTS#4, TS#8にマッピングしている。この場合、HO__ODU2のペイロードエリアでODU1が専有するトリビュータリスロット数Mは2である。

【0012】

ODU_j のHO__ODU_k への多重収容の手順としては下記のとおりとなる。

【0013】

(1) ODU_j とHO__ODU_k 及びTS帯域の組み合わせに応じて、下記の2方式より多重収容・多重分離方式を決定する。第1の方式は非同期マッピング方式(AMP: Asynchronous Mapping Procedure)であり、第2の方式は一般化マッピング方式(GMP: Generalized Mapping Procedure)である。

【0014】

(2) ODU_j の帯域(ビットレート)に合わせて、ODU_j を収容するHO__ODU_k のペイロードエリア(OPU_k)でODU_j が専有するトリビュータリスロット数M、及びTS位置を決定する。

【0015】

(3) AMP方式又はGMP方式を用いてM個のTSの帯域の和とODU_j の帯域の差に応じたナルデータ(null data)の挿入によるスタッフ処理を行いながら、ODU_j をHO__ODU_k のM個のTSに収容する。

【0016】

前記のとおり、その周波数調整方式の違いによりAMP方式とGMP方式の2方式が存在する。なお、GMP方式はITU-T G. 709 勧告が2009年12月に改訂された際に勧告化された新規の方式である。AMP方式はODU_j とHO__ODU_k のTS間の周波数差と周波数偏差をバイト単位のスタッフ挿入(-1~+2バイト)により吸収しながら多重収容・多重分離を行う方式である。GMP方式はODU_j とHO__ODU_k のTS間の周波数差と周波数偏差をMバイト単位のスタッフ処理により吸収しながら多重収容・多重分離を実現する方式である。ここで、MはODU_j をHO__ODUへ収容する際に専有するHO__ODUのTS数である。前記のITU-T G. 709 勧告改訂前(2

10

20

30

40

50

009年12月まで)はAMP方式のみを適用した信号フレーム間の多重収容・多重分離が用いられていたが、現在ではAMP方式とGMP方式が混在した環境下で信号フレーム間の多重収容・多重分離を行う必要がある。

【0017】

なお、AMP方式では図1に示すOPUkオーバーヘッドの3バイトのJC(Justification Control)バイトとNJO(Negative Justification Opportunity)バイト、及び、OPUkペイロード部のPJO(Positive Justification Opportunity)バイトを使用し、周波数調整情報であるJCバイト情報に応じてNJOバイトとPJOバイトにデータ又はスタッフバイト(ゼロ)が挿入(スタッフ)される。つまり、スタッフバイトを挿入するスタッフ位置は固定位置である。

10

【0018】

GMP方式では図1に示すOPUkオーバーヘッドの6バイトのJCバイト情報に応じて、OPUkペイロード部にスタッフバイトが挿入される。スタッフ位置はスタッフ量に応じて変化し、1(マルチ)フレーム前のJCバイト情報でスタッフ処理を行う。

【0019】

図5はOTN__ADM(Add Drop Multiplexer)系クロスコネクト装置の一例の構成図を示し、図6はOTN__ADM系マルチプレクサ装置の一例の構成図を示す。図5において、HOインタフェース部11, 12には光ネットワークからHO__OTUkの光信号が入力され、HOインタフェース部11, 12内のデマッピング部(OTUkDMAP)13で終端されてHO__ODUk信号が抽出される。HO__ODUk信号はデマルチプレクサ(OTUkDMAP)14でHO__ODUj信号又はLO__ODUj信号に分離される。HO__ODUj信号はクロスコネクト部20でクロスコネクトされて相対するHOインタフェース部12, 11の多重部(HO__ODUkMUX)15に供給され、LO__ODUj信号はクロスコネクト部20でクロスコネクトされてLOインタフェース部21のデマッピング部(LO__ODUjDMAP)22に供給される。

20

【0020】

LOインタフェース部21のデマッピング部(LO__ODUjDMAP)22はLO__ODUj信号からクライアント信号をデマッピングする。クライアント信号はクライアントインタフェース23を通してクライアントネットワークに対し送出される。また、クライアントネットワークから入力されるクライアント信号はクライアントインタフェース24で受信され、マッピング部(LO__ODUjMAP)25でLO__ODUj信号にマッピングされる。このLO__ODUj信号はクロスコネクト部20でクロスコネクトされてHOインタフェース部11, 12の多重部15に供給される。

30

【0021】

HOインタフェース部11, 12の多重部15は供給されるHO__ODUj信号及びLO__OTUj信号を多重してHO__ODUk信号にマッピングする。HO__ODUk信号はOTUkマッピング部(OTUkMAP)16においてOTUk信号にマッピングされて光ネットワークに送出される。

【0022】

なお、図6のOTN__ADM系マルチプレクサ装置は図5のOTN__ADM系クロスコネクト装置におけるクロスコネクト部20を有していないだけで、主要な構成は図5と同様である。図6において図5と同一部分には同一符号を付している。

40

【0023】

図7に多重部15におけるLO__ODUj信号をHO__ODUk信号に多重する場合の中間フレームとマッピングタイプを示す。また、図8に多重部15におけるHO__ODUj信号をHO__ODUk信号に多重する場合の中間フレームとマッピングタイプを示す。なお、中間フレームの欄の「ODTUG1」はODTUGグループ1を表しており、ペイロードタイプPT=20はAMPのみでマッピングするフレーム、PT=21はAMP又はGMPの何れでのマッピングも可能なフレームを表している。図7及び図8に示すように

50

、入力信号の種類毎に対応する中間フレームが異なるので、従来は入力信号の種類により個別にマッピング、多重回路を具備している。

【0024】

図9(A)にOPU_kペイロードエリアのトリビュータリスロットをバイト単位で多重化したAMP方式用中間フレームODTU_{jk}のフレーム構造を示す。1TSの帯域が1.25Gbpsの場合、ODTU_{jk}のオーバーヘッドは、 $jk=01$ のとき $4 \times ts$ バイトとなる。また、ODTU_{jk}のペイロードは、 $jk=01$ のとき $15232 \times ts$ バイトとなる。ペイロードの行と列の数、 ts 数は、1TSの帯域が1.25Gbpsの場合、図9(B)に示す表により規定され、1TSの帯域が1.25Gbpsの場合、図9(C)に示す表により規定されている。

10

【0025】

図10(A)にOPU_kペイロードエリアのトリビュータリスロットをバイト単位で多重化したGMP方式用中間フレームODTU_k. ts のフレーム構造を示す。ODTU_k. ts のオーバーヘッドは、 $k=2, 3, 4$ のとき $6 \times ts$ バイトとなる。また、ODTU_k. ts のペイロードは、 $k=2, 3$ のとき $15232 \times ts$ バイトとなり、 $k=4$ のとき $15200 \times ts$ バイトとなる。ペイロードの行と列の数は、図10(B)に示す表により規定されている。

【0026】

ところで、中間ネットワークを介したSDH/SONET/OTNフレームの転送方法において、エンティティのコンコンツを一連のサブフレームにマッピングし、該サブフレームに一連の順番指標を割り当てバーチャルに連結し中間ネットワークを介して転送し、遠隔ノードにおいて元のエンティティにアセンブルする技術が提案されている(例えば特許文献1参照)。

20

【0027】

また、収容効率向上を図ったOTN多重伝送方法で、CT信号に管理用オーバーヘッドを付加し、他のCT信号に対してビットレートが整数倍又は整数分の1でないCT信号を含むビットレートが異なる複数のCT信号を収容し、各CT信号のビットレートが他のCT信号に対して整数倍ないしは整数分の1となるように複数のCT信号の一部又は全部に対しレート調整を行う技術が知られている(例えば特許文献2参照)。

【先行技術文献】

30

【特許文献】

【0028】

【特許文献1】特表2004-523959号公報

【特許文献2】WO2008/035769号公報

【発明の概要】

【発明が解決しようとする課題】

【0029】

図11に従来のODU₂×4をODU₃(OTU₃)に多重する多重部及びマッピング部の一例の構成図を示す。この場合、クロック載せ換え用バッファ31と、中間フレーム(ODTU₂₃)化部32及びJC判定部33は、入力するODU₂フレーム単位に具備し個別に動作する構成が可能である。その後に、ポート対応スイッチ34と、スロット対応スイッチ35、OTU₃フレーム化部を設けている。

40

【0030】

図12に従来のODU₂とODU₁を混在でODU₃(OTU₃)に多重する多重部及びマッピング部の一例の構成図を示す。この場合、ODU₂をODU₃に多重する場合は最大4チャンネル(CH)、ODU₁をODU₃に多重する場合は最大16チャンネルの多重可能である。ODU₂とODU₁の混在の形態を柔軟に対応するためには、入力フレーム1チャンネルに対してバッファ31、中間フレーム(ODTU₁₃、ODTU₂₃)化部32及びJC判定部33を、ODTU₂₃用ブロック37とODTU₁₃用ブロック38で個別に具備することになる。

50

【0031】

例えば、ODU 2 フレーム 1 チャンネルと ODU 1 フレーム 1 2 チャンネルを混在で ODU 3 に多重する場合、ODTU 2 3 用ブロック 3 7 内の ODU 2 フレーム 3 チャンネル分のバッファ 3 1、中間フレーム化部 3 2 及び JC 判定部 3 3 と、ODTU 1 3 用ブロック 3 8 内の ODU 1 フレーム 4 チャンネル分のバッファ 3 1、中間フレーム化部 3 2 及び JC 判定部 3 3 が使用されず、冗長状態となり、回路規模的に無駄が発生するという問題があった。

【0032】

図 1 3 に従来 of ODU 2 と ODU 1 と ODU 0 を混在で ODU 3 (OTU 3) に多重する多重部及びマッピング部の一例の構成図を示す。この場合、ODU 2 を ODU 3 に多重する場合は最大 4 チャンネル、ODU 1 を ODU 3 に多重する場合は最大 16 チャンネル、ODU 0 を ODU 3 に多重する場合は最大 32 チャンネルが多重可能である。このため、ODU 2 と ODU 1 の混在の形態を柔軟に対応するためには、入力フレーム 1 チャンネルに対してバッファ 3 1、中間フレーム (ODTU 0 3、ODTU 1 3、ODTU 2 3) 化部 3 2 及び JC 判定部 3 3 を、ODTU 2 3 用ブロック 3 7 と ODTU 1 3 用ブロック 3 8 と ODTU 0 3 用ブロック 3 9 で個別に具備することになる。この場合も図 9 の場合と同様に、ODTU 2 3 用ブロック 3 7、ODTU 1 3 用ブロック 3 8、ODTU 0 3 用ブロック 3 9 それぞれでバッファ 3 1、中間フレーム化部 3 2 及び JC 判定部 3 3 が使用されず、冗長状態となり、回路規模的に無駄が発生するという問題があった。

【0033】

従来の多重部では、入力する ODU j フレームの種類が増えるほど内部の対応回路が莫大に増大してしまう。ITU-T では、図 7 及び図 8 に示すように記載する多種の多重変換が規格化されており、OTN 伝送装置では多種の多重変換をサポートしなければならず、回路規模が大きくなるという問題があった。

【0034】

開示のフレームマッピング装置は、回路規模の増大を抑制することを目的とする。

【課題を解決するための手段】

【0035】

開示の一実施形態によるフレームマッピング装置は、複数の低速信号転送用フレームを高速信号転送用フレームにマッピングするフレームマッピング装置であって、

前記低速信号転送用フレームの最小単位を 1 チャンネルとして前記高速信号転送用フレームに多重可能な最大信号チャンネル数分設けられ、供給される前記複数の低速信号転送用フレームをバッファリングするバッファと、

前記低速信号転送用フレームの周波数調整情報の判定を行う前記最大信号チャンネル数分の判定部と、

前記最大信号チャンネル数分のバッファから出力される信号を供給されるバレルシフタと、

前記複数の低速信号転送用フレームそれぞれについての外部設定と前記判定部の判定結果に応じて前記バレルシフタを制御して前記高速信号転送用フレームにマッピングする制御部と、を有する。

【発明の効果】

【0036】

本実施形態によれば、回路規模の増大を抑制することができる。

【図面の簡単な説明】

【0037】

【図 1】 OTU k フレームフォーマットを示す図である。

【図 2】 HO__ODU k に対するトリビュータリスロット数 t s を説明するための図である。

【図 3】 HO__ODU k に対するトリビュータリスロット数 t s を説明するための図である。

10

20

30

40

50

【図 4】ODU 0 フレームと ODU 1 フレームを OPU 2 フレームにマッピングする様子
を示す図である。

【図 5】クロスコネクタ装置の一例の構成図である。

【図 6】マルチプレクサ装置の一例の構成図である。

【図 7】LO__ODU_j 信号を HO__ODU_k 信号に多重する場合の中間フレームとマッ
ピングタイプを示す図である。

【図 8】HO__ODU_j 信号を HO__ODU_k 信号に多重する場合の中間フレームとマッ
ピングタイプを示す図である。

【図 9】中間フレーム ODTU_{j k} のフレーム構造を示す図である。

【図 10】中間フレーム ODTU_{k, t s} のフレーム構造を示す図である。

10

【図 11】従来の多重部及びマッピング部の一例の構成図である。

【図 12】従来の多重部及びマッピング部の一例の構成図である。

【図 13】従来の多重部及びマッピング部の一例の構成図である。

【図 14】多重及びマッピング回路の一実施形態の概略構成図である。

【図 15 A】OPU 3 フレームにおけるトリビュータスロット配置を示す図である。

【図 15 B】OPU 3 フレームにおける MFAS に応じた t s の値を示す図である。

【図 16】多重及びマッピング回路で ODU 2 を OTU 3 に多重する場合の実施形態を示
す図である。

【図 17】多重及びマッピング回路で ODU 2 と ODU 1 を OTU 3 に多重する場合の実
施形態を示す図である。

20

【図 18】多重及びマッピング回路の一実施形態の全体構成図である。

【図 19】バレルシフタ及びバレルシフタ制御部の一実施形態の構成図である。

【図 20】外部設定の一例を示す図である。

【図 21】外部設定の設定方法を説明するための図である。

【図 22】バレルシフタの動作を説明するための図である。

【図 23】バレルシフタの動作を説明するための図である。

【図 24】バレルシフタの動作を説明するための図である。

【図 25】バレルシフタの動作を説明するための図である。

【図 26】バレルシフタの動作を説明するための図である。

【図 27】バレルシフタの動作を説明するための図である。

30

【発明を実施するための形態】

【0038】

以下、図面に基づいて実施形態を説明する。

【0039】

<多重及びマッピング回路>

図 14 に多重及びマッピング回路の一実施形態の概略構成図を示す。この多重部及びマ
ッピング部は図 5 又は図 6 における HO インタフェース部 11, 12 内の多重部 15 と O
TU_k マッピング部 16 に相当する。

【0040】

図 14 において、多重及びマッピング回路 40 の入力側はフレーム種別に依存せず、出
力側の HO__ODU_k フレームに多重可能な、ODU フレームの最小単位である ODU 0
を 1 チャンネル (CH) とする、最大信号チャンネル数だけのバッファと JC 判定部を有して
いる。

40

【0041】

図 14 では OTU 3 フレームを生成する構成を示しており、OTU 3 フレームは ODU
0 を最大 32 チャンネル多重可能なため、入力チャンネルを 32 チャンネル具備し、クロック載
せ換え用バッファ 41-1 ~ 41-32 と、JC 判定部 42-1 ~ 42-32 を有してい
る。

【0042】

バッファ 41-1 ~ 41-32 は 32 チャンネル分の入力信号をバッファリングし、多重

50

及びマッピング部 40 の内部クロックで読み出すことでクロック載せ換えを行い、バッファ 41-1~41-32 から読み出された信号はバレルシフタ 43 に供給される。また、JC 判定部 42-1~42-32 は 32 チャンネル分の入力信号それぞれの周波数調整情報である JC バイト情報を判定してバレルシフタ制御部 44 に供給する。

【0043】

ここで、GMP 方式では JC バイト情報に応じて、OPUk ペイロード部にスタッフバイトが挿入されるため、バレルシフタ 43 においてスタッフ位置がどこであろうと問題にならない。しかし、AMP 方式では JC バイト情報に応じて OPUk オーバーヘッドの NJO バイトにデータが挿入され、また、OPUk ペイロード部の PJO1 バイトと POJ2 バイトにスタッフバイトが挿入されるため、バレルシフタ 43 においてスタッフ位置を認識しておく必要がある。このため、JC 判定部 42-1~42-32 は AMP 方式の JC バイト情報を判定して、この AMP 方式の JC バイト情報をバレルシフタ制御部 44 に供給している。

【0044】

バレルシフタ 43 は OTU3 フレームを処理するだけの能力を持ち、中間フレーム化及びポートスイッチ及びスロットスイッチの処理を合わせて実行する。バレルシフタ 43 には CPU インタフェース 45 を介して CPU 47 から中間フレーム化及びポートスイッチ及びスロットスイッチ等の処理に関する外部設定が供給され、バレルシフタ制御部 44 にコンカチネーション・グループを設定される。バレルシフタ 43 はバレルシフタ制御部 44 の制御により上記外部設定に従ってコンカチネーション・グループ毎に中間フレーム化を行い、JC 判定部 42-1~42-32 の JC 判定によるスタッフ制御を実行する。また、バレルシフタ 43 は 32 チャンネルの入力ポートと出力ポートとの間でトリビュタリスロット番号を入れ替えるポートスイッチやスロットスイッチも実行する。ポートスイッチやスロットスイッチを実行する命令信号は、CPU 47 等の外部から設定する。

【0045】

バレルシフタ 43 の出力する 32 チャンネル分の信号は OTU3 フレーム化部 46 に供給され、OTU3 フレーム化部 46 にて 32 チャンネル分の信号が OTU3 フレームにマッピングされ、更にオーバーヘッド及び FEC を付加されて OTU3 フレームが生成され出力される。

【0046】

図 15A に OPU3 フレームにおけるトリビュタリスロット配置を示す。ここでは、32 フレーム分の OTU3 フレームで構成される 1 マルチフレームの OTU3 フレームを示しており、各フレームの第 17 列~第 3824 列にトリビュタリスロット番号を記載している。1TS (トリビュタリスロット) の帯域が 2.5 Gbps の場合、図 15B の左欄に示すように MFAS に応じた ts の値は 1~16 であり、1TS の帯域が 1.25 Gbps の場合、図 15B の右欄に示すように MFAS に応じた ts の値は 1~32 である。

【0047】

図 15A の OPU3 フレームにおける第 1 フレームのオーバーヘッドの第 15 列及び第 16 列にはトリビュタリスロット番号 1 に多重された ODUj フレームの JC 情報が格納され、i 番目のフレームのオーバーヘッドの第 15 列及び第 16 列にはトリビュタリスロット番号 i に多重された ODUj フレームの JC 情報が格納されている。

【0048】

図 16 は多重及びマッピング回路 40 で ODU2 フレーム×4 チャンネルを OTU3 フレームに多重する場合の実施形態を示す。ODU2 フレームは 1 チャンネル当り ODU0 フレームの 8 チャンネル分の容量を持つため、図 14 中の入力信号 8 チャンネルを 1 グループ (コンカチネーション・グループ) として ODU2 フレーム 1 チャンネルを処理する。このため、入力信号 8 チャンネルに括りつけて動作するバッファ及び JC 判定部についても 8 個 1 グループでコンカチネーション動作させる。このコンカチネーション動作は、CPU 47 からのグループ設定 (IMSIDT) をバレルシフタ制御部 44 からバッファ 41-1~

10

20

30

40

50

4 1 - 3 2 及び J C 判定部 4 2 - 1 ~ 4 2 - 3 2 に供給することで実現する。

【0049】

つまり、バッファ 4 1 - 1 ~ 4 1 - 8 及び J C 判定部 4 2 - 1 ~ 4 2 - 8 は第 1 グループを形成してコンカチネーション動作を行い、バッファ 4 1 - 9 ~ 4 1 - 1 6 及び J C 判定部 4 2 - 9 ~ 4 2 - 1 6 は第 2 グループを形成してコンカチネーション動作を行う。また、バッファ 4 1 - 1 7 ~ 4 1 - 2 4 及び J C 判定部 4 2 - 1 7 ~ 4 2 - 2 4 は第 3 グループを形成してコンカチネーション動作を行い、バッファ 4 1 - 2 5 ~ 4 1 - 3 2 及び J C 判定部 4 2 - 2 5 ~ 4 2 - 3 2 は第 4 グループを形成してコンカチネーション動作を行う。

【0050】

図 1 7 は多重及びマッピング回路 4 0 で O D U 2 フレーム×3 チャンネルと O D U 1 フレーム×4 チャンネルを O T U 3 フレームに多重する場合の実施形態を示す。O D U 2 フレームは 1 チャンネル当り O D U 0 フレームの 8 チャンネル分の容量を持ち、O D U 1 フレームは 1 チャンネル当り O D U 0 フレームの 2 チャンネル分の容量を持つため、図 1 4 中の入力信号 8 チャンネルを 1 グループとして O D U 2 フレーム 1 チャンネルを処理するため、入力信号 8 チャンネルに括りつけて動作するバッファ及び J C 判定部についても 8 個 1 グループでコンカチネーション動作させる。また、入力信号 2 チャンネルを 1 グループとして O D U 1 フレーム 1 チャンネルを処理するため、入力信号 2 チャンネルに括りつけて動作するバッファ及び J C 判定部についても 2 個 1 グループでコンカチネーション動作させる。このコンカチネーション動作は、C P U 4 7 からのグループ設定 (I _ M S I D T) をバレルシフト制御部 4 4 からバッファ 4 1 - 1 ~ 4 1 - 3 2 及び J C 判定部 4 2 - 1 ~ 4 2 - 3 2 に供給することで実現する。

【0051】

つまり、バッファ 4 1 - 1 ~ 4 1 - 8 及び J C 判定部 4 2 - 1 ~ 4 2 - 8 は第 1 グループを形成してコンカチネーション動作を行い、バッファ 4 1 - 9 ~ 4 1 - 1 6 及び J C 判定部 4 2 - 9 ~ 4 2 - 1 6 は第 2 グループを形成してコンカチネーション動作を行い、バッファ 4 1 - 1 7 ~ 4 1 - 2 4 及び J C 判定部 4 2 - 1 7 ~ 4 2 - 2 4 は第 3 グループを形成してコンカチネーション動作を行う。

【0052】

また、バッファ 4 1 - 2 5 ~ 4 1 - 2 6 及び J C 判定部 4 2 - 2 5 ~ 4 2 - 2 6 は第 4 グループを形成してコンカチネーション動作を行い、バッファ 4 1 - 2 7 ~ 4 1 - 2 8 及び J C 判定部 4 2 - 2 7 ~ 4 2 - 2 8 は第 5 グループを形成してコンカチネーション動作を行い、バッファ 4 1 - 2 9 ~ 4 1 - 3 0 及び J C 判定部 4 2 - 2 9 ~ 4 2 - 3 0 は第 6 グループを形成してコンカチネーション動作を行い、バッファ 4 1 - 3 1 ~ 4 1 - 3 2 及び J C 判定部 4 2 - 3 1 ~ 4 2 - 3 2 は第 7 グループを形成してコンカチネーション動作を行う。

【0053】

図 1 8 に多重及びマッピング回路の一実施形態の全体構成図を示す。この多重部及びマッピング部は図 5 又は図 6 における H O インタフェース部 1 1 , 1 2 内の多重部 1 5 と O T U k マッピング部 1 6 に相当する。

【0054】

図 1 8 において、多重及びマッピング回路 5 0 の入力ポート 5 1 には対向する H O インタフェース部 1 2 , 1 1 から例えば 5 系統の H O _ O D U j 信号が供給され、また、入力ポート 5 2 には L O インタフェース部 2 1 から例えば 5 系統の L O _ O D U j 信号が供給される。上記の H O _ O D U j 信号及び L O _ O D U j 信号それぞれはシリアル/パラレル変換部 (S e r D e s) 5 3 でパラレル化されてメモリ (E S) 5 4 に供給され、メモリ 5 4 においてクロック載せ換えを行った後、バッファ及び J C 判定部 5 5 - 1 ~ 5 5 - 1 0 に供給される。バッファ及び J C 判定部 5 5 - 1 ~ 5 5 - 1 0 それぞれはバイト単位で各 8 回路設けられており、図 1 4 におけるバッファ 4 1 - 1 ~ 4 1 - 3 2 及び J C 判定部 4 2 - 1 ~ 4 2 - 3 2 に対応するものである。

10

20

30

40

50

【0055】

バッファ及びJC判定部55-1～55-10それぞれのバッファから読み出された各8バイトのデータはバレルシフタ56に供給される。バレルシフタ56は図14におけるバレルシフタ43に対応し、バレルシフタ56においてコンカチネーション・グループ毎に中間フレーム化を行い、かつ、スタッフ制御を実行する。これと共に、入力ポートと出力ポートとの間でトリビュタリスロット番号を入れ替えるポートスイッチやスロットスイッチを実行する。

【0056】

バレルシフタ56の出力する8バイト×10系統のデータはフレーム化部57に供給される。OTUフレーム化部57は図14におけるOTU3フレーム化部46に対応し、OTUフレーム化部57で上記データはOTUフレームにマッピングされ、更にオーバーヘッド及びFECを付加されてOTUフレームが生成される。このOTUフレームは電気／光変換部(E/O)58で光信号に変換されて出力される。

【0057】

＜バレルシフタの構成＞

図19にバレルシフタ43及びバレルシフタ制御部44の一実施形態の構成図を示す。図19において、バレルシフタ制御部44はフレームカウンタ61、タイミング生成部62、CH並び替え選択信号生成部63、ストックレジスタ選択信号生成部64、データ要求生成部65、データ量監視部66を有している。バレルシフタ43はストックレジスタ及びバレルシフト部67、データ選択及び信号生成部68を有している。

【0058】

フレームカウンタ61はOTU3フレーム化部46から供給されるフレームパルスを基準としてOTU3フレームの行(row)と列(column)をカウントする。countする。

【0059】

タイミング生成部62はOTU3フレーム化部46からマルチフレームカウント数を供給され、フレームカウンタ61からOTU3フレームの行と列のカウント数を供給される。また、JC判定部42-1～42-32からJCバイト情報が供給される。また、CPUインタフェース45を介して外部設定信号であるグループ内トップ表示(I_MBTOP)、グループ内位置表示(I_MBPOS)、PJO解釈、入力フォーマットとグループ設定(I_MSIDT)、ペイロードタイプ(2.5Gbps/1.25Gbps)、等のMSI(Multiplex structure identifier)情報が供給される。タイミング生成部62は上記情報に基づいて、ペイロードイネーブル、バレルシフトを行うバレルシフト制御タイミング、データ選択タイミング(TS別enable)、TS別のFASタイミング(NJO実施タイミング)、TS別のPJOタイミング(PJO実施タイミング)等のタイミング信号と、JC判定後のJC値を生成する。

【0060】

CH並び替え選択信号生成部63は外部設定信号である入力フォーマットとグループ設定(I_MSIDT)、ペイロードタイプ、JC判定後の自分の変化先(チャネル番号)であるバレルシフト選択設定(I_MBST)、及び、ペイロードイネーブル、バレルシフト制御タイミングから、ストックレジスタのデータ量によってバレルシフトされるデータの選択信号(data sel)を生成する。

【0061】

ストックレジスタ選択信号生成部64はペイロードイネーブル、バレルシフト制御タイミング、TS別イネーブル、及び、データ量監視部66からのストック情報から、ストックレジスタの空位置へ書き込むためにバレルシフトされるデータの選択信号(stock sel)を生成する。

【0062】

データ要求生成部65はペイロードイネーブル、バレルシフト制御タイミング、TS別イネーブル、及び、データ量監視部66からのストック情報から、ストックレジスタの空

10

20

30

40

50

情報を見てデータを読み出すかを決定し、データ要求信号 (data request) を生成する。

【0063】

データ量監視部66はバレルシフト制御、TS別イネーブル、JC判定後のJC値等から、ストックレジスタにストックしているデータ量を監視する。

【0064】

ストックレジスタ及びバレルシフト部67はバッファ41-1~41-32からバイト単位でチャンネル数分のデータを供給され、フレームパルス、JC判定後のJC値、選択信号 (stock sel) に基づいて、ストックレジスタにデータをストックし、データのバレルシフトを行う。ストックレジスタ及びバレルシフト部67の出力はJC処理後の整列データなので、そのままOTUkフレームのペイロードにマッピングすることができる。

10

【0065】

データ選択及び信号生成部68はストックレジスタ及びバレルシフト部67からバイト単位でチャンネル数分のデータを供給され、フレームパルス、JC判定後のJC値、ペイロードイネーブル、TS別のFASタイミング、TS別のPJOタイミング、選択信号 (data sel)、データ要求信号 (data request) に基づいて、OTUkフレーム (例えばOTU3フレーム) のペイロードにデータをマッピングする。また、フレームパルスとデータイネーブル信号 (data enable) を生成してOTUkフレームと共にOTU3フレーム化部46に供給する。

20

【0066】

＜バレルシフトの外部設定＞

図20にCPUからの外部設定の一例を示す。図20にはチャンネル#1~#32それぞれに対して、JC判定後の自分の変化先であるバレルシフト選択設定 (I_MBBST)、グループ内トップ表示 (I_MBTOP)、入力フォーマットとグループ設定 (I_MSIDT)、グループ内位置表示 (I_MBPOS) がそれぞれが設定されている。なお、グループ設定とは、マルチフレーム構成でコンカチネーション動作を行うことをあらわしている。グループ内トップ表示 (I_MBTOP) はグループ内で先頭となるチャンネル番号を値1で示す。

【0067】

図21(A)に入力フォーマットとグループ設定 (I_MSIDT) の設定方法を示す。ここで、入力フォーマットはODU1, ODU2等の入力フレームの種類を表し、グループ設定とはマルチフレームを構成することを表している。図21(A)において、チャンネル#1~#7, #24は入力フォーマット“01”=ODU2, TS組み合わせ=0x00でグループ#0を形成する。チャンネル#8, #10~#12, #14, #15, #17, #19は入力フォーマット“01”=ODU2, TS組み合わせ=0x01でグループ#1を形成する。チャンネル#9, #13は入力フォーマット“00”=ODU1, TS組み合わせ=0x00でグループ#2を形成する。チャンネル#16, #18は入力フォーマット“00”=ODU1, TS組み合わせ=0x01でグループ#3を形成する。また、チャンネル#20, #21は入力フォーマット“00”=ODU1, TS組み合わせ=0x02でグループ#4を形成する。チャンネル#22, #23は入力フォーマット“00”=ODU1, TS組み合わせ=0x03でグループ#5を形成する。チャンネル#25~#32は入力フォーマット“01”=ODU2, TS組み合わせ=0x02でグループ#6を形成する。

30

40

【0068】

図21(B)にバレルシフト選択設定 (I_MBBST) の設定方法を示す。図21(B)において、チャンネル#1の自分のチャンネル番号が0x00 (0xは16進表示を表す) である場合、チャンネル#2の自分のチャンネル番号は0x01である。以下同様にして、チャンネル#8の自分のチャンネル番号は0x007である。

【0069】

50

この場合、チャンネル#1のバレルシフト選択設定(I_MBBST)はJC判定によるJC値が+2であれば変化先のチャンネル番号は0x07となり、JC値が+1であれば変化先のチャンネル番号は0x06となり、JC値が-1であれば変化先のチャンネル番号は0x01となり、JC値が-2であれば変化先のチャンネル番号は0x02となる。また、チャンネル#2は自分のチャンネル番号が0x01であるので、バレルシフト選択設定(I_MBBST)はJC判定によるJC値が+2であれば変化先のチャンネル番号は0x00となり、JC値が+1であれば変化先のチャンネル番号は0x07となり、JC値が-1であれば変化先のチャンネル番号は0x02となり、JC値が-2であれば変化先のチャンネル番号は0x03となる。

【0070】

<バレルシフトの動作>

<JC=+1>

以下に、図20に示すグループ設定で、グループ1に設定されたODU2のチャンネル#8, #10, #11, #12, #14, #15, #17, #19についてJC値が+1の場合のバレルシフト44の動作について説明する。図22(A)~(C)及び図23(A)~(C)それぞれには、所定列a, b, c, ..., i, jにおけるトリビュタリスロット(TS)を示す。図の横方向にチャンネル#1~#32を示し、縦方向は時間方向の列(column)を示している。図22(A)~(C)はバレルシフト44の入力側を示し、図23(A)~(C)はバレルシフト44の出力側を示している。

【0071】

図22(A)では、列aにはチャンネル#1~#32にNJOが出現し、列b, c, iにはチャンネル#1~#32にトリビュタリスロット番号#1~#32のTSが出現し、列jにはチャンネル#1~#32にFECが出現している。図22(A)に示す入力状態で、JC判定により列aのチャンネル#8のNJOがデータと判定される。

【0072】

これにより、図23(A)に示すように、列bにおいて、グループ1の先頭のフレームであるチャンネル#8にNJO(データ)を挿入し、列bのTS#8, #10, #11, #12, #14, #15, #17を順にチャンネル#10, #11, #12, #14, #17, #19にシフトし(ただし、他のグループであるTS#13, #9, #16, #18はシフトしない)、シフトアウトされるTS#19をストックする。また、列bのイネーブル(enable)は“1”で列bのデータを出力する。

【0073】

次に、図22(B)に示す入力状態で、JC判定により列aのチャンネル#10のNJOがデータと判定される。これにより、図23(B)に示すように、列bにおいて、グループ1の先頭フレームであるチャンネル#8にNJO(データ)のTSを挿入し、ストックしているTS#19をチャンネル#10に挿入し、列bのTS#8, #10, #11, #12, #14, #15を順にチャンネル#11, #12, #14, #17, #19にシフトし、TS#17, #19をストックする。また、列bのイネーブルは“1”で列bのデータを出力する。

【0074】

次に、ストックが7TS分ある状態で、図22(C)に示す入力状態で、JC判定により列aのチャンネル#19のNJOはデータと判定される。この場合は、ストックが7TS分あり、NJO(データ)の挿入でグループ1の1ワード=8TSが揃うので、図23(C)に示すように、ストックされているTS#10, #11, #12, #14, #17, #19を列aのチャンネル#8, #10, #11, #12, #14, #15, #17に挿入し、列aのチャンネル#19にNJO(データ)を挿入する。また、列aのイネーブルは“1”で列bのデータを出力する。

【0075】

<JC=-1>

次に、図20に示すグループ設定で、グループ1に設定されたODU2のチャンネル#8

10

20

30

40

50

、#10、#11、#12、#14、#15、#17、#19についてJC値が-1の場合のバレルシフタ44の動作について説明する。図24(A)、(B)及び図25(A)、(B)それぞれには、所定列a、b、c、…、i、jにおけるトリビュタリスロット(TS)を示している。図の横方向にチャンネル#1～#32を示し、縦方向は時間方向の列を示している。図24(A)、(B)はバレルシフタ44の入力側を示し、図25(A)、(B)はバレルシフタ44の出力側を示している。

【0076】

図24(A)に示す入力状態で、JC判定によりグループ1の先頭フレームに対応する列bのチャンネル#8にスタッフバイト0x00が挿入されている。つまり、列bではグループ1の1ワード=8TSが揃っていない。

10

【0077】

これにより、図25(A)に示すように、列bにおいて、グループ1の1ワード=8TSが揃っていないので、列bのTS#10、#11、#12、#14、#15、#17、#19をストックし、列bのイネーブル(data enable)を“0”として出力させない。そして、ストックしたTS#10、#11、#12、#14、#15、#17、#19を列cにシフトし、かつ、元々列cのチャンネル#8にあったTS#8を列cのチャンネル#19に挿入する。

【0078】

次に、図24(B)に示す入力状態で、JC判定により列bのチャンネル#8にスタッフバイト0x00が挿入されている。これにより、図25(B)に示すように、前回ストックしたTS#10、#11、#12、#14、#15、#17、#19を列bにシフトし、今回の列bのチャンネル#10で入力したTS#10を列bのチャンネル#19に挿入する。また、列bのイネーブルは“1”で列bのデータを出力する。

20

【0079】

<JC=-2>

次に、図20に示すグループ設定で、グループ1に設定されたODU2のチャンネル#8、#10、#11、#12、#14、#15、#17、#19についてJC値が-2の場合のバレルシフタ44の動作について説明する。図26(A)、(B)及び図27(A)、(B)それぞれには、所定列a、b、c、…、i、jにおけるトリビュタリスロット(TS)を示している。図の横方向にチャンネル#1～#32を示し、縦方向は時間方向の列を示している。図26(A)、(B)はバレルシフタ44の入力側を示し、図27(A)、(B)はバレルシフタ44の出力側を示している。

30

【0080】

図26(A)に示す入力状態で、JC判定によりグループ1の先頭フレームと2番目のフレームに対応する列bのチャンネル#8、#10にスタッフバイト0x00が挿入されている。つまり、列bではグループ1の1ワード=8TSが揃っていない。

【0081】

これにより、図27(A)に示すように、列bにおいて、グループ1の1ワード=8TSが揃っていないので、列bのTS#11、#12、#14、#15、#17、#19をストックし、列bのイネーブルを“0”として出力させない。そして、ストックしたTS#11、#12、#14、#15、#17、#19を列cにシフトし、かつ、元々列cのチャンネル#8、#10にあったTS#8、#10を列cのチャンネル#17、#19に挿入する。

40

【0082】

次に、図26(B)に示す入力状態で、JC判定により列bのチャンネル#8、#10にスタッフバイト0x00が挿入されている。これにより、図27(B)に示すように、前回ストックしたTS#11、#12、#14、#15、#17、#19を列bにシフトし、今回の列bのチャンネル#11、#12で入力したTS#11、#12を列bのチャンネル#17、#19に挿入する。また、列bのイネーブルは“1”で列bのデータを出力する。

50

【0083】

このように、本実施形態では、バレルシフタはOTU3フレーム等の多重後の伝送容量を処理するだけの能力を持ち、中間フレーム化及びポートスイッチ及びスロットスイッチの処理を合わせて実行するため、多重後の伝送容量にマッチした回路規模で多重部を構成することができ、回路規模の増大を抑制することができる。また、グループ単位にコンカチネーション動作するようバレルシフタを制御することにより、入力するODU_jフレームの種類の変化にも柔軟に対応することができる。

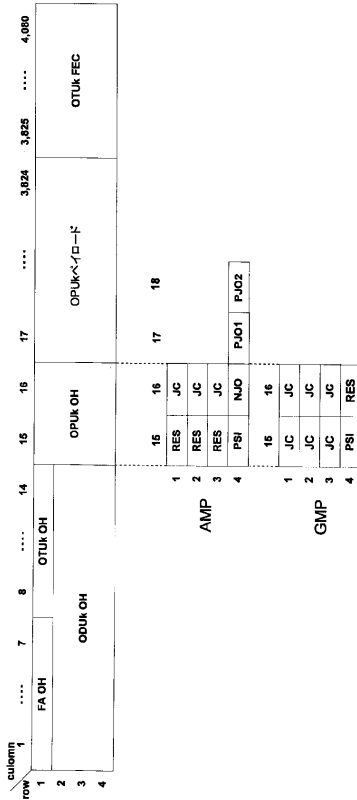
【符号の説明】

【0084】

11, 12	HOインタフェース部	10
13, 22	デマッピング部	
14	デマルチプレクサ	
15	多重部	
15	OTU _k マッピング部	
20	クロスコネクタ部	
21	LOインタフェース部	
23, 24	クライアントインタフェース	
25	マッピング部	
40	多重及びマッピング回路	
41-1～41-32	バッファ	20
42-1～42-32	JC判定部	
43	バレルシフタ	
44	バレルシフタ制御部	
45	CPUインタフェース	
46	OTU3フレーム化部	
61	フレームカウンタ	
62	タイミング生成部	
63	CH並び替え選択信号生成部	
64	ストックレジスタ選択信号生成部	
65	データ要求生成部	30
66	データ量監視部	
67	ストックレジスタ及びバレルシフト部	
68	データ選択及び信号生成部	

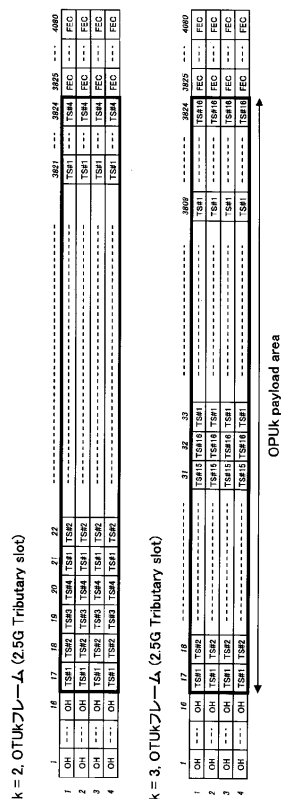
【図 1】

OTUKフレームフォーマットを示す図



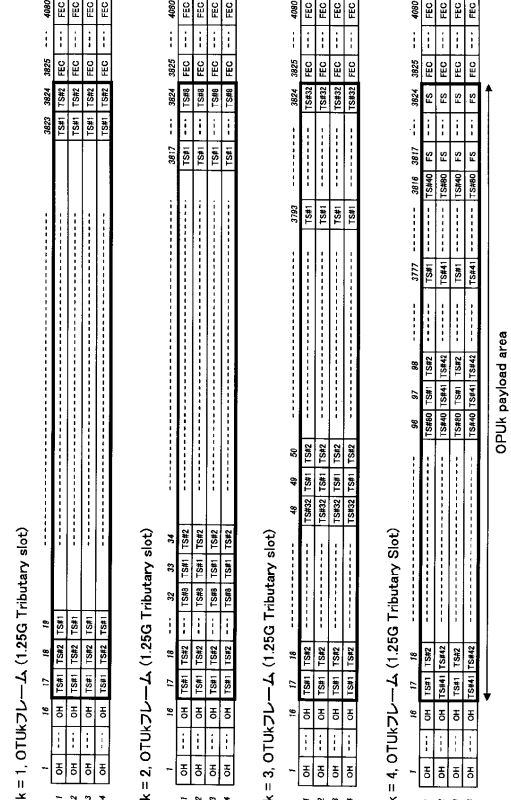
【図 3】

HO_ODUKに対するトリビュタリスロット数tsを説明するための図



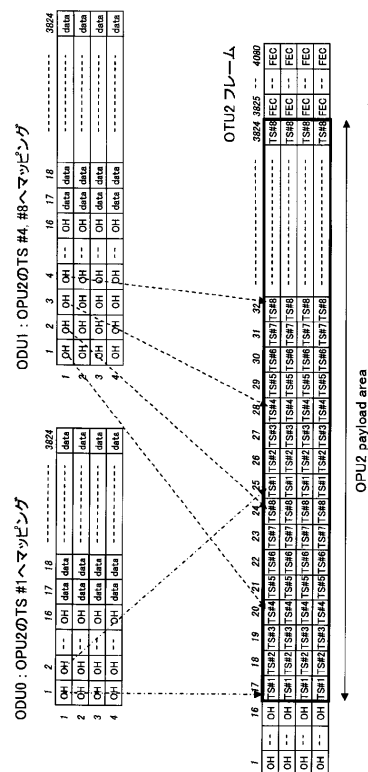
【図 2】

HO_ODUKに対するトリビュタリスロット数tsを説明するための図



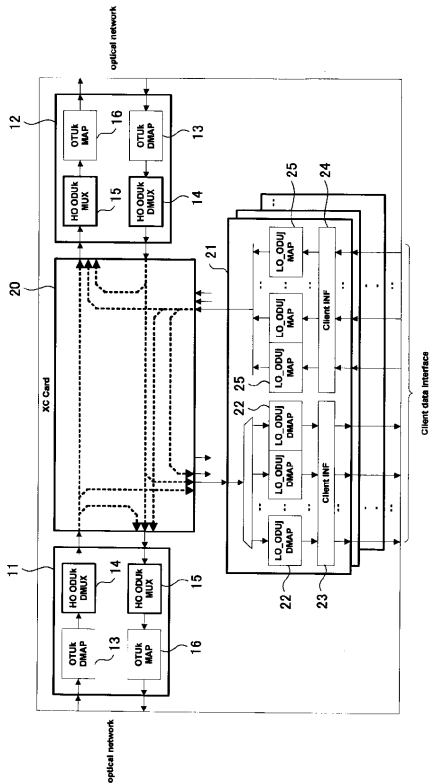
【図 4】

ODU0フレームとODU1フレームをOPU2フレームにマッピングする様子を示す図



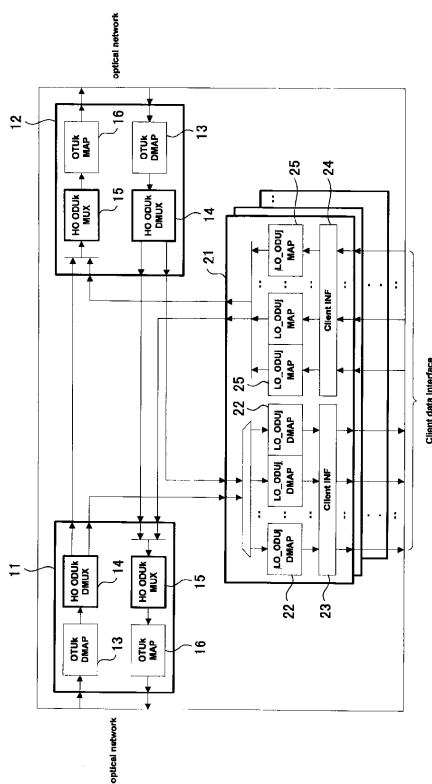
【図 5】

クロスコネクタ装置の一例の構成図



【図 6】

マルチプレキサ装置の一例の構成図



【図 7】

LO_ODUj信号をHO_ODUK信号に多重する場合の
中間フレームとマッピングタイプを示す図

No.	LO_ODUj	中間フレーム	HO_ODUK
1	ODU0	ODTU01 x 2	OPU1 ODU1
2	ODU1	ODTU12 x 4	OPU2 ODU2
3	ODUflex	ODTU2ts x 8/ts	
4	ODU0	ODTU2.1 x 8	
5	ODU1	ODTU12 x 4	
6	ODU1	ODTU13 x 16	OPU3 ODU3
7	ODU2	ODTU23 x 4	
8	ODUflex	ODTU3ts x 32/ts	
9	ODU0	ODTU3.1 x 32	
10	ODU1	ODTU13 x 16	
11	ODU2e	ODTU3.9 x 3	
12	ODU2	ODTU23 x 4	
13	ODUflex	ODTU4ts x 80/ts	OPU4 ODU4
14	ODU0	ODTU4.1 x 80	
15	ODU1	ODTU4.2 x 40	
16	ODU2e	ODTU4.8 x 10	
17	ODU2	ODTU4.8 x 10	
18	ODU3	ODTU4.31 x 2	

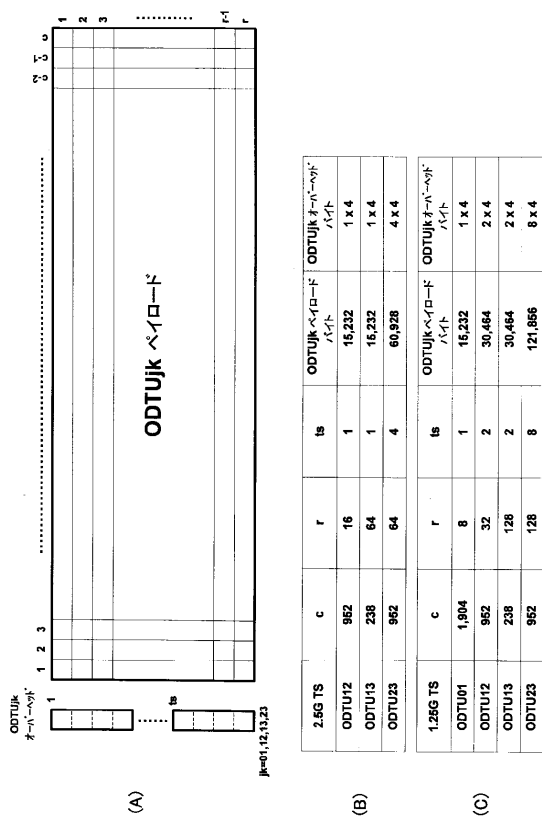
【図 8】

HO_ODUj信号をHO_ODUK信号に多重する場合の
中間フレームとマッピングタイプを示す図

No.	HO_ODUj	中間フレーム	HO_ODUK
1	ODU1	ODTU12 x 4	OPU2 ODU2
2	ODU1	ODTU12 x 4	
3	ODU2	ODTU13 x 4	OPU3 ODU3
4	ODU2	ODTU13 x 4	
5	ODU3	ODTU4.31 x 2	OPU4 ODU4

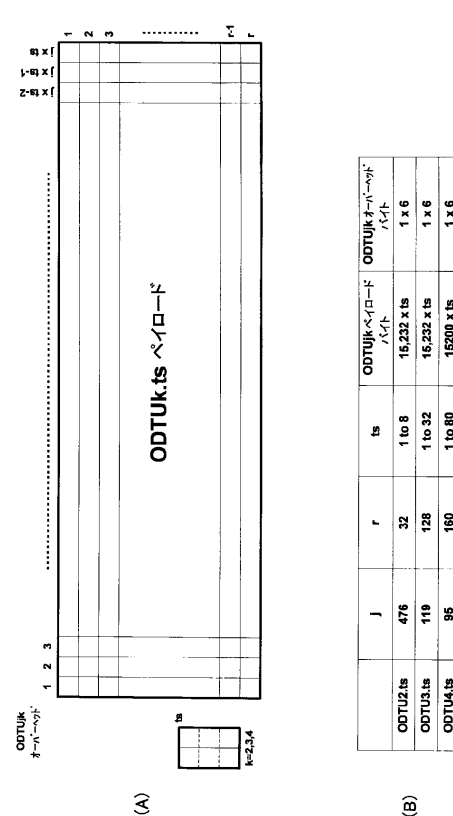
【図 9】

中間フレームODTJkのフレーム構造を示す図



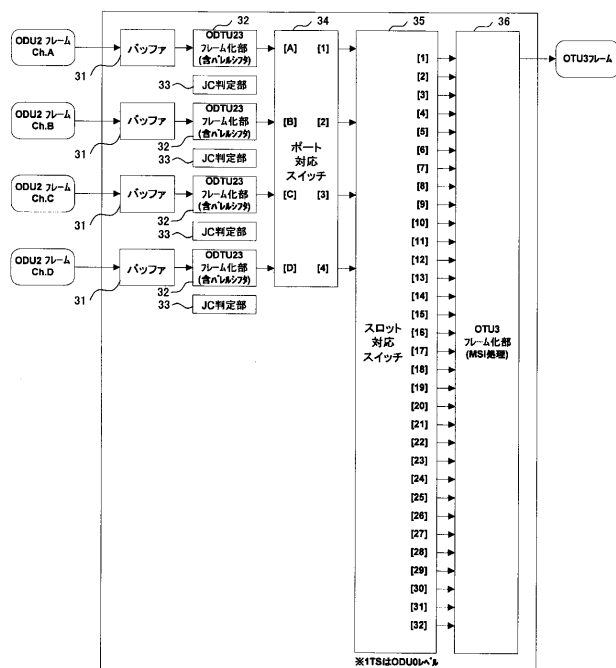
【図 10】

中間フレームODTuk.tsのフレーム構造を示す図



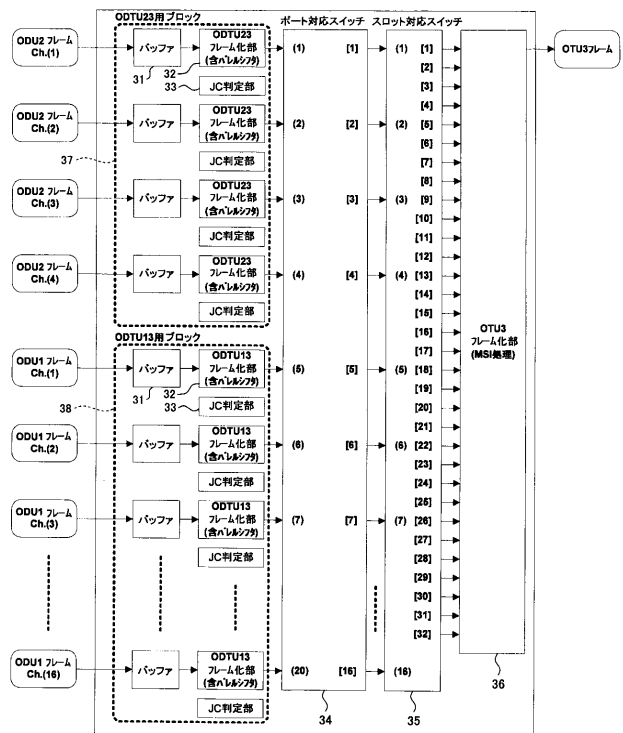
【図 11】

従来の多重部及びマッピング部の一例の構成図



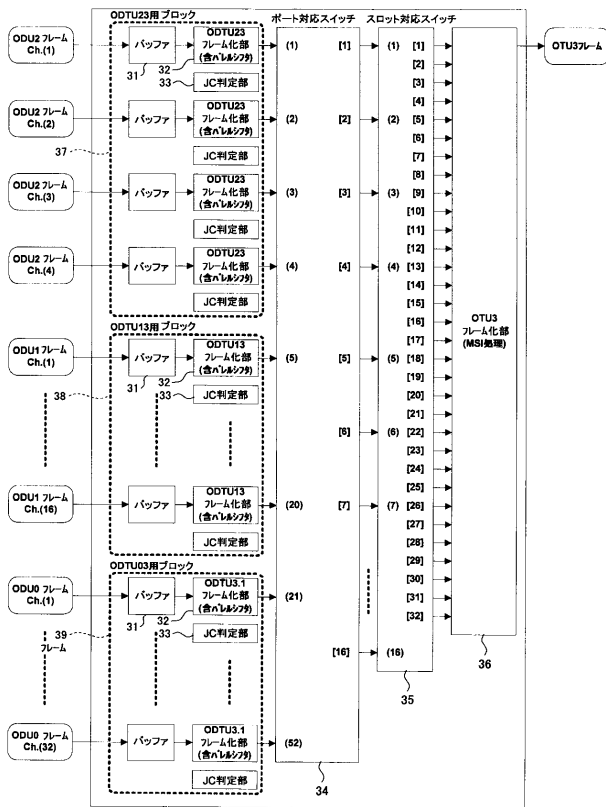
【図 12】

従来の多重部及びマッピング部の一例の構成図



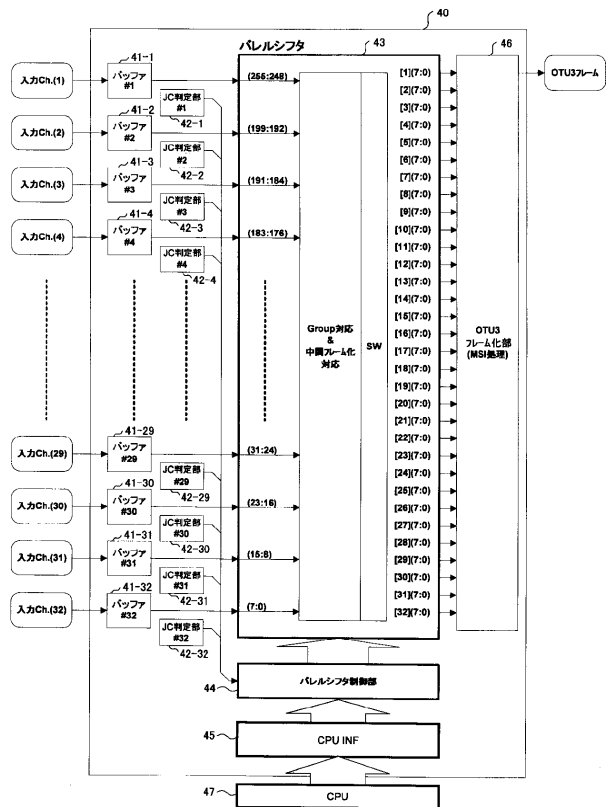
【図 13】

従来の多重部及びマッピング部の一例の構成図



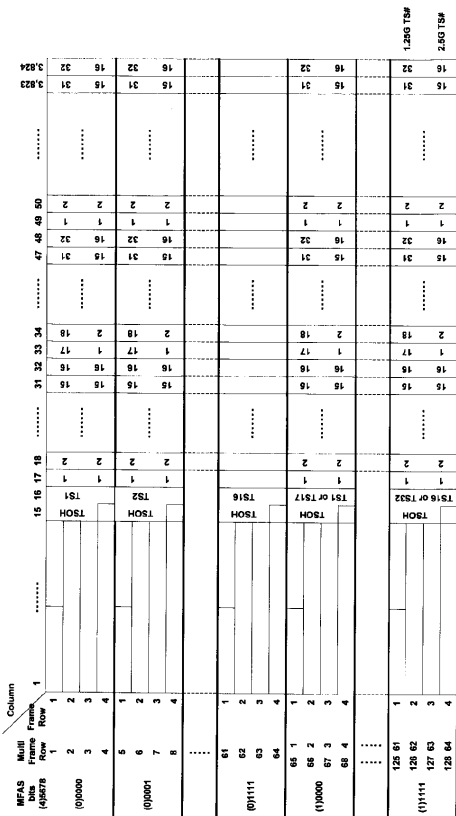
【図 14】

多重及びマッピング回路の一実施形態の概略構成図



【図 15 A】

OPU3フレームにおけるトリビュータリスロット配置を示す図



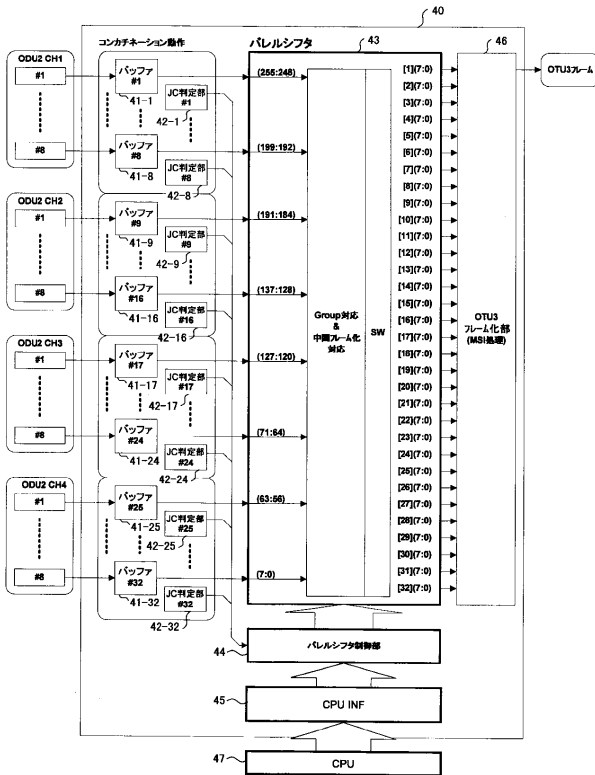
【図 15 B】

OPU3フレームにおけるMFASにに応じたtsの値を示す図

MFAS bits	TSOH	MFAS bits	TSOH
5678	2.5G TS	45678	1.25G TS
0000	1	00000	1
0001	2	00001	2
0010	3	00010	3
0011	4	00011	4
0100	5	00100	5
0101	6	00101	6
0110	7	00110	7
0111	8	00111	8
1000	9	01000	9
1001	10	01001	10
1010	11	01010	11
1011	12	01011	12
1100	13	01100	13
1101	14	01101	14
1110	15	01110	15
1111	16	01111	16
		10000	17
		10001	18
		10010	19
		10011	20
		10100	21
		10101	22
		10110	23
		10111	24
		11000	25
		11001	26
		11010	27
		11011	28
		11100	29
		11101	30
		11110	31
		11111	32

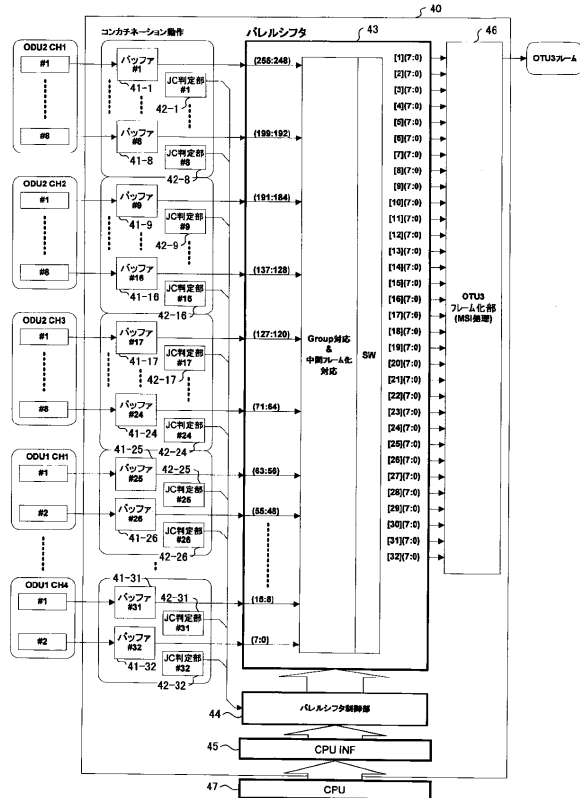
【図 16】

多重及びマッピング回路でODU2を
OTU3に多重する場合の実施形態を示す図



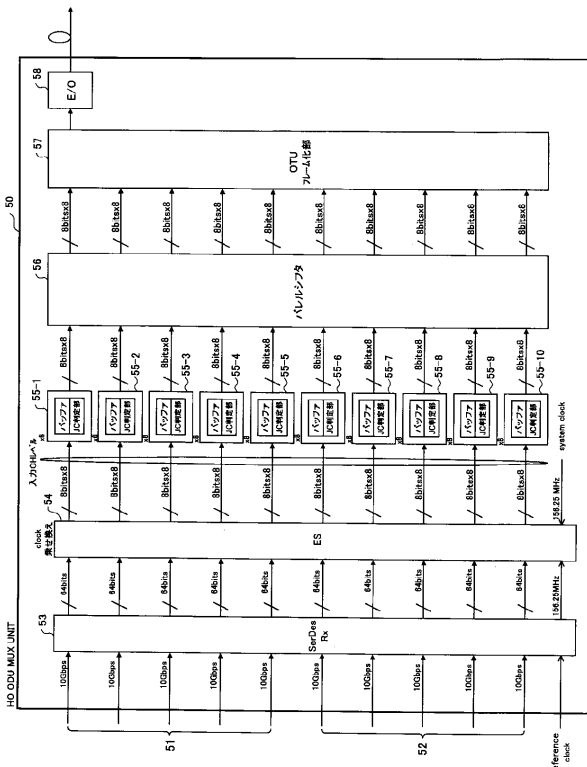
【図 17】

多重及びマッピング回路でODU2とODU1を
OTU3に多重する場合の実施形態を示す図



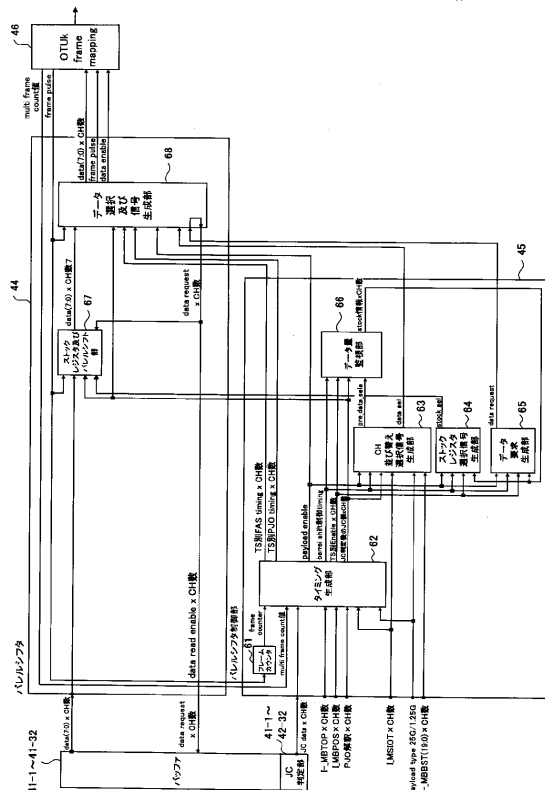
【図 18】

多重及びマッピング回路の一実施形態の全体構成図



【図 19】

パレルシフタ及びパレルシフタ制御部の一実施形態の構成図



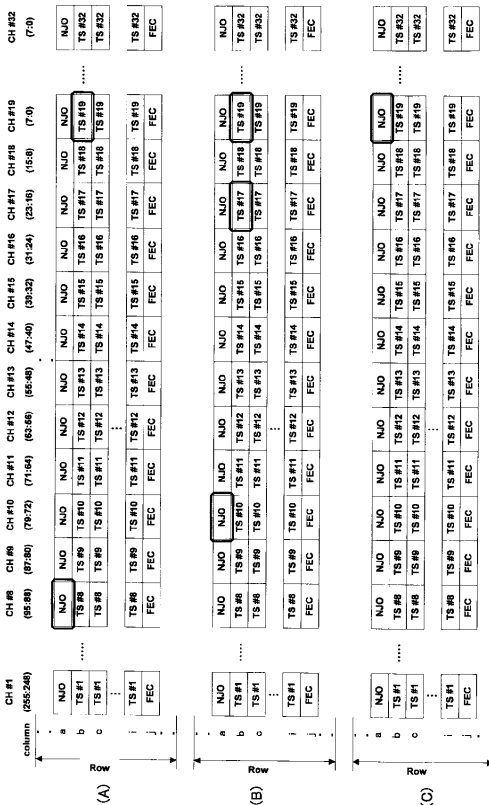
【図 20】

外部設定の一例を示す図

CH	L_MBST(19:0)				CH	L_MBTOP	CH	L_MSIDT(7:0)	CH	L_MBPOS(8:0)
	(19:16)	(14:10)	(8:5)	(4:0)						
CH #1	0x06	0x17	0x01	0x02	CH #1	1	CH #1	0x40	CH #1	0x00
CH #2	0x17	0x00	0x02	0x03	CH #2	0	CH #2	0x40	CH #2	0x01
CH #3	0x00	0x01	0x03	0x04	CH #3	0	CH #3	0x40	CH #3	0x02
CH #4	0x01	0x02	0x04	0x05	CH #4	0	CH #4	0x40	CH #4	0x03
CH #5	0x02	0x03	0x05	0x06	CH #5	0	CH #5	0x40	CH #5	0x04
CH #6	0x03	0x04	0x06	0x17	CH #6	0	CH #6	0x40	CH #6	0x05
CH #7	0x04	0x05	0x17	0x00	CH #7	0	CH #7	0x40	CH #7	0x06
CH #8	0x10	0x12	0x09	0x0a	CH #8	1	CH #8	0x41	CH #8	0x00
CH #9	0x08	0x0c	0x0c	0x08	CH #9	1	CH #9	0x00	CH #9	0x00
CH #10	0x12	0x07	0x0a	0x0b	CH #10	0	CH #10	0x41	CH #10	0x01
CH #11	0x07	0x08	0x0b	0x0d	CH #11	0	CH #11	0x41	CH #11	0x02
CH #12	0x09	0x0a	0x0d	0x0e	CH #12	0	CH #12	0x41	CH #12	0x03
CH #13	0x0c	0x08	0x08	0x0c	CH #13	0	CH #13	0x00	CH #13	0x01
CH #14	0x0a	0x0b	0x0e	0x10	CH #14	0	CH #14	0x41	CH #14	0x04
CH #15	0x0b	0x0d	0x10	0x12	CH #15	0	CH #15	0x41	CH #15	0x05
CH #16	0x0f	0x11	0x11	0x0f	CH #16	1	CH #16	0x01	CH #16	0x00
CH #17	0x0d	0x0e	0x12	0x07	CH #17	0	CH #17	0x41	CH #17	0x06
CH #18	0x11	0x0f	0x0f	0x11	CH #18	0	CH #18	0x01	CH #18	0x01
CH #19	0x0e	0x10	0x07	0x09	CH #19	0	CH #19	0x41	CH #19	0x07
CH #20	0x13	0x14	0x14	0x13	CH #20	1	CH #20	0x02	CH #20	0x00
CH #21	0x14	0x13	0x13	0x14	CH #21	0	CH #21	0x02	CH #21	0x01
CH #22	0x15	0x16	0x16	0x15	CH #22	1	CH #22	0x03	CH #22	0x00
CH #23	0x16	0x15	0x15	0x16	CH #23	0	CH #23	0x03	CH #23	0x01
CH #24	0x05	0x06	0x00	0x01	CH #24	0	CH #24	0x40	CH #24	0x07
CH #25	0x1e	0x1f	0x19	0x1a	CH #25	1	CH #25	0x42	CH #25	0x00
CH #26	0x1f	0x18	0x1a	0x1b	CH #26	0	CH #26	0x42	CH #26	0x01
CH #27	0x19	0x1b	0x1c	0x1c	CH #27	0	CH #27	0x42	CH #27	0x02
CH #28	0x19	0x1a	0x1c	0x1d	CH #28	0	CH #28	0x42	CH #28	0x03
CH #29	0x1a	0x1b	0x1d	0x1e	CH #29	0	CH #29	0x42	CH #29	0x04
CH #30	0x1c	0x1c	0x1e	0x1f	CH #30	0	CH #30	0x42	CH #30	0x05
CH #31	0x1c	0x1d	0x1f	0x18	CH #31	0	CH #31	0x42	CH #31	0x06
CH #32	0x1d	0x1e	0x18	0x19	CH #32	0	CH #32	0x42	CH #32	0x07

【図 22】

バレルシフトの動作を説明するための図



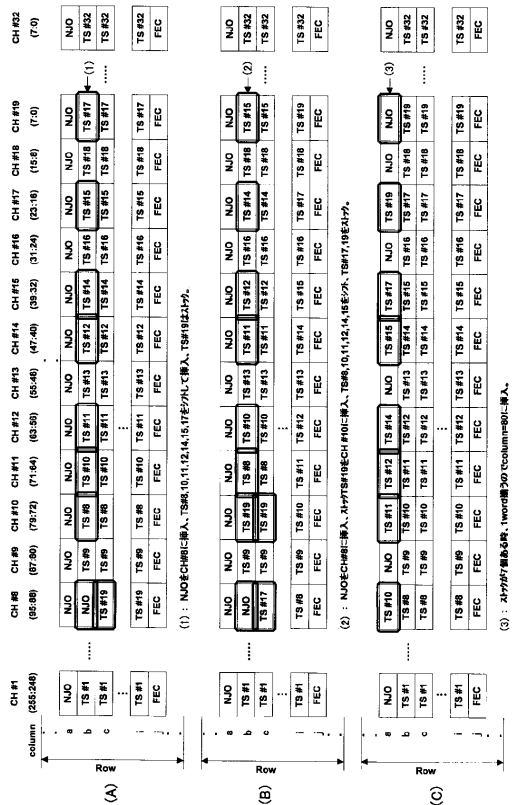
【図 21】

外部設定の設定方法を説明するための図

CH	format (7:6)	TS組合せ (5:0)	自分の番号	JC=+2時 (19:16)	JC=+1時 (14:10)	JC=-1時 (9:5)	JC=-2時 (4:0)
				(19:16)	(14:10)	(9:5)	(4:0)
CH #1	"01"	0x00	CH #1	0x00	0x07	0x06	0x01
CH #2	"01"	0x00	CH #2	0x01	0x00	0x07	0x02
CH #3	"01"	0x00	CH #3	0x02	0x01	0x00	0x03
CH #4	"01"	0x00	CH #4	0x03	0x02	0x01	0x04
CH #5	"01"	0x00	CH #5	0x04	0x03	0x02	0x05
CH #6	"01"	0x00	CH #6	0x05	0x04	0x03	0x06
CH #7	"01"	0x00	CH #7	0x06	0x05	0x04	0x07
CH #8	"01"	0x01	CH #8	0x07	0x06	0x05	0x08
CH #9	"00"	0x00	CH #9	0x00	0x00	0x00	0x00
CH #10	"01"	0x01	CH #10	0x01	0x01	0x01	0x01
CH #11	"01"	0x01	CH #11	0x02	0x02	0x02	0x02
CH #12	"01"	0x01	CH #12	0x03	0x03	0x03	0x03
CH #13	"00"	0x00	CH #13	0x04	0x04	0x04	0x04
CH #14	"01"	0x01	CH #14	0x05	0x05	0x05	0x05
CH #15	"01"	0x01	CH #15	0x06	0x06	0x06	0x06
CH #16	"00"	0x01	CH #16	0x07	0x07	0x07	0x07
CH #17	"01"	0x01	CH #17	0x08	0x08	0x08	0x08
CH #18	"00"	0x01	CH #18	0x09	0x09	0x09	0x09
CH #19	"01"	0x01	CH #19	0x0a	0x0a	0x0a	0x0a
CH #20	"00"	0x02	CH #20	0x0b	0x0b	0x0b	0x0b
CH #21	"00"	0x02	CH #21	0x0c	0x0c	0x0c	0x0c
CH #22	"00"	0x03	CH #22	0x0d	0x0d	0x0d	0x0d
CH #23	"00"	0x03	CH #23	0x0e	0x0e	0x0e	0x0e
CH #24	"01"	0x00	CH #24	0x0f	0x0f	0x0f	0x0f
CH #25	"01"	0x02	CH #25	0x10	0x10	0x10	0x10
CH #26	"01"	0x02	CH #26	0x11	0x11	0x11	0x11
CH #27	"01"	0x02	CH #27	0x12	0x12	0x12	0x12
CH #28	"01"	0x02	CH #28	0x13	0x13	0x13	0x13
CH #29	"01"	0x02	CH #29	0x14	0x14	0x14	0x14
CH #30	"01"	0x02	CH #30	0x15	0x15	0x15	0x15
CH #31	"01"	0x02	CH #31	0x16	0x16	0x16	0x16
CH #32	"01"	0x02	CH #32	0x17	0x17	0x17	0x17

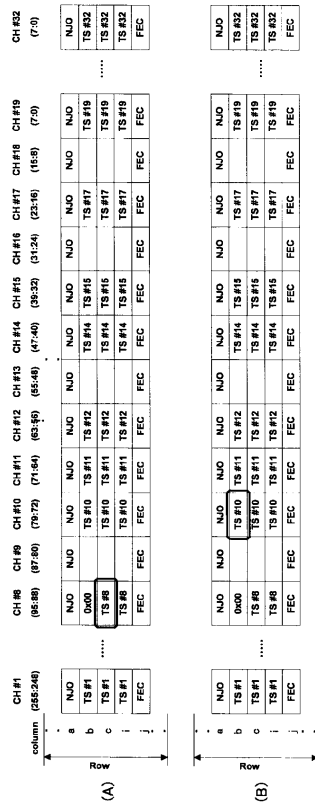
【図 23】

バレルシフトの動作を説明するための図



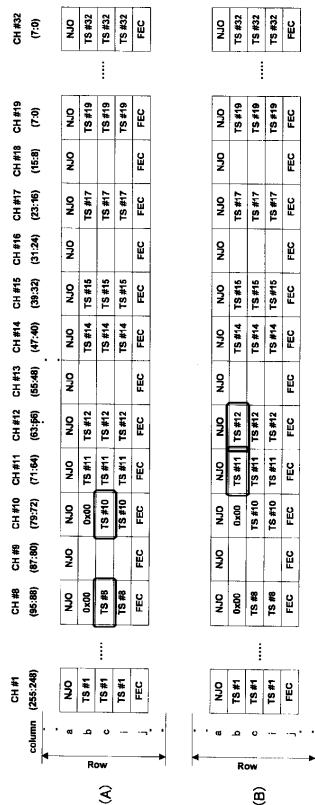
【図 2 4】

パレルシフタの動作を説明するための図



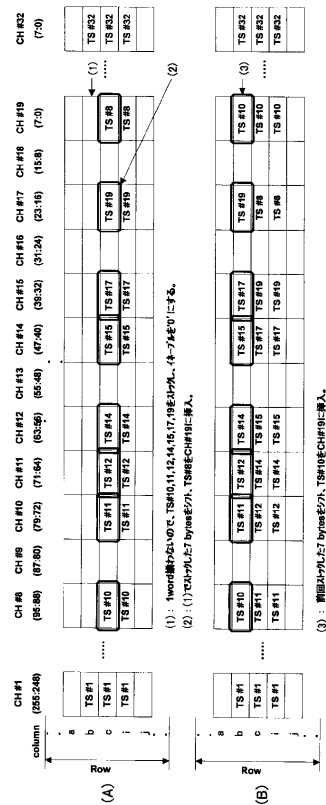
【図 2 6】

パレルシフタの動作を説明するための図



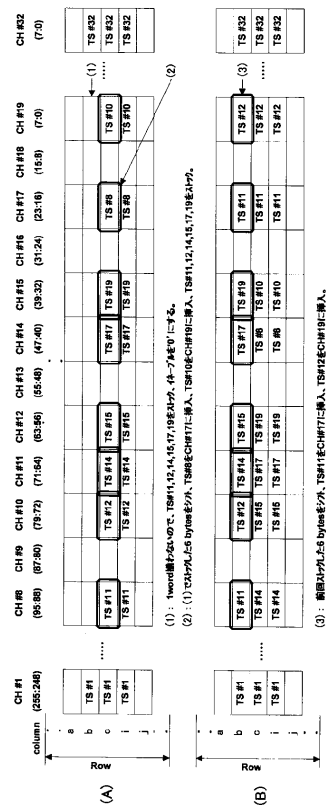
【図 2 5】

パレルシフタの動作を説明するための図



【図 2 7】

パレルシフタの動作を説明するための図



フロントページの続き

- (72)発明者 本間 弘之
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 巻島 博道
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 北島 広之
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- Fターム(参考) 5K028 AA07 BB01 BB08 EE05 KK02 SS24