

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6123510号
(P6123510)

(45) 発行日 平成29年5月10日 (2017.5.10)

(24) 登録日 平成29年4月14日 (2017.4.14)

(51) Int.Cl.

F I

G 0 6 F 12/06 (2006.01)

G 0 6 F 12/06 5 4 0 C

G 0 6 F 12/02 (2006.01)

G 0 6 F 12/02 5 8 0 H

G 0 6 F 12/06 5 2 3 C

請求項の数 7 (全 12 頁)

(21) 出願番号 特願2013-124053 (P2013-124053)
 (22) 出願日 平成25年6月12日 (2013.6.12)
 (65) 公開番号 特開2014-241107 (P2014-241107A)
 (43) 公開日 平成26年12月25日 (2014.12.25)
 審査請求日 平成28年3月10日 (2016.3.10)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 毛利 真寿
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

複数のバンクを有するデータメモリと、

前記データメモリへのアクセス命令に応じてアクセスを行うプロセッサとを有し、

前記プロセッサは、

入力された前記アクセス命令が、配列のデータを配置する前記データメモリのバンクの振り分けを指定する指定情報を含むアクセス命令である場合には、前記指定情報により指定されるバンクの振り分けに応じて、前記アクセス命令がアクセスするデータを配置するバンクに対応するインデックスを変換し、変換した前記インデックスに従って前記バンクの選択を行い、前記配列に係る前記データメモリへのアクセスを行うことを特徴とする半導体装置。

【請求項 2】

前記プロセッサは、

入力された前記アクセス命令がアクセスするデータを配置するバンクに対応するインデックスを、前記指定情報により指定されるバンクの振り分けに応じて変換するインデックス変換部を有し、

前記アクセス命令が前記指定情報を含むアクセス命令である場合には、変換したインデックスに基づいて前記バンクの選択を行い、前記配列に係る前記データメモリへのアクセスを行うことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

10

20

前記インデックス変換部は、
配列のインデックスと前記配列のデータを配置する前記バンクとの対応関係を示すテーブルと、

前記指定情報に応じて選択した前記テーブルを参照して、前記アクセス命令がアクセスするデータを配置するバンクに対応するインデックスを変換する変換部とを有することを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記インデックス変換部が有する前記テーブルには、配列のインデックスの下位ビットの値と前記配列のデータを配置する前記バンクとが一意に対応するテーブルを含むことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記プロセッサは、

前記アクセス命令が、前記指定情報を含むアクセス命令である場合には、変換したインデックスを選択し、前記指定情報を含むアクセス命令でない場合には、前記アクセス命令がアクセスするデータを配置するバンクに対応するインデックスを選択する選択部を有し、

前記選択部により選択したインデックスに基づいて前記バンクの選択を行い、前記配列に係る前記データメモリへのアクセスを行うことを特徴とする請求項 2 記載の半導体装置。

【請求項 6】

複数のバンクを有するデータメモリと、前記データメモリへのアクセス命令に応じてアクセスを行うプロセッサとを有する半導体装置の制御方法であって、

入力された前記アクセス命令が、配列のデータを配置する前記データメモリのバンクの振り分けを指定する指定情報を含むアクセス命令である場合に、前記指定情報により指定されるバンクの振り分けに応じて、前記アクセス命令がアクセスするデータを配置するバンクに対応するインデックスを変換する工程と、

変換したインデックスに基づいて前記バンクの選択を行い、前記配列に係る前記データメモリへのアクセスを行う工程とを有することを特徴とする半導体装置の制御方法。

【請求項 7】

前記配列のインデックスを変換する工程は、

前記指定情報に応じて、配列のインデックスと前記配列のデータを配置する前記バンクとの対応関係を示すテーブルを選択する工程と、

選択した前記テーブルを参照して、前記アクセス命令がアクセスするデータを配置するバンクに対応するインデックスを変換する工程とを有することを特徴とする請求項 6 記載の半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の制御方法に関する。

【背景技術】

【0002】

プロセッサのデータメモリの実装方法の 1 つに、バンクインターリーブ方式がある。バンクインターリーブ方式では、一般には 2 の累乗個の複数のバンク（メモリバンク）に対応するデータメモリがプロセッサに接続される。バンクインターリーブ方式において、アドレスは、図 8（A）に示すように各バンクの深さ方向に連続するように割り振るのではなく、図 8（B）に示すようにバンクをまたいで横方向に連続するように割り振る。バンクインターリーブ方式では、例えば、アドレスの下位ビット（4 バンクであれば下位 2 ビット、8 バンクであれば下位 3 ビット）で、アドレスに対応するバンクが一意に決まる。

【0003】

図 8（A）及び図 8（B）は、データメモリの実装方法の例を示す図である。図 8（A）

10

20

30

40

50

）及び図 8（B）には、4つのバンクを有する例を示しており、810はプロセッサであり、820-pはデータメモリ（バンクp）（p=0、1、2、3）である。プロセッサ810は、データメモリ（バンクp）820-pとの間でデータを入出力するためのレジスタ等を含むインタフェース811-pを、データメモリ（バンクp）820-pの各々に対応して有しており、データメモリ（バンクp）820-p毎に独立してアクセスすることが可能である。

【0004】

バンクインターリーブ方式は、配列等の連続に並んだデータに順にアクセスする連続アクセス（シーケンシャルアクセス）が速いという利点がある。例えば、図 8（C）に示すように、連続したアドレスの領域に記憶された配列 data のデータ（要素）を、data[0]、data[1]、data[2]、・・・、data[15]というように順に読み出して加算し、総和 sum を求める処理を行うとする。

10

【0005】

図 8（A）に示したデータメモリの実装方式では、例えば data[0]と data[1]とは同じデータメモリ（バンク0）820-0上に存在しているため、同時に読み出すことができない。つまり、図 8（A）に示したデータメモリの実装方式では、図 8（C）に示した処理のほとんどで1サイクルに1つのデータを読み出すことしかできないため、data[0]～data[15]のすべての読み出しに13サイクルを要する。

【0006】

それに対して、図 8（B）に示したバンクインターリーブ方式では、例えば data[0]、data[1]、data[2]、及び data[3]は、異なるデータメモリ（バンクp）820-p上に存在しているため、同時に読み出すことができる。つまり、図 8（B）に示したバンクインターリーブ方式では、図 8（C）に示した処理を行う際に1サイクルに4つのデータを読み出すことが可能であるため、data[0]～data[15]のすべての読み出しに4サイクルしか要しない。

20

【0007】

また、例えば配列のデータを順に書き込むシーケンシャルアクセスにおいても、図 8（A）に示した実装方式では1サイクルに1つのデータを書き込むことしかできない。それに対して、図 8（B）に示したバンクインターリーブ方式では、1サイクルに4つのデータを書き込むことが可能である。

30

【0008】

複数のプロセッサと共有メモリとを有し、メモリへのアクセス命令におけるアクセスアドレスを基に、そのアクセス命令を行うプロセッサがアクセスするメモリ領域を、アクセスアドレスに局所性がある場合にはスタック式に割り当て、アクセスアドレスに局所性がない場合にはインターリーブ式に割り当てるようにした装置が提案されている（例えば、特許文献1参照）。また、インターリーブされたアドレスを備えたメモリのバンクを複数有するマルチバンクメモリ型のメモリシステムが提案されている（例えば、特許文献2、3参照）。メモリシステムにおける並行性を向上させるために、複数のメモリアクセス要求を再順序付けする技術が提案されている（例えば、特許文献3参照）。

【先行技術文献】

40

【特許文献】

【0009】

【特許文献1】特開2008-234156号公報

【特許文献2】特表2003-520368号公報

【特許文献3】特開平10-228417号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

前述したようにバンクインターリーブ方式は、配列のデータに順にアクセスするシーケンシャルアクセスが速いという利点がある。しかし、アプリケーションによっては、配列

50

に対して、シーケンシャルアクセスだけでなく、連続しない順序でアクセスすることもある。例えば、無線通信の信号処理アプリケーションや暗号化アプリケーションでは、シーケンシャルアクセスだけでなく、特殊な順序のアクセスパターンでアクセスすることがある。シーケンシャルアクセスではない特殊な順序でのアクセスでは、バンクインターリーブ方式の利点が活かせないことがあり、1サイクルあたり1つのデータしかデータメモリに対する読み出しや書き込みが行えなくなってしまうことも考えられる。

【0011】

本発明は、配列に対するアクセスパターンに応じて、データメモリにおける配列のデータのバンク配置を制御できるようにすることを目的とする。

【課題を解決するための手段】

10

【0012】

半導体装置の一態様は、複数のバンクを有するデータメモリと、データメモリへのアクセス命令に応じてアクセスを行うプロセッサとを有する。プロセッサは、入力されたアクセス命令が、配列のデータを配置するデータメモリのバンクの振り分けを指定する指定情報を含むアクセス命令である場合には、指定情報により指定されるバンクの振り分けに応じて、アクセス命令がアクセスするデータを配置するバンクに対応するインデックスを変換し、変換したインデックスに従ってバンクの選択を行い、配列に係るデータメモリへのアクセスを行う。

【発明の効果】

【0013】

20

開示の半導体装置は、指定されるバンクの振り分けに従って配列のデータを配置するバンクの選択を行うことで、配列に対するアクセスパターンに応じた配列のデータのバンク配置が可能になり、アプリケーションを修正することなく適切なメモリアccessが実現でき、性能向上を図ることができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施形態における半導体装置の構成例を示す概略図である。

【図2】本実施形態におけるメモリマップの例を示す図である。

【図3】本実施形態における半導体装置の構成例を示す図である。

【図4】本実施形態におけるインデックス変換器の構成例を示す図である。

30

【図5】本実施形態におけるセクタ設定表の例を示す図である。

【図6】本実施形態におけるソースコード及びアクセス命令の一例を示す図である。

【図7】本実施形態におけるメモリアccessの例を示す図である。

【図8】データメモリの実装方法を説明するための図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施形態を図面に基づいて説明する。

【0016】

図1は、本発明の一実施形態における半導体装置の構成例を示す概略図である。本実施形態における半導体装置は、プロセッサ10及びデータメモリ(バンクp)20-pを有する。なお、pは添え字であり、p=0、1、2、3である(以下についても同様)。図1には、4つのバンクを有する例を示しているが、バンクの数は複数であれば任意であり、2の累乗個であることが好ましい。

40

【0017】

プロセッサ10は、データメモリ(バンクp)20-pの各々に対応して、データメモリ(バンクp)20-pとの間でデータを入出力するためのインタフェース11-pを有する。プロセッサ10は、各インタフェース11-pにより、データメモリ(バンクp)20-p毎に独立してアクセスすることが可能である。インタフェース11-pは、データメモリ(バンクp)20-pに対する入出力データを保持するレジスタ等を有する。

【0018】

50

本実施形態における半導体装置は、配列に対するデータメモリのバンクの割り振り、すなわちデータメモリにおいて配列のデータ（要素）をどのバンクに配置するかを制御可能である。例えば、データに特殊な順序でアクセスを行いたい配列は、図２の領域２０１に示すように、ユーザが指定するバンクパターンで配列のデータを各バンクに配置する。また、例えば、データに順にアクセスするシーケンシャルアクセスを行いたい配列は、図２の領域２０２に示すように、通常のバンクパターンで配列のデータを各バンクに配置する。ここで、通常のバンクパターンとは、アドレス（配列のインデックス）の下位ビットの値によりバンクが一意に決定するバンクインターリーブ方式のバンクパターンであり、例えば図８（Ｂ）に示したような配置となる一定の規則を有するパターンである。

【００１９】

10

図２は、本実施形態におけるメモリマップの例を示す図である。図２において、塗りつぶしのパターンが、データメモリにおけるバンクの違いを示している。例えば、右下がり斜線と左下がり斜線とが交差しているブロックがデータメモリのバンク０に対応し、ドット塗りつぶしのブロックがデータメモリのバンク１に対応し、右下がり斜線のブロックがデータメモリのバンク２に対応し、左下がり斜線のブロックがデータメモリのバンク３に対応する。図２に示す例では、領域２０１では、アドレス方向に対して任意にバンクが割り当てられ、領域２０２では、アドレス方向に対して順に（規則的に）バンクが割り当てられている。

【００２０】

また、図２において、ＢＡＤ１は領域２０１のベースアドレスであり、ＢＡＤ２は領域２０２のベースアドレスである。なお、ユーザが指定するバンクパターンで配列のデータを配置する場合でも、その領域のサイズは、通常のバンクパターンで配置する際の領域のサイズと同じである。すなわち、配列のデータを配置する領域は、配列のデータを格納するのに過不足のないサイズの領域である。

20

【００２１】

このように本実施形態では、配列のデータ（要素）のデータメモリにおけるバンク配置をユーザ指定可能にして制御することで、配列に対するアプリケーションのデータアクセスパターンに応じた配列のデータの配置が可能になる。したがって、特殊な順序で配列のデータにアクセスするアプリケーションであっても、アプリケーションを修正（変更）することなく、アプリケーションに応じたデータ配置を行うことで適切なメモリアクセスを実現することができ、性能向上を図ることができる。

30

【００２２】

図３は、本実施形態における半導体装置の構成例を示す図である。図３において、図１に示した構成要素と同一の構成要素には同一の符号を付している。なお、図３には、本実施形態の半導体装置におけるデータメモリへのアクセス制御に係る構成を示したが、プロセッサ１０は、データメモリに対するデータ入出力に係る構成や、一般的なプロセッサが有する、図示しない演算処理等の他の処理に係る構成も有している。

【００２３】

プロセッサ１０は、命令制御部１２、インデックス変換器１３、セクタ１４、加算器１５、アドレス保持部１６、及びバンク選択用デコーダ１７を有する。命令制御部１２は、図示しない命令メモリから読み出された命令ｉｎｓが入力され、命令ｉｎｓをデコードして、デコード結果に応じた処理を行う。例えば、命令制御部１２は、命令ｉｎｓがデータメモリ（バンクｐ）２０－ｐへのアクセス命令である場合には、データメモリ（バンクｐ）２０－ｐに対するアクセスを行う。

40

【００２４】

命令制御部１２は、命令ｉｎｓが配列に係るデータメモリ（バンクｐ）２０－ｐへのアクセス命令である場合には、アクセス命令で指定されたベースアドレスｂａｓｅ及びインデックスｉｎｄｅｘ１を出力する。ここで、アクセス命令で指定されるベースアドレスは、アクセスする配列に係るメモリ領域のベースアドレスであり、アクセス命令で指定されるインデックスは、アクセスする配列のデータを識別するためのインデックスである。

50

【 0 0 2 5 】

また、命令制御部 1 2 は、命令 *i n s* が配列に係るデータメモリ（バンク *p*）2 0 - *p* へのアクセス命令であり、さらに配列のデータのデータメモリにおけるバンクの振り分け（バンク配置）を示すバンクパターンを指定する指定情報を含むアクセス命令である場合には、その指定情報 *b a n k p t* を出力する。また、命令制御部 1 2 は、命令 *i n s* がバンクの振り分けを指定するバンクパターンの指定情報を含むアクセス命令であるか否かを示す信号 *S 1* を出力する。

【 0 0 2 6 】

インデックス変換器 1 3 は、命令制御部 1 2 から出力されたインデックス *i n d e x 1* 及びバンクパターンの指定情報 *b a n k p t* が入力され、インデックス *i n d e x 2* を出力する。インデックス変換器 1 3 は、指定情報 *b a n k p t* により指定されるバンクの振り分け（バンクパターン）に基づいて、入力されるインデックス *i n d e x 1* をインデックス *i n d e x 2* に変換して出力する。

10

【 0 0 2 7 】

セクタ 1 4 は、命令制御部 1 2 から出力された信号 *S 1* に基づいて、命令制御部 1 2 から出力されたインデックス *i n d e x 1* 又はインデックス変換器 1 3 から出力されたインデックス *i n d e x 2* の一方を選択してインデックス *i n d e x 3* として出力する。セクタ 1 4 は、命令 *i n s* がバンクパターンの指定情報を含むアクセス命令であることを信号 *S 1* が示した場合には、インデックス *i n d e x 2* をインデックス *i n d e x 3* として出力する。一方、セクタ 1 4 は、命令 *i n s* がバンクパターンの指定情報を含むアクセス命令ではないことを信号 *S 1* が示した場合には、インデックス *i n d e x 1* をインデックス *i n d e x 3* として出力する。

20

【 0 0 2 8 】

加算器 1 5 は、命令制御部 1 2 から出力されたベースアドレス *b a s e* に、セクタ 1 4 から出力されたインデックス *i n d e x 3* を加算して、データメモリ（バンク *p*）2 0 - *p* にアクセスするためのメモリアドレスを生成する。加算器 1 5 により生成されたメモリアドレスは、アドレス保持部 1 6 に保持される。バンク選択用デコーダ 1 7 は、アドレス保持部 1 6 に保持されたメモリアドレスをデコードし、デコード結果に基づいてバンクを選択してアクセスを行う。すなわち、バンク選択用デコーダ 1 7 は、セクタ 1 4 から出力されたインデックス *i n d e x 3* に応じたバンクの選択を行う。

30

【 0 0 2 9 】

データメモリ（バンク *p*）2 0 - *p* には、例えば、配列 *d a t A* のデータ *d a t A [0] ~ d a t A [3 1]* を、図 5 に例示するセクタ設定表での設定 0 のバンクパターンのテーブルに従ったバンク配置で配置する場合、領域 2 1 に示すように配置される。図 5 に例示するセクタ設定表については、後述する。また、例えば、配列 *d a t B* のデータ *d a t B [0] ~ d a t B [3 1]* を、通常のバンクパターンに応じたバンク配置で配置する場合、領域 2 2 に示すように配置される。

【 0 0 3 0 】

図 4 は、インデックス変換器 1 3 の構成例を示す図である。インデックス変換器 1 3 は、図 4 に示すように、セクタ 3 1、セクタ設定表 3 2、及びレジスタ 3 3、3 4 を有する。レジスタ 3 3 は、入力されるインデックス *i n d e x 1* を保持するレジスタであり、レジスタ 3 4 は、セクタ 3 1 の出力であるインデックス *i n d e x 2* を保持するレジスタである。なお、図 4 においては、インデックス *i n d e x 1*、*i n d e x 2* が 6 ビットである場合を一例として示しているが、インデックス *i n d e x 1*、*i n d e x 2* のビット数は、これに限定されるものではない。

40

【 0 0 3 1 】

セクタ 3 1 は、セクタ設定表 3 2 が有するテーブルの内からバンクパターンの指定情報 *b a n k p t* に応じて選択されたバンクパターンのテーブルを参照して、インデックス *i n d e x 1* をインデックス *i n d e x 2* に変換し出力する。セクタ設定表 3 2 は、図 5 に一例を示すような、配列のインデックスと配列のデータを配置するバンクとの対応

50

関係（バンクパターン）を示すテーブルを有し、バンクパターンの指定情報 `bankpt` に応じて1つのテーブルが選択される。

【0032】

図5は、セクタ設定表32の例を示す図である。セクタ設定表は、配列のインデックスに対して、配列のデータを配置するバンクを振り分けるテーブルを有している。バンクパターンの指定情報 `bankpt` に応じて1つのテーブルが選択され、インデックスに応じた配列のデータが、選択されたテーブルにより指定されたバンクに配置される。図5においては、ハードウェア（HW）により固定の値が設定されている設定0及び設定1のテーブルと、ソフトウェア（SW）により任意の値を設定可能な設定2のテーブルを有する例を示している。

10

【0033】

ここで、セクタ設定表は、すべてのテーブルをハードウェアで実現しても良いし、すべてのテーブルをソフトウェアで実現しても良い。また、セクタ設定表の一部のテーブルをハードウェアで実現し、残りのテーブルをソフトウェアで実現しても良い。セクタ設定表のテーブルをハードウェアにより実現する場合には、テーブルをアプリケーションに合わせて後から変更することはできないが、アプリケーションの開発者が、既存のテーブルの中からシミュレーション等でアクセス効率が高くなるようなテーブルを選択するだけで適切なメモリアクセスを実現できるアプリケーションの開発が可能になる。また、セクタ設定表のテーブルをソフトウェアにより実現する場合には、アプリケーションの開発者がテーブルを入力しなくてはならないが、アプリケーションに合わせたテーブルを自由に設定することができる。

20

【0034】

図6（A）は、本実施形態における半導体装置で動作させるアプリケーションのソースコードの例を示す図である。コード601は、配列 `proposal` のデータをバンクパターン3に従って各バンクに配置することを指示するコードであり、コード602、603は、配列 `proposal`、`normal` をそれぞれ定義するコードである。なお、配列 `normal` は、アドレス（配列のインデックス）の下位ビットの値によりバンクが一意に決定する通常のバンクパターンで配列のデータを配置する配列である。

【0035】

コード604は、配列 `proposal` におけるインデックス値0のデータ `proposal[0]` を、データメモリから読み出して変数 `a` に代入するコードである。また、コード605は、配列 `proposal` におけるインデックス値4のデータ `proposal[4]` を、データメモリから読み出して変数 `b` に代入するコードである。同様に、コード606は、配列 `normal` におけるインデックス値0のデータ `normal[0]` を、データメモリから読み出して変数 `x` に代入するコードである。また、コード607は、配列 `normal` におけるインデックス値4のデータ `normal[4]` を、データメモリから読み出して変数 `y` に代入するコードである。

30

【0036】

バンクパターン3で配置するバンクを振り分ける配列 `proposal` に係るデータメモリへのアクセスには、通常の命令とは異なる特別な命令を利用することになる。例えば、コンパイラは、変数の型に基づいて、通常の命令を使用するか、特別な命令を使用するかを判別して、ソースコードをコンパイルする。

40

【0037】

図6（B）に、バンクパターンに従って、配置するバンクを振り分ける配列 `proposal` のデータを読み出すためのロード命令の例を示す。配列 `proposal` のデータをデータメモリから読み出す命令 `loadProposal` において、`Register` は読み出したデータを格納するレジスタを示し、`base` は配列のベースアドレスを示し、`index` は配列におけるインデックスを示している。また、`bankPattern` は、配列のバンク配置を示すバンクパターンを指定する指定情報である。

【0038】

50

図3に示した命令制御部12は、入力された命令`ins`が命令`loadProposal`である場合には、命令`loadProposal`における`base`及び`index`を、ベースアドレス`base`及びインデックス`index1`として出力する。また、命令制御部12は、命令`loadProposal`における`bankPattern`を、バンクパターンの指定情報`bankpt`として出力するとともに、入力された命令`ins`がバンクパターンの指定情報を含むアクセス命令であることを信号`S1`により示す。

【0039】

また、図6(C)に、通常のバンクパターンで配置するバンクを振り分ける配列`normal`のデータを読み出すためのロード命令の例を示す。配列`normal`のデータをデータメモリから読み出す命令`load`において、`Register`は読み出したデータを格納するレジスタを示し、`base`は配列のベースアドレスを示し、`index`は配列におけるインデックスを示している。

【0040】

図3に示した命令制御部12は、入力された命令`ins`が命令`load`である場合には、命令`load`における`base`及び`index`を、ベースアドレス`base`及びインデックス`index1`として出力する。また、命令制御部12は、入力された命令`ins`がバンクパターンの指定情報を含むアクセス命令ではないことを信号`S1`により示す。

【0041】

本実施形態によれば、配列に対するデータメモリのバンクの任意な割り振りを可能にし、指定されるバンクの振り分けに従ってバンクの選択を行うことで、アプリケーションの配列に対するアクセスパターンに応じて、配列のデータのデータメモリにおけるバンク配置を制御することができる。したがって、特殊な順序で配列のデータにアクセスするアプリケーションであっても、アプリケーションを修正(変更)することなく、アプリケーションに応じたデータ配置を行うことで適切なメモリアccessを実現することができ、性能向上を図ることができる。

【0042】

例えば、インデックスが0~31の32個のデータ(要素)を有する配列について、インデックスが0、1、2、・・・、31というように1ずつ増加させて順にデータの書き込みを行うとする。その後、インデックスが0、4、8、12、16、20、24、28、1、5、9、13、17、21、25、29、2、6、10、14、18、22、26、30、3、7、11、15、19、23、27、31という順にデータの読み出しを行うとする。

【0043】

アドレス(配列のインデックス)の下位ビットによりバンクが一意に決定するバンクインターリーブ方式の通常のバンクパターン(アドレスの下位ビットによりバンクが一意に決定するバンクインターリーブ方式のバンクパターン)で配列のデータを各バンクに配置する場合には、図7(A)に示すように、データの書き込みに8サイクルを要し、データの読み出しに29サイクルを要し、全体で37サイクルを要する。それに対して、図5に示したセクタ設定表での設定0のバンクパターンで配列のデータを各バンクに配置する場合には、図7(B)に示すように、データの書き込みに15サイクルを要し、データの読み出しに13サイクルを要し、全体で28サイクルを要する。このように、本実施形態では、配列のデータアクセスパターンに応じて、配列のデータのバンク配置を制御することで、適切なメモリアccessを実現することができ、メモリアccessに要するサイクル数を低減することができる。

【0044】

なお、前述した実施形態では、通常のバンクパターンでバンク配置する配列については通常のアクセス命令を用い、セクタ設定表が有するテーブルのバンクパターンでバンク配置する配列については特別なアクセス命令を用いるようにして区別している。本実施形態はこれに限定されるものではなく、例えば、セクタ設定表に、アドレス(配列のインデックス)の下位ビットの値とデータを配置するバンクとが一意に対応するバンクインタ

10

20

30

40

50

ーリーブ方式の通常のバンクパターンのテーブルを備え、常にバンクパターンを指定するようにして1種類のアクセス命令でメモリアクセスを実現するようにしても良い。

【0045】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

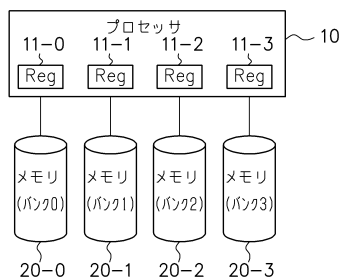
【0046】

- 10 プロセッサ
- 11 - 0 ~ 11 - 3 インタフェース
- 20 - 0 ~ 20 - 4 データメモリ
- 12 命令制御部
- 13 インデックス変換器
- 14 セレクタ
- 15 加算器
- 16 アドレス保持部
- 17 バンク選択用デコーダ
- 31 セレクタ
- 32 セレクタ設定表
- 33、34 レジスタ

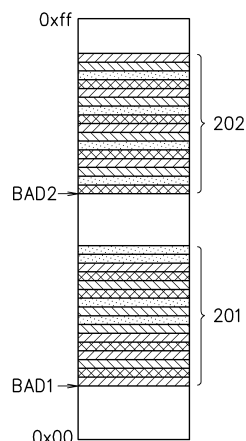
10

20

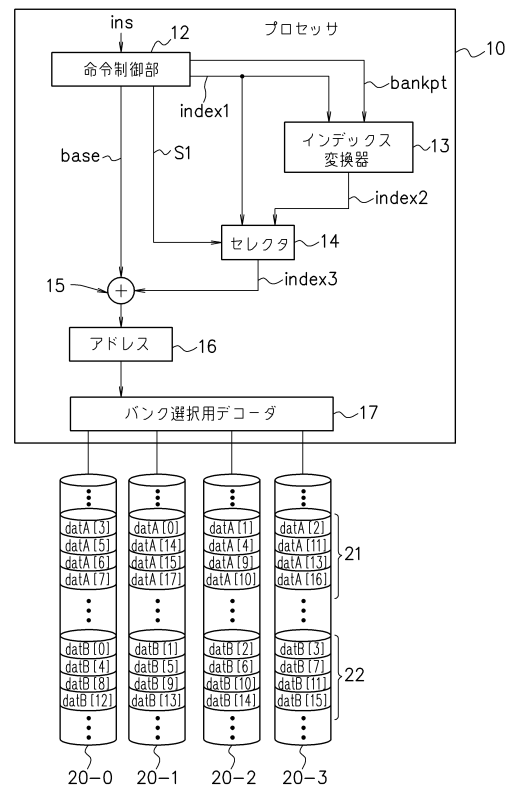
【図1】



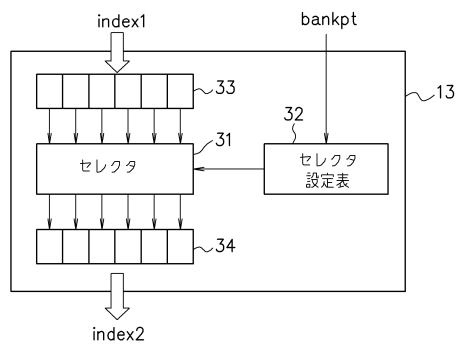
【図2】



【図3】



【図 4】



【図 5】

index	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
設定0(HW)	1	2	3	0	2	0	0	0	0	2	2	3	0	3	1	1	3	1	2	1	1	1	2	0	3	3	0	2	1	2	3	
設定1(HW)	1	2	2	0	1	0	3	1	2	3	0	1	1	2	2	3	0	3	0	3	0	3	0	3	0	3	1	0	2	1	2	3
設定2(SW)																																

【図 6】

(A)

#pragma bankPattn 3〜601

int_proposal proposal[16];〜602

int normal[16];〜603

int a=proposal[0];〜604

int b=proposal[4];〜605

int x=normal[0];〜606

int y=normal[4];〜607

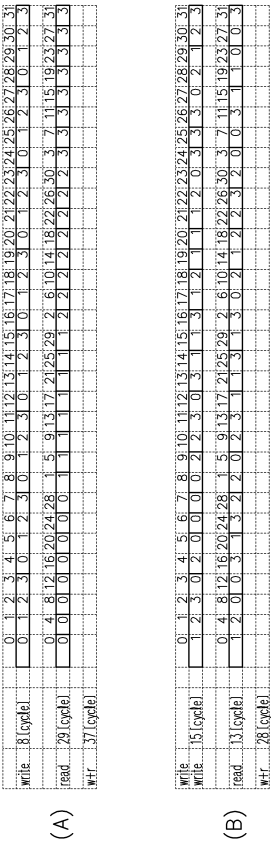
(B)

loadProposal(Register,base, index, bankPattern);

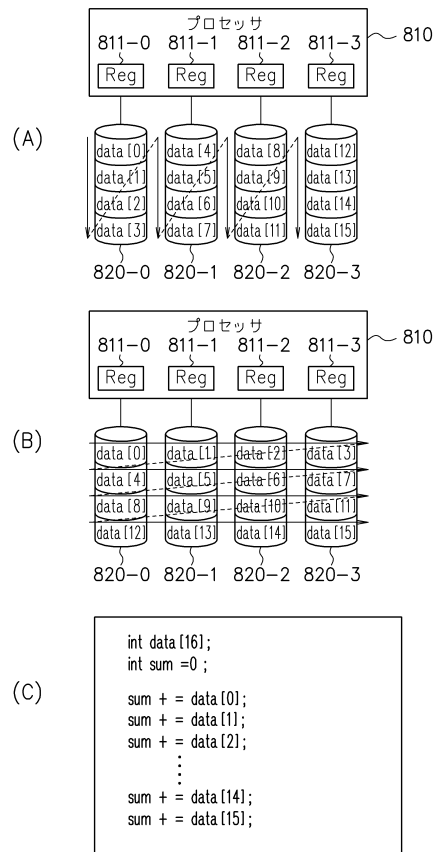
(C)

load(Register,base, index);

【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開平 0 5 - 1 4 3 3 2 6 (J P , A)
特開 2 0 0 4 - 1 5 7 6 9 5 (J P , A)
米国特許第 0 6 5 5 3 4 7 8 (U S , B 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 1 2 / 0 2
G 0 6 F 1 2 / 0 6