



(12) 发明专利

(10) 授权公告号 CN 105789204 B

(45) 授权公告日 2021.11.02

(21) 申请号 201610148642.5

(51) Int.CI.

(22) 申请日 2010.12.01

H01L 27/108 (2006.01)

(65) 同一申请的已公布的文献号

H01L 27/11 (2006.01)

申请公布号 CN 105789204 A

H01L 27/115 (2017.01)

(43) 申请公布日 2016.07.20

H01L 21/84 (2006.01)

(30) 优先权数据

H01L 27/118 (2006.01)

2009-296201 2009.12.25 JP

H01L 27/12 (2006.01)

(62) 分案原申请数据

(56) 对比文件

201080059046.0 2010.12.01

CN 1148600 C, 2004.05.05

(73) 专利权人 株式会社半导体能源研究所

KR 10-0847846 B1, 2008.07.23

地址 日本神奈川县厚木市

CN 101258607 A, 2008.09.03

(72) 发明人 山崎舜平 小山润 加藤清

CN 101310371 A, 2008.11.19

代理人 叶晓勇 姜甜

审查员 赵洋

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

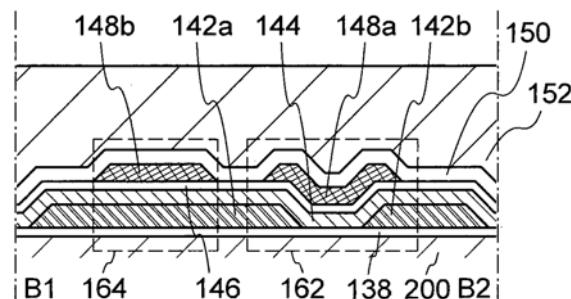
权利要求书2页 说明书27页 附图16页

(54) 发明名称

半导体装置

(57) 摘要

本发明的目的之一是提供一种具有新的结构的半导体装置,其中,在数据存储时间中即使没有电力供给也能够存储内容并且对写入次数也没有限制。该半导体装置包括:包括第一源电极以及第一漏电极、与第一源电极以及第一漏电极电连接且使用氧化物半导体材料的第一沟道形成区域、第一沟道形成区域上的第一栅极绝缘层以及第一栅极绝缘层上的第一栅电极的第一晶体管。第一晶体管的第一源电极和第一漏电极之一与电容器的一个电极彼此电连接。



1. 一种半导体装置,包括:

绝缘层;

第一晶体管,包括:

所述绝缘层上的源电极和漏电极;

氧化物半导体层,在所述源电极的顶部和侧部以及所述漏电极的顶部和侧部上,并且与所述源电极的顶部和侧部以及所述漏电极的顶部和侧部直接接触;

栅极绝缘层,在所述氧化物半导体层上并且与所述氧化物半导体层直接接触;以及

栅电极,在所述栅极绝缘层上并且与所述栅极绝缘层直接接触;

电容器,包括:

彼此面对的第一电极和第二电极,所述第一电极和所述第二电极中的一个与所述源电极和所述漏电极中的一个电接触;以及

第二晶体管,所述第二晶体管的栅电极与所述第一电极和所述第二电极中的所述一个、以及所述第一晶体管的所述源电极和所述漏电极中的所述一个电连接,

其中,所述第二晶体管的沟道形成区域使用氧化物半导体材料,

其中,所述第一晶体管的所述源电极和所述漏电极的端部为锥形形状,

并且,所述电容器的电容大于或等于所述第二晶体管的栅极电容。

2. 一种半导体装置,包括:

绝缘层;

第一晶体管,包括:

所述绝缘层上的源电极和漏电极;

氧化物半导体层,在所述源电极的顶部和侧部以及所述漏电极的顶部和侧部上,并且与所述源电极的顶部和侧部以及所述漏电极的顶部和侧部直接接触;

栅极绝缘层,在所述氧化物半导体层上并且与所述氧化物半导体层直接接触;以及

栅电极,在所述栅极绝缘层上并且与所述栅极绝缘层直接接触;

电容器,包括:

彼此面对的第一电极和第二电极,所述第一电极和所述第二电极中的一个是形成所述源电极和所述漏电极中的一个的导电层的延伸;以及

各自在所述第一电极和所述第二电极之间的所述氧化物半导体层和所述栅极绝缘层;以及

第二晶体管,所述第二晶体管的栅电极与所述第一电极和所述第二电极中的所述一个、以及所述第一晶体管的所述源电极和所述漏电极中的所述一个电连接,

其中,所述第二晶体管的沟道形成区域使用氧化物半导体材料,

其中,所述第一晶体管的所述源电极和所述漏电极的端部为锥形形状,

并且,所述电容器的电容大于或等于所述第二晶体管的栅极电容。

3. 根据权利要求1或2所述的半导体装置,

其中,沿所述第一晶体管的沟道长度方向取得的所述半导体装置的截面图示出所述氧化物半导体层在未包括于所述源电极和所述漏电极之间的区域中与所述绝缘层直接接触。

4. 根据权利要求1或2所述的半导体装置,

其中,沿所述第一晶体管的沟道长度方向取得的所述半导体装置的截面图示出所述氧

化物半导体层在所述源电极和所述漏电极中的一个的两个相对侧边缘上并且与所述两个相对侧边缘接触。

5. 根据权利要求1或2所述的半导体装置，
其中，所述源电极的内侧边缘面对所述漏电极的内侧边缘，以及
其中，所述氧化物半导体层延伸超过所述源电极和所述漏电极中的一个的外侧边缘，
所述外侧边缘与所述源电极和所述漏电极中的所述一个的所述内侧边缘相对。
6. 根据权利要求1或2所述的半导体装置，
其中，所述氧化物半导体层是本征或基本上本征的氧化物半导体层。
7. 根据权利要求1或2所述的半导体装置，
其中，所述氧化物半导体层包括铟、镓和锌。

半导体装置

技术领域

[0001] 所公开的发明涉及一种使用半导体元件的半导体装置及该半导体装置的制造方法。

背景技术

[0002] 使用半导体元件的存储装置可以粗分为两类:当停止电力供给时丢失存储数据的易失性存储装置和即使没有电力供给也存储存储数据的非易失性存储装置。

[0003] 易失性存储装置的典型例子是DRAM(动态随机存取存储器)。DRAM以以下这种方式来存储数据:选择存储元件中的晶体管并将电荷存储在电容器中。

[0004] 根据上述原理,当从DRAM读取数据时电容器的电荷丢失;因此无论何时读出数据时另一写入操作是必要的。另外,因为在存储元件中包括的晶体管具有漏电流,并且即使晶体管未被选择电荷也流出或流入电容器,使得数据存储时间较短。为此,按预定间隔进行另一写入操作(刷新操作)是必要的,并且难以充分降低功耗。另外,因为当停止电力供给时存储数据丢失,所以需要使用磁性材料或光学材料的附加存储装置以长期间存储数据。

[0005] 易失性存储装置的另一例子是SRAM(静态随机存取存储器)。SRAM通过使用如触发器等电路来存储存储数据,并且因此不需要刷新操作。这意味着SRAM优于DRAM。但是,因为使用如触发器等电路,所以增加了每存储容量的成本。另外,如在DRAM中一样,当停止电力供给时SRAM中的存储数据丢失。

[0006] 非易失性存储装置的典型例子是闪速存储器。闪速存储器在晶体管中的栅电极和沟道形成区域之间包括浮动栅极,并且通过在该浮动栅极中保持电荷来存储数据。因此,闪速存储器具有数据存储时间极长(几乎永久)以及不需要易失性存储装置中必要的刷新操作的优点(例如,参照专利文献1)。

[0007] 但是,由于当进行写入时流动的隧道电流会引起存储元件中包括的栅极绝缘层的劣化,使得在预定数量的写入操作之后存储元件停止其功能。为了降低这个问题的不利影响,例如,采用使存储元件的写入操作次数均衡的方法,但是,为了实现该方法,另外需要复杂的外围电路。另外,即使采用这种方法,也不能从根本上解决寿命的问题。就是说,闪速存储器不合适于频繁重写数据的应用。

[0008] 另外,为了在浮动栅极中保持电荷或者去除电荷,高电压是必要的,并且用于生成高电压的电路也是必要的。再者,保持或去除电荷花费较长时间并且难以更高速执行写入和擦除。

[0009] 【引用】

[0010] 【专利文献】

[0011] 【专利文献1】日本专利申请公开 昭57-105889号公报。

发明内容

[0012] 鉴于上述问题,所公开的发明的一个实施例的目的是提供一种即使在数据存储时

间中没有电力供给也能够存储数据并且对写入次数也没有限制的半导体装置。

[0013] 在所公开的发明中,使用高纯度化了的氧化物半导体来形成半导体装置。因为使用高纯度化了的氧化物半导体来形成的晶体管具有极小漏电流;因此可以长时间存储数据。

[0014] 根据所公开的发明的一个实施例,一种半导体装置,包括:包括第一源电极以及第一漏电极、与第一源电极以及第一漏电极电连接且使用氧化物半导体材料的第一沟道形成区域、第一沟道形成区域上的第一栅极绝缘层以及第一栅极绝缘层上的第一栅电极的第一晶体管;以及电容元件。第一晶体管的第一源电极和第一漏电极之一与电容元件的一个电极彼此电连接。

[0015] 另外,在上述结构中,电容器可以包括:第一源电极或第一漏电极、第一栅极绝缘层以及第一栅极绝缘层上的电容器用电极。

[0016] 在上述结构中,半导体装置也可以包括:包括第二源电极以及第二漏电极、与第二源电极以及第二漏电极电连接且使用氧化物半导体材料的第二沟道形成区域、第二沟道形成区域上的第二栅极绝缘层、以及第二栅极绝缘层上的第二栅电极的第二晶体管;源极线;位线;字线;第一信号线;以及第二信号线。第二栅电极、第一源电极和第一漏电极之一以及电容器的一个电极可以彼此电连接。源极线与第二源电极可以彼此电连接。位线与第二漏电极可以彼此电连接。第一信号线与第一源电极和第一漏电极中的另一个可以彼此电连接。第二信号线与第一栅电极可以彼此电连接。字线与电容器的另一电极可以彼此电连接。

[0017] 注意,在本说明书等中,如“上”或“下”的术语不一定意味着构成要素“直接放置在另一构成要素之上”或“直接放置在另一构成要素之下”。例如,表达“栅极绝缘层上的栅电极”不排除在栅极绝缘层和栅电极之间放置构成要素的情况。另外,如“上”或“下”的术语只是为了便于说明而使用的,并且除非另外指定,其可以包括构成要素的位置关系倒转的情况。

[0018] 另外,在本说明书等中,如“电极”或“布线”的术语不限制构成要素的功能。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,术语“电极”或“布线”可以包括以集成方式形成多个“电极”或“布线”的情况等。

[0019] 例如,在使用相反极性的晶体管的情况或电路操作中电流方向变化的情况下,“源极”和“漏极”的功能有时互相调换。因此,在本说明书等中,术语“源极”和“漏极”可以互相调换。

[0020] 注意,在本说明书等中,术语“电连接”包括通过“具有任何电功能的对象”连接构成要素的情况。这里,只要可以在通过“具有任何电功能的对象”连接的构成要素间接收和传送电信号,就对该对象没有特别的限制。

[0021] “具有任何电功能的对象”的例子有开关元件,如晶体管、电阻器、电感器、电容器和具有各种功能的元件以及电极和布线。

[0022] 本发明的一个实施例提供一种包括使用氧化物半导体的晶体管的半导体装置。因为使用氧化物半导体的晶体管的截止电流极低,所以通过使用该晶体管而可以在极长时间内存储数据。就是说,因为刷新操作变得不必要,或者,刷新操作的频度可以极低,所以可以充分降低功耗。另外,即使没有电力供给,也可以在长期间内存储数据。

[0023] 另外,根据所公开的发明的半导体装置不需要高电压用于数据的写入,而且也没

有元件劣化的问题。例如,不像常规的非易失性存储器的情况需要的那样,不需要执行对浮动栅注入电子或从浮动栅抽出电子,所以不会发生栅极绝缘层的劣化。就是说,根据本发明的一个实施例的半导体装置对写入次数没有限制,这是常规的非易失性存储器所存在的问题,并且显著提高可靠性。再者,因为是根据晶体管的导通或截止而进行数据的写入,由此可以容易实现高速操作。另外,不需要用于擦除数据的操作,其是另一个优点。

[0024] 如上所述,根据所公开的发明的一个实施例,可以提供一种在没有电力供给是可以存储存储数据且对写入次数没有限制的半导体装置。

附图说明

- [0025] 在附图中:
- [0026] 图1A至图1D是各示出半导体装置的截面图;
- [0027] 图2A1、图2A2和图2B是半导体装置的电路图;
- [0028] 图3A至图3E是有关半导体装置的制造步骤的截面图;
- [0029] 图4A至图4E是有关半导体装置的制造步骤的截面图;
- [0030] 图5A至图5E是有关半导体装置的制造步骤的截面图;
- [0031] 图6A至图6E是有关半导体装置的制造步骤的截面图;
- [0032] 图7A和图7B是半导体装置的电路图;
- [0033] 图8A至图8C是半导体装置的电路图;
- [0034] 图9A和图9B是半导体装置的电路图;
- [0035] 图10A至图10F是各示出包括半导体装置的电子设备的图。
- [0036] 图11是示出记忆窗口(Memory Window)的宽度的考察结果的图。

具体实施方式

[0037] 下面,将参照附图对本发明的实施例的例子进行描述。注意,本发明不局限于以下说明,并且本领域技术人员容易理解,在不脱离本发明的精神及范围的情况下可以用各种各样的方式来修改本文公开的模式及细节。因此,本发明不应该被解释为限于本文包括的实施例的内容。

[0038] 注意,为了容易理解,在一些情况中未准确表示附图等中所示的每个结构的位置、大小、范围等。因此,所公开的发明不一定限于附图等中所公开的位置、大小、范围等。

[0039] 本说明书等中,“第一”、“第二”以及“第三”等的序数词是为了避免构成要素之间的混淆而使用的,而术语不意味着构成要素数量的限制。

[0040] (实施例1)

[0041] 在本实施例中,参照图1A至图1D和图2A1、图2A2以及图2B对根据所公开的发明的一个实施例的半导体装置的结构及制造方法进行描述。注意,在一些电路图中,为了指示使用氧化物半导体的晶体管,在晶体管旁边写上“OS”。

[0042] 图1A至图1D各示出半导体装置的结构的例子。图1A至图1D各示出半导体装置的截面。图1A至图1D中所示的半导体装置各包括使用氧化物半导体的晶体管162和电容器164。

[0043] 虽然这里将所有晶体管描述为n沟道型晶体管,但是不必说可以使用p沟道型晶体管。因为所公开的发明的技术本质在于:在晶体管162中使用氧化物半导体,使得可以存储

数据,所以将半导体装置的具体结构局限于这里描述的结构是不必要的。

[0044] 图1A中的晶体管162包括:隔着绝缘层138而在衬底200上的源电极或漏电极142a以及源电极或漏电极142b;与源电极或漏电极142a以及源电极或漏电极142b电连接的氧化物半导体层144;覆盖源电极或漏电极142a、源电极或漏电极142b和氧化物半导体层144的栅极绝缘层146;在栅极绝缘层146上设置为重叠于氧化物半导体层144的栅电极148a。

[0045] 在此,氧化物半导体层144优选是通过从其充分地去除氢等的杂质,或者通过向其供给充分量的氧而被高纯度化的氧化物半导体层。具体地说,氧化物半导体层144的氢浓度是 5×10^{19} 个原子/ cm^3 或更低,优选是 5×10^{18} 个原子/ cm^3 或更低,更优选是 5×10^{17} 个原子/ cm^3 或更低。注意,上述氧化物半导体层144中的氢浓度是通过二次离子质谱分析技术(SIMS:Secondary Ion Mass Spectrometry)来测量的。在其中氢浓度被充分降低而被高纯度化,并通过供给充分量的氧来降低起因于氧缺乏的能隙中的缺陷能级的氧化物半导体层144中,载流子浓度为低于 $1 \times 10^{12}/\text{cm}^3$,优选为低于 $1 \times 10^{11}/\text{cm}^3$,更优选为低于 $1.45 \times 10^{10}/\text{cm}^3$ 。例如,室温下的截止电流密度(通过将截止电流除以晶体管的沟道宽度获得的值)为 $10\text{zA}/\mu\text{m}$ 至 $100\text{zA}/\mu\text{m}$ (1zA (zeptoampere)是 $1 \times 10^{-21}\text{A}$)左右。通过使用使得成为i型(本征)氧化物半导体或基本上i型氧化物半导体的这种氧化物半导体,可以获得截止电流特性极为优良的晶体管162。

[0046] 注意,因为在图1A中的晶体管162中,不将氧化物半导体层144图案化为岛状,所以防止图案化的蚀刻污染氧化物半导体层144。

[0047] 电容器164包括源电极或漏电极142a、氧化物半导体层144、栅极绝缘层146和电极148b。换言之,源电极或漏电极142a用作电容器164的一个电极,并且电极148b用作电容器164的另一个电极。

[0048] 注意,在图1A中所示的电容器164中,通过层叠氧化物半导体层144和栅极绝缘层146,可以充分确保源电极或漏电极142a和电极148b之间的绝缘性。

[0049] 注意,在晶体管162和电容器164中,优选将源电极或漏电极142a、源电极或漏电极142b、以及绝缘层143的端部形成为锥形形状。在此,锥形角例如为大于或等于 30° 且小于或等于 60° 。注意,“锥形角”是指当从垂直于截面(与衬底的表面垂直的面)的方向观察具有锥形形状的层(例如,源电极或漏电极142a)时,该层的侧面和底面所形成的倾斜角。当将源电极或漏电极142a以及源电极或漏电极142b的端部形成为锥形形状时,可以提高氧化物半导体层144的覆盖性,并可以防止断开的缘故。

[0050] 另外,在晶体管162和电容元件164上设置有层间绝缘层150,在层间绝缘层150上设置有层间绝缘层152。

[0051] 图1B中所示的晶体管和电容器是图1A中所示的晶体管和电容器的修改例子。

[0052] 图1B中所示的结构和图1A中所示的结构的不同点在于前者包括形成具有岛状的氧化物半导体层。换言之,在图1A中所示的结构中,氧化物半导体层144完全覆盖绝缘层138、源电极或漏电极142a以及源电极或漏电极142b;另一方面,在图1B中所示的结构中,岛状的氧化物半导体层144部分地覆盖绝缘层138、源电极或漏电极142a以及源电极或漏电极142b。在此,优选将岛状的氧化物半导体层144的端部形成为锥形形状。例如,锥形角优选是大于或等于 30° 且小于或等于 60° 。

[0053] 另外,在电容器164中,通过层叠氧化物半导体层144和栅极绝缘层146,可以充分

确保源电极或漏电极142a和电极148b之间的绝缘性。

[0054] 图1C中所示的晶体管和电容器是图1A中所示的晶体管和电容器的其它修改例子。

[0055] 图1C中所示的结构和图1A中所示的结构的不同点在于：前者包括在源电极或漏电极142a和源电极或漏电极142b上形成的绝缘层143。另外，形成氧化物半导体层144以便覆盖绝缘层143、源电极或漏电极142a以及源电极或漏电极142b。另外，在图1C中所示的结构中，氧化物半导体层144被设置为通过在绝缘层143中形成的开口与源电极或漏电极142a接触。

[0056] 当设置绝缘层143时，降低在栅电极与源电极以及栅电极与漏电极之间形成的电容，并且可以实现晶体管的工作的高速操作。

[0057] 图1D中所示的晶体管和电容器与图1B和图1C中所示的晶体管和电容器部分不同。

[0058] 图1D中所示的结构和图1B中所示的结构的不同点在于：前者包括在源电极或漏电极142a和源电极或漏电极142b上形成的绝缘层143。另外，形成氧化物半导体层144以便覆盖绝缘层143、源电极或漏电极142a以及源电极或漏电极142b。另外，图1D中所示的结构和图1C中所示的结构的不同点在于前者包括形成具有岛状的氧化物半导体层144。通过采用这种结构，可以获得图1B中所示的结构中的效果和图1C中所示的结构中的效果二者。

[0059] 〈半导体装置的电路配置及操作〉

[0060] 接着，对上述半导体装置的电路配置的例子及其操作进行描述。图2A1、图2A2以及图2B示出使用图1A、图1B、图1C或图1D中所示的半导体装置的电路配置的例子。

[0061] 在图2A1中所示的半导体装置中，第一布线(也称为源极线)与晶体管160的源电极彼此电连接，以及第二布线(也称为位线)与晶体管160的漏电极彼此电连接。另外，第三布线(也称为第一信号线)与晶体管162的源电极和漏电极之一彼此电连接，以及第四布线(也称第二信号线)与晶体管162的栅电极彼此电连接。晶体管160的栅电极和晶体管162的源电极和漏电极中的另一个与电容器164的一个电极彼此电连接。另外，第五布线(也称为字线)与电容器164的另一电极彼此电连接。

[0062] 在此，将使用上述氧化物半导体的晶体管用作晶体管160和晶体管162。使用上述氧化物半导体的晶体管具有截止电流极低的特征。因此，当使晶体管162截止时，可以极长时间地保持晶体管160的栅电极的电位。提供电容元件164，有助于保持施加到晶体管160的栅电极的电荷，以及存储数据的读取。注意，使用氧化物半导体的晶体管162的沟道长度(L)是大于或等于10nm且小于或等于1000nm，并且因此消耗小量的功率，并以极高速度操作。

[0063] 在图2A1中所示的半导体装置利用可以保持晶体管160的栅电极的电位的特征，由此可以如下所示那样执行数据的写入、保持以及读取。

[0064] 首先，将对数据的写入和存储进行描述。首先，将第四布线的电位设定为允许晶体管162成为导通的电位，使晶体管162成为导通。由此，对晶体管160的栅电极和电容器164供给第三布线的电位。也就是说，对晶体管160的栅电极施加预定的电荷(写入)。在此，将施加供给电位电平的电荷或供给不同电位电平的电荷(以下称为低电平电荷和高电平电荷)。然后，将第四布线的电位设定为允许晶体管162成为截止的电位，使晶体管162成为截止。因此，保持(存储)对晶体管160的栅电极施加的电荷。

[0065] 因为晶体管162的截止电流极低，所以晶体管160的栅电极的电荷被长时间地保持。

[0066] 接着,将对数据的读取进行描述。通过对第一布线供给预定的电位(恒定电位)对第五布线施加适当的电位(读取电位)时,根据保持在晶体管160的栅电极中的电荷量,第二布线的电位变化。这是因为一般而言,在晶体管160为n沟道型的情况下,对晶体管160的栅电极施加高电平电荷情况中的外观上的阈值电压 V_{th_H} 低于对晶体管160的栅电极施加低电平电荷情况中的外观上的阈值 V_{th_L} 。在此,外观上的阈值电压是指为了使晶体管160成为导通所需要的第五布线的电位。从而,将第五布线的电位设定为 V_{th_H} 和 V_{th_L} 的中间电位 V_0 ,由此可以确定对晶体管160的栅电极施加的电荷。例如,在写入中施加高电平电荷的情况下,当第五布线的电位设定为 $V_0 (> V_{th_H})$ 时,晶体管160成为导通。在写入中施加低电平电荷的情况下,即使第五布线的电位设定为 $V_0 (< V_{th_L})$,晶体管160也一直处于截止状态。因此,通过第二布线的电位可以读取存储数据。

[0067] 注意,在将存储单元配置为阵列状而使用的情况下,只读取所希望的存储单元的数据是必要的。因此,为了读取预定的存储单元的数据,且不读取其它存储单元的数据,在存储单元之间将晶体管160并联连接的情况下,可对不读取其数据的存储单元的第五布线供给不管栅电极的状态怎么样都允许晶体管160成为截止的电位,也就是低于 V_{th_H} 的电位。在存储单元之间将晶体管160串联连接的情况下,可对第五布线供给不管栅电极的状态怎么样都允许晶体管160成为导通的电位,也就是高于 V_{th_L} 的电位。

[0068] 接着,将对数据的改写进行描述。数据的改写与上述数据的写入和存储类似地执行。也就是说,将第四布线的电位设定为允许晶体管162成为导通的电位,而使晶体管162成为导通。由此,对晶体管160的栅电极和电容器164供给第三布线的电位(有关新数据的电位)。然后,将第四布线的电位设定为允许晶体管162成为截止的电位,使晶体管162成为截止。相应地,对晶体管160的栅电极施加有关新数据的电荷。

[0069] 在根据所公开的发明的半导体装置中,通过上述数据的另一写入,可以直接改写数据。因此,不需要对于闪速存储器等必要的擦除操作,并且可以抑制起因于擦除操作的操作速度的降低。换言之,可以实现半导体装置的高速操作。

[0070] 注意,将晶体管162的源电极或漏电极与晶体管160的栅电极电连接,由此该源电极或漏电极具有与用于非易失性存储元件的浮动栅型晶体管的浮动栅类似的效果。由此,在一些情况中将附图中的晶体管162的源电极或漏电极与晶体管160的栅电极彼此电连接的部分称为浮动栅部FG。当晶体管162处于截止时,可以认为该浮动栅部FG被埋设在绝缘体中,并且因此在浮动栅部FG中保持有电荷。使用氧化物半导体的晶体管162的截止电流的量小于或等于使用硅等而形成的晶体管的截止电流的量的十万分之一;因此可以不考虑由于晶体管162的漏电流而在浮动栅部FG中累积的电荷的丢失。也就是说,通过使用氧化物半导体的晶体管162,可以实现非易失性存储装置。

[0071] 例如,当室温下的晶体管162的截止电流密度大约为 10zA (1zA (zeptoampere)等于 $1 \times 10^{-21}\text{A}$),并且电容器164的电容值大约为 1pF 时,至少可以存储数据 10^6 秒或更久。不必说存储时间取决于晶体管特性和电容值。

[0072] 另外,在此情况下不存在在常规的浮动栅型晶体管中被指出的栅极绝缘膜(隧道绝缘膜)的劣化的问题。也就是说,可以解决以往被视为问题的由于将电子注入到浮动栅而导致的栅极绝缘膜的劣化。这意味着在原理上不存在写入次数的限制。另外,在常规的浮动栅型晶体管中写入或擦除数据所需要的高电压是不必要的。

[0073] 可以用图2A2中所示的电路结构代替图2A1中所示的半导体装置的电路结构,其中,半导体装置中的晶体管等的构成要素包括电阻器和电容器。换言之,可以认为在图2A2中,晶体管160和电容器164各包括电阻器和电容器。R1和C1分别标记电容器164的电阻值和电容值。电阻值R1相当于取决于电容器164中包括的绝缘层的电阻值。R2和C2分别标记晶体管160的电阻值和电容值。电阻值R2相当于取决于在晶体管160处于导通时晶体管160中包括的栅极绝缘层的电阻值。电容值C2相当于所谓的栅极电容(在栅电极和源电极以及在栅电极和漏电极之间形成的电容)值。注意,电阻值R2仅标记晶体管160的栅电极与沟道形成区域之间的电阻值,并且为了明确这一点,通过虚线来表示连接的一部分。

[0074] 在晶体管162处于截止时源电极和漏电极之间的电阻值(也称为有效电阻)为ROS的情况下,当R1和R2满足 $R1 \geq ROS$ (R1为ROS以上)、 $R2 \geq ROS$ (R2为ROS以上)时,主要通过晶体管162的截止电流来确定电荷的保持时间(也可以称为数据的存储时间)。

[0075] 另一方面,当上述关系不满足时,即使晶体管162的截止电流充分低,也难以充分确保保持期间。这是因为在晶体管162之外部分生成的漏电流的量是大的。由此,可以说本实施方式中所公开的半导体装置希望满足上述关系。

[0076] 希望C1和C2满足 $C1 \geq C2$ (C1为C2以上)。如果C1是大的,当由第五布线控制浮动栅部FG的电位时(例如当进行读取时),可以使得第五布线的电位的变化是小的。

[0077] 当满足上述关系时,可以实现更优选的半导体装置。注意,R1和R2由晶体管160或晶体管162的栅极绝缘层来控制。C1和C2类似地被控制。因此,希望适当地设定栅极绝缘层的材料或厚度等,使得满足上述关系。

[0078] 图2B中所示的半导体装置是具有不设置图2A1中示出的晶体管160的结构的半导体装置。在图2B中所示的半导体装置中,第一布线(也称为第一信号线)与晶体管162的源电极和漏电极之一彼此电连接。第二布线(也称为第二信号线)与晶体管162的栅电极彼此电连接。再者,晶体管162的源电极和漏电极中的另一个与电容器164的一个电极彼此电连接。第三布线(也称为电容线)与电容器164的另一电极彼此电连接。

[0079] 在此,将使用上述氧化物半导体的晶体管用作晶体管162。使用上述氧化物半导体的晶体管具有截止电流极低的特征。因此,当晶体管162成为截止时,可以极长时间地保持对电容器164供给的电位。注意,使用氧化物半导体的晶体管162的沟道长度(L)为大于或等于10nm且小于或等于1000nm,并且因此消耗小量的功率,并以极高速操作。

[0080] 在图2B中所示的半导体装置利用可以保持对电容器164供给的电位的特征,由此可以如下所示那样进行数据的写入、存储、读取。

[0081] 首先,将对数据的写入和存储进行描述。在此,为了简单起见,固定第三布线的电位。首先,将第二布线的电位设定为允许晶体管162成为导通的电位,使晶体管162成为导通。由此,对电容器164的一个电极供给第一布线的电位。也就是说,对电容器164施加预定的电荷(写入)。然后,将第二布线的电位设定为允许晶体管162成为截止的电位,使晶体管162成为截止。由此保持对电容器164施加的电荷(存储)。如上述,晶体管162具有极低的截止电流,并且因此可以长时间地保持电荷。

[0082] 接着,将对数据的读取进行描述。通过在对第一布线供给预定的电位(恒定电位)时,将第二布线的电位设定为允许晶体管162成为导通的电位,根据保持在电容器164中的电荷量,第一布线的电位变化。因此,通过第一布线的电位,可以读取所存储的数据。

[0083] 由于在读取数据的情况下电容器164的电荷丢失,所以要注意执行另一写入。

[0084] 接着,将对数据的改写进行描述。数据的改写与数据的写入和保持类似地执行。也就是说,将第二布线的电位设定为允许晶体管162成为导通的电位,使晶体管162成为导通。由此,对电容器164的一个电极供给第一布线的电位(有关新数据的电位)。然后,通过将第二布线的电位设定为允许晶体管162成为截止的电位,使晶体管162成为截止。由此对电容器164施加有关新数据的电荷。

[0085] 根据所公开的发明的一个实施例的半导体装置中,通过上述数据的另一写入,可以直接改写数据。由此,可以实现半导体装置的高速操作。

[0086] 注意,上述描述中,使用以电子为多数载流子的n沟道型晶体管。但是不必说可以使用以空穴为多数载流子的p型晶体管代替n型晶体管。

[0087] (实施例2)

[0088] 在本实施例中,将参照图3A至图3E对使用氧化物半导体的半导体装置的制造方法,具体地说,对晶体管162的制造方法进行描述。

[0089] 首先,在衬底200上形成绝缘层138。然后,在绝缘层138上形成导电层,并对该导电层进行选择性的蚀刻使得形成源电极或漏电极142a及源电极或漏电极142b(参照图3A)。

[0090] 作为衬底200,例如可以使用玻璃衬底。备选地,作为衬底200,除了玻璃衬底之外,衬底200还可以使用:使用如陶瓷衬底、石英衬底、蓝宝石衬底等绝缘体形成的绝缘衬底;使用硅等半导体材料形成的半导体衬底;使用金属或不锈钢等导电体形成的导电衬底;以及以绝缘材料覆盖其表面的这些衬底中的任何衬底等。另外,虽然塑料等具有挠性的衬底一般趋于具有低温度上限,但是只要能够耐受后面的制造步骤中的处理温度,则也可以将其用作衬底200。

[0091] 绝缘层138用作基底,并且可以通过PVD法或CVD法等形成。绝缘层138可以使用含有如氧化硅、氧氮化硅、氮化硅、氧化铪、氧化铝、氧化钽等无机绝缘材料的材料来形成。注意,优选绝缘层138包含尽可能少的氢或水。此外,还可以采用不设置绝缘层138的结构。

[0092] 可以通过如溅射法等的PVD法或如等离子体CVD法等的CVD法来形成导电层。作为导电层的材料,可以使用选自铝、铬、铜、钽、钛、钼及钨中的元素;包含这些元素中的任何元素作为成分的合金等。此外,还可以使用选自锰、镁、锆和铍中的一种或多种材料。备选地,还可以使用铝与选自钛、钽、钨、钼、铬、钕、钪中的一种或多种元素组合的材料。

[0093] 导电层可以具有单层结构或包括两层以上的分层结构。例如导电层可以具有:钛膜或氮化钛膜的单层结构;包含硅的铝膜的单层结构;在铝膜上层叠钛膜的双层结构;在氮化钛膜上层叠钛膜的双层结构;或以钛膜、铝膜及钛膜这个顺序层叠的三层结构。注意,在导电层具有钛膜或氮化钛膜的单层结构时,具有易于将导电层处理为具有锥形形状的源电极或漏电极142a及源电极或漏电极142b的优点。

[0094] 备选地,导电层还可以使用导电金属氧化物来形成。作为导电金属氧化物可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟氧化锡合金($In_2O_3-SnO_2$,在一些情况下简称为ITO)、氧化铟氧化锌合金(In_2O_3-ZnO)或者包括硅或氧化硅的这些金属氧化物中的任何。

[0095] 优选以使得源电极或漏电极142a及源电极或漏电极142b的端部成为锥形的方式对导电层进行蚀刻。这里,锥形角例如优选为大于或等于30°且小于或等于60°。注意,“锥形

角”是指当从垂直于具有锥形形状的层的截面(垂直于衬底表面的面)方向观察该具有锥形形状的层(例如,源电极或漏电极142a)时,该层的侧面与底面之间的倾斜角。通过以源电极或漏电极142a及源电极或漏电极142b的端部成为锥形的方式进行蚀刻;相应地,可以提高后面形成的栅极绝缘层146的覆盖性,并防止断开。

[0096] 晶体管的沟道长度(L)由源电极或漏电极142a的下端部与源电极或漏电极142b的下端部之间的距离确定。注意,在晶体管的沟道长度(L)是25nm或更小的情况下,优选用波长不到几纳米至几十纳米的极紫外线(Extreme Ultraviolet)来执行用来形成掩模的曝光。用极紫外线的曝光的分辨率高且聚焦深度大。由于这些原因,后面形成的晶体管的沟道长度(L)可以在大于或等于10nm且小于或等于1000nm(1μm)的范围内,并且电路可以以更高速度操作。再者,通过微型化可以导致半导体装置的功耗低。

[0097] 注意,还可以在源电极或漏电极142a及源电极或漏电极142b上形成绝缘层。通过设置该绝缘层,可以降低后面形成的栅电极与源电极或漏电极142a及栅电极与源电极或漏电极142b之间形成的寄生电容。

[0098] 接着,形成氧化物半导体层144以覆盖源电极或漏电极142a及源电极或漏电极142b(参照图3B)。

[0099] 可以使用如下氧化物半导体中的任何来形成氧化物半导体层144:四元金属氧化物,例如基于In-Sn-Ga-Zn-0的氧化物半导体;三元金属氧化物,例如基于In-Ga-Zn-0的氧化物半导体、基于In-Sn-Zn-0的氧化物半导体、基于In-Al-Zn-0的氧化物半导体、基于Sn-Ga-Zn-0的氧化物半导体、基于Al-Ga-Zn-0的氧化物半导体以及基于Sn-Al-Zn-0的氧化物半导体;二元金属氧化物,例如基于In-Zn-0的氧化物半导体、基于Sn-Zn-0的氧化物半导体、基于Al-Zn-0的氧化物半导体、基于Zn-Mg-0的氧化物半导体、基于Sn-Mg-0的氧化物半导体、基于In-Mg-0的氧化物半导体;一元金属氧化物,例如基于In-0的氧化物半导体、基于Sn-0的氧化物半导体以及基于Zn-0的氧化物半导体。

[0100] 尤其是基于In-Ga-Zn-0的氧化物半导体材料在无电场时具有充分高的电阻并且因此能够充分地降低截止电流。另外,场效应迁移率也高,所以基于In-Ga-Zn-0的氧化物半导体材料适合于半导体装置中使用的半导体材料。

[0101] 作为基于In-Ga-Zn-0的氧化物半导体材料的典型例子,给出表示为 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$ 且 m 不限于自然数)的氧化物半导体材料。使用M代替Ga,有表达为 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ 且 m 不限于自然数)的氧化物半导体材料。在此,M标记选自镓(Ga)、铝(Al)、铁(Fe)、镍(Ni)、锰(Mn)、钴(Co)等中的一种金属元素或多种金属元素。例如,M可以是Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co等。注意,上述组成是根据氧化物半导体可以具有的结晶结构而导出的,并且仅是例子。

[0102] 作为用于以溅射法形成氧化物半导体层144的靶材,优选用具有 $\text{In:Ga:Zn}=1:x:y$ (x 为0以上以及 y 为大于或等于0.5且小于或等于5)的组成比的靶材。例如,可以使用其组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩尔数比]的靶材等。备选地,还可以使用组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔数比]的靶材、组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩尔数比]的靶材或组成比为 $\text{In}_2\text{O}_3:\text{ZnO}=1:2$ [摩尔数比]的靶材。

[0103] 在本实施例中,通过使用基于In-Ga-Zn-0的金属氧化物靶材的溅射法形成非晶结构的氧化物半导体层144。

[0104] 优选的是,金属氧化物靶材中包含的金属氧化物具有80%以上的相对密度,优选是95%以上,更优选是99.9%以上。通过使用相对密度高的金属氧化物靶材,可以形成具有致密结构的氧化物半导体层144。

[0105] 氧化物半导体层144的形成气氛优选为稀有气体(典型为氩)气氛、氧气气氛或稀有气体(典型为氩)和氧的混合气氛。具体地说,例如,优选使用去除氢、水、羟基或氢化物等的杂质使得浓度是1ppm以下(优选为10ppb以下)的高纯度气体气氛。

[0106] 当形成氧化物半导体层144时,例如,将衬底放入保持为减压状态的处理室内,并对衬底进行加热以使衬底温度高于或等于100℃且低于550℃,优选为高于或等于200℃且低于或等于400℃。备选地,形成氧化物半导体层144时的衬底温度可以为室温。然后,边去除处理室内的水分边引入去除了氢或水等的溅射气体,由此使用上述靶材形成氧化物半导体层144。边加热衬底边形成氧化物半导体层144,使得可以减少氧化物半导体层144中包含的杂质。另外,可以减轻因溅射而带来的损伤。优选使用吸附式真空泵以便去除在处理室中的水分。例如,可以使用低温泵、离子泵或钛升华泵。另外,还可以使用设置有冷阱的涡轮泵。通过使用低温泵等进行排气,可以将氢或水等从处理室中去除,由此可以降低氧化物半导体层144中的杂质浓度。

[0107] ,例如可以在以下条件下形成氧化物半导体层144:衬底与靶材之间的距离为170mm;压力为0.4Pa;直流(DC)功率为0.5kW;以及气氛为氧(氧流量比率100%)气氛、氩(氩流量比率100%)气氛或氧和氩的混合气氛。注意,优选使用脉冲直流(DC)电源,因为可以减少膜沉积时生成的粉状物质(也称为微粒或尘屑)且厚度分布可以是均匀。氧化物半导体层144的厚度为大于或等于1nm且小于或等于50nm,优选为大于或等于1nm且小于或等于30nm,更优选为大于或等于1nm且小于或等于10nm。使用具有这种厚度的氧化物半导体层144,可以抑制由于微型化而导致的短沟道效应。注意,根据使用的氧化物半导体材料及半导体装置的用途等适当的厚度也不同;因此可以根据要使用的材料及用途来设定适当的厚度。

[0108] 注意,在通过溅射法形成氧化物半导体层144之前,优选通过引入氩气体并产生等离子体的反溅射来去除附着到表面(例如绝缘层138的表面)的材料,在该表面上形成氧化物半导体层144。这里,反溅射是指以下一种方法:通常的溅射是使离子碰撞溅射靶材,而反溅射与其相反,其通过使离子碰撞要处理的表面使得修改表面。使离子碰撞要处理的表面的方法,是在氩气氛中对表面施加高频电压使得在衬底附近生成等离子体的方法。注意,也可以使用氮气氛、氦气氛、氧气气氛等代替氩气氛。

[0109] 然后,优选对氧化物半导体层144执行热处理(第一热处理)。通过该第一热处理,可以去除氧化物半导体层144中包含的过量的氢(包括水及羟基);因此,可以改善氧化物半导体层的结构,并且可以降低能隙中的缺陷能级。例如,第一热处理的温度可以为高于或等于300℃且低于550℃,或者高于或等于400℃且低于或等于500℃。

[0110] 例如,可以用以下这种方式来执行热处理:将对象放入使用电阻发热元件等的电炉中,并在氮气氛中以450℃加热1个小时。在热处理期间,不使氧化物半导体层144暴露于大气使得可以防止水或氢的混入。

[0111] 热处理装置不限于电炉,并且还可以是通过来自被加热的气体等的介质的热传导或热辐射来加热对象的装置。例如,可以使用灯快速热退火(Lamp Rapid Thermal Anneal, LRTA)装置、气体快速热退火(Gas Rapid Thermal Anneal, GRTA)装置等的快速热退火

(Rapid Thermal Anneal, RTA) 装置。LRTA装置是通过从卤素灯、金属卤化物灯、氩弧灯、碳弧灯、高压钠灯或者高压汞灯等的灯发射的光(电磁波)辐射来加热对象的装置。GRTA装置是使用高温气体执行热处理的装置。作为气体,使用如氩等的稀有气体或氮等的即使进行热处理也不与对象产生反应的惰性气体。

[0112] 例如,作为第一热处理,可以如下执行GRTA过程。将对象放入已经被加热的惰性气体气氛中,进行几分钟的加热,并且再将对象从该惰性气体气氛中取出。GRTA过程在短时间内实现高温热处理。另外,即使温度超过对象的温度上限,也可采用GRTA方法。注意,在过程期间,还可以将惰性气体换为包含氧的气体。这是由于以下缘故:通过在包含氧的气氛中执行第一热处理,可以降低因氧缺乏而引起能隙中的缺陷能级。

[0113] 注意,作为惰性气体气氛,优选使用包含氮或稀有气体(氦、氖、氩等)为主要成分且不包含水、氢等的气氛。例如,引入热处理装置中的氮或氦、氖、氩等的稀有气体的纯度为6N(99.9999%)以上,优选为7N(99.99999%)以上(即,杂质浓度为1ppm以下,优选为0.1ppm以下)。

[0114] 总之,形成通过第一热处理减少杂质的i型(本征)或基本上i型的氧化物半导体层144,其使得具有极优越的特性的晶体管能够实现。

[0115] 上述热处理(第一热处理)可以称为脱水化处理或脱氢化处理等因为其具有去除氢或水等的效果。可以在形成氧化物半导体层之后、形成栅极绝缘层之后或形成栅电极之后执行该脱水化处理或脱氢化处理。这种脱水处理、脱氢处理可执行一次或多次。

[0116] 接着,形成接触氧化物半导体层144的栅极绝缘层146(参照图3C)。栅极绝缘层146可以通过CVD法或溅射法等形成。栅极绝缘层146优选以包含氧化硅、氮化硅、氧氮化硅、氧化铝、氧化钽、氧化铪、氧化钇、硅酸铪($\text{HfSi}_{x,y}$ ($x>0, y>0$))、添加有氮的硅酸铪($\text{HfSi}_{x,y}\text{N}_z$ ($x>0, y>0, z>0$))、添加有氮的铝酸铪($\text{HfAl}_{x,y}\text{N}_z$ ($x>0, y>0, z>0$))等的方式形成。栅极绝缘层146可以具有单层结构或叠层结构。对厚度没有特别的限制;但是在对半导体装置进行微型化的情况下,为了确保晶体管的操作厚度优选是小的。例如,在使用氧化硅的情况下,厚度可以为大于或等于1nm且小于或等于100nm,优选为大于或等于10nm且小于或等于50nm。

[0117] 如上述,当栅极绝缘层146是薄的时,存在因隧道效应等引起栅极泄漏的问题。为了解决栅极泄漏的问题,优选使用如氧化铪、氧化钽、氧化钇、硅酸铪($\text{HfSi}_{x,y}$ ($x>0, y>0$))、添加有氮的硅酸铪($\text{HfSi}_{x,y}\text{N}_z$ ($x>0, y>0, z>0$))或添加有氮的铝酸铪($\text{HfAl}_{x,y}\text{N}_z$ ($x>0, y>0, z>0$))等的高介电常数(高k)材料用于栅极绝缘层146。通过将高k材料用于栅极绝缘层146,可以确保电特性,而且厚度可以是大的,以防止栅极泄漏。注意,还可以采用包含高k材料的膜与包含氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝等中的任何材料的膜的叠层结构。

[0118] 在形成栅极绝缘层146之后,希望在惰性气体气氛或氧气气氛中执行第二热处理。热处理的温度设定为高于或等于200℃且低于或等于450℃,优选高于或等于250℃且低于或等于350℃。例如,可以在氮气氛中以250℃执行1个小时的热处理。第二热处理,可以降低晶体管的电特性中的变化。另外,在栅极绝缘层146包含氧的情况下,向氧化物半导体层144供给氧,以覆盖该氧化物半导体层144中的氧缺陷,使得可以形成i型(本征半导体)或基本上i型的氧化物半导体层。

[0119] 注意,在本实施例中,在形成栅极绝缘层146之后执行第二热处理;第二热处理的时序不限定于此。例如,也可以在形成栅电极之后执行第二热处理。备选地,可以在第一热

处理之后执行第二热处理,第一热处理可以兼作第二热处理,或第二热处理可以兼作第一热处理。

[0120] 接着,在栅极绝缘层146上在与氧化物半导体层144重叠的区域中形成栅电极148a(参照图3D)。可以通过在栅极绝缘层146上形成导电层以及然后对该导电层进行选择性的蚀刻的方式来形成栅电极148a。要成为栅电极148a的导电层可以通过如溅射法等代表的PVD法或如等离子体CVD法等的CVD法来形成。详细内容与形成源电极或漏电极142a等的情况类似;因此可以参照其描述。注意,在形成栅电极148a时,还可以形成上述实施例中的电容器164的电极148b。

[0121] 接着,在栅极绝缘层146及栅电极148a上形成层间绝缘层150及层间绝缘层152(参照图3E)。层间绝缘层150及层间绝缘层152可以通过PVD法或CVD法等形成。还可以使用包含氧化硅、氮化硅、氮化硅、氧化铪、氧化铝或氧化钽等的无机绝缘材料的材料形成层间绝缘层150及层间绝缘层152。注意,在本实施例中使用层间绝缘层150与层间绝缘层152的叠层结构,但是所公开的发明的一个实施例不限定于此例子。还可以使用单层结构或具有三层以上的叠层结构。备选地,不一定设置层间绝缘层。

[0122] 注意,希望将层间绝缘层152的表面形成得较为平坦。这是由于:例如即使在将半导体装置微型化的情况下,也可以顺利地在层间绝缘层152上形成电极或布线等。可以使用CMP(化学机械抛光)等方法进行层间绝缘层152的平坦化。

[0123] 通过上述步骤完成使用被高纯度化的氧化物半导体层144的晶体管162(参照图3E)。

[0124] 图3E中所示的晶体管162包括:氧化物半导体层144;电连接到氧化物半导体层144的源电极或漏电极142a及源电极或漏电极142b;覆盖氧化物半导体层144、源电极或漏电极142a及源电极或漏电极142b的栅极绝缘层146;栅极绝缘层146上的栅电极148a;栅极绝缘层146和栅电极148a上的层间绝缘层150;以及层间绝缘层150上的层间绝缘层152。

[0125] 在本实施例中所示的晶体管162中,由于氧化物半导体层144被高纯度化,所以氢浓度为 5×10^{19} 个原子/ cm^3 以下,优选为 5×10^{18} 个原子/ cm^3 以下,更优选为 5×10^{17} 个原子/ cm^3 以下。另外,氧化物半导体层144的载流子浓度的值与通常的硅片中的载流子浓度(大约 $1 \times 10^{14}/\text{cm}^3$)相比是充分小的(例如,低于 $1 \times 10^{12}/\text{cm}^3$,更优选为低于 $1.45 \times 10^{10}/\text{cm}^3$)。因此,截止电流充分小。例如,晶体管162在室温下的截止电流密度(通过将截止电流除以晶体管的沟道宽度获得的值)为大约 $10\text{zA}/\mu\text{m}$ 至 $100\text{zA}/\mu\text{m}$ (1zA (zeptoampere)为 $1 \times 10^{-21}\text{A}$)。

[0126] 通过使用被高纯度化并且变得本征的氧化物半导体层144,可以充分地降低晶体管的截止电流。然后,通过使用该种晶体管,可以获得能够在极长时间内存储数据的半导体装置。

[0127] 以上本实施例所描述的结构和方法等可以与其它实施例所描述的任何结构和方法等适当地组合。

[0128] (实施例3)

[0129] 在本实施例中,将参照图4A至4E对使用氧化物半导体(尤其是具有非晶结构的氧化物半导体)的晶体管的制造方法进行描述。可以使用该晶体管代替任何上述实施例中的晶体管162等。根据本实施例的晶体管的结构与根据任何上述实施例中的晶体管的结构彼此部分相同。因此,以下主要对其不同之处进行描述。下面以顶栅型晶体管为例进行描述;

但是晶体管的结构不限于顶栅型结构。

[0130] 首先,在衬底200上形成绝缘层202。然后,在绝缘层202上形成氧化物半导体层206(参照图4A)。

[0131] 例如,任何上述实施例中的衬底200可以用于本实施例中的衬底200。

[0132] 绝缘层202相当于任何上述实施例中的绝缘层138,并用作基底。详细内容可以参照任何上述实施例。注意,还可以采用不设置绝缘层202的结构。

[0133] 氧化物半导体层206相当于任何上述实施例中的氧化物半导体层144。至于可以使用的材料、制造方法等的详细内容可以参照任何上述实施例。

[0134] 在本实施例中,通过使用基于In-Ga-Zn-O的金属氧化物靶材的溅射法形成具有非晶结构的氧化物半导体层206。

[0135] 接着,通过使用掩模的蚀刻等的方法处理氧化物半导体层206,使得形成岛状的氧化物半导体层206a。

[0136] 作为氧化物半导体层206的蚀刻方法,可以采用干蚀刻或湿蚀刻。不必说,也可以组合干蚀刻和湿蚀刻而使用。根据材料适当地设定蚀刻条件(蚀刻气体、蚀刻剂、蚀刻时间、温度等),使得可以将氧化物半导体层蚀刻成所希望的形状。

[0137] 用于干蚀刻的蚀刻气体的例子有包含氯的气体(基于氯的气体,例如氯(Cl₂)、三氯化硼(BCl₃)、四氯化硅(SiCl₄)、四氯化碳(CC1₄)等)。另外,还可以使用包含氟的气体(基于氟的气体,例如四氟化碳(CF₄)、六氟化硫(SF₆)、三氟化氮(NF₃)、三氟甲烷(CHF₃)等)、溴化氢(HBr)、氧(O₂)或添加了氦(He)或氩(Ar)等的稀有气体的这些气体中的任何等。

[0138] 作为干蚀刻法,可以使用平行平板型RIE(反应性离子蚀刻)法或ICP(感应耦合等离子体)蚀刻法。为了将氧化物半导体层蚀刻成所希望的形状,适当地设定蚀刻条件(施加到线圈形电极的电功率的量、施加到对象侧的电极的电功率的量以及对象侧的电极温度等)。

[0139] 作为用于湿蚀刻的蚀刻剂,可以使用将磷酸、醋酸以及硝酸混合的溶液等。还可以使用(日本关东化学公司生产的)ITO-07N等的蚀刻剂。

[0140] 优选以其端部成为锥形形状的方式对氧化物半导体层206a进行蚀刻。这里,锥形角例如优选为大于或等于30°且小于或等于60°。注意,“锥形角”是指:当从垂直于具有锥形形状的层的截面的方向(垂直于对象的表面的平面)观察具有锥形形状的层(例如氧化物半导体层206a)时该层的侧面与底面之间形成的倾斜角。通过以氧化物半导体层206a的端部形成为锥形形状的方式进行蚀刻;相应地,可以提高后面形成的源电极或漏电极208a、源电极或漏电极208b的覆盖性,并可以防止断开。

[0141] 之后,优选对氧化物半导体层206a执行热处理(第一热处理)。通过该第一热处理,可以去除氧化物半导体层206a中包含的过量的氢(包括水及羟基);因此,可以改善氧化物半导体层的结构,并可以降低能隙中的缺陷能级。详细内容可以参照上述实施例。在如这里所描述那样地在蚀刻之后执行热处理(第一热处理)的情况下,即便在使用湿蚀刻时,也可以在蚀刻速率高的状态下执行蚀刻;由此,有可以缩短蚀刻所要求的时间的优点。

[0142] 注意,也可以对未被处理为岛状的氧化物半导体层206a的氧化物半导体层206执行第一热处理。在该情况中,在第一热处理之后,将衬底200从加热装置中取出并执行光刻步骤。

[0143] 上述热处理(第一热处理)还可以称为脱水化处理或脱氢化处理等,因为其具有去除氢或水等的效果。例如,可以在形成氧化物半导体层之后、在氧化物半导体层206a上形成源电极及漏电极之后或形成栅极绝缘层之后执行该脱水化处理或脱氢化处理。这种脱水化处理、脱氢化处理可执行一次或多次。

[0144] 接着,以接触氧化物半导体层206a的方式形成导电层。对导电层进行选择性的蚀刻以形成源电极或漏电极208a及源电极或漏电极208b(参照图4B)。至于导电层、源电极或漏电极208a及源电极或漏电极208b等的详细内容,可以参照任何上述实施例中关于导电层或源电极或漏电极等的描述。

[0145] 接着,形成接触于氧化物半导体层206a的一部分的栅极绝缘层212(参照图4C)。至于栅极绝缘层212的详细内容,可以参照任何上述实施例中的关于栅极绝缘层等的描述。

[0146] 在形成栅极绝缘层212之后,希望在惰性气体气氛或氧气气氛中执行第二热处理。至于第二热处理的详细内容也可以参照上述实施例。

[0147] 注意,在本实施例中,在形成栅极绝缘层212之后执行第二热处理;第二热处理的时序不限定于此。例如,也可以在形成栅电极之后执行第二热处理。

[0148] 接着,在栅极绝缘层212上在与氧化物半导体层206a重叠的区域中形成栅电极214(参照图4D)。可以通过在栅极绝缘层212上形成导电层以及然后对该导电层进行选择性地蚀刻的方式来形成栅电极214。至于栅电极214的详细内容,可以参照上述实施例。注意,在形成栅电极214时,还可以形成任何上述实施例中的电容器的电极。

[0149] 接着,在栅极绝缘层212及栅电极214上形成层间绝缘层216及层间绝缘层218(参照图4E)。至于其详细内容,可以参照上述实施例。注意,不一定设置层间绝缘层。

[0150] 通过上述步骤,完成使用具有非晶结构的被高纯度化的氧化物半导体层206a的晶体管250(参照图4E)。注意,根据热处理的条件,在氧化物半导体层206a中可以存在极少量的结晶成分。

[0151] 通过使用被高纯度化并变得本征的氧化物半导体层206a,可以充分地降低晶体管的截止电流。然后,通过使用该种晶体管,可以获得能够在极长时间内存储数据的半导体装置。

[0152] 注意,在本实施例中,对顶栅型的晶体管中源电极及漏电极的下部与氧化物半导体层的上部彼此接触的结构进行了描述;但是可以应用本实施例的结构的晶体管不限于此。例如,也可以将本实施例中的结构的一部分应用于顶栅型晶体管中源电极及漏电极的上部与氧化物半导体层的下部彼此接触的结构(图1A、图1B、图1C、图1D、图3A至3E中所示的结构等)。备选地,也可以将本实施例的一部分应用于:底栅型晶体管中源电极及漏电极的下部与氧化物半导体层的上部彼此接收的结构;底栅型晶体管中源电极及漏电极的上部与氧化物半导体层的下部彼此接触的结构等。也就是说,根据本实施例,可以实现包括具有非晶结构的氧化物半导体的各种各样的晶体管。

[0153] 本实施例中所描述的结构、方法等可以与其它实施例中描述的任何结构、方法等适当地组合。

[0154] (实施例4)

[0155] 在本实施例中,将参照图5A至5E来描述使用氧化物半导体的晶体管的制造方法。在本实施例中,对以下情况进行详细描述:使用包括结晶区域的第一氧化物半导体层及从

第一氧化物半导体层的结晶区域进行结晶成长的第二氧化物半导体层作为氧化物半导体层。可以使用该晶体管代替任何上述实施例中的晶体管162等。另外,根据本实施例的晶体管的结构与根据任何上述实施例中的晶体管的结构彼此部分相同。所以,下面主要对其不同之处进行描述。

[0156] 注意,当仅通过第一氧化物半导体层就能获得所需要的厚度时,第二氧化物半导体层是不必要的。另外,下面描述顶栅型的晶体管的例子;但是晶体管的结构不限于顶栅型。

[0157] 首先,在衬底300上形成绝缘层302。然后,在绝缘层302上形成第一氧化物半导体层,并通过第一热处理使至少包括第一氧化物半导体层表面的区域晶化,以形成第一氧化物半导体层304(参照图5A)。

[0158] 至于衬底300的详细内容,可以参照上述实施例。

[0159] 绝缘层302用作基底。至于绝缘层302的详细内容,也可以参照任何上述实施例。注意,可以采用不设置绝缘层302的结构。

[0160] 第一氧化物半导体层可以用与任何上述实施例中的氧化物半导体层的形成方式类似的方式形成。所以,关于第一氧化物半导体层及其制造方法的详细内容,可以参照任何上述实施例。注意,在本实施例中,优选使用易于晶化的氧化物半导体形成第一氧化物半导体层,以便有意通过第一热处理使第一氧化物半导体层晶化。作为这种氧化物半导体,例如给出ZnO等。在基于In-Ga-Zn-O的氧化物半导体中,例如Zn浓度高的易于晶化,所以为了实现上述目的,优选使用金属元素(In、Ga、Zn)中Zn所占的比率为原子占60%以上的基于In-Ga-Zn-O的氧化物半导体。第一氧化物半导体层的厚度优选设定为大于或等于1nm且小于或等于10nm。在本实施例中,作为一个例子将厚度设定为3nm。注意,由于根据要使用的氧化物半导体材料及半导体装置的用途等第一氧化物半导体层的适当厚度也不同;所以可以根据材料及用途等适当选择厚度。

[0161] 将第一热处理的温度设定为高于或等于550℃且低于或等于850℃,优选设定为高于或等于600℃且低于或等于750℃。另外,热处理的时间长度优选为大于或等于1分且小于或等于24小时。注意,根据氧化物半导体的种类等,热处理的温度及热处理的时间长度不同。

[0162] 另外,第一热处理的气氛,优选是不包含氢或水等的气氛。例如,可以采用被充分地去除了的氮气氛、氧气气氛、稀有气体(氦、氖、氩等)气氛。

[0163] 作为可以使用的热处理装置,除了电炉之外,还有通过来自被加热的气体等的介质的热传导或热辐射来加热对象的装置。例如,可以使用灯快速热退火(Lamp Rapid Thermal Anneal:LRTA)装置、气体快速热退火(Gas Rapid Thermal Anneal:GRTA)装置等的快速热退火(Rapid Thermal Anneal:RTA)装置。LRTA装置是通过从卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或者高压汞灯等的灯发射的光(电磁波)辐射来加热对象的装置。GRTA装置是使用高温气体执行热处理的装置。作为气体,使用如氩等的稀有气体或如氮等的即使进行热处理也不与对象产生反应的惰性气体。

[0164] 通过上述第一热处理,至少包括第一氧化物半导体层的表面的区域被晶化。用以下这种方式来形成该结晶区域:由第一氧化物半导体层表面向第一氧化物半导体层内部进行结晶成长。注意,该结晶区域在一些情况中包含平均厚度为大于或等于1nm且小于或等于

10nm的板状结晶。另外,该结晶区域在一些情况中包括其c轴在基本上垂直于氧化物半导体层的表面的方向上取向的结晶。这里,“基本上平行方向”是指从平行方向±10°以内的方向,“基本上垂直方向”是指从垂直方向±10度以内的方向。

[0165] 通过第一热处理,优选在形成结晶区域时去除第一氧化物半导体层中包含的氢(包括水及羟基)等。在去除氢等的情况下,优选在纯度为6N(99.9999%)以上(即,杂质浓度为1ppm以下)的氮气氛、氧气气氛、稀有气体(氦、氖、氩等)气氛中执行第一热处理。更优选使用纯度为7N(99.99999%)以上(即,杂质浓度为0.1ppm以下)的气氛。另外,还可以在H₂O浓度为20ppm以下的超干燥空气中,优选的是在H₂O浓度为1ppm以下的超干燥空气中执行第一热处理。

[0166] 另外,通过第一热处理,优选在形成结晶区域时对第一氧化物半导体层供给氧。例如,通过将氧气气氛用作热处理的气氛,可以对第一氧化物半导体层供给氧。

[0167] 在本实施例中,第一热处理如下:通过在氮气氛下以700℃进行1个小时的热处理去除氧化物半导体层中的氢等,以及然后将氮气氛换为氧气气氛,以对第一氧化物半导体层内部供给氧。注意,由于第一热处理的主要目的是形成结晶区域,所以可以另行执行用于去除氢等的处理及用于供给氧的处理。例如,可以在执行用于去除氢等的热处理或用于供给氧的处理之后执行用于晶化的热处理。

[0168] 通过这种第一热处理,可以获得氢(包括水及羟基)等被去除且被供给有氧的包括结晶区域的第一氧化物半导体层。

[0169] 接着,在至少包括表面的区域中包括结晶区域的第一氧化物半导体层304上形成第二氧化物半导体层305(参照图5B)。注意,当仅通过第一氧化物半导体层304就能获得所需要的厚度时,第二氧化物半导体层305是不必要的。在此情况下,可以省略有关第二氧化物半导体层305的步骤。

[0170] 第二氧化物半导体层305可以用与任何上述实施例中的氧化物半导体层的形成方式类似的方式来形成。所以,关于第二氧化物半导体层305及其制造方法的详细内容,可以参照任何上述实施例。注意,优选将第二氧化物半导体层305形成为厚于第一氧化物半导体层304。优选以第一氧化物半导体层304与第二氧化物半导体层305的总厚度为大于或等于1nm且小于或等于50nm,优选为大于或等于1nm且小于或等于10nm的方式形成第二氧化物半导体层305。在本实施例中,作为一个例子将厚度设定为7nm。注意,根据要使用的氧化物半导体材料及半导体装置的用途等第二氧化物半导体的适当厚度也不同;所以可以根据材料或用途等适当地确定厚度。

[0171] 优选使用其主要成分与第一氧化物半导体层304相同且晶化后的晶格常数接近第一氧化物半导体层304的那些晶格常数的材料(晶格失配度为1%以下)来形成第二氧化物半导体层305。这是由于以下缘故:当使用这样的材料时,在第二氧化物半导体层305的晶化中,易于进行使用第一氧化物半导体层304的结晶区域为种子的结晶成长。再者,在使用包含相同主要成分的材料的情况下,也可以获得良好界面性质或电特性。

[0172] 注意,当能够通过晶化获得所希望的膜质时,也可以使用包含不同主要成分的材料来形成第二氧化物半导体层305。

[0173] 接着,对第二氧化物半导体层305执行第二热处理,来导致使用第一氧化物半导体层304的结晶区域为种子的结晶成长以形成第二氧化物半导体层306(参照图5C)。在不形成

第二氧化物半导体层305的情况下可以省略该步骤。

[0174] 将第二热处理的温度设定为高于或等于550℃且低于或等于850℃, 优选为高于或等于600℃且低于或等于750℃。第二热处理的时间长度是大于或等于1分且小于或等于100小时, 优选为大于或等于5小时且小于或等于20小时, 典型的为10小时。注意, 在第二热处理中, 也优选在热处理气氛中不包含氢或水等。

[0175] 至于气氛的详细说明及热处理的效果与第一热处理的那些类似。另外, 可以使用的热处理装置也与第一热处理中的装置类似。例如, 在增加第二热处理中的温度时将炉的内部设定为氮气氛, 而在执行冷却时将炉的内部设定为氧气气氛, 由此可以在氮气氛中去除氢等并可以在氧气气氛中进行氧的供给。

[0176] 通过执行上述那样的第二热处理, 可以使结晶成长由形成于第一氧化物半导体层304中的结晶区域一直延伸至第二氧化物半导体层305整体, 从而可以形成第二氧化物半导体层306。另外, 可以形成去除了氢(包括水及羟基)等且被供给氧的第二氧化物半导体层306。此外, 通过第二热处理, 可以改进第一氧化物半导体层304的结晶区域的取向。

[0177] 在将基于In-Ga-Zn-O的氧化物半导体材料用于第二氧化物半导体层306的情况下, 第二氧化物半导体层306可以包括以 $\text{InGaO}_3(\text{ZnO})_m$ (m不限于自然数)表示的结晶、以 $\text{In}_2\text{Ga}_2\text{ZnO}_7(\text{In:Ga:Zn:O}=2:2:1:7$ [原子比])表示的结晶等。通过第二热处理, 将这种结晶以其c轴处于基本上垂直于第二氧化物半导体层306的表面的方向的方式而取向。

[0178] 在此, 上述结晶具有与a轴(a-axis)以及b轴(b-axis)平行的层的叠层结构。另外, 每个层包含In、Ga或Zn。具体地说, 上述结晶具有将包含In的层、不包含In的层(含有Ga或Zn的层)在c轴方向上层叠的结构。

[0179] 在基于In-Ga-Zn-O的氧化物半导体结晶中, 包含In的层在面内(in-plane)方向, 即与a轴以及b轴平行的方向的导电性是良好的。这是因为以下事实: 在基于In-Ga-Zn-O的氧化物半导体结晶中, 导电性主要由In控制, 一个In原子的5s轨道与相邻In原子的5s轨道重叠, 从而形成载流子路径(carrier path)等。

[0180] 在第一氧化物半导体层304在第一氧化物半导体层304与绝缘层302的界面附近包括非晶体区域的情况下, 第二热处理在一些情况中可使得结晶成长从形成在第一氧化物半导体层304的表面上的结晶区域向第一氧化物半导体层304的底面进展, 并可使该非晶体区域晶化。注意, 根据形成绝缘层302的材料、热处理的条件等, 该非晶体区域也可残留。

[0181] 在使用包含相同主要成分的氧化物半导体材料来形成第一氧化物半导体层304和第二氧化物半导体层305的情况下, 如图5C中所示那样, 在一些情况中第一氧化物半导体层304和第二氧化物半导体层306具有相同结晶结构。由此, 虽然在图5C中以虚线指示第一氧化物半导体层304和第二氧化物半导体层306的边界, 但是有时它不能够被标识, 并且有时可以将第一氧化物半导体层304和第二氧化物半导体层306看作为一层。

[0182] 接着, 通过使用掩模的蚀刻等的方法来处理第一氧化物半导体层304和第二氧化物半导体层306; 因此, 形成岛状的第一氧化物半导体层304a和岛状的第二氧化物半导体层306a(参照图5D)。注意, 这里在第二热处理之后执行形成岛状的氧化物半导体层的处理; 但是也可以在形成岛状的氧化物半导体的处理之后执行第二热处理。在此情况下, 即使使用湿蚀刻也可以在蚀刻速率高的状态下执行蚀刻; 由此有可以缩短蚀刻所要求的时间的优点。

[0183] 作为蚀刻第一氧化物半导体层304和第二氧化物半导体层306的方法,可以采用干蚀刻或湿蚀刻。不必说,也可以组合干蚀刻和湿蚀刻而使用。根据材料适当地设定蚀刻条件(蚀刻气体、蚀刻剂、蚀刻时间以及温度等),以将氧化物半导体层蚀刻成所希望的形状。第一氧化物半导体层304和第二氧化物半导体层306可以用与任何上述实施例中的氧化物半导体层的蚀刻方式类似的方式来蚀刻。对于详细内容,可以参照任何上述实施例。

[0184] 注意,在氧化物半导体层中,要成为沟道形成区域的区域优选具有平坦表面。例如,在与栅电极重叠的区域(沟道形成区域)中,第二氧化物半导体层306的表面的高度差(P-V)优选为1nm以下(更优选为0.5nm以下)。另外,上述高度差例如可以在10平方微米的区域中测量。

[0185] 接着,以接触第二氧化物半导体层306a的方式形成导电层。对该导电层进行选择性的蚀刻来形成源电极或漏电极308a及源电极或漏电极308b(参照图5D)。至于其详细内容,可以参照任何上述实施例。

[0186] 注意,在图5D中所示的步骤中,在一些情况中第一氧化物半导体层304a或第二氧化物半导体层306a中的接触于源电极或漏电极308a、源电极或漏电极308b的结晶层变成非晶状态。由此,第一氧化物半导体层304a和第二氧化物半导体层306a的所有区域不一定是结晶性的。

[0187] 接着,形成接触于第二氧化物半导体层306a的一部分的栅极绝缘层312。对于其详细内容,可以参照任何上述实施例。然后,在栅极绝缘层312上在与第一氧化物半导体层304a以及第二氧化物半导体层306a重叠的区域中形成栅电极314。接着,在栅极绝缘层312和栅电极314上形成层间绝缘层316和层间绝缘层318(参照图5E)。对于其详细内容,可以参照任何上述实施例。

[0188] 在形成栅极绝缘层312之后,希望在惰性气体气氛中或氧气气氛中执行第三热处理。第三热处理的温度设定为高于或等于200℃且低于或等于450℃,优选为高于或等于250℃且低于或等于350℃。例如,可以在包含氧的气氛中以250℃进行1个小时的热处理。第三热处理,可以降低晶体管的电特性中的变化。另外,在栅极绝缘层312是包含氧的绝缘层的情况下,也可以对第二氧化物半导体层306a供给氧。

[0189] 注意,在本实施例中,在形成栅极绝缘层312之后执行第三热处理;第三热处理的时序不局限于此。另外,在通过第二热处理等的另一处理对第二氧化物半导体层306a供给氧的情况下,可以省略第三热处理。

[0190] 通过以上步骤来完成使用第一氧化物半导体层304a和第二氧化物半导体层306a的晶体管350(参照图5E)。

[0191] 通过使用被高纯度化且变得本征的第一氧化物半导体层304a和第二氧化物半导体层306a,可以充分降低晶体管的截止电流。然后,通过使用这种晶体管,可以获得可以极长时间地存储数据的半导体装置。

[0192] 注意,在本实施例中,对顶栅型的晶体管中源电极及漏电极的下部与氧化物半导体层的上部彼此接触的结构进行了描述;但是可以应用本实施例中的结构的晶体管不局限于此。例如,也可以将本实施例中的结构的一部分应用于顶栅型晶体管中源电极及漏电极的上部与氧化物半导体层的下部彼此接触的结构(图1A、图1B、图1C、1D或图3A至3E中所示的结构等)。备选地,也可以将本实施例中的结构的一部分应用于:底栅型晶体管中源电极

及漏电极的下部与氧化物半导体层的上部彼此接触的结构；底栅型晶体管中源电极及漏电极的上部与氧化物半导体层的下部彼此接触的结构等。也就是说，根据本实施例，可以实现包括具有结晶区域的氧化物半导体层的各种各样的晶体管。

[0193] 再者，在本实施例中，使用包括结晶区域的第一氧化物半导体层304a和从第一氧化物半导体层304a的结晶区域进行结晶成长而形成的第二氧化物半导体层306a作为氧化物半导体层；所以可以提高场效应迁移率，而可以实现具有良好的电特性的晶体管。例如，可以实现场效应迁移率 $\mu > 100 \text{ cm}^2/\text{V} \cdot \text{s}$ 。由此，也可以将上述晶体管应用于要求高速操作的各种逻辑电路。

[0194] 本实施例中所描述的结构、方法等可以与其它实施例中描述的任何结构、方法等适当地组合。

[0195] (实施例5)

[0196] 在本实施例中，将参照图6A至6E对使用氧化物半导体的晶体管的制造方法进行描述。可以使用该晶体管代替任何上述实施例中的晶体管162等。根据本实施例的晶体管的结构与任何上述实施例中的晶体管的结构彼此部分相同。所以，以下主要对其不同之处进行描述。另外，下面以顶栅型晶体管为例子进行描述；但是晶体管的结构不局限于顶栅型结构。

[0197] 首先，在衬底400上形成绝缘层402。接着，在绝缘层402上形成氧化物半导体层406 (参照图6A)。对于其详细内容，可以参照任何上述实施例。

[0198] 接着，通过使用掩模的蚀刻等的方法来处理氧化物半导体层406，使得形成岛状的氧化物半导体层406a。形成导电层408和绝缘层410以覆盖该氧化物半导体层406a (参照图6B)。注意，绝缘层410不是必须要的构成要素，但是其在对后面形成的源电极与漏电极的侧面选择性地进行氧化的方面是有效的。另外，绝缘层410在降低栅电极和源电极之间以及栅电极和漏电极之间形成的电容的方面也是有效的。

[0199] 对于岛状的氧化物半导体层406a的形成和热处理等的详细内容，可以参照任何上述实施例。对于导电层408的详细内容，也可以参照任何上述实施例。

[0200] 可以通过CVD法或溅射法等来形成绝缘层410。另外，优选以包含氧化硅、氮化硅、氧氮化硅、氧化铝、氧化铪、氧化钽等的方式形成绝缘层410。注意，绝缘层410可以具有单层结构或叠层结构。对绝缘层410的厚度没有特别的限制。例如，可以将厚度设定为大于或等于10nm且小于或等于200nm。

[0201] 接着，对导电层408和绝缘层410进行选择性的蚀刻来形成源电极或漏电极408a、源电极或漏电极408b、绝缘层410a以及绝缘层410b (参照图6C)。详细内容与任何上述实施例中的源电极或漏电极的形成步骤的那些详细内容类似。注意，铝、钛、钼或铜等的材料适合于后面执行的等离子体氧化处理，并且适合用作源电极或漏电极408a、源电极或漏电极408b等的材料。

[0202] 接着，执行用于对氧化物半导体层406a供给氧的氧化处理 (参照图6D)。通过该氧化处理，在源电极或漏电极408a的一部分 (尤其是相当于侧面的部分) 中形成氧化区域411a，以及在源电极或漏电极408b的一部分 (尤其是相当于侧面的部分) 中形成氧化区域411b (参照图6D)。另外，通过该氧化处理，在源电极或漏电极408a以及源电极或漏电极408b的外周部中也形成氧化区域。

[0203] 优选使用由微波(300MHz至300GHz)激发的氧等离子体来执行氧化处理,其可称为等离子体氧化处理。这是因为通过由微波激发等离子体,实现高密度等离子体,可以充分降低对氧化物半导体层406a的损伤的缘故。

[0204] 具体地说,例如可以将在300MHz至300GHz(典型为2.45GHz)的频率,在50Pa至5000Pa(典型为500Pa)的压力下,在对象温度为200°C至400°C(典型为300°C),并使用氧和氩的混合气体,执行上述处理。

[0205] 通过上述氧化处理,对氧化物半导体层406a供给氧。所以可以充分降低对氧化物半导体层406a的损伤,以及另外,可以降低起因于氧缺乏的能隙中的缺陷能级。换言之,可以进一步改进氧化物半导体层406a的特性。

[0206] 注意,不局限于使用微波的等离子体氧化处理,而是可以使用实现充分降低对氧化物半导体层406a的损伤并对氧化物半导体层406a供给氧的任何其它方法。例如,也可以使用包含氧的气氛中的热处理等的方法。

[0207] 结合氧化处理,还可以执行从氧化物半导体层406a去除水、氢等的处理。在此情况下,例如可以使用利用氮、氩等的气体的等离子体处理。

[0208] 注意,当晶体管450被微型化时(例如,当沟道长度为短于1000nm时),通过上述氧化处理来形成的氧化区域411a和氧化区域411b是特别有效的。随着晶体管的微型化,栅极绝缘层需要具有更小的厚度。设置氧化区域的原因在于,氧化区域可以防止因栅极绝缘层的厚度降低或覆盖不良等导致的栅电极和源电极或漏电极之间的短路。注意,该氧化区域当具有5nm以上(优选为10nm以上)的厚度时,充分有效。

[0209] 从改善绝缘层402的暴露部分的观点来看,上述氧化处理也是有效的。

[0210] 注意,绝缘层410a和绝缘层410b是重要的,因为这些绝缘层起防止源电极或漏电极408a以及源电极或漏电极408b的上部的氧化的作用。这是因为在残留有用于蚀刻的掩模时执行上述等离子体处理有很大的困难的缘故。

[0211] 接着,在不暴露于大气的情况下,形成接触于氧化物半导体层406a的一部分的栅极绝缘层412。然后,在栅极绝缘层412上在与氧化物半导体层406a重叠的区域中形成栅电极414,以及在栅极绝缘层412和栅电极414上形成层间绝缘层416和层间绝缘层418(参照图6E)。对于其详细内容,可以参照任何上述实施例。

[0212] 通过以上步骤,来完成使用氧化物半导体的晶体管450。

[0213] 在本实施例中,对氧化物半导体层406a执行氧等离子体处理,以便对氧化物半导体层406a供给氧。由此,晶体管450具有更佳的特性。另外,相当于源电极或漏电极的侧面的区域被氧化;所以可以防止因栅极绝缘层的厚度降低而导致的栅电极和源电极(或者漏电极)之间的短路。另外,可以由氧化区域411a和氧化区域411b形成适当的偏移区域;所以也可以使得从氧化物半导体到与源电极(或者漏电极)的界面的电场中的改变是小的。

[0214] 另外,通过将绝缘层设置在源电极和漏电极上,可以降低源电极和栅电极之间以及漏电极和栅电极之间形成的电容(寄生电容),而可以实现更高速操作。

[0215] 注意,在本实施例中,对顶栅型的晶体管中源电极及漏电极的下部与氧化物半导体层的上部彼此接触的结构进行了描述;但是可以应用本实施例的结构的晶体管不局限于此。例如,也可以将本实施例中的结构的一部分应用于底栅型晶体管中源电极及漏电极的下部与氧化物半导体层的上部彼此接触的结构。也就是说,根据本实施例,可以实现包括被

供给氧的氧化物半导体、包括氧化区域的电极等的各种各样的晶体管。

[0216] 本实施例中描述的结构、方法等可以与其它实施例中描述的任何结构、方法等适当地组合。

[0217] (实施例6)

[0218] 在本实施例中,参照图7A和图7B以及图8A至图8C对任何上述实施例中描述的半导体装置的应用进行描述。

[0219] 图7A和图7B是各包括图2A1中所示的多个半导体装置(以下也称为存储单元190)的半导体装置的电路图的例子。图7A是存储单元190串联连接的所谓NAND型半导体装置的电路图,以及图7B是存储单元190并联连接的所谓NOR型半导体装置的电路图。

[0220] 图7A中的半导体装置包括源极线SL、位线BL、第一信号线S1、 m 条第二信号线S2、 m 条字线WL以及布置在 m (行)(在垂直方向上)×1(列)(在水平方向上)矩阵中的多个存储单元190(1,1)至190(m ,1)。注意,图7A中,在半导体装置中设置一条源极线SL和一条位线BL;但是所公开的发明的一个实施例不局限于此。可以设置 n 条源极线SL和 n 条位线BL,使得形成存储单元布置在 m (行)(在垂直方向上)× n (列)(在水平方向上)矩阵中的存储单元阵列。

[0221] 在每个存储单元190中,晶体管160的栅电极、晶体管162的源电极和漏电极之一与电容器164的一个电极彼此电连接。第一信号线S1与晶体管162的源电极和漏电极中的另一个彼此电连接,以及第二信号线S2与晶体管162的栅电极彼此电连接。字线WL与电容器164的另一电极彼此电连接。

[0222] 另外,存储单元190中包括的晶体管160的源电极与相邻的存储单元190中包括的晶体管160的漏电极彼此电连接。存储单元190中包括的晶体管160的漏电极与相邻的存储单元190中包括的晶体管160的源电极彼此电连接。注意,串联连接的多个存储单元中的设置在一端的存储单元190中包括的晶体管160的漏电极与位线彼此电连接。串联连接的多个存储单元中的设置在另一端的存储单元190中包括的晶体管160的源电极与源极线彼此电连接。

[0223] 图7A中所示的半导体装置中,按行执行写入操作和读取工作。以如下执行写入操作。对执行写入的行中的第二信号线S2供给使晶体管162成为导通的电位,而使执行写入的行中的晶体管162成为导通。由此,对所指定的行中的晶体管160的栅电极供给第一信号线S1的电位,而对该栅电极施加预定的电荷。因此,可以对所指定的行中的存储单元写入数据。

[0224] 另外,如下执行读取操作。首先,对执行读取的行之外的行中的字线WL供给不管晶体管160的栅电极的电荷如何都使晶体管160成为导通的电位,而使执行读取的行之外的行中的晶体管160成为导通。然后,对执行读取的行中的字线WL供给根据晶体管160的栅电极的电荷确定晶体管160的导通状态或截止状态的电位(读取电位)。然后,对源极线SL供给预定电位,使与位线BL连接的读取电路(未示出)操作。这里,源极线SL与位线BL之间的多个晶体管160处于导通,除了执行读取的行中的晶体管160之外;所以通过执行读取的行中的晶体管160的状态,确定源极线SL与位线BL之间的导电率(conductance)。就是说,根据执行读取的行中的晶体管160的栅电极的电荷,读取电路所读取的位线BL的电位变化。像这样,可以从所指定的行中的存储单元读取数据。

[0225] 图7B中所示的半导体装置包括 n 条源极线SL、 n 条位线BL、 n 条第一信号线S1、 m 条第

二信号线S2、 m 条字线WL以及包括布置在 m (行)(在垂直方向上)和 n (列)(在水平方向上)的矩阵中的多个存储单元190(1,1)至190(m , n)的存储单元阵列181。晶体管160的栅电极、晶体管162的源电极和漏电极之一与电容器164的一个电极彼此电连接。源极线SL与晶体管160的源电极彼此电连接。位线BL与晶体管160的漏电极彼此电连接。第一信号线S1与晶体管162的源电极和漏电极中的另一个彼此电连接,以及第二信号线S2与晶体管162的栅电极彼此电连接。字线WL与电容器164的另一电极彼此电连接。

[0226] 图7B中所示的半导体装置中,在每个行中执行写入操作和读取操作。以与图7A中所示的半导体装置中的方式类似的方式执行写入操作。如下执行读取操作。首先,对执行读取的行之外的行中的字线WL供给不管晶体管160的栅电极的电荷如何都使晶体管160成为截止的电位,而使执行读取的行之外的行中的晶体管160成为截止。然后,对执行读取的行中的字线WL供给根据晶体管160的栅电极的电荷确定晶体管160的导通状态或截止状态的电位(读取电位)。然后,对源极线SL供给预定电位,使与位线BL连接的读取电路(未示出)操作。这里,通过执行读取的行中的晶体管160的状态,确定源极线SL与位线BL之间的导电率。就是说,根据执行读取的行中的晶体管160的栅电极的电荷,读取电路所读取的位线BL的电位变化。像这样,可以从所指定的行中的存储单元读取数据。

[0227] 接着,将参照图8A至图8C对可以用于图7A和图7B中所示的半导体装置等的读取电路的例子进行描述。

[0228] 图8A示出读取电路的概况。该读出电路包括晶体管和读出放大器(sense amplifier)电路。

[0229] 当读取数据时,端子A与连接到从其中读取数据的存储单元的位线连接。另外,对晶体管的栅电极施加偏置电位 $V_{偏置}$,来控制端子A的电位。

[0230] 根据所存储的数据,存储单元190的电阻值变化。具体地说,当所选择的存储单元190的晶体管160处于导通时,存储单元190具有低电阻,而当所选择的存储单元190的晶体管160处于截止时,存储单元190具有高电阻。

[0231] 当存储单元具有高电阻时,端子A的电位高于参考电位 V_{ref} ,以及读出放大器电路输出对应于端子A的电位的电位(数据“1”)。另一方面,当存储单元具有低电阻时,端子A的电位低于参考电位 V_{ref} ,以及读出放大器电路输出对应于端子A的电位的电位(数据“0”)。

[0232] 因此,通过使用读取电路,可以从存储单元读取数据。注意,本实施例的读取电路是一个例子。备选地,也可以使用另一已知的电路。读取电路也可以包括预充电电路。不是参考电位 V_{ref} ,而是参考位线连接到读出放大器电流。

[0233] 图8B示出读出放大器电路的一个例子的差动型读出放大器(differential sense amplifier)。差动型读出放大器包括输入端子 $V_{in}(+)$ 、 $V_{in}(-)$ 以及输出端子 V_{out} ,以及放大 $V_{in}(+)$ 与 $V_{in}(-)$ 之间的差。当 $V_{in}(+) > V_{in}(-)$ 时, V_{out} 大约是高输出,以及当 $V_{in}(+) < V_{in}(-)$ 时, V_{out} 大约是低输出。

[0234] 图8C示出读出放大器电路的一个例子的锁存型读出放大器(latch sense amplifier)。锁存型读出放大器具有输入/输出端子V1和V2以及控制信号Sp和Sn的输入端子。首先,将控制信号Sp和Sn分别设定为信号高和信号低,并遮断电源电位(V_{dd})。然后,对V1和V2供给用于比较的电位。之后,在将控制信号Sp和Sn分别设定为信号低和信号高,以及供给电源电位(V_{dd})。如果用于比较的电位 V_{1in} 和 V_{2in} 满足 $V_{1in} > V_{2in}$,则来自V1的输出是信号高,

以及来自V2的输出是信号低,而如果用于比较的电位 V_{1in} 和 V_{2in} 满足 $V_{1in} < V_{2in}$,则来自V1的输出是信号低,以及来自V2的输出是信号高。通过利用这种关系,可以放大 V_{1in} 和 V_{2in} 之间的差。

[0235] 本实施例中描述的结构、方法等可以与其它实施例中描述的任何结构、方法等适当地组合。

[0236] (实施例7)

[0237] 在本实施例中,参照图9A和图9B对使用任何上述实施例中描述的晶体管的半导体装置的例子进行描述。

[0238] 图9A中,示出具有相当于所谓的动态随机存取存储器(DRAM)的结构的半导体装置的一个例子。图9A中所示的存储单元阵列620具有将多个存储单元630布置在矩阵中的结构。另外,存储单元阵列620包括m条第一布线和n条第二布线。注意,存储单元630相当于图2B中所示的半导体装置。还注意,在本实施例中,将图2B中的第一布线和第二布线分别称为位线BL和字线WL。

[0239] 存储单元630包括晶体管631和电容器632。晶体管631的栅电极与第一布线(字线WL)连接。另外,晶体管631的源电极和漏电极之一与第二布线(位线BL)连接,晶体管631的源电极和漏电极中的另一个与电容器的一个电极连接。电容器的另一电极与电容器线CL连接,以及供给有预定电位。可以对晶体管631应用任何上述实施例中描述的晶体管。

[0240] 任何上述实施例中描述的晶体管具有极低的截止电流。因此,当将该晶体管应用于图9A中所示的半导体装置(其被视为所谓的DRAM时,可以获得基本上非易失性存储器)。

[0241] 图9B中,示出具有相当于所谓的静态随机存取存储器(SRAM)的结构的半导体装置的一个例子。图9B中所示的存储单元阵列640具有将多个存储单元650布置在矩阵中的结构。另外,存储单元阵列640包括多条第一布线(字线WL)、多条第二布线(位线BL)以及多条第三布线(反转位线/BL)。

[0242] 存储单元650包括第一晶体管651至第六晶体管656。第一晶体管651和第二晶体管652用作选择晶体管。另外,第三晶体管653和第四晶体管654之一(这里,是第四晶体管654)是n沟道型晶体管,以及另一个(这里,是第三晶体管653)是p沟道型晶体管。就是说,用第三晶体管653和第四晶体管654形成CMOS电路。类似地,用第五晶体管655和第六晶体管656形成CMOS电路。

[0243] 第一晶体管651、第二晶体管652、第四晶体管654以及第六晶体管656是n沟道型晶体管,以及可以对这些晶体管应用任何上述实施例中描述的晶体管。第三晶体管653和第五晶体管655是p沟道型晶体管,并可以使用氧化物半导体或除了氧化物半导体之外的其它材料(例如,硅等)来形成。

[0244] 本实施例中描述的结构、方法等可以与其它实施例中描述的任何结构、方法等适当地组合。

[0245] (实施例8)

[0246] 在本实施例中,参照图10A至图10F对将任何上述实施例中描述的半导体装置应用于电子设备的情况进行描述。在本实施例中,描述将上述半导体装置应用于计算机;蜂窝电话(也称为移动电话或移动电话装置);便携式信息终端(包括便携式游戏机、音频再现装置等);数字摄像机或数字视频摄像机等摄像机;电子纸;电视装置(也称为电视机或电视接收

机)等的电子装置的情况。

[0247] 图10A示出膝上型个人计算机,其包括框体(housing)701、框体702、显示部703以及键盘704等。在框体701和框体702中的每个中,设置任何上述实施例中描述的半导体装置。任何上述实施例中描述的半导体装置中,可以以高速执行数据的写入和读取,可以在长时间内存储数据,并且充分地降低功耗。因此,可以实现一种以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗的膝上型个人计算机。

[0248] 图10B示出便携式信息终端(个人数字助理(PDA))。在本体711中,设置显示部713、外部接口715以及操作按钮714等。另外,还设置用于操作便携式信息终端的触屏笔(stylus)712等。在本体711中,设置任何上述实施例中描述的半导体装置。任何上述实施例中描述的半导体装置中,可以以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗。因此,可以实现一种以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗的便携式信息终端。

[0249] 图10C示出安装有电子纸的电子书阅读器720,其包括两个框体,框体721和框体723。框体721和框体723分别设置有显示部725和显示部727。框体721和框体723通过轴部(hinge portion)737相连接,且可以以该轴部737为轴进行开闭。框体721设置有电源731、操作键733以及扬声器735等。在框体721和框体723中的至少一个设置有任何上述实施例中描述的半导体装置。任何上述实施例中描述的半导体装置中,可以以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗。因此,可以实现一种以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗的电子书阅读器。

[0250] 图10D示出蜂窝电话,其包括两个框体,框体740和框体741。再者,图10D中所示展开的框体740和框体741可以通过滑动而彼此重叠;所以可以减小蜂窝电话的大小,其使得蜂窝电话适合于携带。框体741包括显示面板742、扬声器743、麦克风744、操作键745、定位装置746、摄像机透镜747以及外部连接端子748等。框体740包括用于对蜂窝电话充电的太阳电池(solar cell)749和外部存储器插槽750等。另外,天线内置在框体741中。框体740和框体741中的至少一个设置有任何上述实施例中描述的半导体装置。任何上述实施例中描述的半导体装置中,可以以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗。因此,可以实现一种以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗的蜂窝电话。

[0251] 图10E示出数字摄像机,其包括本体761、显示部767、取景器(eyepiece)763、操作开关764、显示部765以及电池766等。在本体761中,设置任何上述实施例中描述的半导体装置。任何上述实施例中描述的半导体装置中,可以以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗。因此,可以实现一种以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗的数字摄像机。

[0252] 图10F示出电视装置770,其包括框体771、显示部773以及支架(stand)775等。可以通过框体771的操作开关或遥控器780来操作电视装置770。框体771和遥控器780上安装有任何上述实施例中描述的半导体装置。任何上述实施例中描述的半导体装置中,可以以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗。因此,可以实现一种以高速执行写入和读取数据,可以在长时间内存储数据,并且充分地降低功耗的电视装置。

[0253] 如上所述,本实施例中描述的每个电子装置安装上有任何上述实施例中描述的半导体装置。所以,可以实现降低功耗的电子装置。

[0254] 【例子1】

[0255] 对根据所公开的发明的一个实施例的半导体装置中能够重写数据的次数进行考察。在本实施例中,参照图11对该考察结果进行描述。

[0256] 用于考察的半导体装置是具有图2A1中的电路配置的半导体装置。这里,使用氧化物晶体管用于相当于晶体管162的晶体管,使用电容值为0.33pF的电容器以及作为相当于电容器164的电容器。

[0257] 通过比较初期记忆窗口宽度和在反复进行预定次数的数据的存储和写入之后的时间的记忆窗口宽度,来执行考察。通过对相当于图2A1中的第三布线的布线施加0V或5V,以及对相当于图2A1中的第四布线的布线施加0V或5V,来存储和写入数据。当相当于第四布线的布线的电位为0V时,相当于晶体管162的晶体管处于截止;因此保持对浮动栅部FG供给的电位。当相当于第四布线的布线的电位为5V时,相当于晶体管162的晶体管处于导通;因此对浮动栅部FG供给相当于第三布线的布线的电位。

[0258] 记忆窗口宽度是存储装置的特性的指示符之一。在此,该记忆窗口宽度表示不同的存储状态之间的曲线(V_{cg} - I_d 曲线)中的漂移量(shift amount) DV_{cg} ,其示出相当于第五布线的布线的电位 V_{cg} 和相当于晶体管160的晶体管的漏电流 I_d 的关系。不同的存储状态是指对浮动栅部FG施加0V的状态(以下称为低状态)和对浮动栅部FG施加5V的状态(以下称为高状态)。就是说,可以通过在低状态中和高状态中进行电位 V_{cg} 的扫描,来考察记忆窗口宽度。在任何情况下 V_{ds} 设定为1V。

[0259] 图11示出在初期状态的记忆窗口宽度和在执行 1×10^9 次的写入之后的时间的记忆窗口宽度的考察结果。注意,在图11中,每个实线示出第一次的写入,以及每个虚线示出第 1×10^9 次的写入。另外,在实线和虚线的双方中,左侧的曲线示出高状态中的写入,以及右侧的曲线示出低状态中的写入。横轴示出 V_{cg} (V),以及纵轴示出 I_d (A)。根据图11可以确认到:在 1×10^9 次的写入的前后,在高状态和低状态中扫描了电位 V_{cg} 的记忆窗口宽度没改变。在 1×10^9 次写入数据后记忆窗口宽度没改变意味着:至少在此时间段期间,半导体装置的特性没改变。

[0260] 如上所述,根据所公开的发明的一个实施例的半导体装置中,即使多次存储和写入数据,特性也没改变。就是说,可以说,根据所公开的发明的一个实施例,可以实现可靠性极为高的半导体装置。

[0261] 本申请是基于2009年12月25日向日本专利局提交的日本专利申请序列号2009-296201,据此通过引用来并入其整体内容。

参考说明

138: 绝缘层, 140: 氧化物半导体层, 142a: 源电极或漏电极, 142b: 源电极或漏电极, 143: 绝缘层, 144: 氧化物半导体层, 146: 栅极绝缘层, 148a: 栅电极, 148b: 电极, 150: 层间绝缘层, 152: 层间绝缘层, 160: 晶体管, 162: 晶体管, 164: 电容器, 181: 存储单元阵列, 190: 存储单元, 200: 衬底, 202: 绝缘层, 206: 氧化物半导体层, 206a: 氧化物半导体层, 208a: 源电极或漏电极, 208b: 源电极或漏电极, 212: 栅极绝缘层, 214: 栅电极, 216: 层间绝缘层, 218: 层间绝缘层, 250: 晶体管, 300: 衬底, 302: 绝缘层, 304: 第一氧化物半导体层, 304a: 第一氧化物半导体层, 305: 第二氧化物半导体层, 306: 第二氧化物半导体层, 306a: 第二氧化物半导体层, 308a: 源电极或漏电极, 308b: 源电极或漏电极, 312: 栅极绝缘层, 314: 栅电极, 316: 层间绝缘层, 318: 层间绝缘层, 350: 晶体管, 400: 衬底, 402: 绝缘层, 406: 氧化物半导体层, 406a: 氧化物半导体层, 408: 导电层, 408a: 源电极或漏电极, 408b: 源电极或漏电极, 410: 绝缘层, 410a: 绝缘层, 410b: 绝缘层, 411a: 氧化区域, 411b: 氧化区域, 412: 栅极绝缘层, 414: 栅电极, 416: 层间绝缘层, 418: 层间绝缘层, 450: 晶体管, 620: 存储单元阵列, 630: 存储单元, 631: 晶体管, 632: 电容器, 640: 存储单元阵列, 650: 存储单元, 651: 晶体管, 652: 晶体管, 653: 晶体管, 654: 晶体管, 655: 晶体管, 656: 晶体管, 701: 框体, 702: 框体, 703: 显示部, 704: 键盘, 711: 本体, 712: 触屏笔, 713: 显示部, 714: [0262]

操作按钮, 715: 外部接口, 720: 电子书阅读器, 721: 框体, 723: 框体, 725: 显示部, 727: 显示部, 731: 电源, 733: 操作键, 735: 扬声器, 737: 轴部, 740: 框体, 741: 框体, 742: 显示面板, 743: 扬声器, 744: 麦克风, 745: 操作键, 746: 定位装置, 747: 摄像机 [0263] 透镜, 748: 外部连接端子, 749: 太阳电池, 750: 外部存储器插槽, 761: 本体, 763: 取景器, 764: 操作开关, 765: 显示部, 766: 电池, 767: 显示部, 770: 电视装置, 771: 框体, 773: 显示部, 775: 支架, 以及 780: 遥控器

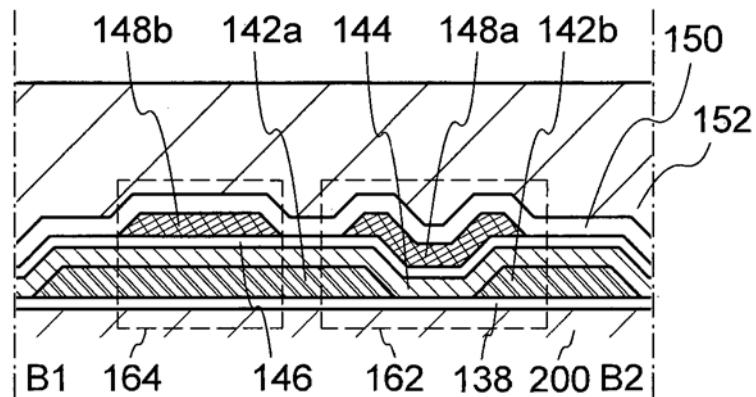


图 1A

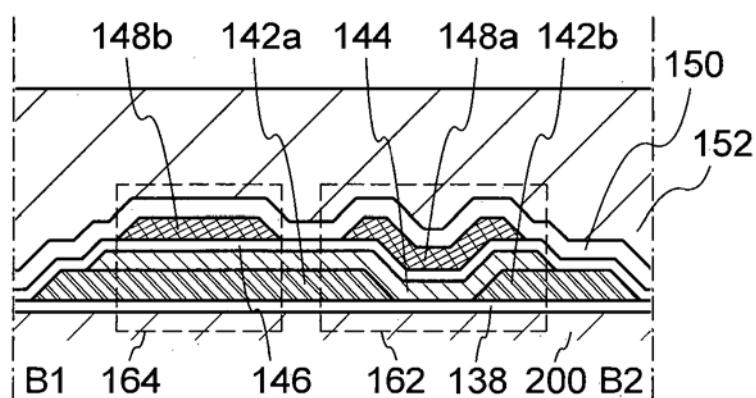


图 1B

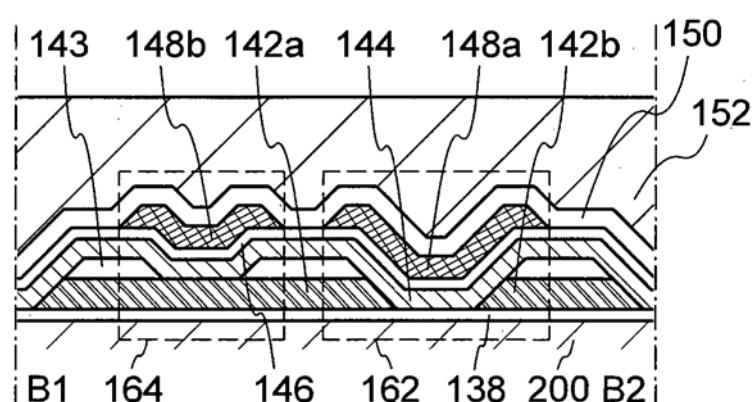


图 1C

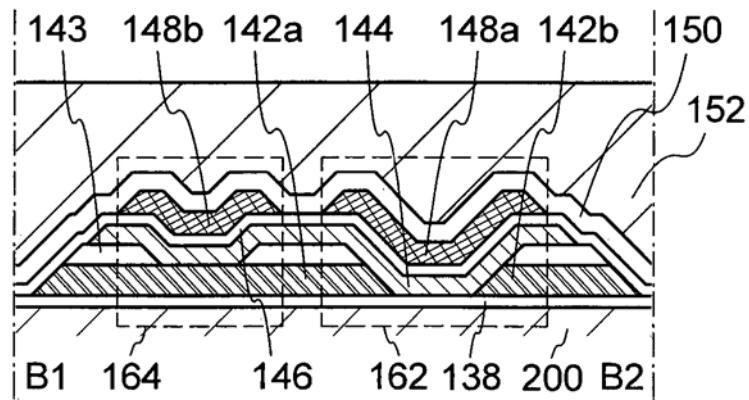


图 1D

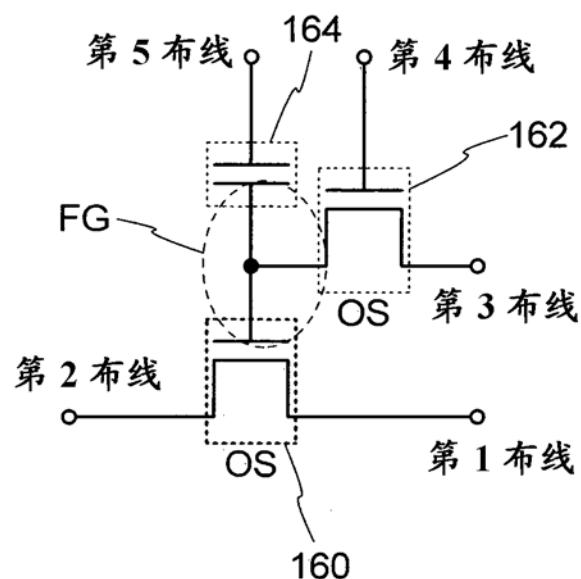


图 2A1

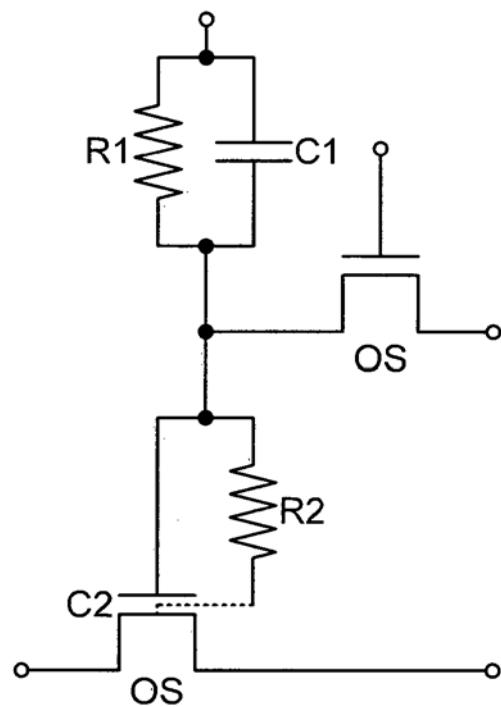


图 2A2

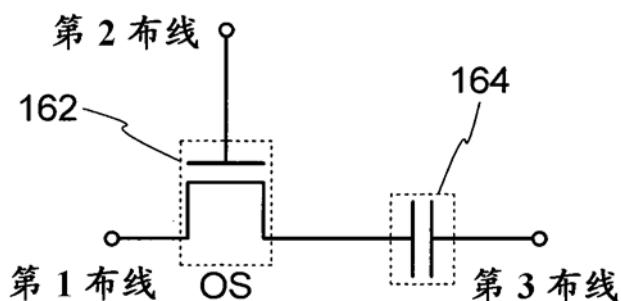


图 2B

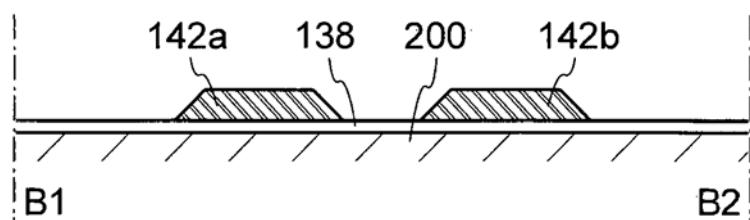


图 3A

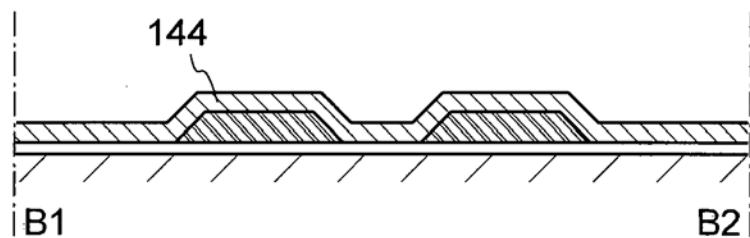


图 3B

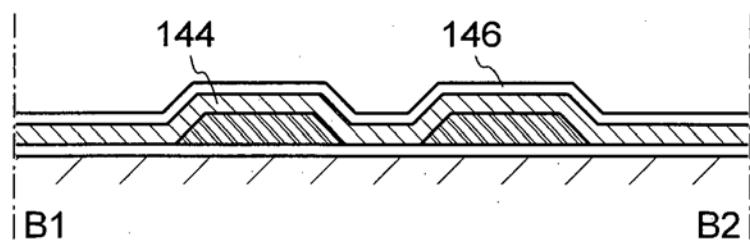


图 3C

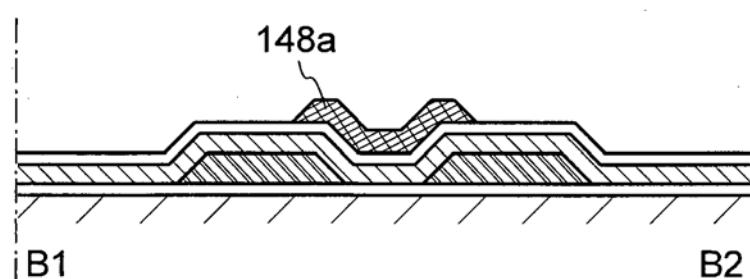


图 3D

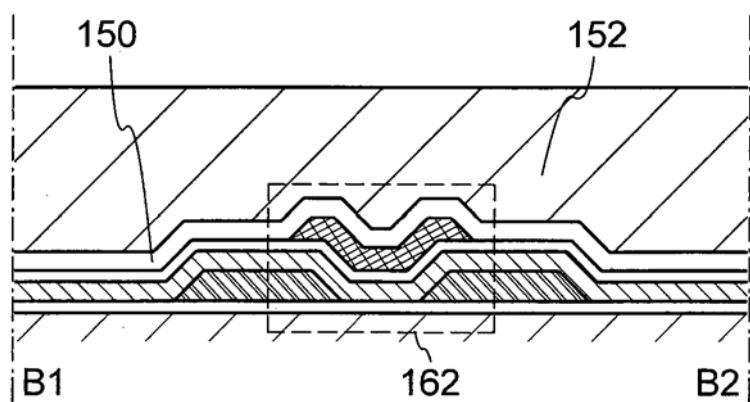


图 3E

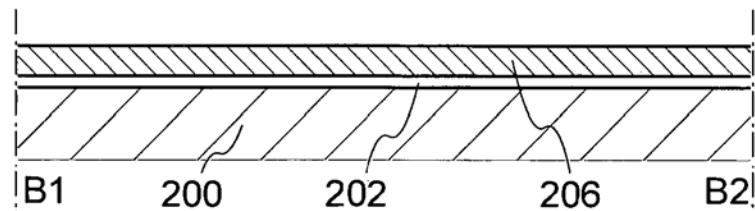


图 4A

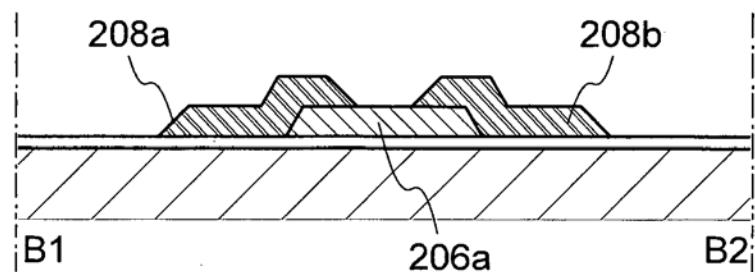


图 4B

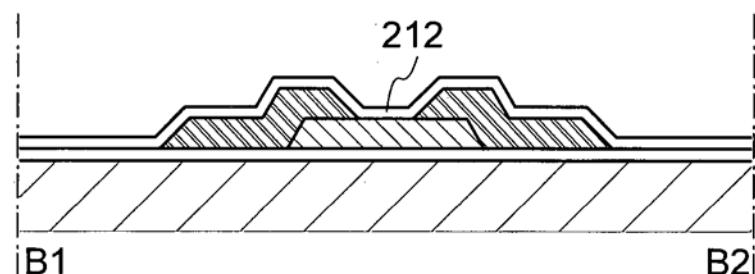


图 4C

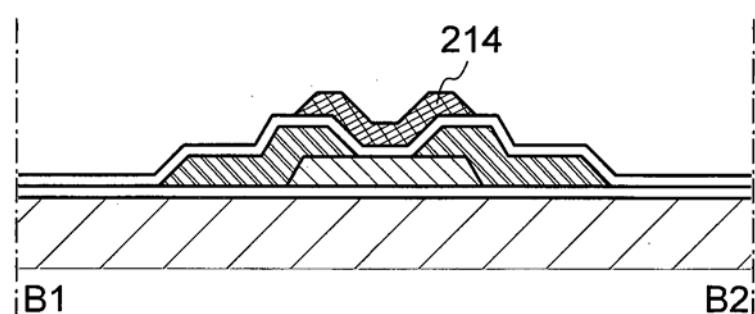


图 4D

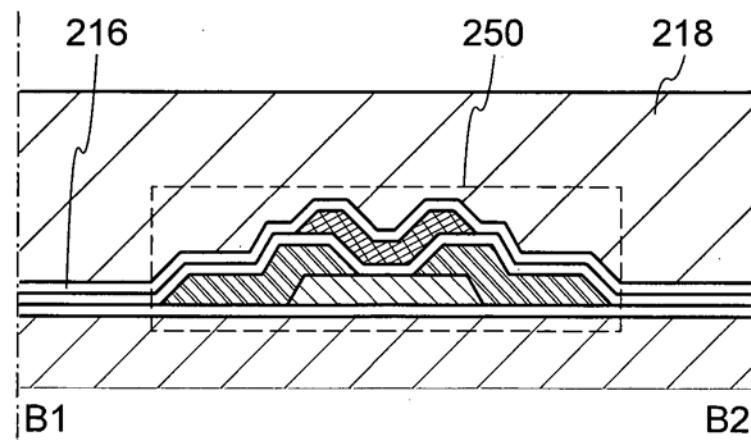


图 4E

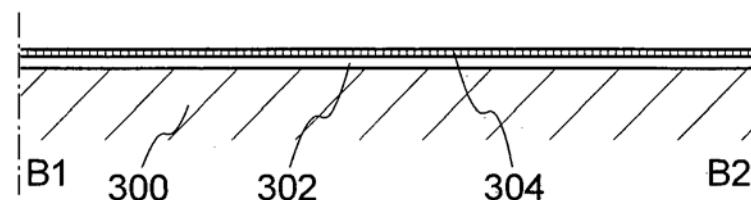


图 5A

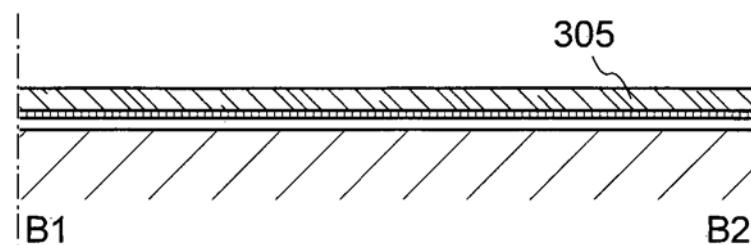


图 5B

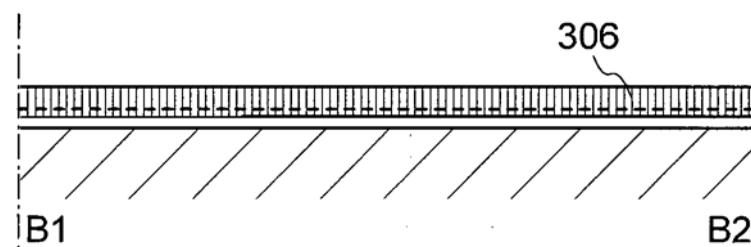


图 5C

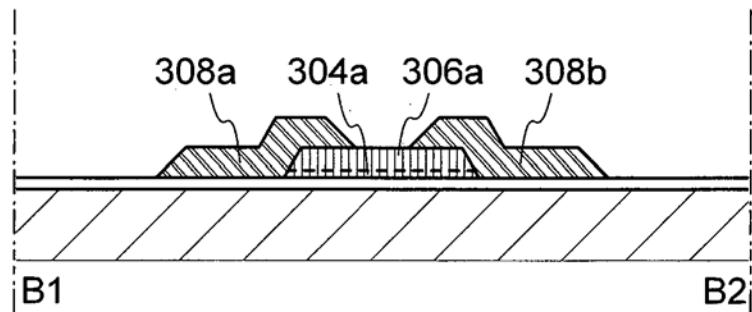


图 5D

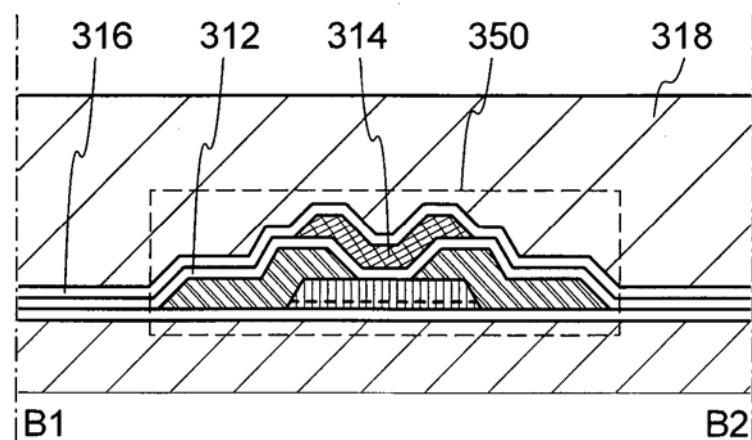


图 5E

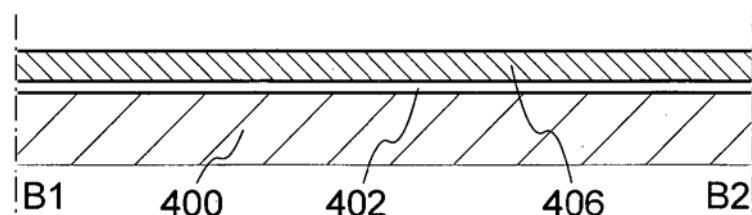


图 6A

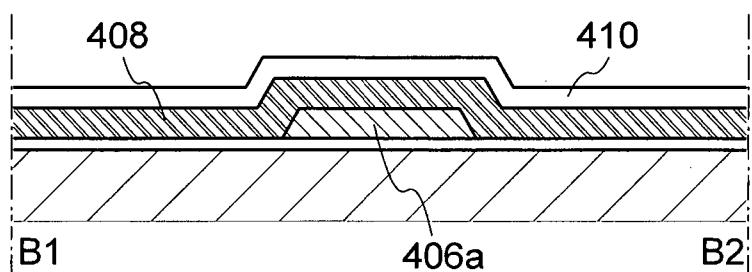


图 6B

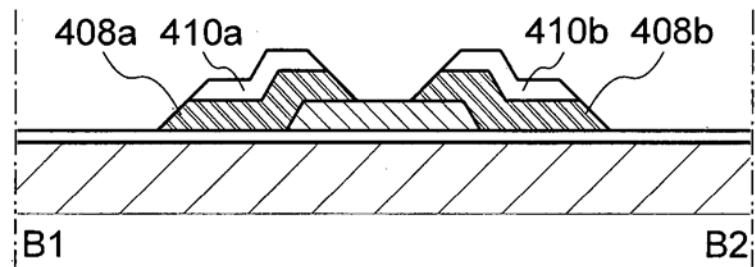


图 6C

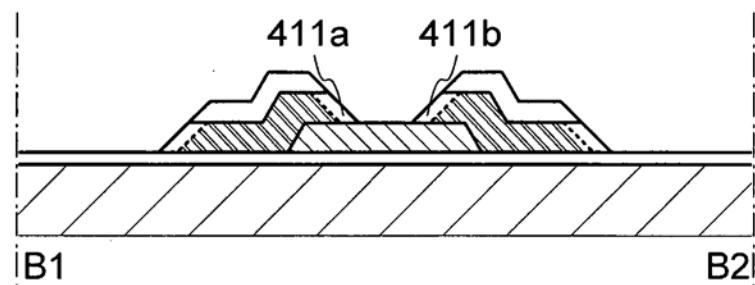


图 6D

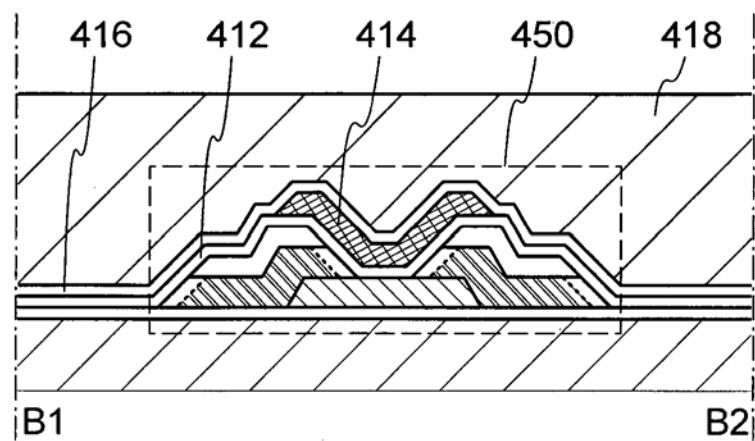


图 6E

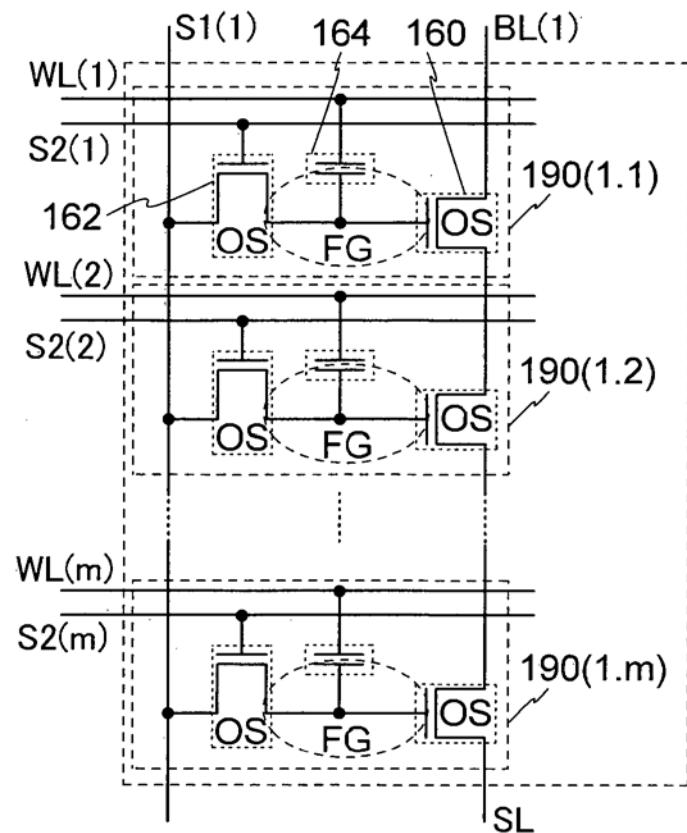


图 7A

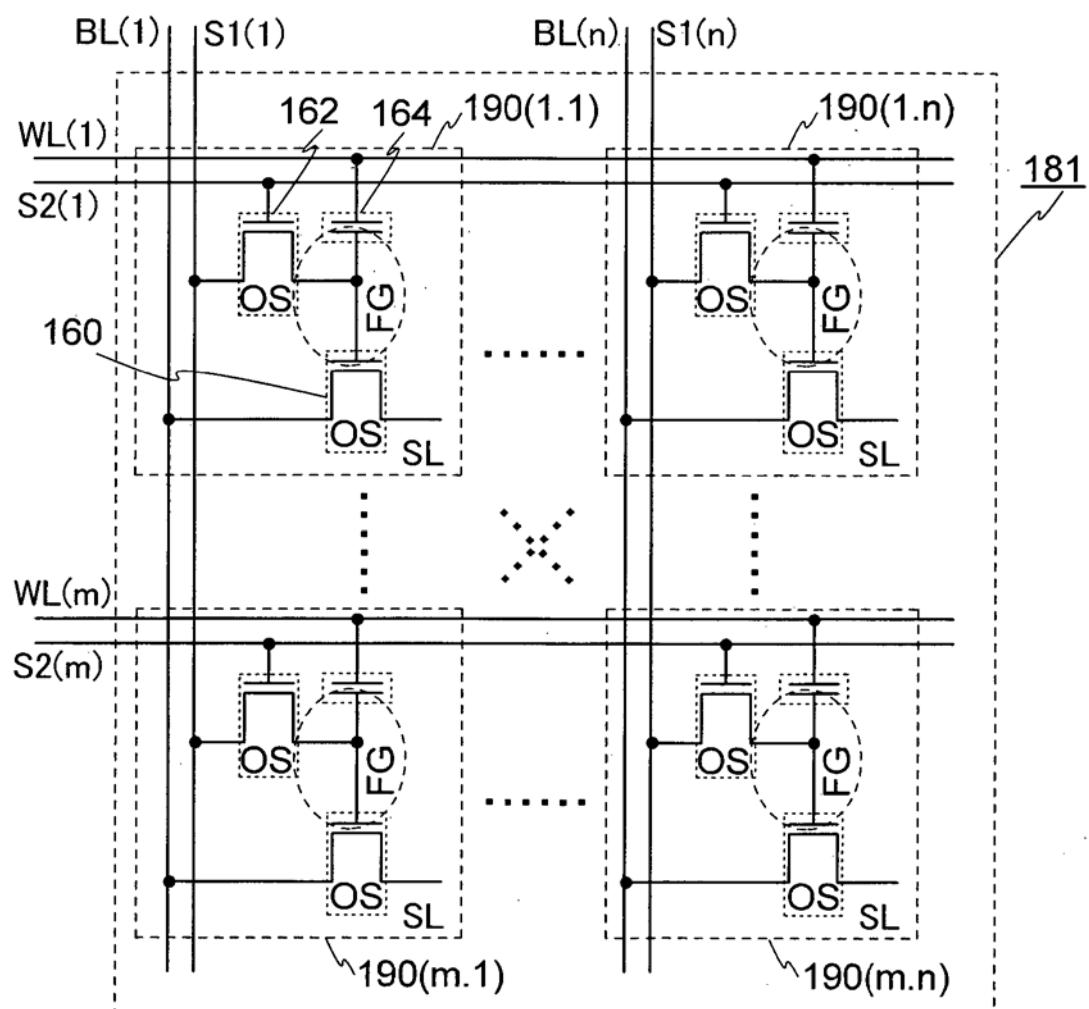


图 7B

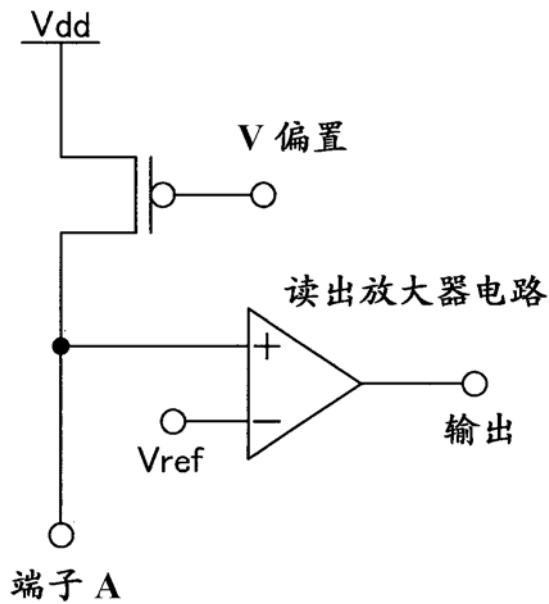


图 8A

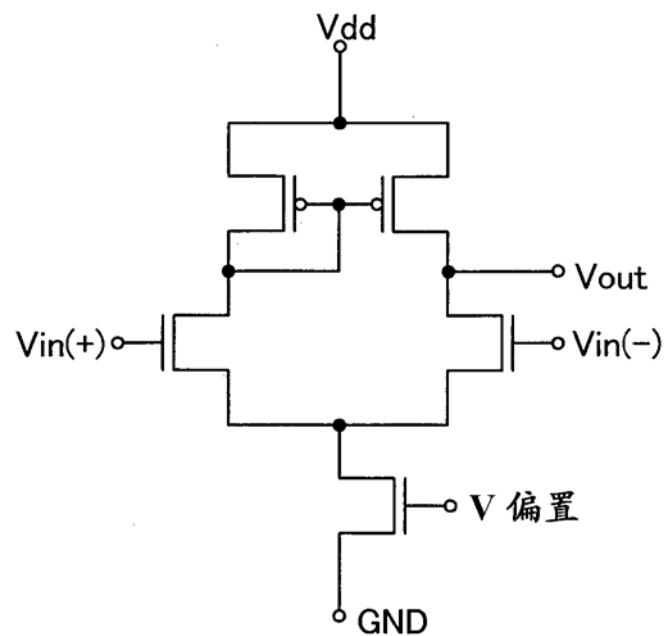


图 8B

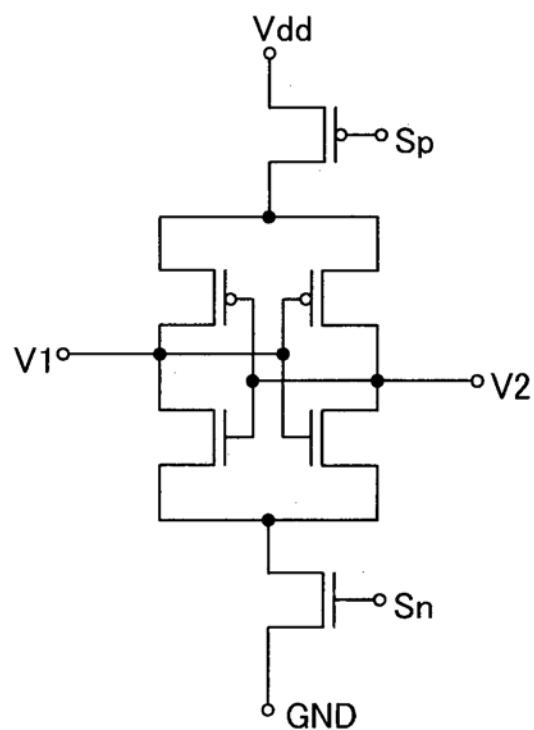


图 8C

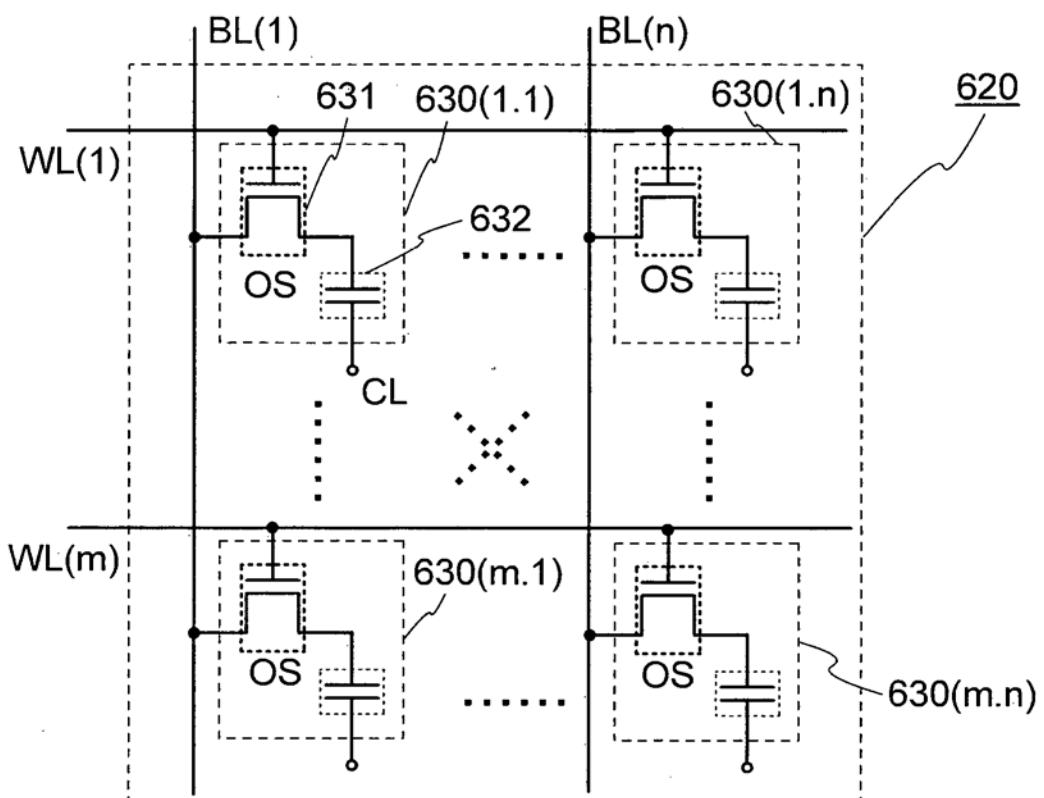


图 9A

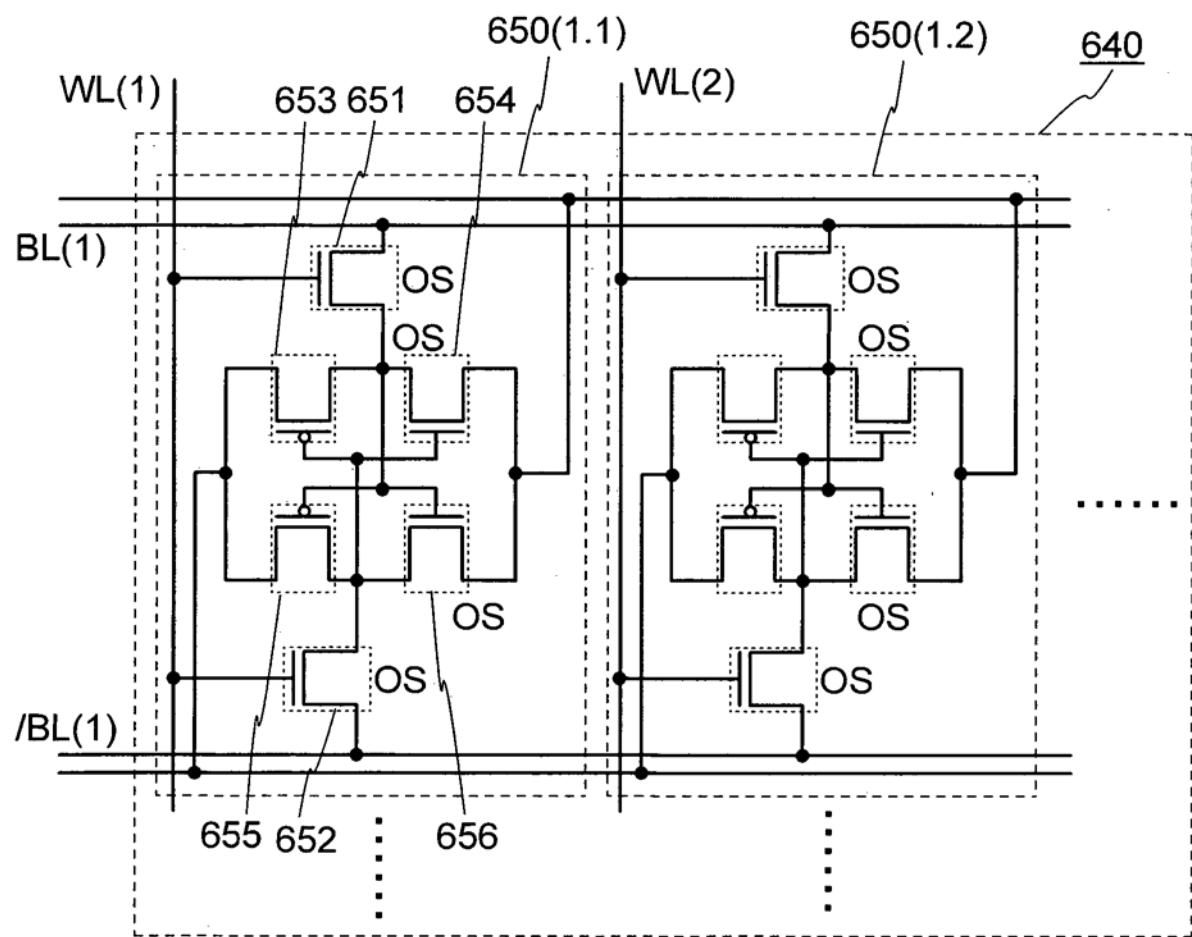


图 9B

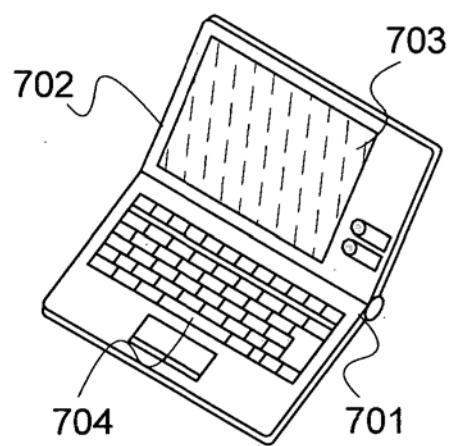


图 10A

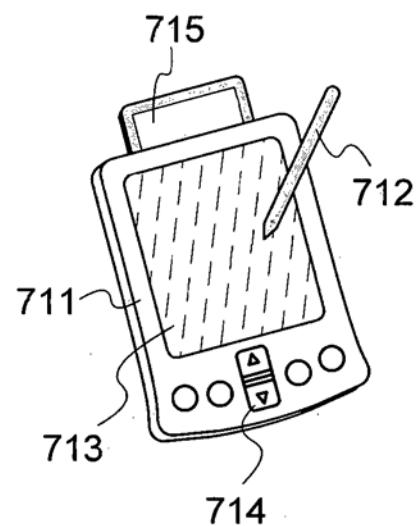


图 10B

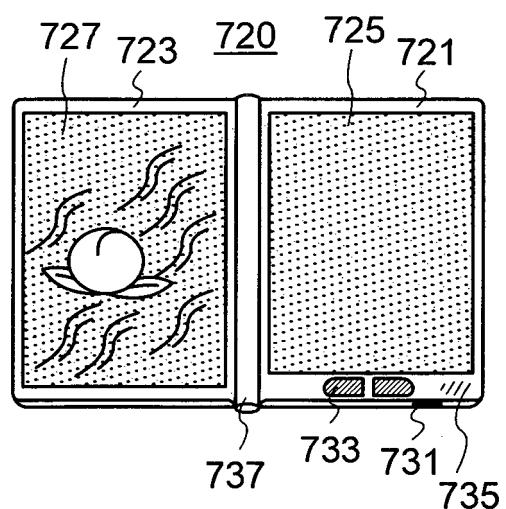


图 10C

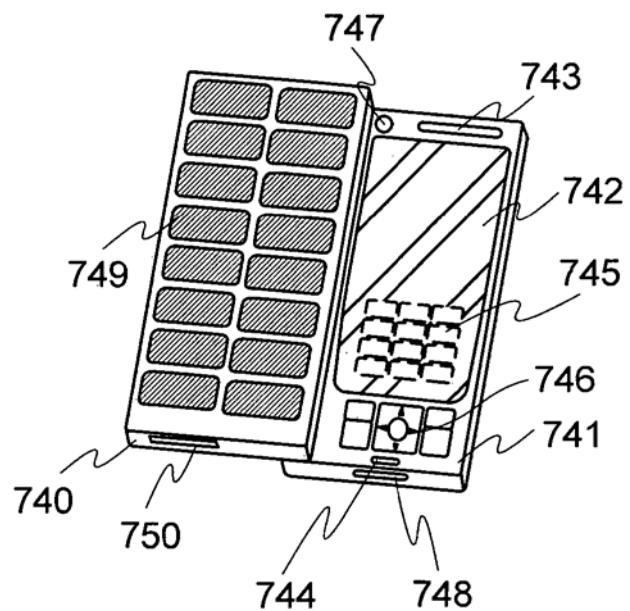


图 10D

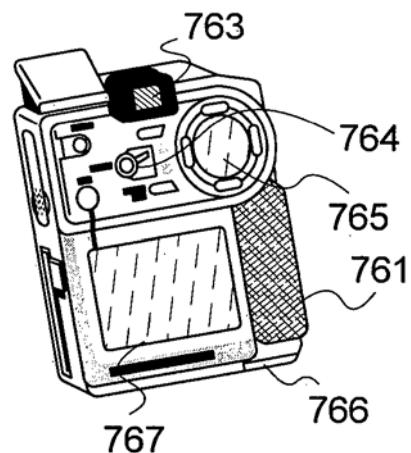


图 10E

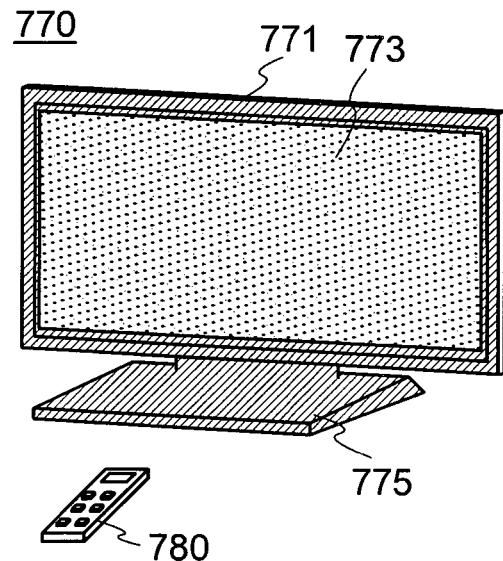


图 10F

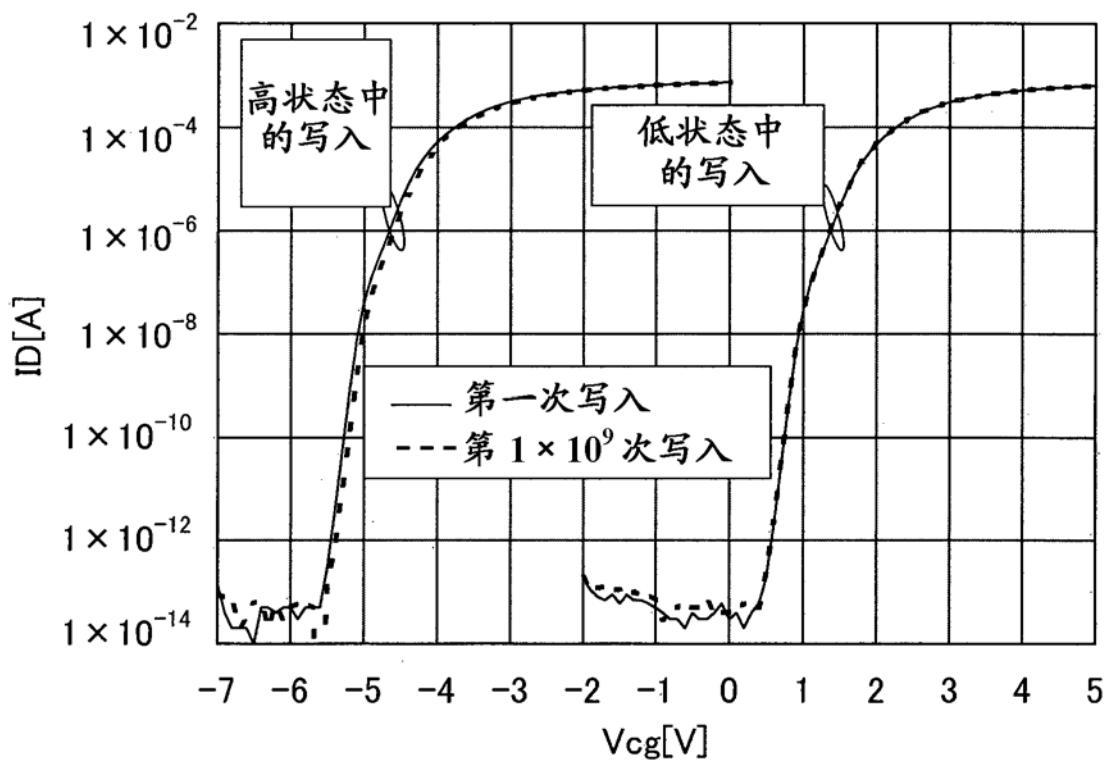


图 11