

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-206828

(P2018-206828A)

(43) 公開日 平成30年12月27日(2018.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 6 T	4 M 1 0 4
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 0 1 B	5 F 0 3 3
H O 1 L 29/417 (2006.01)	H O 1 L 29/50 M	5 F 0 3 8
H O 1 L 21/768 (2006.01)	H O 1 L 21/90 P	5 F 0 4 8
H O 1 L 23/522 (2006.01)	H O 1 L 21/90 B	5 F 0 6 4
審査請求 未請求 請求項の数 9 O L (全 111 頁) 最終頁に続く		

(21) 出願番号	特願2017-107499 (P2017-107499)	(71) 出願人	000153878
(22) 出願日	平成29年5月31日 (2017.5.31)		株式会社半導体エネルギー研究所
			神奈川県厚木市長谷398番地
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	奥野 直樹
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	遠藤 佑太
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	井本 裕己
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

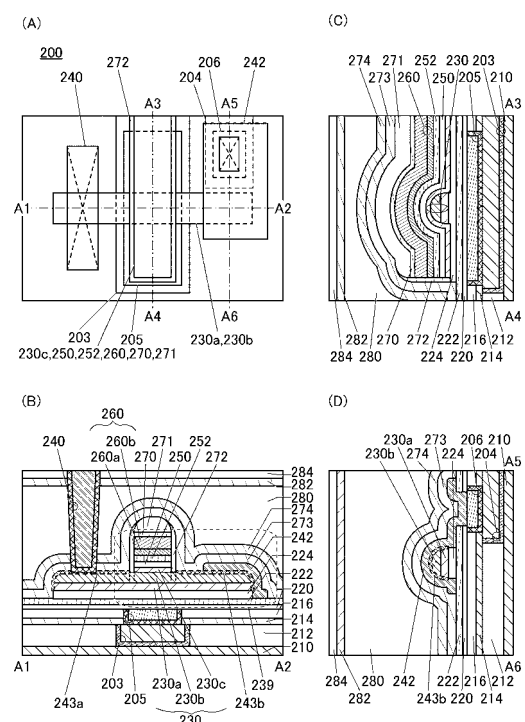
(54) 【発明の名称】 半導体装置、および半導体装置の作製方法

(57) 【要約】 (修正有)

【課題】 生産コストが安価な半導体装置を提供する。

【解決手段】 酸化物230に低抵抗領域を形成する際に、ゲート電極として機能する導電体260、及び絶縁体272をマスクとすることで、自己整合的に酸化物は低抵抗化する。また、トランジスタ200のチャネル長は、導電体の幅、及び絶縁体272の膜厚により決定され、導電体の幅を最小加工寸法とすることにより、トランジスタの微細化が可能となる。酸化物を低抵抗化するための金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜を、層242として加工することで、当該膜の一部をソース配線、またはドレイン配線として用いることができる。各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。また、酸化物を低抵抗化するための膜を、配線や電極として用いることで、製造コストを安価にすることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタを有する半導体装置であって、

前記トランジスタは、

第 1 の導電体と、

前記第 1 の導電体上の第 1 の絶縁体と、

前記第 1 の絶縁体上の酸化物と、

前記酸化物上の第 2 の絶縁体と、

前記第 2 の絶縁体上の第 2 の導電体と、

前記酸化物上の金属原子を有する化合物層と、

前記化合物層上の第 3 の導電体と、を有し、

前記第 1 の絶縁体は、前記第 1 の導電体の少なくとも一部を露出する開口を有し、

前記酸化物は、

第 1 の領域と、第 2 の領域と、前記第 1 の領域および前記第 2 の領域の間に位置する第 3 の領域と、を有し、

前記第 1 の領域は、前記第 1 の絶縁体と重畳し、

前記第 2 の領域は、前記化合物層、および前記第 3 の導電体と重畳し、

前記第 3 の導電体は、前記開口を介して、前記第 1 の導電体と接していることを特徴とする半導体装置。

10

【請求項 2】

20

トランジスタを有する半導体装置であって、

前記トランジスタは、

第 1 の導電体と、

前記第 1 の導電体上の第 1 の絶縁体と、

前記第 1 の絶縁体上の酸化物と、

前記酸化物上の第 2 の絶縁体と、

前記第 2 の絶縁体上の第 2 の導電体と、

前記酸化物上の金属原子を有する化合物層と、

前記化合物層上の第 3 の導電体と、を有し、

前記第 1 の絶縁体は、前記第 1 の導電体の少なくとも一部を露出する開口を有し、

前記酸化物は、

第 1 の領域と、第 2 の領域と、前記第 1 の領域および前記第 2 の領域の間に位置する第 3 の領域と、を有し、

前記第 1 の領域は、前記第 1 の絶縁体と重畳し、かつ、前記第 3 の領域よりも高抵抗であり、

前記第 2 の領域は、前記化合物層、および前記第 3 の導電体と重畳し、かつ、前記第 1 の領域及び前記第 3 の領域よりも低抵抗であり、

前記第 3 の導電体は、前記開口を介して、前記第 1 の導電体と接していることを特徴とする半導体装置。

30

【請求項 3】

40

請求項 1 または請求項 2 において、

前記酸化物は、In と、元素 M (M は Al、Ga、Y、または Sn) と、Zn と、を有することを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記酸化物は、原子数比において、前記元素 M よりも前記 In の方が多いことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記化合物層と、前記第 3 の導電体とは、同じ金属原子を有することを特徴とする半導

50

体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記化合物層と、前記第 3 の導電体は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有する、ことを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、

前記化合物層と、前記第 3 の導電体は、アルミニウム及びチタンを有する、ことを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

前記化合物層は、窒素を有する、ことを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一において、

前記トランジスタは、ノーマリオフ型である、ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】

【0004】

近年、半導体装置の開発が進められ、LSI や CPU やメモリが主に用いられている。CPU は、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

【0005】

LSI や CPU やメモリなどの半導体回路（IC チップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力の CPU などが開示されている（特許文献 1 参照。）

。

10

20

30

40

50

【0008】

また、酸化物半導体を用いたトランジスタとして、セルフアライン構造のトランジスタが提案されている。当該セルフアライン構造のトランジスタとして、ソース領域及びドレイン領域上に金属膜を形成し、当該金属膜に対して熱処理を行うことで、金属膜を高抵抗化させるとともに、ソース領域およびドレイン領域を低抵抗化させる方法が開示されている（特許文献2参照）。

【0009】

また、酸化物半導体を用いたトランジスタの作製方法として、ソース領域及びドレイン領域上に金属膜を形成したのち熱処理を行い、その後、当該金属膜を通過してドーパントを導入することで、ソース領域およびドレイン領域を低抵抗化させる方法が開示されている（特許文献3参照）。

10

【0010】

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2012-257187号公報

【特許文献2】特開2011-228622号公報

20

【特許文献3】特開2013-016782号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

特許文献2においては、ソース領域およびドレイン領域を低抵抗化させる際に、ソース領域およびドレイン領域上に金属膜を形成し、当該金属膜に対して酸素雰囲気下で熱処理を行っている。熱処理を行うことで、酸化物半導体膜のソース領域およびドレイン領域中には金属膜の構成元素がドーパントとして入り込んで、低抵抗化させている。また、酸素雰囲気下で熱処理を行うことで、導電膜を酸化させ、当該導電膜を高抵抗化させている。ただし、酸素雰囲気下で熱処理を行っているため、酸化物半導体膜中から金属膜が酸素を引き抜く作用が低い。

30

【0013】

また、特許文献2においては、チャネル形成領域の酸素濃度については記載されているが、水、水素などの不純物の濃度については、言及されていない。すなわち、チャネル形成領域の高純度化（水、水素などの不純物の低減化、代表的には脱水・脱水素化）が行われていないため、ノーマリーオンのトランジスタ特性となりやすいといった問題があった。なお、ノーマリーオンのトランジスタ特性とは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことである。一方でノーマリーオフのトランジスタ特性とは、ゲートに電圧を印加しない状態では、トランジスタに電流が流れない状態である。

40

【0014】

上述の問題に鑑み、本発明の一態様は、トランジスタのソース領域およびドレイン領域を安定して低抵抗化させるとともに、チャネル形成領域を高純度化させることで良好な電気特性を有する半導体装置を提供することを課題の一つとする。

【0015】

または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

【0016】

50

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様には、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

【0017】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

10

【課題を解決するための手段】

【0018】

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の導電体と、第1の導電体上の第1の絶縁体と、第1の絶縁体上の酸化物と、酸化物上の第2の絶縁体と、第2の絶縁体上の第2の導電体と、酸化物上の金属原子を有する化合物層と、化合物層上の第3の導電体と、を有し、第1の絶縁体は、第1の導電体の少なくとも一部を露出する開口を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第1の絶縁体と重畳し、第2の領域は、化合物層、および第3の導電体と重畳し、第3の導電体は、開口を介して、第1の導電体と接している。

20

【0019】

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の導電体と、第1の導電体上の第1の絶縁体と、第1の絶縁体上の酸化物と、酸化物上の第2の絶縁体と、第2の絶縁体上の第2の導電体と、酸化物上の金属原子を有する化合物層と、化合物層上の第3の導電体と、を有し、第1の絶縁体は、第1の導電体の少なくとも一部を露出する開口を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第1の絶縁体と重畳し、かつ、第3の領域よりも高抵抗であり、第2の領域は、化合物層、および第3の導電体と重畳し、かつ、第1の領域及び第3の領域よりも低抵抗であり、第3の導電体は、開口を介して、第1の導電体と接している。

30

【0020】

上記において、酸化物は、Inと、元素M（MはAl、Ga、Y、またはSn）と、Znと、を有する。

【0021】

上記において、酸化物は、原子数比において、元素MよりもInの方が多い。

【0022】

上記において、化合物層と、第3の導電体とは、同じ金属原子を有する。

【0023】

上記において、請求項1乃至請求項5のいずれか一において、化合物層と、第3の導電体は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有する。

40

【0024】

上記において、化合物層と、第3の導電体は、アルミニウム及びチタンを有する。

【0025】

上記において、化合物層は、窒素を有する。

【0026】

上記において、トランジスタは、ノーマリオフ型である。

【発明の効果】

【0027】

50

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

【0028】

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

【0029】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0030】

【図1】本発明の一態様に係る半導体装置を説明する上面図および断面図。

【図2】本発明の一態様に係る半導体装置を説明する断面図。

【図3】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図4】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図5】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図6】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図7】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図8】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図9】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図10】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図11】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図12】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図13】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図14】本発明の一態様に係る半導体装置を説明する上面図および断面図。

【図15】本発明の一態様に係る半導体装置を説明する上面図および断面図。

【図16】本発明の一態様に係る半導体装置を説明する上面図および断面図。

【図17】本発明の一態様に係る半導体装置を説明する上面図および断面図。

【図18】本発明の一態様に係る半導体装置の上面、および断面図。

【図19】本発明の一態様に係る半導体装置の回路図および断面図。

【図20】本発明の一態様に係る半導体装置の回路図および断面図。

【図21】本発明の一態様に係る記憶装置の構成を示す断面図。

【図22】本発明の一態様に係る記憶装置の構成を示す断面図。

【図23】本発明の一態様に係る記憶装置の構成を示す断面図。

【図24】本発明の一態様に係る記憶装置の構成を示す断面図。

【図25】本発明の一態様に係る記憶装置の回路図および断面図。

【図26】本発明の一態様に係る記憶装置の構成を示す断面図。

【図27】本発明の一態様に係る記憶装置の構成を示す断面図。

【図28】 InGaZnO_4 結晶中の領域区分を説明する模式図。

【図29】 InO_2 面と $(\text{Ga}, \text{Zn})\text{O}$ 面の間の領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。

【図30】 $(\text{Ga}, \text{Zn})\text{O}$ 領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。

【図31】 InO_2 領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。

【図32】c 軸方向に沿った水素原子の移動経路と、その経路上での活性化障壁を説明す

10

20

30

40

50

る図。

【図 3 3】計算モデルを説明する図。

【図 3 4】酸素欠損モデルの全エネルギーの相対値を説明する図。

【図 3 5】初期状態のモデルと最終状態のモデルを説明する図。

【図 3 6】活性化障壁を説明する図。

【図 3 7】インバータ回路の構成例を示す回路図と、その動作例を示すタイミングチャート

【図 3 8】本発明の一態様に係る記憶装置の構成例を示すブロック図。

【図 3 9】本発明の一態様に係る記憶装置の構成例を示す回路図。

【図 4 0】本発明の一態様に係る記憶装置の構成例を示す回路図。

10

【図 4 1】本発明の一態様に係る記憶装置の構成例を示すブロック図。

【図 4 2】本発明の一態様に係る記憶装置の構成例を示すブロック図、および回路図。

【図 4 3】本発明の一態様に係る半導体装置の構成例を示すブロック図。

【図 4 4】本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。

【図 4 5】本発明の一態様に係る半導体装置の構成例を示すブロック図。

【図 4 6】本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。

【図 4 7】本発明の一態様に係る A I システムの構成例を示すブロック図。

【図 4 8】本発明の一態様に係る A I システムの応用例を説明するブロック図。

20

【図 4 9】本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。

【図 5 0】本発明の一態様に係る電子機器を示す図。

【図 5 1】本発明の一態様に係る電子機器を示す図。

【図 5 2】本発明の一態様に係る電子機器を示す図。

【図 5 3】本実施例に係る試料のシート抵抗を説明する図。

【発明を実施するための形態】

【0031】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

30

【0032】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

40

【0033】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【0034】

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しな

50

い場合がある。

【0035】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0036】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

10

【0037】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0038】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

20

【0039】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

30

【0040】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

40

【0041】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域を有しており、チャンネルが形成される領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャ

50

ネルが形成される領域とは、電流が主として流れる領域をいう。

【0042】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【0043】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0044】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0045】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

【0046】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0047】

そこで、本明細書では、見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

【0048】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS（Density of States）が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変

10

20

30

40

50

化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0049】

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

10

【0050】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

20

【0051】

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、nチャンネル型のトランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、明示されている場合を除き、0Vよりも大きいものとする。

【0052】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

30

【0053】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0054】

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

40

【0055】

本明細書等において、金属酸化物（metal oxide）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FETと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0056】

また、本明細書等において、ノーマリーオフとは、ゲートに電圧を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャンネル幅 $1\mu\text{m}$ あたりの電流が

50

、室温において 1×10^{-20} A以下、85℃において 1×10^{-18} A以下、または125℃において 1×10^{-16} A以下であることをいう。

【0057】

（実施の形態1）

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0058】

＜半導体装置の構成例＞

図1（A）、図1（B）、図1（C）、および図1（D）は、本発明の一態様に係るトランジスタ200、およびトランジスタ200周辺の上面図および断面図である。

10

【0059】

図1（A）は、トランジスタ200を有する半導体装置の上面図である。また、図1（B）、図1（C）、および図1（D）は当該半導体装置の断面図である。ここで、図1（B）は、図1（A）にA1-A2の一点鎖線で示す部位の断面図である。また、図1（C）は、図1（A）にA3-A4の一点鎖線で示す部位の断面図である。また、図1（D）は、図1（A）にA5-A6の一点鎖線で示す部位の断面図である。なお、図1（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0060】

本発明の一態様の半導体装置は、トランジスタ200と、層間膜として機能する絶縁体210、絶縁体212、絶縁体280、絶縁体282、絶縁体284を有する。また、トランジスタ200と電氣的に接続し、配線として機能する導電体203、および導電体204を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240を有する。

20

【0061】

なお、導電体203は、絶縁体212の開口の内壁に接して導電体203の第1の導電体が形成され、さらに内側に導電体203の第2の導電体が形成されている。また、導電体204は、絶縁体212の開口の内壁に接して、導電体204の第1の導電体が形成され、さらに内側に、導電体204の第2の導電体が形成されている。ここで、導電体203、および導電体204の上面の高さと、絶縁体212の上面の高さは同程度にできる。なお、本実施の形態では、導電体203、および導電体204は、第1の導電体、および第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体203、および導電体204を単層、または3層以上の積層構造として設ける構成にしてもよい。また、構造体が積層構造を有する場合、序数を付与し、区別する場合がある。

30

【0062】

また、導電体240は、絶縁体280、絶縁体282、絶縁体284の開口の内壁に接して形成されている。ここで、導電体240の上面の高さと、絶縁体284の上面の高さは同程度にできる。なお、本実施の形態では、導電体240が2層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240は、単層、又は3層以上の積層構造でもよい。

40

【0063】

〔トランジスタ200〕

図1に示すように、トランジスタ200は、基板（図示せず。）の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205、および導電体206と、絶縁体216、および導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、酸化物230上に配置された化合物層243（化合物層243a、および化合物層243b）と、化合物層243b上に配置された層242と、酸化物230の上に配置された絶縁体250と、絶縁体25

50

0上に配置された金属酸化物252と、金属酸化物252の上に配置された導電体260（導電体260a、および導電体260b）と、導電体260の上に配置された絶縁体270と、絶縁体270上に配置された絶縁体271と、少なくとも、絶縁体250の側面、金属酸化物252の側面、および導電体260の側面と接して配置された絶縁体272と、酸化物230、絶縁体272、および層242上に配置された絶縁体273と、絶縁体273上に配置された絶縁体274と、を有する。

【0064】

なお、トランジスタ200では、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230bと酸化物230aの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200では、導電体260aおよび導電体260bを積層する構成について示しているが、本発明はこれに限られるものではない。

10

【0065】

また、トランジスタ200は、チャネルが形成される領域（以下、チャネル形成領域ともいう。）を含む酸化物230（酸化物230a、酸化物230b、および酸化物230c）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

【0066】

チャネル形成領域に酸化物半導体を用いたトランジスタ200は、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200に用いることができる。

20

【0067】

例えば、酸化物230として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

30

【0068】

ここで、酸化物半導体は、酸化物半導体を構成する元素の他に、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、などの金属元素が添加されることで、金属化合物を形成し、低抵抗化する。なお、好ましくは、アルミニウム、チタン、タンタル、タングステンなどを用いることが好ましい。

【0069】

酸化物半導体に、金属元素を添加するには、例えば、酸化物半導体上に、当該金属元素を含む金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けるとよい。また、当該膜を設けることで、当該膜と酸化物半導体との界面、または当該界面近傍に位置する酸化物半導体中の一部の酸素が該膜などに吸収され、酸素欠損を形成し、当該界面近傍が低抵抗化する場合がある。

40

【0070】

ここで、酸化物半導体を低抵抗化するための金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、配線、またはプラグとして用いることができる導電材料を用いる。当該導電材料として、例えば、抵抗値が、 $2.4 \times 10^3 [\Omega/\text{sq}]$ 以下、好ましくは $1.0 \times 10^3 [\Omega/\text{sq}]$ 以下である金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。

【0071】

金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を加工することで、当該膜の一部を、ソース配線、またはドレイン配線として用いることができる。従って、酸

50

化物半導体の低抵抗化と、ソース配線、またはドレイン配線を同時に形成することができるため、工程を短縮することができる。また、除去する材料を低減することで、製造コストを安価にすることができる。

【0072】

また、酸化物半導体上に、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けた後、窒素を含む雰囲気下で、熱処理を行うとよい。窒素を含む雰囲気下での熱処理により、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜から、当該膜の成分である金属元素が酸化物半導体へ、または酸化物半導体の成分である金属元素が当該膜へと、拡散し、酸化物半導体と、当該膜とが金属化合物を形成し、低抵抗化することができる。酸化物半導体に添加された金属元素は、酸化物半導体と金属元素と、金属化合物を形成することで、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

10

【0073】

また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜と、酸化物半導体との界面に、化合物層が形成されていてもよい。なお、化合物層とは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜の成分と、酸化物半導体の成分とを含む金属化合物を有する層とする。例えば、化合物層として、酸化物半導体の金属元素と、添加された金属元素とが、合金化した層が形成されていてもよい。当該合金化した層は、比較的安定な状態であり、信頼性の高い半導体装置を提供することができる。

【0074】

また、酸化物半導体に存在する水素は、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、酸化物半導体に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入り、比較的安定な状態となることがわかっている。従って、熱処理によって、酸化物半導体の低抵抗化した領域、または金属化合物が形成された領域は、より低抵抗化し、低抵抗化していない酸化物半導体は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する傾向がある。

20

【0075】

また、酸化物半導体は、水素、または窒素などの不純物元素が存在すると、キャリア密度が増加する。酸化物半導体中の水素は、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ると、キャリア密度は増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素を有する酸化物半導体は、低抵抗化される。

30

【0076】

従って、酸化物半導体に、金属元素、並びに、水素、および窒素などの不純物元素を、選択的に添加することで、酸化物半導体に高抵抗領域、および低抵抗領域を設けることができる。つまり、酸化物230を選択的に低抵抗化することで、島状に加工した酸化物230に、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

40

【0077】

ここで、図1（B）において破線で囲む、選択的に低抵抗化した酸化物230bを含む領域239の拡大図を図2に示す。

【0078】

図2に示すように、酸化物230は、トランジスタのチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231（領域231a、および領域231b）と、領域234と領域231との間に設けられる、領域232（領域232a、および領域232b）と、を有する。

【0079】

ソース領域またはドレイン領域として機能する領域231は、酸素濃度が低く、低抵抗化

50

した領域である。また、チャンネル形成領域として機能する領域 2 3 4 は、ソース領域またはドレイン領域として機能する領域 2 3 1 よりも、酸素濃度が高く、キャリア密度が低い高抵抗領域である。また、領域 2 3 2 は、ソース領域またはドレイン領域として機能する領域 2 3 1 よりも、酸素濃度が高く、キャリア密度が低い、かつ、チャンネル形成領域として機能する領域 2 3 4 よりも、酸素濃度が低く、キャリア密度が高い領域である。

【0080】

なお、領域 2 3 1 は、金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域 2 3 2、および領域 2 3 4 よりも高いことが好ましい。

【0081】

例えば、領域 2 3 1 は、酸化物 2 3 0 の他に、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を有することが好ましい。

10

【0082】

領域 2 3 1 を形成するには、例えば、酸化物 2 3 0 の領域 2 3 1 に接して、金属元素を有する膜を設ければよい。なお、当該金属元素を有する膜として、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜を用いることができる。その際、当該金属元素を有する膜と、酸化物 2 3 0 との界面に、化合物層 2 4 3（化合物層 2 4 3 a、化合物層 2 4 3 b）が形成される。なお、化合物層とは、当該金属元素を有する膜の成分と、酸化物 2 3 0 の成分とを含む金属化合物を有する層とする。例えば、化合物層 2 4 3 として、酸化物 2 3 0 中の金属元素と、添加された金属元素とが、合金化した層が形成されていて

20

【0083】

酸化物 2 3 0 に、金属元素が添加されることで、酸化物 2 3 0 中に、金属化合物が形成され、領域 2 3 1 を低抵抗化することができる。なお、化合物層 2 4 3 は、必ずしも、酸化物 2 3 0 中に形成されていなくともよい。例えば、酸化物 2 3 0 の表面、層 2 4 2 の表面、または層 2 4 2 と酸化物 2 3 0 との界面に設けられていてもよい。

【0084】

従って、領域 2 3 1 は、酸化物 2 3 0 の低抵抗領域だけでなく、層 2 4 2 と酸化物 2 3 0 との間に形成された化合物層 2 4 3 の低抵抗領域も含む場合がある。つまり、本明細書では、ソース領域またはドレイン領域として機能する領域を、領域 2 3 1 とする。

30

【0085】

領域 2 3 2 は、絶縁体 2 7 2 と重畳する領域を有する。領域 2 3 2 は、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域 2 3 4 よりも高いことが好ましい。例えば、酸化物 2 3 0 の領域 2 3 1 に接して、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜を設けることで、当該膜中の成分と、酸化物半導体の成分とが、化合物層 2 4 3 を形成する。化合物層 2 4 3 は、酸化物 2 3 0 に含まれる水素を引き寄せる場合がある。化合物層 2 4 3 に引き寄せられた水素は、領域 2 3 1、および領域 2 3 2 の酸素欠損に捕獲され、比較的安定な状態となる。従って、化合物層 2 4 3 近傍の領域 2 3 1 の近傍である領域 2 3 2 の水素の濃度は、酸化物 2 3 0 の領域 2 3 4 よりも、高くなる場合がある。

40

【0086】

なお、領域 2 3 2 a、および領域 2 3 2 b のいずれか一方または双方は、導電体 2 6 0 と重畳する領域を有する構成としてもよい。当該構成とすることで、導電体 2 6 0 と、領域 2 3 2 a および領域 2 3 2 b とを、オーバーラップさせることが可能となる。

【0087】

また、図 2 では、領域 2 3 4、領域 2 3 1、および領域 2 3 2 が、酸化物 2 3 0 b に形成されているが、これに限られない。例えば、これらの領域は化合物層 2 4 3、酸化物 2 3 0 a、および酸化物 2 3 0 c にも、形成されていてよい。また、図 2 では、各領域の境界を、酸化物 2 3 0 の上面に対して略垂直に表示しているが、本実施の形態はこれに限ら

50

れるものではない。例えば、領域 2 3 2 が酸化物 2 3 0 b の表面近傍では導電体 2 6 0 側に張り出し、酸化物 2 3 0 a の下面近傍では、導電体 2 4 0 側または層 2 4 2 側に後退する形状になる場合がある。

【0088】

また、酸化物 2 3 0 において、各領域の境界は明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう。）していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、並びに水素、および窒素などの不純物元素の濃度が減少していればよい。

【0089】

酸化物 2 3 0 を、選択的に低抵抗化するには、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの導電性を高める金属元素を所望の領域に添加するとよい。また、金属元素に加えて、不純物を、所望の領域に添加してもよい。なお、不純物としては、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

【0090】

領域 2 3 1 は、上述の導電性を高める金属元素、酸素欠損を形成する元素、または酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。

【0091】

領域 2 3 1 を低抵抗化するために、例えば、酸化物 2 3 0 の領域 2 3 1 に接して、層 2 4 2 となる膜（以下、膜 2 4 2 A とする。）を成膜するとよい。膜 2 4 2 A としては、金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜などを用いることができる。膜 2 4 2 A は、少なくとも、絶縁体 2 5 0、金属酸化物 2 5 2、導電体 2 6 0、絶縁体 2 7 0、絶縁体 2 7 1、および絶縁体 2 7 2 を介して、酸化物 2 3 0 上に設けることが好ましい。

【0092】

なお、膜 2 4 2 A として、抵抗値が、 $2.4 \times 10^3 [\Omega/\text{sq}]$ 以下、好ましくは $1.0 \times 10^3 [\Omega/\text{sq}]$ 以下である金属、金属元素を有する窒化物、または金属元素を有する酸化物を用いる。当該導電材料として、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属膜、Al-Ti 窒化物、窒化チタンなどの金属元素を有する窒化膜、またはインジウム錫酸化物、In-Ga-Zn 酸化物（以下、IGZO ともいう。）などの金属元素を有する酸化膜を用いればよい。

【0093】

酸化物 2 3 0 と膜 2 4 2 A とが接することにより、膜 2 4 2 A の成分と、酸化物 2 3 0 の成分とが、金属化合物を形成し、領域 2 3 1 となり、低抵抗化する。なお、少なくとも、酸化物 2 3 0 の表面、または酸化物 2 3 0 と膜 2 4 2 A との界面近傍が低抵抗化すればよい。また、酸化物 2 3 0 と膜 2 4 2 A との界面、または当該界面近傍に位置する酸化物 2 3 0 中の酸素の一部が膜 2 4 2 A に吸収され、酸化物 2 3 0 に酸素欠損を形成し、低抵抗化し、領域 2 3 1 を形成する場合がある。

【0094】

また、酸化物 2 3 0 と、膜 2 4 2 A とが、接した状態で、窒素を含む雰囲気下において熱処理を行うとよい。当該熱処理により、膜 2 4 2 A から、膜 2 4 2 A の成分である金属元素が酸化物 2 3 0 へ、または酸化物 2 3 0 の成分である金属元素が膜 2 4 2 A へと、拡散し、酸化物 2 3 0 と、膜 2 4 2 A とが金属化合物を形成し、低抵抗化する。なお、その際、酸化物 2 3 0 の金属元素と、膜 2 4 2 A の金属元素とが、合金化してもよい。酸化物 2 3 0 の金属元素と、膜 2 4 2 A の金属元素とが、合金化することで、金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

10

20

30

40

50

【0095】

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

【0096】

一方、酸化物230の導電体260、および絶縁体272と重畳する領域（領域234、および領域232）は、導電体260、および絶縁体272を介しているため、金属元素の添加が抑制される。また、酸化物230の領域234、および領域232において、酸化物230中の酸素原子が、上述した膜242Aへ吸収されることが抑制される。

10

【0097】

また、膜242Aに、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231、および領域232のキャリア密度は増加する。従って、酸化物230の領域231、および領域232は、低抵抗化される。

【0098】

ここで、膜242Aが、水素を吸収する特性を有する場合、酸化物230中の水素は、当該膜へと吸収される。従って、酸化物230中の不純物である水素を低減することができる。

20

【0099】

膜242Aを成膜し、酸化物230を選択的に低抵抗化した後、膜242Aを加工し、層242を形成する。層242は、酸化物230の低抵抗化した領域上に形成されているため、ソース配線、またはドレイン配線として用いることができる。

【0100】

一例として、図1では、酸化物230よりも、絶縁体222側に設けた導電体206と接続する場合を示したが、本構造に限らない。例えば、酸化物230よりも、絶縁体273側に設ける配線と接続するための構造として用いてもよい。具体的には、導電体240と、酸化物230との間に、膜242Aの一部を層242として残存させることで、導電体240と酸化物230とのコンタクト抵抗を低減することができる。

30

【0101】

上記より、酸化物半導体の低抵抗化と、ソース配線、またはドレイン配線を同時に形成することができるため、工程を短縮することができる。また、酸化物230を低抵抗化するための膜を、配線や電極として用いることで、製造コストを安価にすることができる。

【0102】

なお、膜242Aの一部を薄膜化してもよい。例えば、膜242Aの一部を配線またはプラグとして機能する層242とし、膜242Aの他の領域を薄膜化する。その後、熱処理を行うことにより、膜242Aの薄膜化した領域を酸化させることで、膜242Aは、選択的に絶縁体となり、高抵抗化する。当該熱処理は、例えば、酸化性雰囲気下で行うことが好ましい。また、膜242Aの薄膜化した領域の近傍に酸素を有する構造体がある場合、熱処理を行うことで、膜242Aの薄膜化した領域は、当該構造体が有する酸素と反応し、酸化する場合がある。

40

【0103】

膜242Aを、選択的に絶縁体として残存させることで、層間膜として機能させることができる。当該構造とする場合、膜242Aは、5nmよりも厚く、好ましくは20nmよりも厚く設ける。酸化物230を選択的に低抵抗化した後、膜242Aを選択的に薄膜化する。薄膜化は、後工程で、絶縁化させることができる程度の膜厚とする。例えば、薄膜化した膜242Aは、0.5nm以上5nm以下、好ましくは1nm以上2nm以下の膜

50

厚であればよい。なお、上記酸化性雰囲気下で熱処理を行う場合には、酸化物 230 と、膜 242A とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行ったあとに行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物 230 中の酸素が、薄膜化した膜 242A に拡散しやすくなる。

【0104】

上記構成、または上記工程を組み合わせることで、酸化物 230 の選択的な低抵抗化を行うことができる。

【0105】

つまり、酸化物 230 に低抵抗領域を形成する際に、ゲート電極として機能する導電体 260、および絶縁体 272 をマスクとすることで、自己整合的に酸化物 230 は低抵抗化する。そのため、複数のトランジスタ 200 を同時に形成する場合、トランジスタ間の電気特性バラつきを小さくすることができる。また、トランジスタ 200 のチャネル長は、導電体 260 の幅、および絶縁体 272 の膜厚により決定され、導電体 260 の幅を最小加工寸法とすることにより、トランジスタ 200 の微細化が可能となる。

10

【0106】

また、酸化物 230 を低抵抗化するための金属膜、金属元素を有する酸化膜、または金属元素を有する窒化膜を、層 242 として加工することで、当該膜の一部を、ソース配線、またはドレイン配線として用いることができる。従って、酸化物半導体の低抵抗化と、ソース配線、またはドレイン配線を同時に形成することができるため、工程を短縮することができる。

20

【0107】

以上より、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。また、酸化物 230 を低抵抗化するための膜を、配線や電極として用いることで、製造コストを安価にすることができる。

【0108】

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

30

【0109】

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

【0110】

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の詳細な構成について説明する。

【0111】

酸化物 230 は、酸化物 230a と、酸化物 230a 上の酸化物 230b と、酸化物 230b 上の酸化物 230c と、を有する。酸化物 230b 下に酸化物 230a を有することで、酸化物 230a よりも下方に形成された構造物から、酸化物 230b への不純物の拡散を抑制することができる。また、酸化物 230b 上に酸化物 230c を有することで、酸化物 230c よりも上方に形成された構造物から、酸化物 230b への不純物の拡散を抑制することができる。

40

【0112】

なお、酸化物 230 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 230a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 230b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 230a に用いる金属酸化物に

50

において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

【0113】

また、酸化物230aおよび酸化物230cの伝導帯下端のエネルギーが、酸化物230bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物230aおよび酸化物230cの電子親和力が、酸化物230bの電子親和力より小さいことが好ましい。

10

【0114】

ここで、酸化物230a、酸化物230b、および酸化物230cの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230a、酸化物230b、および酸化物230cの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0115】

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

20

【0116】

このとき、キャリアの主たる経路は酸化物230bとなる。酸化物230a、酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は高いオン電流を得られる。

30

【0117】

また、酸化物230は、領域231、領域232、および領域234を有する。なお、領域231の少なくとも一部は、絶縁体273と近接する領域を有する。また、領域232は、少なくとも、絶縁体272と重畳する領域を有する。

【0118】

なお、トランジスタ200をオンさせると、領域231aは、ソース領域およびドレイン領域の一方として機能し、領域231bは、ソース領域およびドレイン領域の他方として機能する。一方、領域234の少なくとも一部は、チャネルが形成される領域として機能する。領域231と、領域234の間に領域232を有することで、トランジスタ200において、オン電流を大きくし、かつ、非導通時のリーク電流（オフ電流）を小さくすることができる。

40

【0119】

トランジスタ200において、領域232を設けることで、ソース領域およびドレイン領域として機能する領域231と、チャネルが形成される領域234との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域232を有することで、チャネル長方向において、ソース領域およびドレイン領域と、第1のゲート電極（導電体260）とが重ならないため、両者の間で不要な容量が形成されることを抑制できる。また、領域232を有することで、非導通時のリーク電流を小さくすることができる。

【0120】

50

つまり、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

【0121】

酸化物230は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。例えば、領域234となる金属酸化物としては、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0122】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

10

【0123】

酸化物230上には、化合物層243が形成される。化合物層243は、層242の金属元素と、酸化物230の金属元素とが、合金化している場合がある。また、化合物層243は、ソース領域、またはドレイン領域として機能する場合がある。

【0124】

層242は、トランジスタ200のソース領域およびドレイン領域の一方として機能する領域231bと接している。よって、層242はソース電極およびドレイン電極の一方として機能できる。

20

【0125】

なお、図1（D）に示すように、領域231b、並びに絶縁体220、および絶縁体222の開口の内壁に接して、層242が形成されている。当該開口の底部の少なくとも一部には導電体206が位置しており、層242が導電体206と接する。

【0126】

ここで、図1（D）に示すように、層242は、酸化物230、および化合物層243bの側面と重疊することが好ましい。特に、層242は、酸化物230のチャネル幅方向と交わる側面において、A5側の側面、およびA6側の側面の双方または一方と重疊することが好ましい。また、層242が、酸化物230のチャネル長方向と交わる側面において、A1側（A2側）の側面と重疊する構成にしてもよい。このように、層242が、ソース領域またはドレイン領域となる領域231、および酸化物230の側面と重疊する構成とすることで、導電体240とトランジスタ200のコンタクト部の投影面積を増やすことなく、コンタクト部の接触面積を増加させ、層242とトランジスタ200の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

30

【0127】

層242は、抵抗値が、 $2.4 \times 10^3 [\Omega/\text{sq}]$ 以下、好ましくは $1.0 \times 10^3 [\Omega/\text{sq}]$ 以下である金属、金属元素を有する窒化物、または金属元素を有する酸化物を用いる。当該導電材料として、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属膜、Al-Ti窒化物、窒化チタンなどの金属元素を有する窒化膜、またはインジウム錫酸化物、In-Ga-Zn酸化物（以下、IGZOともいう。）などの金属元素を有する酸化膜を用いればよい。

40

【0128】

また、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273に形成された開口に、導電体240を配置する。なお、導電体240の上面の高さは、絶縁体284の上面と、同一平面上としてもよい。

【0129】

導電体240は、トランジスタ200のソース領域およびドレイン領域の一方として機能する領域231aと接している。よって、導電体240はソース電極およびドレイン電極

50

の一方として機能できる。

【0130】

なお、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273の開口の内壁に接して導電体240が形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240が領域231aと接する。

【0131】

ここで、導電体240は、酸化物230の側面と重畳することが好ましい。特に、導電体240は、酸化物230のチャンネル幅方向と交わる側面において、A5側の側面、およびA6側の側面の双方または一方と重畳することが好ましい。また、導電体240が、酸化物230のチャンネル長方向と交わる側面において、A1側（A2側）の側面と重畳する構成にしてもよい。このように、導電体240が、ソース領域またはドレイン領域となる領域231、および酸化物230の側面と重畳する構成とすることで、導電体240とトランジスタ200のコンタクト部の投影面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体240とトランジスタ200の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

【0132】

導電体240は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240は積層構造としてもよい。

【0133】

ここで、例えば、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273に開口を形成する際に、酸化物230において、領域231の低抵抗化した領域が除去され、低抵抗化していない酸化物230が露出する場合がある。その場合、導電体240の酸化物230と接する導電体（以下、導電体240の第1の導電体ともいう。）に用いる導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、低抵抗化していない酸化物230と導電体240の第1の導電体とが接することで、金属化合物、または酸化物230に酸素欠損が形成され、酸化物230の領域231が、低抵抗化する。従って、導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240とのコンタクト抵抗を低減することができる。従って、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、などの金属元素を含むことが好ましい。

【0134】

また、導電体240を積層構造とする場合、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273と接する導電体には、導電体205の第1の導電体などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280より上層から水素、水などの不純物が、導電体240を通じて酸化物230に混入するのを抑制することができる。

【0135】

なお、図1では、導電体240に替えて、層242と同様の構造を、領域231aと接するように設けてもよい。その場合、導電体204、および導電体206と同様に、絶縁体212乃至絶縁体222に開口を設け、領域231aに電位を印加するプラグ、または配線などを設ければよい。

【0136】

導電体204は、図1（A）、および図1（D）に示すように、導電体206に電位を印加する配線として機能する。なお、導電体204は、絶縁体212に埋め込まれて設ける

10

20

30

40

50

ことが好ましい。

【0137】

例えば、導電体204は、トランジスタ200よりも、下層に設けられる構造体と接続する配線として機能することができる。当該構造体として、他のトランジスタ、および容量素子等の回路素子等を設ければよい。

【0138】

導電体206は、絶縁体220、および絶縁体222に設けられた開口を介して、層242と接する。また、導電体206は、導電体204の上に接して設けるとよい。また、導電体206は、絶縁体214および絶縁体216に埋め込まれて設けることが好ましい。

【0139】

導電体203は、図1(A)、および図1(C)に示すように、導電体205に電位を印加する配線として機能する。なお、導電体203は、絶縁体212に埋め込まれて設けることが好ましい。

【0140】

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、導電体203の上に接して設けるとよい。また、導電体205は、絶縁体214および絶縁体216に埋め込まれて設けることが好ましい。

【0141】

ここで、導電体260は、第1のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体205は、第2のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200の閾値電圧を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の閾値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0142】

また、導電体203上に導電体205を設けることで、第1のゲート電極、および配線としての機能を有する導電体260と、導電体203との距離を適宜設計することが可能となる。つまり、導電体203と導電体260の間に絶縁体214および絶縁体216などが設けられることで、導電体203と導電体260の間の寄生容量を低減し、導電体203と導電体260の間の絶縁耐圧を高めることができる。

【0143】

また、導電体203と導電体260の間の寄生容量を低減することで、トランジスタ200のスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体203と導電体260の間の絶縁耐圧を高めることで、トランジスタ200の信頼性を向上させることができる。よって、絶縁体214および絶縁体216の膜厚を厚くすることが好ましい。なお、導電体203の延伸方向はこれに限られず、例えば、トランジスタ200のチャネル長方向に延伸されてもよい。

【0144】

なお、導電体205は、図1(A)に示すように、酸化物230、および導電体260と重なるように配置する。また、導電体205は、酸化物230における領域234よりも、大きく設けるとよい。特に、図1(C)に示すように、導電体205は、酸化物230の領域234のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

【0145】

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャネル形成領域を覆うことができる。

10

20

30

40

50

【0146】

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャンネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

【0147】

また、導電体205、および導電体206は、絶縁体214および絶縁体216の開口の内壁に接して第1の導電体が形成され、さらに内側に第2の導電体が形成されている。ここで、第1の導電体および第2の導電体の上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200では、導電体205、および導電体206の第1の導電体および導電体205、および導電体206の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。

10

【0148】

ここで、導電体205、および導電体206、または導電体203、および導電体204の第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子など)の少なくとも一の拡散を抑制する機能を有する(上記酸素が透過しにくい。)導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

20

【0149】

導電体205、および導電体206、または導電体203、および導電体204の第1の導電体が酸素の拡散を抑制する機能を持つことにより、導電体205、および導電体206、または導電体203、および導電体204の第2の導電体が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。したがって、導電体205、および導電体206、または導電体203、および導電体204の第1の導電体としては、上記導電性材料を単層または積層とすればよい。これにより、絶縁体210より基板側から、水素、水などの不純物が、導電体205、および導電体206、または導電体203、および導電体204を通じて、トランジスタ200側に拡散するのを抑制することができる。

30

【0150】

また、導電体205、および導電体206の第2の導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205、および導電体206の第2の導電体を単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0151】

また、導電体203、および導電体204の第2の導電体は、配線として機能するため、導電体205、および導電体206の第2の導電体より導電性が高い導電体を用いることが好ましい。例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体203、および導電体204の第2の導電体は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

40

【0152】

特に、導電体203、および導電体204に、銅を用いることが好ましい。銅は抵抗が小さいため、配線等に用いることが好ましい。一方、銅は拡散しやすいため、酸化物230に拡散することで、トランジスタ200の電気特性を低下させる場合がある。そこで、例えば、絶縁体214には、銅の透過性が低い酸化アルミニウム、または酸化ハフニウムな

50

どの材料を用いることで、銅の拡散を抑えることができる。

【0153】

なお、導電体205、および導電体206、絶縁体214、および絶縁体216は必ずしも設けなくともよい。その場合、導電体203の一部が第2のゲート電極として機能することができる。

【0154】

絶縁体210、絶縁体214、および絶縁体282は、水または水素などの不純物が、基板側または絶縁体284側からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体210、絶縁体214、および絶縁体282は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子など)の少なくとも一の拡散を抑制する機能を有する(上記酸素が透過しにくい。)絶縁性材料を用いることが好ましい。

10

【0155】

例えば、絶縁体210、および絶縁体282として酸化アルミニウムなどを用い、絶縁体214として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体210および絶縁体214よりも基板側からトランジスタ200側に拡散することを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体210および絶縁体214よりも基板側に、拡散することを抑制することができる。または、水素、水などの不純物が、絶縁体282よりも絶縁体284側からトランジスタ200側に拡散することを抑制することができる。

20

【0156】

また、導電体203、および導電体204の上に導電体205、および導電体206を積層して設ける構成にすることにより、導電体203と導電体205の間に絶縁体214を設けることができる。ここで、導電体203の第2の導電体に銅など拡散しやすい金属を用いても、絶縁体214として窒化シリコンなどを設けることにより、当該金属が絶縁体214より上の層に拡散するのを抑制することができる。

【0157】

また、層間膜として機能する絶縁体212、絶縁体216、絶縁体280、および絶縁体284は、絶縁体210、または絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

30

【0158】

例えば、絶縁体212、絶縁体216、絶縁体280、および絶縁体284として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム($SrTiO_3$)または(Ba, Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

40

【0159】

絶縁体220、絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。

【0160】

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーモリーオン特性となりやすい。

50

【0161】

従って、酸化物230と接する絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

【0162】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

10

【0163】

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。

【0164】

絶縁体222が、酸素の拡散を抑制する機能を有することで、絶縁体224が有する過剰酸素領域の酸素は、絶縁体220側へ拡散することなく、効率よく酸化物230へ供給することができる。また、導電体205が、絶縁体224が有する過剰酸素領域の酸素と反応することを抑制することができる。

20

【0165】

絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

30

【0166】

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料であるアルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230からの酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の混入を抑制する層として機能する。

40

【0167】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0168】

また、絶縁体220は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、high-k 材料の絶縁体と絶縁体220とを組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

50

。

【0169】

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0170】

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、昇温脱離ガス分光法分析(TDS分析)にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下の範囲が好ましい。

10

【0171】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

20

【0172】

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、絶縁体250から、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

【0173】

また、絶縁体250が有する過剰酸素を、効率的に酸化物230へ供給するために、金属酸化物252を設けてもよい。従って、金属酸化物252は、絶縁体250からの酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物252を設けることで、絶縁体250から導電体260への過剰酸素の拡散が抑制される。つまり、酸化物230へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体260の酸化を抑制することができる。

30

【0174】

なお、金属酸化物252は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物230として用いることができる酸化物半導体を、金属酸化物252として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、金属酸化物252の電気抵抗値を低下させて導電体とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

【0175】

また、金属酸化物252は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物252は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

40

【0176】

トランジスタ200において、金属酸化物252を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁体の一部として機能する金属酸化物とを積層して設けてもよい。

50

【0177】

金属酸化物252を有することで、ゲート電極として機能する場合は、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。または、ゲート絶縁体として機能する場合は、絶縁体250と、金属酸化物252との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。従って、絶縁体250、および金属酸化物252との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

【0178】

具体的には、金属酸化物252として、酸化物230に用いることができる酸化物半導体を低抵抗化することで、金属酸化物252として用いることができる。または、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0179】

特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいことが好ましい。なお、金属酸化物252は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0180】

第1のゲート電極として機能する導電体260は、導電体260a、および導電体260a上の導電体260bを有する。導電体260aは、導電体205の第1の導電体と同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0181】

導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250、および金属酸化物252が有する過剰酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。

【0182】

また、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線として機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0183】

また、図1（C）に示すように、導電体205が、酸化物230のチャネル幅方向と交わる端部よりも外側の領域において、延伸している場合、導電体260は、当該領域において、絶縁体250を介して、重畳していることが好ましい。つまり、酸化物230の側面の外側において、導電体205と、絶縁体250と、導電体260とは、積層構造を形成することが好ましい。

【0184】

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物23

10

20

30

40

50

0に形成されるチャネル形成領域を覆うことができる。

【0185】

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。

【0186】

また、導電体260bの上に、バリア膜として機能する絶縁体270を配置してもよい。絶縁体270は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体270よりも上方からの酸素で導電体260が酸化するのを抑制することができる。また、絶縁体270よりも上方からの水または水素などの不純物が、導電体260および絶縁体250を介して、酸化物230に混入することを抑制することができる。

10

【0187】

また、絶縁体270上に、ハードマスクとして機能する絶縁体271を配置することが好ましい。絶縁体271を設けることで、導電体260の加工の際、導電体260の側面が概略垂直、具体的には、導電体260の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。導電体260をこのような形状に加工することで、次に形成する絶縁体272を所望の形状に形成することができる。

20

【0188】

なお、絶縁体271に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア膜としての機能を兼ねさせてもよい。その場合、絶縁体270は設けなくともよい。

【0189】

バッファ層として機能する絶縁体272は、酸化物230cの側面、絶縁体250の側面、金属酸化物252の側面、導電体260の側面、および絶縁体270の側面に接して設ける。なお、絶縁体272は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いてもよい。その場合、絶縁体272はバリア層としての機能も有する。

30

【0190】

例えば、絶縁体272として、ALD法を用いて成膜することが好ましい。ALD法を用いることで、緻密な薄膜を成膜することができる。絶縁体272は、例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。絶縁体272として、ALD法を用いて酸化アルミニウムを設ける場合、絶縁体272の膜厚は、0.5nm以上3.0nm以下とすることが好ましい。

【0191】

絶縁体272を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で、絶縁体250、金属酸化物252、および導電体260の側面を覆うことができる。従って、絶縁体250、および金属酸化物252の端部などから酸化物230に水素、水などの不純物が混入するのを抑制することができる。そのため、酸化物230と、絶縁体250との界面における酸素欠損の形成が抑制され、トランジスタ200の信頼性を向上させることができる。つまり、絶縁体272は、ゲート電極およびゲート絶縁体の側面を保護するサイドバリアとしての機能を有する。

40

【0192】

絶縁体273は、少なくとも酸化物230の領域231上、および絶縁体272上に設けられる。例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

50

【0193】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。

【0194】

また、酸化アルミニウムは、酸化物230と近接した状態で、熱処理を行うことで、酸化物230中の水素を引き抜く場合がある。なお、酸化物230と、酸化アルミニウムとの間に化合物層243が設けられている場合、化合物層243中の水素を酸化アルミニウムが吸収し、水素が低減された化合物層243は、酸化物230中の水素を吸収する場合がある。従って、酸化物230中の水素濃度を低減することができる。また、絶縁体273と、酸化物230とを近接した状態で熱処理を行うことで、絶縁体273から酸化物230、絶縁体224、または絶縁体222に酸素を供給できる場合がある。

10

【0195】

また、絶縁体273の上に、絶縁体274を設ける。絶縁体274は、バリア性を有し、水素濃度が低減された膜を用いることが好ましい。例えば、絶縁体274としては、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコンなどを用いるとよい。バリア性を有する絶縁体273と、バリア性を有する絶縁体274を設けることで、層間膜など、他の構造体から不純物がトランジスタ200へ拡散することを抑制することができる。

【0196】

また、絶縁体274の上に、層間膜として機能する絶縁体280を設けることが好ましい。絶縁体280は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体280の上に絶縁体210と同様の絶縁体282を設けてもよい。絶縁体282をスパッタリング法で成膜することで、絶縁体280の不純物を低減することができる。また、絶縁体282上に絶縁体280と同様の絶縁体284を設けてもよい。

20

【0197】

また、図示しないが、導電体240の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、導電体203などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

30

【0198】

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

【0199】

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶

40

50

素子などがある。

【0200】

また、基板として、可撓性基板を用いてもよい。なお、可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。すなわち、丈夫な半導体装置を提供することができる。

10

【0201】

可撓性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。可撓性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下、または $1 \times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板である基板として好適である。

20

【0202】

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0203】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、 high-k 材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

30

【0204】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【0205】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

40

【0206】

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせる

50

ことで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0207】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

【0208】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

10

【0209】

例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0210】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

20

【0211】

例えば、ゲート絶縁体の一部として機能する絶縁体224および絶縁体250は、過剰酸素領域を有する絶縁体であることが好ましい。例えば、過剰酸素領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

30

【0212】

また、例えば、ゲート絶縁体の一部として機能する絶縁体222において、アルミニウム、ハフニウム、およびガリウムの一種または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

【0213】

例えば、絶縁体220には、熱に対して安定である酸化シリコンまたは酸化窒化シリコンを用いることが好ましい。ゲート絶縁体として、熱に対して安定な膜と、比誘電率が高い積層構造とすることで、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。

40

【0214】

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャネルが形成される領域との間の距離を保つことで、ゲート電極とチャネル形成領域との間のリーク電流を抑制することができる。

【0215】

絶縁体212、絶縁体216、絶縁体271、絶縁体275、絶縁体280および絶縁体284は、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化

50

シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【0216】

絶縁体210、絶縁体214、絶縁体270、絶縁体273、絶縁体284、および絶縁体282としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体270および絶縁体273としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

【0217】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0218】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0219】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0220】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0221】

導電体260、導電体203、導電体204、導電体205、導電体206および導電体240としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタ

10

20

30

40

50

ン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0222】

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

【0223】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0224】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0225】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0226】

〔金属酸化物の構成〕

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC（Cloud-Aligned Composite）-OSの構成について説明する。

【0227】

なお、本明細書等において、CAAC（c-axis aligned crystal）、およびCAC（Cloud-Aligned Composite）と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

【0228】

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0229】

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁

10

20

30

40

50

性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0230】

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0231】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

【0232】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0233】

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

【0234】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

【0235】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

【0236】

また、CAAC-OSは、インジウム、および酸素を有する層(以下、In層)と、元素M、亜鉛、および酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)

層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

【0237】

CAC-Osは結晶性の高い金属酸化物である。一方、CAC-Osは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAC-Osは不純物や欠陥（酸素欠損（ V_o : oxygen vacancyともいう）など）の少ない金属酸化物ともいえる。したがって、CAC-Osを有する金属酸化物は、物理的性質が安定する。そのため、CAC-Osを有する金属酸化物は熱に強く、信頼性が高い。

10

【0238】

nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-Osは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、alike-Osや非晶質酸化物半導体と区別が付かない場合がある。

【0239】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム-ガリウム-亜鉛酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。とくに、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

20

【0240】

alike-Osは、nc-Osと非晶質酸化物半導体との間の構造を有する金属酸化物である。alike-Osは、鬆または低密度領域を有する。すなわち、alike-Osは、nc-OsおよびCAC-Osと比べて、結晶性が低い。

【0241】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、alike-Os、nc-Os、CAC-Osのうち、二種以上を有していてもよい。

30

【0242】

〔金属酸化物を有するトランジスタ〕

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

【0243】

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0244】

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア密度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

40

【0245】

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0246】

50

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャンネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

【0247】

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0248】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

【0249】

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0250】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャンネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0251】

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャンネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャンネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0252】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。

【0253】

また、金属酸化物に含まれる水素は、金属酸化物中に浅い欠陥準位（sDOS：shallow level Density of States）を形成する場合がある。浅い欠陥準位とは、伝導帯下端の近くに位置する界面準位をさす。浅い欠陥準位は、金属酸化物中の高密度領域と低密度領域の境界近傍に存在することが推定される。ここでは、金属酸化物中の高密度領域と低密度領域は、領域に含まれる水素の量で区別する。すなわち、低密度領域と比較して、高密度領域は、水素をより多く含む領域とする。金属酸化物中の高密度領域と低密度領域の境界近傍は、両領域間の応力歪によって、微小なクラックが生じやすく、該クラック近傍に酸素欠損およびインジウムのダングリングボンドが発生し

10

20

30

40

50

、ここに、水素または水などの不純物が局在することで、浅い欠陥準位が形成されるものと推定される。

【0254】

また、上記金属酸化物中の高密度領域は、低密度領域よりも結晶性が高くなる場合がある。また、上記金属酸化物中の高密度領域は、低密度領域よりも膜密度が高くなる場合がある。また、上記金属酸化物が、インジウムと、ガリウムと、亜鉛と、を有する組成の場合、高密度領域は、インジウムと、ガリウムと、亜鉛と、を有し、低密度領域は、インジウムと、亜鉛と、を有する場合がある。別言すると、低密度領域は、高密度領域よりもガリウムの割合が少ない場合がある。

【0255】

なお、上記浅い欠陥準位は、酸素欠損に起因すると推定される。金属酸化物中の酸素欠損が増えると、浅い欠陥準位とともに深い欠陥準位 (dDOS: deep level Density of States) も増えると推定される。これは、深い欠陥準位も酸素欠損によるものだと考えられるためである。なお、深い欠陥準位とは、バンドギャップの中央付近に位置する欠陥準位をさす。

【0256】

したがって、金属酸化物中の酸素欠損を抑制することで、浅い欠陥準位及び深い欠陥準位の双方の準位を低減させることが可能となる。また、浅い欠陥準位については、金属酸化物の成膜時の温度を調整することで、ある程度制御できる可能性がある。具体的には、金属酸化物の成膜時の温度を、170℃またはその近傍、好ましくは130℃またはその近傍、さらに好ましくは室温とすることで、浅い欠陥準位を低減することができる。

【0257】

また、金属酸化物の浅い欠陥準位は、金属酸化物を半導体として用いたトランジスタの電気特性に影響を与える。即ち、浅い欠陥準位によって、トランジスタのドレイン電流-ゲート電圧 (I_d-V_g) 特性において、ゲート電圧 V_g に対するドレイン電流 I_d の変化が緩やかとなり、トランジスタのオフ状態からオン状態への立ち上がり特性の良し悪しの目安の1つである、S値 (Subthreshold Swing、SSとも言う) が悪化する。これは浅い欠陥準位に電子がトラップされたためと考えられる。

【0258】

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0259】

＜半導体装置の作製方法＞

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図3乃至図13を用いて説明する。また、図3乃至図14において、各図の(A)は上面図を示す。また、各図の(B)は(A)に示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。また、各図の(D)は、(A)にA5-A6の一点鎖線で示す部位に対応する断面図である。

【0260】

まず、基板(図示しない。)を準備し、当該基板上に絶縁体210を成膜する。絶縁体210の成膜は、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、パルスレーザ堆積(PLD: Pulsed Laser Deposition)法、または原子層堆積(ALD: Atomic Layer Deposition)法などを用いて行うことができる。

【0261】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0262】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを抑制することが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0263】

また、ALD法も、被処理物へのプラズマダメージを抑制することが可能な成膜方法である。よって、欠陥の少ない膜が得られる。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

【0264】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0265】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0266】

本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

【0267】

次に絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

【0268】

次に、絶縁体212に、絶縁体210に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして開口を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、開口を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は、エッチングストップ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

【0269】

開口の形成後に、導電体203、および導電体204の第1の導電体となる導電膜を成膜する。当該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体203、および導電体204の第1の導電体となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

【0270】

本実施の形態では、導電体203、および導電体204の第1の導電体となる導電膜として、スパッタリング法によって窒化タンタル、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体203、および導電体204の第1の導電体としてこのような金属窒化物を用いることにより、後述する導電体203の第2の導電体で銅など拡散しやすい金属を用いても、当該金属が導電体203、および導電体204の第1の導電体から外に拡散するのを抑制することができる。

【0271】

次に、導電体203、および導電体204の第1の導電体となる導電膜上に、導電体203、および導電体204の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、導電体203、および導電体204の第2の導電体となる導電膜として、銅などの低抵抗導電性材料を成膜する。

【0272】

次に、CMP（化学的機械研磨）処理を行うことで、導電体203、および導電体204の第1の導電体となる導電膜、ならびに導電体203、および導電体204の第2の導電体となる導電膜の一部を除去し、絶縁体212を露出する。その結果、開口部のみに、導電体203、および導電体204の第1の導電体となる導電膜、ならびに導電体203、および導電体204の第2の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体203、および導電体204の第1の導電体および導電体203、および導電体204の第2の導電体を含む導電体203、および導電体204を形成することができる（図3参照。）。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

【0273】

次に、絶縁体212、導電体203、および導電体204上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、CVD法によって窒化シリコンを成膜する。このように、絶縁体214として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体203、および導電体204の第2の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体214より上の層に拡散するのを抑制することができる。

【0274】

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリン

10

20

30

40

50

グ法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコンを成膜する。

【0275】

次に、絶縁体214および絶縁体216に、導電体203、および導電体204に達する開口を形成する。開口の形成にはウェットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。

【0276】

開口の形成後に、導電体205、および導電体206の第1の導電体となる導電膜を成膜する。導電体205、および導電体206の第1の導電体となる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タン

10

【0277】

本実施の形態では、導電体205、および導電体206の第1の導電体となる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

【0278】

次に、導電体205、および導電体206の第1の導電体となる導電膜上に、導電体205、および導電体206の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

20

【0279】

本実施の形態では、導電体205、および導電体206の第2の導電体となる導電膜として、CVD法によって窒化チタンを成膜し、当該窒化チタン上にCVD法によってタングステンを成膜する。

【0280】

次に、CMP処理を行うことで、導電体205、および導電体206の第1の導電体となる導電膜、ならびに導電体205、および導電体206の第2の導電体となる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205、および導電体206の第1の導電体となる導電膜、および導電体205、および導電体206の第2の導電体となる導電膜が残存する。これにより、上面が平坦な導電体205、および導電体206の第1の導電体および導電体205、および導電体206の第2の導電体を含む導電体205、および導電体206を形成することができる（図3参照。）。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

30

【0281】

次に、絶縁体216、導電体205、および導電体206上に絶縁体220を成膜する。絶縁体220の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体220として、CVD法によって酸化シリコンを成膜する。

40

【0282】

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内

50

側へ拡散することが抑制され、酸化物 230 中の酸素欠損の生成を低減することができる。

【0283】

絶縁体 222 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0284】

次に、絶縁体 222 上に絶縁体 224 を成膜する。絶縁体 224 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる（図 3 参照。）。本実施の形態では、絶縁体 224 として、CVD 法によって酸化シリコンを成膜する。

10

【0285】

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

【0286】

本実施の形態では、加熱処理として、絶縁体 224 成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行う。当該熱処理により、絶縁体 224 に含まれる水素や水などの不純物を除去することなどができる。

20

【0287】

また、加熱処理は、絶縁体 220 成膜後、および絶縁体 222 の成膜後のそれぞれのタイミングで行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体 220 成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

【0288】

ここで、絶縁体 224 に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側に RF (Radio Frequency) を印加する電源を有してもよい。高密度プラズマを用いることにより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体 224 内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体 224 に含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

30

【0289】

次に、絶縁体 224 上に、酸化物 230a となる酸化膜 230A と、酸化物 230b となる酸化膜 230B を順に成膜する（図 4 参照。）。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 230A、および酸化膜 230B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 230A と酸化膜 230B との界面近傍を清浄に保つことができる。

40

【0290】

酸化膜 230A、および酸化膜 230B の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0291】

例えば、酸化膜 230A、および酸化膜 230B の成膜をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰

50

酸素を増やすことができる。また、上記の酸化膜の成膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットを用いることができる。

【0292】

特に、酸化膜 230A の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 224 に供給される場合がある。したがって、酸化膜 230A のスパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

【0293】

また、酸化膜 230B をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 20% 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャンネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

10

【0294】

本実施の形態では、酸化膜 230A として、スパッタリング法によって、 $\text{In:Ga:Zn} = 1:3:4$ [原子数比] のターゲットを用いて成膜する。また、酸化膜 230B として、スパッタリング法によって、 $\text{In:Ga:Zn} = 4:2:4.1$ [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230 に求める特性に合わせて形成するとよい。

【0295】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜 230A、および酸化膜 230B 中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 400℃ の温度で 1 時間の処理を行う。

20

【0296】

次に、酸化膜 230A、および酸化膜 230B を島状に加工して、酸化物 230a、および酸化物 230b を形成する（図 5 参照。）。

【0297】

ここで、酸化物 230a、および酸化物 230b は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230a、および酸化物 230b の側面は、絶縁体 222 の上面に対し、概略垂直であることが好ましい。酸化物 230a、および酸化物 230b の側面が、絶縁体 222 の上面に対し、概略垂直であることで、複数のトランジスタ 200 を設ける際に、小面積化、高密度化が可能となる。なお、酸化物 230a、および酸化物 230b の側面と絶縁体 222 の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物 230a、および酸化物 230b の側面と絶縁体 222 の上面のなす角は大きいほど好ましい。

30

【0298】

また、酸化物 230a、および酸化物 230b の側面と、酸化物 230b の上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物 230b の端部において、曲率半径が、3nm 以上 10nm 以下、好ましくは、5nm 以上 6nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

40

【0299】

なお、当該酸化膜の加工はリソグラフィ法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0300】

リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の

50

形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV（Extreme Ultraviolet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、レジスト上に直接描画を行うため、上述のレジスト露光用のマスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行う、などで、除去することができる。

10

【0301】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜230B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。酸化膜230A、および酸化膜230Bのエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。当該酸化膜のエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

20

【0302】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

30

【0303】

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化膜230a、および酸化膜230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

【0304】

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

【0305】

ウェット洗浄としては、シュウ酸、リン酸、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

40

【0306】

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

【0307】

次に、絶縁体224、酸化膜230a、および酸化膜230bの上に、酸化膜230cとなる酸化膜230Cを成膜する（図6参照。）。

50

【0308】

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $In:Ga:Zn=1:3:4$ 〔原子数比〕のターゲットを用いて成膜する。

【0309】

続いて、酸化膜230C上に、絶縁膜250A、金属酸化膜252A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に成膜する（図6参照。）

。

10

【0310】

まず、絶縁膜250Aを成膜する。絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。絶縁膜250Aとして、CVD法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁膜250Aを成膜する際の成膜温度は、350℃以上450℃未満、特に400℃前後とすることが好ましい。絶縁膜250Aを、400℃で成膜することで、不純物が少ない絶縁体を成膜することができる。

【0311】

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、当該酸素プラズマに絶縁膜250Aを曝すことで、絶縁膜250Aへ酸素を導入することができる。

20

【0312】

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁膜250Aの水分濃度および水素濃度を低減させることができる。

【0313】

続いて、金属酸化膜252A、導電膜260A、および導電膜260Bを成膜する。金属酸化膜252Aとして、スパッタリング法により、 $In-Ga-Zn$ 酸化物を形成する。金属酸化膜252Aの形成方法としては、スパッタリング法を用い、酸素ガスを含む雰囲気中で形成することが好ましい。酸素ガスを含む雰囲気中で金属酸化膜252Aを形成することで、絶縁膜250A中に、過剰酸素領域を形成することができる。絶縁膜250Aに添加された過剰酸素は、酸化物230に酸素を供給することで、酸化物230中の酸素欠損を補償することができる。

30

【0314】

具体的に、絶縁膜250Aに過剰酸素領域を設けるには、絶縁膜250Aに接する金属酸化膜252Aを、スパッタリング法により成膜する。金属酸化膜252Aの成膜にスパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。スパッタリング法を用いる場合は、例えば、対向ターゲット型のスパッタリング装置を用いて成膜することが好ましい。対向ターゲット型のスパッタリング装置は、対向するターゲット間の高電界領域に被成膜面が晒されることなく成膜できるので、被成膜面がプラズマによる損傷を受けにくく成膜することができるので、金属酸化膜252Aの成膜時に酸化物230、および絶縁膜250Aへの成膜ダメージを小さくすることができるので好ましい。対向ターゲット型のスパッタリング装置を用いた成膜法を、VDS P (Vapor Deposition SP) (登録商標)と呼ぶことができる。

40

【0315】

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E_0 が与えられる。また、基板は、接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

【0316】

50

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を介して、形成された膜を通過し、被成膜面と接する絶縁膜 250 A に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁膜 250 A 内部まで到達する。イオンが絶縁膜 250 A に取り込まれることにより、イオンが取り込まれた領域が絶縁膜 250 A に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁膜 250 A に過剰酸素領域が形成される。

【0317】

ここで、金属酸化膜 252 A を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、金属酸化膜 252 A を成膜しながら、絶縁膜 250 A、および絶縁体 224 に酸素を導入することができる。また、金属酸化膜 252 A に、バリア性を有するアルミニウムおよびハフニウム的一方または双方の酸化物を用いることで、絶縁膜 250 A に導入した過剰酸素を、効果的に封じ込めることができる。

【0318】

また、導電膜 260 A、および導電膜 260 B は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。例えば、導電膜 260 A として、窒化チタンを成膜し、導電膜 260 B として、タングステンを成膜するとよい。

【0319】

例えば、導電膜 260 A として、スパッタリング法により、金属窒化物を形成するとよい。例えば、金属酸化膜 252 A として、 $In-Ga-Zn$ 酸化物に代表される酸化物半導体を用いた場合、金属酸化膜 252 A は、窒素または水素が供給されることで、キャリア密度が高くなる。つまり、酸化物導電体 (OC: Oxide Conductor) として機能する。そこで、導電膜 260 A として、スパッタリング法により、金属窒化物を形成することで、金属窒化物中の構成元素 (特に窒素) が金属酸化膜 252 A に拡散し、金属酸化膜 252 A が低抵抗化する。また、導電膜 260 A の成膜時のダメージ (例えば、スパッタリングダメージなど) により、金属酸化膜 252 A が低抵抗化する。従って、金属酸化膜 252 A のキャリア密度が高くなり、金属酸化膜 252 A の導電性が高くなる。

【0320】

また、導電膜 260 B として、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

【0321】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、金属酸化膜 252 A から、絶縁膜 250 A に過剰酸素が添加され、絶縁膜 250 A に過剰酸素領域を容易に形成することができる。

【0322】

絶縁膜 270 A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。絶縁膜 270 A は、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電体 260 の酸化を抑制することができる。また、導電体 260 および絶縁体 250 を介して、水または水素などの不純物が酸化物 230 に混入することを抑制することができる。本実施の形態では、絶縁膜 270 A として、ALD 法によって酸化アルミニウムを成膜する。

【0323】

絶縁膜 271 A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。ここで、絶縁膜 271 A の膜厚は、後の工程で成膜

10

20

30

40

50

する絶縁体 275 の膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体 275 を形成する際、導電体 260 の上に絶縁体 271 を、容易に残存させることができる。本実施の形態では、絶縁膜 271 A として、CVD 法によって酸化シリコンを成膜する。

【0324】

次に、絶縁膜 271 A を、エッチングし、絶縁体 271 を形成する。ここで、絶縁体 271 は、ハードマスクとして機能する。絶縁体 271 を設けることで、絶縁体 250 の側面、金属酸化物 252 の側面、導電体 260 a の側面、導電体 260 b の側面、および絶縁体 270 の側面を、基板の上面に対し、概略垂直に形成することができる。

【0325】

次に、絶縁体 271 をマスクとして、酸化膜 230 C、絶縁膜 250 A、金属酸化膜 252 A、導電膜 260 A、導電膜 260 B、絶縁膜 270 A を、エッチングし、酸化物 230 c、絶縁体 250、金属酸化物 252、導電体 260（導電体 260 a、および導電体 260 b）、および絶縁体 270 を形成する（図 7 参照。）。

【0326】

また、酸化物 230 c、絶縁体 250、金属酸化物 252、導電体 260、絶縁体 270、および絶縁体 271 は、少なくとも一部が、導電体 205 および酸化物 230 と重なるように形成する。

【0327】

また、酸化物 230 c の側面、絶縁体 250 の側面、金属酸化物 252 の側面、導電体 260 の側面、および絶縁体 270 の側面は、同一面内であることが好ましい。

【0328】

また、酸化物 230 c の側面、絶縁体 250 の側面、金属酸化物 252 の側面、導電体 260 の側面、および絶縁体 270 の側面が共有する同一面は、基板の上面に対し、概略垂直であることが好ましい。つまり、断面形状において、酸化物 230 c、絶縁体 250、金属酸化物 252、導電体 260、および絶縁体 270 は、酸化物 230 の上面に対する角度が、鋭角、かつ大きいほど好ましい。なお、断面形状において、絶縁体 250、金属酸化物 252、導電体 260、および絶縁体 270 の側面と、酸化物 230 の上面のなす角が鋭角になる構成にしてもよい。その場合、絶縁体 250、金属酸化物 252、導電体 260、および絶縁体 270 の側面と、酸化物 230 の上面のなす角は大きいほど好ましい。

【0329】

なお、上記加工後も、当該ハードマスク（絶縁体 271）は除去せずに後工程を進めてもよい。

【0330】

次に、酸化物 230、絶縁体 250、金属酸化物 252、導電体 260、絶縁体 270、および絶縁体 271 を覆って、絶縁膜 272 A を成膜する（図 8 参照。）。

【0331】

絶縁膜 272 A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。

【0332】

絶縁膜 272 A は、被覆性に優れた ALD 法により成膜することが好ましい。ALD 法を用いることで、導電体 260 などにより形成された段差部においても、絶縁体 250、金属酸化物 252、導電体 260、および絶縁体 270 の側面に対して、均一な厚さを有する絶縁膜 272 A を形成することができる。また、ALD 法を用いることで、緻密な薄膜を成膜することができる。

【0333】

また、絶縁膜 272 A として、バリア性を有する酸化アルミニウムなどを設けてもよい。例えば、導電体 260 が酸化しやすい金属膜である場合、バリア性を有する絶縁体を用いることで、導電体 260 が絶縁膜 272 A の上方からの酸素で酸化するのを抑制すること

10

20

30

40

50

ができる。これにより、導電体 260 の抵抗値が上がることを抑制することができる。

【0334】

絶縁膜 272A として、ALD 法を用いて酸化アルミニウムを設ける場合、絶縁膜 272A の膜厚は、0.5nm 以上 3.0nm 以下とすることが好ましい。当該構成とすることで、後の工程で、導電体 260 の酸化を抑制しながら、絶縁体 275 が有する過剰酸素を酸化物 230、および絶縁体 250 へ供給することが可能となる。

【0335】

次に、絶縁膜 272A に異方性のエッチング処理を行い、絶縁体 250、金属酸化物 252、導電体 260、および絶縁体 270 の側面に、絶縁体 272 を形成する（図 9 参照）。

10

【0336】

上記異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体 272 を自己整合的に形成することができる。

【0337】

なお、当該工程において、絶縁体 224 を島状に加工してもよい。その場合、絶縁体 222 をエッチングストップ膜として用いることができる。

【0338】

次に、絶縁体 220、および絶縁体 222 に、導電体 206 に達する開口を形成する（図 10 参照。）。開口の形成にはウェットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。

20

【0339】

続いて、酸化物 230c、絶縁体 250、金属酸化物 252、導電体 260、絶縁体 270、および絶縁体 272 を介して、絶縁体 224、酸化物 230、および上記開口部から露出した導電体 206 上に膜 242A を成膜する（図 11 参照。）。なお、膜 242A は、5nm よりも厚く、好ましくは 20nm よりも厚い膜厚にするとよい。膜 242A は、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いる。膜 242A は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含む膜とする。なお、膜 242A の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

30

【0340】

続いて、加熱処理を行う（図 12 参照。図中の波線は加熱処理を表す。）。窒素を含む雰囲気下での熱処理により、膜 242A から、膜 242A の成分である金属元素が酸化物 230 へ、または酸化物 230 の成分である金属元素が膜 242A へと、拡散し、酸化物 230 と、膜 242A が金属化合物を有する化合物層 243（化合物層 423a、および化合物層 243b）を形成し、低抵抗化することができる。酸化物 230 と膜 242A とが、金属化合物を形成することで、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

【0341】

ここで、膜 242A の金属元素、および酸化物 230 の金属元素により、金属化合物を形成することで、化合物層 243（化合物層 423a、および化合物層 243b）が形成される。なお、化合物層 243 とは、膜 242A の成分と、酸化物 230 の成分とを含む金属化合物を有する層とする。例えば、化合物層 243 は、酸化物 230 の金属元素と、膜 242A の金属元素とが、合金化した層を有していてもよい。合金化することで、金属元素は比較的安定な状態となり、信頼性の高い半導体装置を提供することができる。

40

【0342】

加熱処理は、250℃ 以上 650℃ 以下、好ましくは 300℃ 以上 500℃ 以下、さらに好ましくは 320℃ 以上 450℃ 以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。

【0343】

50

また、酸化物 2 3 0 と化合物層 2 4 3 の界面近傍における酸素が化合物層 2 4 3 に吸収される場合がある。その結果、酸化物 2 3 0 と化合物層 2 4 3 との界面近傍が、低抵抗化する（図 1 1 参照。）。

【0 3 4 4】

その際、酸化物 2 3 0 の一部と、上述した金属元素とが、合金化してもよい。酸化物 2 3 0 の一部と金属元素が、合金化することで、酸化物 2 3 0 に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

【0 3 4 5】

また、酸化物 2 3 0 中の水素は、領域 2 3 1 に拡散し、領域 2 3 1 に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域 2 3 4 に存在する酸素欠損中の水素は、2 5 0 ℃以上の熱処理によって、酸素欠損から抜け出し、領域 2 3 1 に拡散し、領域 2 3 1 に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域 2 3 1 は、より低抵抗化し、領域 2 3 4 は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

【0 3 4 6】

また、窒素または不活性ガス雰囲気加熱処理した後に、酸化性ガスを 1 0 p p m 以上、1 % 以上、または 1 0 % 以上含む雰囲気加熱処理を行ってもよい。加熱処理は、2 5 0 ℃以上 6 5 0 ℃以下、好ましくは 3 0 0 ℃以上 5 0 0 ℃以下、さらに好ましくは 3 2 0 ℃以上 4 5 0 ℃以下で行えばよい。

【0 3 4 7】

上記化合物層 2 4 3 の形成工程、または加熱処理において、酸化物 2 3 0 の領域 2 3 1、および領域 2 3 1 に近接する領域 2 3 2 の酸素が、化合物層 2 4 3 に吸収されることで、領域 2 3 1、および領域 2 3 2 に酸素欠損が生じる場合がある。酸化物 2 3 0 中の水素が、当該酸素欠損に入ることによって、領域 2 3 1、および領域 2 3 2 のキャリア密度は、増加する。従って、酸化物 2 3 0 の領域 2 3 1、および領域 2 3 2 は、n 型となり、低抵抗化される。

【0 3 4 8】

上記構成とすることで、酸化物 2 3 0 の各領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

【0 3 4 9】

したがって、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

【0 3 5 0】

次に、膜 2 4 2 A を、エッチングし、層 2 4 2 を形成する。また、層 2 4 2 は、少なくとも一部が、酸化物 2 3 0、および絶縁体 2 2 0、および絶縁体 2 2 2 に設けられた開口部において露出した導電体 2 0 6 と重なるように形成する（図 1 3 参照。）。

【0 3 5 1】

続いて、化合物層 2 4 3、層 2 4 2、絶縁体 2 7 2、上に絶縁体 2 7 3 となる絶縁膜を成膜する（図 1 4 参照。）。

【0 3 5 2】

また、絶縁体 2 7 3 となる絶縁膜は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体 2 7 3 として、酸化アルミニウムを用いるとよい。

【0 3 5 3】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、酸化物 2 3 0 の領域 2 3 1 に形成された酸素欠損に捕獲された水素が、絶縁体 2 7 3 へ吸収され、酸化物 2 3 0 中の水素を低減することができる。

【0 3 5 4】

次に、絶縁体 2 7 3 の上に、絶縁体 2 7 4 を成膜する（図 1 2 参照。）。

10

20

30

40

50

成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。なお、絶縁体274は、成膜ガスに水素ガスを用いないことが好ましい。水素ガスを用いないことで、水素濃度が低減された絶縁膜を成膜することができる。例えば、絶縁体274として、CVD法により、シラン(SiH_4)と窒素(N_2)ガスを用いて、窒化シリコンを成膜するとよい。

【0355】

次に、絶縁体274の上に、絶縁体280を成膜する(図12参照。)。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピンコート法、ディップ法、液滴吐出法(インクジェット法など)、印刷法(スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロー

10

【0356】

次に、絶縁体280の一部を除去する。絶縁体280は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体280は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体280は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP処理を用いる。ただし、絶縁体280の上面は必ずしも平坦性を有さなくてもよい。

20

【0357】

続いて、絶縁体280上に、絶縁体282を形成する。絶縁体282は、スパッタリング装置により成膜することが好ましい。当該構造とすることで、水素が絶縁体282よりも下層の構造に混入することを抑制することができる。また、絶縁体280中の水素、または水が、絶縁体282へと吸収されるため、絶縁体280中の不純物濃度を低減することができる。

【0358】

続いて、絶縁体282上に、絶縁体284を形成する(図12参照。)。例えば、絶縁体284として、CVD法により、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体を形成する。絶縁体284は、絶縁体282よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

30

【0359】

次に、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275に、酸化物230に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、導電体240が酸化物230の側面に接して設けられるように、酸化物230に達する開口において、酸化物230の側面が露出するように、当該開口を形成する。

【0360】

次に、導電体240の第1の導電体となる導電膜、および導電体240の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

40

【0361】

ここで、例えば、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275に開口を形成する際に、領域231の低抵抗化した領域を除去する場合がある。その場合、導電体240の第1の導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、酸化物230と導電体240の第1の導電体とが接するため、当該接した領域に金属化合物、または酸素欠損が形成され、酸化物230と導電体240の接触領域を低抵抗化することができる。導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と

50

導電体 240 との十分なオーミック接触を確保することができる。従って、導電体 240 の第 1 の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含むことが好ましい。

【0362】

次に、CMP 処理を行うことで、導電体 240 となる導電膜の一部を除去し、絶縁体 284 を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体 240 を形成することができる（図 1 参照。）。

【0363】

以上により、トランジスタ 200 を有する半導体装置を作製することができる。図 3 乃至図 14 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 200 を作成することができる。

10

【0364】

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

20

【0365】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0366】

＜半導体装置の変形例＞

以下では、図 15 乃至図 17 を用いて、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

【0367】

ここで、各図の（A）は上面図を示す。また、各図の（B）は（A）に示す A1－A2 の一点鎖線で示す部位に対応する断面図である。また、各図の（C）は、（A）に A3－A4 の一点鎖線で示す部位に対応する断面図である。また、各図の（D）は、（A）に A5－A6 の一点鎖線で示す部位に対応する断面図である。各図（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

30

【0368】

なお、図 15 乃至図 17 に示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0369】

以下、半導体装置の構成についてそれぞれ図 15 乃至図 17 を用いて説明する。なお、本項目においても、半導体装置の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

40

【0370】

〔半導体装置の変形例 1〕

図 15 に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、絶縁体 272 の代わりに、絶縁体 275 を設けたことが異なる。

【0371】

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。従って、チャネルが形成される領域 234 中の酸素欠損はできる限り低減されていることが好ましい。

50

【0372】

そこで、図15に示すように、酸化物230と近接して、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう。）を含む絶縁体275を設けることが好ましい。絶縁体275が有する過剰酸素は、領域232、領域234へと拡散し、酸素欠損を低減することができる。

【0373】

絶縁体275を形成するには、まず、層242上に、絶縁体275となる絶縁膜を成膜する。続いて、該絶縁膜に異方性のエッチング処理を行うことで、自己整合的に絶縁体275を形成することができる。なお、図示しないが、絶縁体224の側面にも絶縁体275が残存していてもよい。その場合、後の工程で成膜する層間膜などの被膜性を高めることができる。また、絶縁体224の側面に接して絶縁体275の残存した構造体が形成されていることで、絶縁体224にも過剰酸素領域を設けることができる。

10

【0374】

また、絶縁体273となる絶縁膜を、スパッタリング法を用いて成膜することで、絶縁体273となる絶縁膜を成膜しながら、絶縁体275に酸素を導入することができる。また、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、例えば、絶縁体273となる絶縁膜として、スパッタリング法を用いた酸化膜を成膜した場合、絶縁体275に過剰酸素領域を形成することができる。また、絶縁体275から水素、および水を吸収することで、絶縁体275の水素濃度を低減することができる。

20

【0375】

絶縁体275に過剰な酸素を導入することで、絶縁体275中に過剰酸素領域を形成することができる。絶縁体275の過剰な酸素は、酸化物230に供給され、酸化物230の酸素欠損を補償することができる。

【0376】

また、絶縁体275は、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体275に用いると、後の工程で絶縁体275中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。

30

【0377】

特に、絶縁体275は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いることが好ましい。酸化窒化シリコンなどの材料は、過剰酸素領域を形成されやすい傾向がある。一方、上述の酸化窒化シリコンなどの材料と比較して、酸化物230は、スパッタリング法を用いた酸化膜を、酸化物230上に形成したとしても、過剰酸素領域が形成しにくい傾向がある。過剰酸素領域を容易に設けることができる絶縁体を絶縁体275として用いることで、過剰酸素領域が酸化物230の領域234の周辺に形成され、酸化物230の領域234へ、絶縁体275の過剰酸素を効果的に供給することができる。

40

【0378】

上述のようにして過剰酸素領域が形成された絶縁体275は、当該過剰酸素領域から酸化物230へ、酸素を効果的に供給することができる。つまり、絶縁体275が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234の酸素欠損が低減するため、酸化物230の領域234は、より高抵抗化する。一方、酸化物230の領域231に形成された酸素欠損も、同様に、絶縁体275から供給された酸素により補償される。

【0379】

しかしながら、層242に形成された低抵抗領域は、金属化合物が形成されているため、

50

安定である。従って、金属化合物が形成されていない領域 234 よりも、低い抵抗を維持することができる。

【0380】

また、図 15 に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、導電体 240 の形状が異なる。つまり、＜半導体装置の構成例＞に示した半導体装置は、層間膜として機能する絶縁体 280、絶縁体 282、および絶縁体 284 と接して導電体 240 を設ける構造である。一方、図 15 に示す半導体装置は、絶縁体 275、絶縁体 273、および絶縁体 274 に開口を設け、導電体 240 を形成する。つまり、導電体 240 は、層間膜と接しない構造である。従って、層間膜として機能する絶縁体の不純物が、導電体 240 を介して、トランジスタ 200 へと拡散することを抑制することができる。従って、導電体 240 上にはバリア性を有する絶縁体を設けることが好ましい。

10

【0381】

〔半導体装置の変形例 2〕

図 16 に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、導電体 240 と層間膜として機能する絶縁体 280、絶縁体 282、および絶縁体 284 との間に、バリア層として機能する絶縁体 276 を設けたことが異なる。なお、本構造とする場合、絶縁体 276、および絶縁体 282 は、酸素、水素、および水に対し、バリア性を有することが好ましい。

【0382】

具体的には、図 16 に示すように、導電体 240 と、絶縁体 280、およびバリア性を有する絶縁体 282 との間に絶縁体 276 を設けるとよい。特に、絶縁体 276 は、バリア性を有する絶縁体 282 と接して設けられることが好ましい。絶縁体 276 と、絶縁体 282 とが接して設けられることで、絶縁体 276 が絶縁体 284 まで延在し、酸素や不純物の拡散を、より抑制することができる。

20

【0383】

つまり、絶縁体 276 を設けることで、絶縁体 280 が有する不純物が、導電体 240 を介して、トランジスタ 200 へと拡散し、半導体装置の信頼性が低下することを抑制することができる。また、絶縁体 276 を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。

【0384】

絶縁体 276 には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、化学気相堆積 (CVD: Chemical Vapor Deposition) 法で形成した窒化シリコンを用いてもよい。

30

【0385】

また、図 16 に示すように、本発明の一例の半導体装置は、絶縁体 272、および絶縁体 275 を有していてもよい。絶縁体 272、および絶縁体 275 は、＜半導体装置の構成例＞、およびは＜半導体装置の変形例＞で詳細に説明した構造及び効果を有する。

【0386】

〔半導体装置の変形例 3〕

図 17 に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、酸化物 230 の側面が、基板と平行な面に対し、テーパ構造を有することが異なる。具体的には、酸化物 230 の側面が有するテーパ角度は、45°乃至 80°、好ましくは、50°乃至 70°とすればよい。酸化物 230 c 側面がテーパ構造を有することで、絶縁体 272 に対して、異方性のエッチング処理を行った際に、酸化物 230 の側面を露出することができる。

40

【0387】

従って、酸化物 230 の側面においても、膜 242 A と接することになり、金属化合物が形成され、低抵抗化することができる。つまり、酸化物 230 の側面にも領域 231 を形成することができる。また、酸化物 230 の側面がテーパ構造を有することで、酸化物

50

230よりも上層に形成される構造体の被膜性を高めることができる。

【0388】

また、図17に示すように、絶縁体275は、必ずしも異方性エッチングを行わなくてもよい。上述のようにして過剰酸素領域が形成された絶縁体275は、当該過剰酸素領域から酸化物230へ、酸素を効果的に供給することができる。つまり、絶縁体275が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234の酸素欠損が低減するため、酸化物230の領域234は、より高抵抗化する。一方、酸化物230の領域231に形成された酸素欠損も、同様に、絶縁体275から供給された酸素により補償される。

【0389】

しかしながら、酸化物230、および層242に形成された低抵抗領域は、金属化合物が形成されているため、安定である。従って、金属化合物が形成されていない領域234よりも、低い抵抗を維持することができる。

【0390】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせ用いることができる。

【0391】

(実施の形態2)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0392】

<半導体装置の構成例>

図18(A)、図18(B)、図18(C)、および図18(D)は、本発明の一態様に係るトランジスタ200、容量素子100、およびトランジスタ200周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する記憶装置をセルと称する。

【0393】

図18(A)は、トランジスタ200、および容量素子100を有するセル600の上面図である。また、図18(B)、および図18(C)はセル600の断面図である。ここで、図18(B)は、図18(A)にA1-A2の一点鎖線で示す部位の断面図である。図18(C)は、図18(A)にA3-A4の一点鎖線で示す部位の断面図である。また、図18(D)は、図18(A)にA5-A6の一点鎖線で示す部位の断面図である。図18(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0394】

[セル600]

本発明の一態様の半導体装置は、トランジスタ200と、容量素子100、および層間膜として機能する絶縁体280を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240とを有する。

【0395】

図18に示すセル600は、トランジスタ200と、容量素子100とを、同層に設けることで、トランジスタ200を構成する構造の一部を、容量素子100が構成する構造の一部と、併用することができる。つまり、トランジスタ200の構造の一部は、容量素子100の構造の一部として、機能する場合がある。

【0396】

また、トランジスタ200に、容量素子100の一部、または全体が、重畳することで、トランジスタ200の投影面積、および容量素子100の投影面積の合計した面積を小さくすることができる。

【0397】

また、トランジスタ200と電氣的に接続するプラグ、または配線として機能する層242、および導電体205を、容量素子100が重畳する領域の下部に設けることで、セル

10

20

30

40

50

600の微細化、または高集積化が容易となる。また、導電体206は、トランジスタ200の構成である導電体205と同工程で形成できるため、工程短縮が可能となる。また、容量素子100において、トランジスタ200と同様に、導電体206の下面に接して、配線として機能する導電体204を設けてもよい。

【0398】

なお、容量素子100において、必要な容量値に応じて、トランジスタ200、および容量素子100のレイアウトを適宜設計することができる。

【0399】

例えば、容量素子100の面積は、酸化物230の領域231bと、導電体120が、絶縁体130を介して重畳する面積により決定される。従って、セル600に必要な容量値が図18(A)、および図18(B)に示す容量素子100では得られない場合、酸化物230aおよび酸化物230bの領域231bにおけるA3-A4方向の幅を、酸化物230aおよび酸化物230bの領域234におけるA3-A4方向の幅よりも大きくすることで、容量値を大きくすることができる。

10

【0400】

上記構造を有することで、微細化または高集積化が可能である。また、設計自由度を高くすることができる。また、トランジスタ200は、容量素子100と、同一の工程で形成する。従って、工程を短縮することができるため、生産性を向上させることができる。

【0401】

[トランジスタ200]

20

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図18に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0402】

例えば、トランジスタ200において、絶縁体275を設けることが好ましい。当該構成とすることで、容量素子100の電極として機能する導電体120と、トランジスタ200においてゲート電極として機能する導電体260とに生じる寄生容量を低減することができる。したがって、絶縁体275は、比誘電率の小さい材料を用いるとよい。例えば、絶縁体275の比誘電率は4未満が好ましく、3未満がより好ましい。絶縁体275としては、例えば、酸化シリコン、酸化窒化シリコンを用いることができる。寄生容量を低減することで、トランジスタ200を高速に動作することができる。

30

【0403】

[容量素子100]

図18に示すように、容量素子100は、トランジスタ200と共通の構造を有する構成である。本実施の形態では、トランジスタ200の酸化物230に設けられた領域231bを、容量素子100の電極の一方として機能する容量素子100の例について示す。

【0404】

容量素子100は、酸化物230の領域231b、領域231b上に層242、層242上に絶縁体130、絶縁体130上に導電体120を有する。さらに、絶縁体130の上に、少なくとも一部が酸化物230の領域231bと重なるように、導電体120が配置されることが好ましい。

40

【0405】

酸化物230の領域231bは、容量素子100の電極の一方として機能し、導電体120は容量素子100の電極の他方として機能する。絶縁体130および絶縁体273は容量素子100の誘電体として機能する。酸化物230の領域231bは低抵抗化されており、導電性酸化物である。従って、容量素子100の電極の一方として機能することができる。

【0406】

絶縁体130は、比誘電率の大きい絶縁体を用いることが好ましく、絶縁体222などに用いることができる絶縁体を用いればよい。例えば、アルミニウム及びハフニウムの一方

50

または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。また、絶縁体130は、積層構造であってもよい、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などから、2層以上を選び積層構造としても良い。例えば、ALD法によって、酸化ハフニウム、酸化アルミニウムおよび酸化ハフニウムを順に成膜し、積層構造とすることが好ましい。酸化ハフニウムおよび酸化アルミニウムの膜厚は、それぞれ、0.5nm以上5nm以下とする。このような積層構造とすることで、容量値が大きく、かつ、リーク電流の小さな容量素子100とすることができる。

10

【0407】

図18(A)に示すように、上面視において、絶縁体130の側面は、導電体120の側面と一致しているが、これに限られるものではない。例えば、絶縁体130をパターン形成せずに、絶縁体130がトランジスタ200を覆う構成にしてもよい。

【0408】

また、図25において、容量素子100の誘電体として絶縁体130を設ける構成を示したが、これに限られるものではない。例えば、導電体120を設ける前に、絶縁体273を設けることで、絶縁体273の一部を容量素子100の誘電体として用いる構成にしてもよい。また、例えば、絶縁体130と、絶縁体273を容量素子100の誘電体として用いる構成にしてもよい。

20

【0409】

また、トランジスタ200に絶縁体274を設ける構成にする場合、絶縁体274の容量素子100と重畳する領域を除去してもよいし、絶縁体274を容量素子100の誘電体として用いてもよい。

【0410】

導電体120は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体120は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0411】

<セルアレイの構造>

ここで、本実施の形態のセルアレイの一例を、図19、および図20に示す。例えば、図25に示すトランジスタ200、および容量素子100を有するセル600を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

30

【0412】

図19(A)は、図18に示すセル600を、マトリクス状に配置した一形態を示す回路図である。図19(A)においては、行方向に隣り合うセル600が有するトランジスタのソースおよびドレインの一方が共通のBL(BL01、BL02、BL03)と電気的に接続する。また、当該BLは、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方とも電気的に接続する。一方、行方向に隣り合うセル600が有するトランジスタの第1のゲートは、異なるWL(WL01乃至WL06)と電気的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電気的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電気的に接続する。

40

【0413】

図19(B)は、図19(A)における、行の一部としてWL04とBL02に電気的に接続されたセル600a、およびWL03とBL02に電気的に接続されたセル600b

50

を含む回路610を抜き出した断面図である。図19(B)は、セル600a、およびセル600bの断面図を示す。

【0414】

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

【0415】

トランジスタ200aのソースおよびドレインの一方と、トランジスタ200bのソースおよびドレインの一方は、いずれもBL02と電氣的に接続している。

【0416】

上記構成より、ソースおよびドレインの一方と電氣的に接続する配線を共通化することで、セルアレイの占有面積をさらに縮小することができる。

10

【0417】

図20(A)は、図18に示すセル600を、マトリクス状に配置した回路において、図19(A)と異なる形態を示す回路図である。図20(A)においては、行方向に配置されたセル600が有するトランジスタの第1のゲートが共通のWL(WL01、WL02、WL03)と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通のBL(BL01乃至BL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。ここで、図20(A)に示すように、セル600の容量の第2の電極は、当該セル600に隣接するセル600の容量の第2の電極と、共通のPLに電氣的に接続する構成としてもよい。

20

【0418】

図20(B)は、図20(A)における、行の一部としてWL02とBL03に電氣的に接続されたセル600a、およびWL02とBL04に電氣的に接続されたセル600bを含む回路620を抜き出した断面図である。図20(B)は、セル600a、およびセル600bの断面図を示す。

30

【0419】

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

【0420】

容量素子100aの第2の電極と、容量素子100bの第2の電極は、共通の導電体を用いており、当該導電体はPLと電氣的に接続している。

【0421】

また、セル600を平面に配置するのみでなく、積層して配置する構成としてもよい。図21に回路610を含むセルアレイをn+1層積層する構成の断面図を示す。図21に示すように、複数のセルアレイを積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

40

【0422】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

【0423】

(実施の形態3)

本実施の形態では、半導体装置の一形態を、図22乃至図27を用いて説明する。

【0424】

<記憶装置1>

50

図 2 2、図 2 3 および図 2 4 に示す記憶装置は、トランジスタ 3 0 0 と、トランジスタ 2 0 0、および容量素子 1 0 0 を有している。図 2 2 は、トランジスタ 2 0 0 およびトランジスタ 3 0 0 のチャネル長方向の断面図である。また、図 2 3 は、図 2 2 に示す Y 1 - Y 2 軸におけるトランジスタ 2 0 0 およびトランジスタ 3 0 0 のチャネル幅方向の断面図である。また、図 2 4 は、X 1 - X 2 は、トランジスタ 2 0 0 およびトランジスタ 3 0 0 のチャネル長方向の断面図であり、X 3 - X 4 は、X 1 - X 2 に示す Y 1 - Y 2 軸におけるトランジスタ 2 0 0 およびトランジスタ 3 0 0 のチャネル幅方向の断面図である。

【0 4 2 5】

トランジスタ 2 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 2 0 0 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

10

【0 4 2 6】

図 2 2 乃至図 2 4 に示す記憶装置において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 のトップゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 のボトムゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。

20

【0 4 2 7】

図 2 2 乃至図 2 4 に示す記憶装置は、トランジスタ 3 0 0 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0 4 2 8】

情報の書き込みおよび保持について説明する。まず、配線 1 0 0 4 の電位を、トランジスタ 2 0 0 が導通状態となる電位にして、トランジスタ 2 0 0 を導通状態とする。これにより、配線 1 0 0 3 の電位が、トランジスタ 3 0 0 のゲート、および容量素子 1 0 0 の電極の一方と電氣的に接続するノード S N に与えられる。即ち、トランジスタ 3 0 0 のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 L o w レベル電荷、H i g h レベル電荷という。）のどちらかが与えられるものとする。その後、配線 1 0 0 4 の電位を、トランジスタ 2 0 0 が非導通状態となる電位にして、トランジスタ 2 0 0 を非導通状態とすることにより、ノード S N に電荷が保持される（保持）。

30

【0 4 2 9】

トランジスタ 2 0 0 のオフ電流が小さい場合、ノード S N の電荷は長期間にわたって保持される。

【0 4 3 0】

次に情報の読み出しについて説明する。配線 1 0 0 1 に所定の電位（定電位）を与えた状態で、配線 1 0 0 5 に適切な電位（読み出し電位）を与えると、配線 1 0 0 2 は、ノード S N に保持された電荷量に応じた電位をとる。これは、トランジスタ 3 0 0 を n チャネル型とすると、トランジスタ 3 0 0 のゲートに H i g h レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ 3 0 0 のゲートに L o w レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ 3 0 0 を「導通状態」とするために必要な配線 1 0 0 5 の電位をいうものとする。したがって、配線 1 0 0 5 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード S N に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード S N に H i g h レベル電荷が与えられていた場

40

50

合には、配線1005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ300は「導通状態」となる。一方、ノードSNにLowレベル電荷が与えられていた場合には、配線1005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ300は「非導通状態」のままである。このため、配線1002の電位を判別することで、ノードSNに保持されている情報を読み出すことができる。

【0431】

<記憶装置1の構造>

本発明の一態様の記憶装置は、図22、および図23に示すようにトランジスタ300、トランジスタ200、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

10

【0432】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0433】

トランジスタ300は、図23に示すように、半導体領域313の上面およびチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

20

【0434】

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0435】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

30

【0436】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0437】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

40

【0438】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0439】

なお、図22、および図23に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

50

【0440】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

【0441】

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0442】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜として機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

10

【0443】

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0444】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

20

【0445】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atom/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atom/cm}^2$ 以下であればよい。

【0446】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体324の比誘電率は、絶縁体326の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

30

【0447】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能を有する。また、プラグまたは配線として機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

40

【0448】

各プラグ、および配線（導電体328、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

50

【0449】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図22、および図23において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0450】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

10

【0451】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

20

【0452】

絶縁体350、および導電体356上に、配線層を設けてもよい。例えば、図22、および図23において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線として機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0453】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

30

【0454】

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図22、および図23において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ、または配線として機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0455】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

【0456】

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図22、およ

50

び図 23 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ、または配線として機能を有する。なお導電体 386 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

【0457】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 200 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 200 への水素の拡散を抑制することができる。

10

【0458】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、および導電体 386 を含む配線層、について説明したが、本実施の形態に係る記憶装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

【0459】

絶縁体 384 上には絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が、順に積層して設けられている。絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

20

【0460】

例えば、絶縁体 210、および絶縁体 214 には、例えば、基板 311、またはトランジスタ 300 を設ける領域などから、トランジスタ 200 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 324 と同様の材料を用いることができる。

【0461】

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 200 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

30

【0462】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 210、および絶縁体 214 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0463】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 への混入を防止することができる。また、トランジスタ 200 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 200 に対する保護膜として用いることに適している。

40

【0464】

また、例えば、絶縁体 212、および絶縁体 216 には、絶縁体 320 と同様の材料を用いることができる。また、当該絶縁膜に、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 212、および絶縁体 216 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

50

【0465】

また、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0466】

特に、絶縁体210、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

10

【0467】

絶縁体216の上方には、トランジスタ200が設けられている。なお、トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図22、および図23に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0468】

トランジスタ200の上方には、絶縁体280を設ける。

【0469】

絶縁体280上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

20

【0470】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

30

【0471】

また、絶縁体282上には、絶縁体284が設けられている。絶縁体284は、絶縁体320と同様の材料を用いることができる。また、当該絶縁膜に、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体284として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0472】

また、絶縁体220、絶縁体222、絶縁体280、絶縁体282、および絶縁体284には、導電体240、導電体246、および導電体248等が埋め込まれている。

【0473】

導電体246、および導電体248は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能を有する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0474】

また、例えば、導電体240は、必ずしも酸化物230と重畳しなくともよい。つまり、層242と、導電体240とが、酸化物230の領域231bと重畳しない領域で接するように設けてもよい。

【0475】

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子1

50

00は、導電体110と、導電体120、および絶縁体130とを有する。

【0476】

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能を有する。導電体110は、容量素子100の電極として機能を有する。なお、導電体112、および導電体110は、同時に形成することができる。

【0477】

導電体112、および導電体110には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

10

【0478】

図22、および図23では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

20

【0479】

また、導電体112、および導電体110上に、容量素子100の誘電体として、絶縁体130を設ける。絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【0480】

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子100は、絶縁体130を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

30

【0481】

絶縁体130上に、導電体110と重畳するように、導電体120を設ける。なお、導電体120は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

【0482】

導電体120、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

40

【0483】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0484】

<記憶装置1の変形例>

50

以下では、図 2 4 を用いて、本発明の一態様に係る記憶装置の一例について説明する。

【0485】

図 2 4 は、容量素子 1 0 0、トランジスタ 2 0 0、およびトランジスタ 3 0 0 を有する記憶装置の断面図である。なお、図 2 4 に示す記憶装置において、先の実施の形態、および<記憶装置 1 の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0486】

図 2 4 に示す記憶装置は、<記憶装置 1 の構造>に示した記憶装置と、先の実施の形態で説明したセル 6 0 0 を設けた点において異なる。

【0487】

具体的には、図 2 4 に示すように、容量素子 1 0 0 と、トランジスタ 2 0 0 の代わりに、容量素子 1 0 0 の構成の一部と、トランジスタ 2 0 0 の構成の一部とを共有するセル 6 0 0 を有する。

【0488】

上記構造により、セル 6 0 0 と、トランジスタ 3 0 0 との一部、または全体が、重畳することで、記憶装置の投影面積の合計した面積を小さくすることができる。従って、セル 6 0 0 の微細化、または高集積化が容易となる。また、工程短縮が可能となる。

【0489】

<記憶装置 2>

図 2 5 に示す半導体装置は、トランジスタ 4 0 0 と、トランジスタ 2 0 0、および容量素子 1 0 0 を有する記憶装置である。以下に、記憶装置としての一形態を、図 2 5 を用いて説明する。

【0490】

本実施の形態に示す半導体装置における、トランジスタ 2 0 0、トランジスタ 4 0 0、および容量素子 1 0 0 の接続関係の一例を示した回路図を図 2 4 (A) に示す。また、図 2 4 (A) に示す配線 1 0 0 4 から配線 1 0 1 0 などに対応させた半導体装置の断面図を図 2 4 (B) に示す。

【0491】

基板（図示せず）の上に形成されたトランジスタ 2 0 0 およびトランジスタ 4 0 0 は、異なる構成を有する。例えば、トランジスタ 4 0 0 は、トランジスタ 2 0 0 と比較して、ボトムゲート電圧及びトップゲート電圧が 0 V のときのドレイン電流が小さい構成とすればよい。トランジスタ 4 0 0 をスイッチング素子として、トランジスタ 2 0 0 のボトムゲートの電位を制御できる構成とする。これにより、トランジスタ 2 0 0 のボトムゲートと接続するノードを所望の電位にした後、トランジスタ 4 0 0 をオフ状態にすることで、トランジスタ 2 0 0 のボトムゲートと接続するノードの電荷が消失することを抑制することができる。

【0492】

図 2 4 に示すように、トランジスタ 2 0 0 は、ゲートが配線 1 0 0 4 と、ソースおよびドレインの一方が配線 1 0 0 3 と、ソース及びドレインの他方が容量素子 1 0 0 の電極の一方と電氣的に接続される。また、容量素子 1 0 0 の電極の他方が配線 1 0 0 5 と電氣的に接続される。また、トランジスタ 4 0 0 のドレインが配線 1 0 1 0 と電氣的に接続される。また、図 2 4 (B) に示すように、トランジスタ 2 0 0 のボトムゲートと、トランジスタ 4 0 0 のソース、トップゲート、およびボトムゲートが、配線 1 0 0 7、および配線 1 0 0 8 を介して電氣的に接続される。

【0493】

ここで、配線 1 0 0 4 に電位を印加することで、トランジスタ 2 0 0 のオン状態、オフ状態を制御することができる。トランジスタ 2 0 0 をオン状態として、配線 1 0 0 3 に電位を印加することで、トランジスタ 2 0 0 を介して、容量素子 1 0 0 に電荷を供給することができる。このとき、トランジスタ 2 0 0 をオフ状態にすることで、容量素子 1 0 0 に供給された電荷を保持することができる。また、配線 1 0 0 5 は、任意の電位を与えること

10

20

30

40

50

で、容量結合によって、トランジスタ200と容量素子100の接続部分の電位を制御することができる。例えば、配線1005に接地電位を与えると、上記電荷を保持しやすくなる。また、配線1010に負の電位を印加することで、トランジスタ400を介して、トランジスタ200のボトムゲートに負の電位を与え、トランジスタ200のしきい値電圧を0Vより大きくし、オフ電流を低減し、Icutを非常に小さくすることができる。ここで、Icutとは、トップゲートに印加する電圧が0Vのときのドレイン電流のことを指す。

【0494】

トランジスタ400のトップゲート及びボトムゲートをソースとダイオード接続し、トランジスタ400のソースとトランジスタ200のボトムゲートを接続する構成にすることで、配線1010によって、トランジスタ200のボトムゲート電圧を制御することができる。トランジスタ200のボトムゲートの負電位を保持するとき、トランジスタ400のトップゲートとソース間の電圧、およびボトムゲートとソース間の電圧は、0Vになる。トランジスタ400のIcutが非常に小さく、しきい値電圧がトランジスタ200より大きいので、この構成とすることにより、トランジスタ400に電源供給をしなくてもトランジスタ200のボトムゲートの負電位を長時間維持することができる。

【0495】

さらに、トランジスタ200のボトムゲートの負電位を保持することで、トランジスタ200に電源供給をしなくてもトランジスタ200のIcutを非常に小さくすることができる。つまり、トランジスタ200およびトランジスタ400に電源供給をしなくても、容量素子100に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

【0496】

なお、トランジスタ200、トランジスタ400および容量素子100の接続関係は、図24(A)(B)に示すものに限定されない。必要な回路構成に応じて適宜接続関係を変更することができる。

【0497】

<記憶装置2の構造>

図25(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装置の断面図である。なお、図25に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0498】

本発明の一態様の記憶装置は、図25に示すようにトランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400は同一層に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

【0499】

なお、容量素子100、およびトランジスタ200としては、先の実施の形態、ならびに図22乃至図24で説明した半導体装置、および記憶装置が有する容量及びトランジスタを用いればよい。なお、図25に示す容量素子100、トランジスタ300、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0500】

トランジスタ400は、トランジスタ200と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、トップゲート電極として機能する導電体460(導電体460a、および導電体460b)と、ボトムゲート電極として機能する導電体405と、導電体460と接する絶縁体470、および絶縁体472

10

20

30

40

50

と、ゲート絶縁層として機能する絶縁体 2 2 0、絶縁体 2 2 2、絶縁体 2 2 4、および絶縁体 4 5 0 と、チャンネルが形成される領域を有する酸化物 4 3 0 c と、ソースまたはドレインの一方として機能する酸化物 4 3 1 a、および酸化物 4 3 1 b と、ソースまたはドレインの他方として機能する酸化物 4 3 2 a、および酸化物 4 3 2 b と、を有する。また、ボトムゲート電極として機能する導電体 4 0 5 は、配線として機能する導電体 4 0 3 と、電氣的に接続されている。

【0501】

ここで、トランジスタ 4 0 0 は、層 4 4 2 を有する。層 4 4 2 は、先の実施の形態で説明した層 2 4 2 と同様の作製方法を用いて形成することができる。また、トランジスタ 2 0 0 と、トランジスタ 4 0 0 とを、層 4 4 2 により接続する場合、トランジスタ 2 0 0 は、必ずしも層 2 4 2 を有する必要はない。設計に応じて、膜 2 4 2 A を加工することにより、層 2 4 2、または層 4 4 2 を形成することができる。

10

【0502】

トランジスタ 4 0 0 において、導電体 4 0 5 は、導電体 2 0 5 と、同じ層である。酸化物 4 3 1 a、および酸化物 4 3 2 a と、酸化物 2 3 0 a と、同じ層であり、酸化物 4 3 1 b、および酸化物 4 3 2 b と、酸化物 2 3 0 b と、同じ層である。酸化物 4 3 0 c は、酸化物 2 3 0 c は同じ層である。絶縁体 4 5 0 は、絶縁体 2 5 0 と、同じ層である。金属酸化物 4 5 2 は、金属酸化物 2 5 2 と、同じ層である。導電体 4 6 0 は、導電体 2 6 0 と、同じ層である。また、絶縁体 4 7 0 は、絶縁体 2 7 0 と、同じ層である。また、絶縁体 4 7 2 は、絶縁体 2 7 2 と、同じ層である。

20

【0503】

トランジスタ 4 0 0 の活性層として機能する酸化物 4 3 0 c は、酸化物 2 3 0 などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ 4 0 0 のしきい値電圧を 0 V より大きくし、オフ電流を低減し、ボトムゲート電圧及びトップゲート電圧が 0 V のときのドレイン電流を非常に小さくすることができる。

【0504】

また、上記の通り、酸化物 4 3 1 a、および酸化物 4 3 2 a は、酸化物 2 3 0 a と同じ層であり、酸化物 4 3 1 b、および酸化物 4 3 2 b は、酸化物 2 3 0 b と同じ層である。よって、酸化物 4 3 1 a、酸化物 4 3 2 a、酸化物 4 3 1 b、および酸化物 4 3 2 b には、領域 2 3 1 a および領域 2 3 1 b に相当する低抵抗領域が形成されている。

30

【0505】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

【0506】

<記憶装置 3>

40

図 2 5 に示す半導体装置は、トランジスタ 3 0 0 と、トランジスタ 2 0 0、および容量素子 1 0 0 を有する記憶装置である。以下に、記憶装置としての一形態を、図 2 5 を用いて説明する。

【0507】

トランジスタ 2 0 0 は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ 2 0 0 の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保

50

持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

【0508】

図25において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200のトップゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

10

【0509】

配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400のゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1007、および配線1008が電氣的に接続されている。

【0510】

図25に示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0511】

情報の書き込みおよび保持について説明する。まず、第4の配線1004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、第3の配線1003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードSNに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線1004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードSNに電荷が保持される（保持）。

20

【0512】

トランジスタ200のオフ電流が小さい場合、ノードSNの電荷は長期間にわたって保持される。

30

【0513】

次に情報の読み出しについて説明する。第1の配線1001に所定の電位（定電位）を与えた状態で、第5の配線1005に適切な電位（読み出し電位）を与えると、第2の配線1002は、ノードSNに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な第5の配線1005の電位をいうものとする。したがって、第5の配線1005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードSNに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードSNにHighレベル電荷が与えられていた場合には、第5の配線1005の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ300は「導通状態」となる。一方、ノードSNにLowレベル電荷が与えられていた場合には、第5の配線1005の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ300は「非導通状態」のままである。このため、第2の配線1002の電位を判別することで、ノードSNに保持されている情報を読み出すことができる。

40

【0514】

50

<記憶装置 3 の構造>

【0515】

図 26 は、容量素子 100、トランジスタ 200、トランジスタ 300、およびトランジスタ 400 を有する記憶装置の断面図である。なお、図 26 に示す記憶装置において、先の実施の形態、<記憶装置 1 の構造>、および<記憶装置 2 の構造>、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0516】

本発明の一態様の記憶装置は、図 26 に示すようにトランジスタ 300、トランジスタ 200、トランジスタ 400 および容量素子 100 を有する。トランジスタ 200 およびトランジスタ 400 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、トランジスタ 200 およびトランジスタ 400 の上方に設けられている。

10

【0517】

なお、容量素子 100、トランジスタ 200、トランジスタ 300、およびトランジスタ 400 としては、先の実施の形態、および図 22 乃至図 25 で説明した半導体装置、および記憶装置が有する容量及びトランジスタを用いればよい。なお、図 26 に示す容量素子 100、トランジスタ 300、トランジスタ 200 およびトランジスタ 400 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0518】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

20

【0519】

<メモリセルアレイの構造>

【0520】

本実施の形態のメモリセルアレイの一例を、図 27 に示す。トランジスタ 200 をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

30

【0521】

なお、図 27 に示す記憶装置は、図 22、および図 26 に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1 個のトランジスタ 400 は、複数のトランジスタ 200 のバックゲート電圧を制御することができる。そのため、トランジスタ 400 は、トランジスタ 200 よりも、少ない個数を設けるとよい。

【0522】

従って、図 27 には、図 26 に示すトランジスタ 400 は省略する。図 27 は、図 22、および図 26 に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

40

【0523】

図 27 に示す記憶装置では、メモリセル 650a とメモリセル 650b が隣接して配置されている。メモリセル 650a およびメモリセル 650b は、トランジスタ 300、トランジスタ 200、および容量素子 100 を有し、配線 1001、配線 1002、配線 1003、配線 1004、配線 1005、および配線 1006 と電氣的に接続される。また、メモリセル 650a およびメモリセル 650b においても、同様にトランジスタ 300 のゲートと、容量素子 100 の電極の一方と、が電氣的に接続するノードを、ノード SN とする。なお、配線 1002 は隣接するメモリセル 650a とメモリセル 650b で共通の配線である。

50

【0524】

メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイがNOR型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。または、例えば、メモリセルアレイがNAND型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。

10

【0525】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

20

【0526】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0527】

(実施の形態4)

以下では、本発明の一態様に係るトランジスタ200に酸化物半導体として用いることができるIGZO中の水素について説明する。

【0528】

<1. 水素原子の移動>

ここでは、IGZO結晶における水素原子の移動の起こりやすさを、水素原子の移動経路上の活性化障壁の観点から評価した。なお、水素原子の移動様式には、1つの酸素から他の酸素へのホッピング、および一つの酸素上における移動を想定した。

30

【0529】

水素原子の移動経路を検討したInGaZnO₄結晶中の領域区分の模式図を図28に示す。ここでは、図28に示す、InO₂領域、(Ga, Zn)O領域、及びInO₂面と(Ga, Zn)O面の間の領域それぞれにおける経路(ab面内方向)、および各領域を横切る経路(c軸方向)について検討した。

【0530】

活性化障壁の評価には、第一原理電子状態・分子動力学計算パッケージVASP(Vienna ab initio simulation package)を用いて行い、化学反応経路探索手法であるNEB(Nudged Elastic Band)法を援用した。NEB法とは初期状態と最終状態からその2つの状態を結ぶ状態の中で必要なエネルギーが最も低くなる状態を探し出す手法である。活性化障壁は、経路内の最大エネルギーと、経路上で最も安定な構造のエネルギーとの差とした。

40

【0531】

<<InO₂面と(Ga, Zn)O面の間の領域>>

図29に、InO₂面と(Ga, Zn)O面の間の領域の水素原子の移動経路と、その経路上での活性化障壁を示す。ただし、経路上で最も安定な構造を基準とし、該構造のエネルギーをエネルギーの原点とした。図29(A)及び図29(C)は、水素原子の移動の様子を示し、それぞれ経路A、経路Bとする。なお、図29(A)乃至図29(D)において、数字は水素原子の移動の順番を示す。経路Aでは、水素原子が3から4に向かう経

50

路について、直線的な経路である。一方、経路 B では、水素原子が 3 から 4 に向かう経路について、5 を経由した経路である。

【0532】

また、図 29 (B) は、経路 A (水素原子が 1 から 4 迄移動する経路) における活性化障壁を示し、図 29 (D) は、経路 B (水素原子が 1 から 4 迄、5 を経由して移動する経路) における活性化障壁を示す。

【0533】

図 29 (B) に示す、経路 A 上での活性化障壁は 1.12 eV であり、図 29 (D) に示す、経路 B 上での活性化障壁は 0.23 eV であった。経路 A と比較して、経路 B 上での活性化障壁の方が小さいため、水素原子が 3 から 4 に向かう場合、経路上の障壁が低い経路 B が起こりやすいと考えられる。すなわち、水素原子が InO₂ 面と (Ga, Zn) O 面の間の領域を移動する際には、経路上の障壁が低い経路 B が起こりやすいと推測される。

10

【0534】

<< (Ga, Zn) O 領域 >>

次に、(Ga, Zn) O 領域における水素原子の移動経路と、その経路上での活性化障壁を、図 30 に示す。ただし、経路上で最も安定な構造を基準とし、該構造をエネルギーの原点とした。図 30 (A) は、(Ga, Zn) O 領域における水素原子の移動の様子を示す。図 30 (A) において、数字は水素原子の移動の順番を示す。図 30 (B) は、図 30 (A) において、水素原子が 1 から 4 迄移動する経路における、活性化障壁を示す。

20

【0535】

図 30 (B) から、(Ga, Zn) O 領域における水素原子の移動経路上での活性化障壁は 0.16 eV であり、図 29 (D) に示す活性化障壁と比較して小さいことが分かる。障壁の高さのみを考えたとき、水素原子が (Ga, Zn) O 領域に存在する場合は、InO₂ 面と (Ga, Zn) O 面の間の領域に存在する場合と比較して、水素原子の移動は起こりやすいと予想される。

【0536】

<< InO₂ 領域 >>

次に、InO₂ 領域における水素原子の移動経路と、その経路上での活性化障壁を図 31 に示す。ただし、経路上で最も安定な構造を基準とし、該構造をエネルギーの原点とした。図 31 (A) は、InO₂ 領域における水素の移動の様子を示す。図 31 (A) において、数字は水素原子の移動の順番を示す。図 31 (B) は、図 31 (A) において、水素原子が 1 から 4 迄移動する経路における、活性化障壁を示す。

30

【0537】

図 31 (B) から、InO₂ 領域における 1 つの酸素から他の酸素へ水素原子が移動する際の活性化障壁は、1.2 eV 以上であった。つまり、図 29 (D) および図 30 (B) に示す活性化障壁と比較して、InO₂ 領域における水素原子の移動経路上での活性化障壁が非常に大きくなっていることが分かる。したがって、他の領域に比べて InO₂ 領域では、水素原子の移動は起こりにくいと考えられる。

【0538】

次に、c 軸方向に沿った水素原子の移動経路とその経路上での活性化障壁を、図 32 に示す。ただし、経路上で最も安定な構造を基準とし、該構造をエネルギーの原点とした。図 32 (A) は、c 軸方向に沿った水素原子の移動の様子を示す。図 32 (A) において、数字は水素原子の移動の順番を示す。図 32 (B) は、図 32 (A) において、水素原子が 1 から 8 迄移動する経路における、活性化障壁を示す。

40

【0539】

図 32 (B) から、水素原子が 2 から 5 迄移動する経路における活性化障壁は 0.9 eV であった。つまり、水素原子が (Ga, Zn) O 領域へ入る、あるいは出る際に大きな活性化障壁が存在することが分かる。これは水素原子の移動経路が金属原子と酸素原子の結合を遮るためと考えられる。また、図 32 (B) から、水素原子が 7 から 8 迄移動する経

50

路における活性化障壁は約 1.3 eV であった。つまり、 InO_2 領域における水素原子の移動でも大きな活性化障壁の存在が確認される。このため、 c 軸方向への連続した水素原子の移動は起こりにくいと予想される。なお、活性化障壁が大きい原因の一つとして、 In のイオン半径が大きいことが考えられる。

【0540】

ここで、計算により得られた活性化障壁と以下の数式 1 より、移動頻度 (Γ) を算出した。

【0541】

【数 1】

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

10

【0542】

ここで、 E_a は活性化障壁、 k_B はボルツマン定数、 T は絶対温度、 ν は頻度因子を示す。

【0543】

最後に、各経路上の最大障壁から見積もった移動頻度を表 1 に示す。

【0544】

【表 1】

20

経路		経路上の 最大障壁 (eV)	移動頻度 (1/sec)	
			450°C	27°C
InO ₂ 面と(Ga,Zn)O面の間の領域 (ab面方向)	A	1.12	1.6E+05	1.0E-06
InO ₂ 面と(Ga,Zn)O面の間の領域 (ab面方向)	B	0.23	2.5E+11	1.4E+09
(Ga,Zn)O領域 (ab面方向)		0.16	7.7E+11	2.1E+10
InO ₂ 領域 (c軸方向)		1.45	8.0E+02	4.6E-12
(Ga,Zn)O面へ入る(出る)経路 (c軸方向)		0.90	5.4E+06	7.8E-03

30

【0545】

27°C、450°C共に、 InO_2 面と (Ga, Zn) O 面の間の領域、および (Ga, Zn) O 領域における ab 面方向への移動頻度が最も高く、一方、 InO_2 領域における c 軸方向への移動頻度が低い傾向にあることが分かった。すなわち、完全な結晶系では水素は優先的に ab 面に沿って拡散することを示唆している。しかし、450°C の加熱処理においては、水素は IGZO 膜中を十分拡散することが分かった。

40

【0546】

< 2. 酸素欠損 V_O のできやすいサイト >

金属原子と酸素原子の結合の強さは金属の種類や価数によって異なるため、 IGZO 中の酸素欠損 V_O のできやすさは、酸素原子の結合相手となる金属の種類、数、距離等で差が生じると推測される。そこで、 InGaZnO_4 結晶モデルに対して酸素欠損のできやすさを計算した。

【0547】

計算には InGaZnO_4 結晶モデル (112 原子) を用いた。このモデルを図 33 に示

50

す。(Ga, Zn)O領域内のGaおよびZnは、エネルギー的に安定となるような配置をとった。この時、結合相手と数より、酸素サイトの種類は4つとなる(図33中に示す1から4)。各酸素サイトについて表2に示す。

【0548】

【表2】

酸素サイト		結合相手
InO ₂ 層	1	In×3、Ga×1
	2	In×3、Zn×1
(Ga,Zn)O層	3	Ga×2、Zn×2
	4	Ga×2、Zn×2

10

【0549】

上記モデルから酸素サイトの酸素原子を一個引き抜くことで、酸素欠損モデルを作成し、構造最適化後の全エネルギーの比較を行った。計算条件を表3に示す。

【0550】

【表3】

ソフトウェア	VASP
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	500 eV
k点	2×2×3

20

30

【0551】

最適化された構造に対する全エネルギーの比較を行った。酸素サイト4の酸素欠損モデルの全エネルギーを基準(0.0 eV)として、全エネルギーの相対値を図34に示す。図34より、酸素欠損が形成されやすいのは酸素サイト4であり、酸素サイト2も比較的形成されやすいと推測される。一方、酸素サイト1及び酸素サイト3については、酸素サイト2や酸素サイト4と比べると形成されにくいと推測される。

【0552】

<3. H_oの形成しやすさ及び安定性>

40

IGZO中では、特に加熱処理時には水素は拡散するという計算結果を、<1. 水素原子の移動>において説明した。そこで、酸素欠損V_oが存在する場合、酸素欠損V_o中の水素は、酸素欠損V_oから抜け出すかについて計算を行った。ここで、酸素欠損V_oに水素原子がある状態をH_o(V_oHと表記する場合もある。)と表記する。

【0553】

計算には、図33に示すInGaZnO₄結晶モデルを用いた。ここで、酸素欠損V_o中の水素原子がV_oから抜け出し、酸素原子と結合するまでの水素原子の移動経路における、活性化障壁(E_a)をNEB法を用いて計算した。計算条件を表4に示す。

【0554】

【表 4】

ソフトウェア	VASP
計算手法	NEB法
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	800 eV
k点	$2 \times 2 \times 3$

10

【0555】

酸素欠損 V_O を最も形成しやすい酸素サイトは、図 3 3 に示す酸素サイト 4 であるという計算結果を、＜2. 酸素欠損 V_O のできやすいサイト＞において説明した。そこで、酸素欠損 V_O が 1 個の Ga と 2 個の Zn と結合した酸素サイト（図 3 3 に示す 4）に存在する場合、酸素欠損 V_O 中の水素原子は、酸素欠損 V_O から抜け出すかについて計算を行った。

【0556】

初期状態のモデルを図 3 5（A）に示し、最終状態のモデルを図 3 5（B）に示す。なお、ここでの初期状態とは、酸素欠損 V_O 中に水素原子がある状態（ H_O ）であり、最終状態とは、酸素欠損 V_O と、1 個の Ga 及び 2 個の Zn と結合した酸素原子と水素原子とが結合した状態（ $H-O$ ）を有する構造である。また、水素原子が初期状態から最終状態まで移動する経路における、活性化障壁を図 3 6 に示す。ここで、初期状態の全エネルギーを基準（0. 0 eV）とした。

20

【0557】

計算の結果、酸素欠損 V_O 中の水素原子が V_O から抜け出す際の活性化障壁（ E_a ）は約 1. 7 0 eV であった。

【0558】

次に、計算により得られた活性化障壁（ E_a ）と上記の数式 1 より、1 時間当たりの、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出す平均回数を算出した。

30

【0559】

頻度因子 $\nu = 10^{13} [1/s]$ と仮定して、室温および 250℃における、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出す平均回数を算出した。図 3 5（A）に示すモデルから図 3 5（B）に示すモデルへ水素原子が移動する平均回数は、室温では約 1×10^{-12} [回] であった。このことから、室温では、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出る確率は極めて低く、 H_O の状態が安定であることが示唆される。また、図 3 5（A）に示すモデルから図 3 5（B）に示すモデルへ水素原子が移動する平均回数は、250℃では約 2 [回] であった。このことから、250℃以上の温度で1時間のベークを行うと、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出すことが可能であることが示唆される。

40

【0560】

以上のことから、チャンネル形成領域に存在する酸素欠損 V_O 中の水素は、熱処理によって、酸素欠損 V_O から抜け出すことが分かった。また、酸素欠損から抜け出した水素は、低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損 V_O の中に入って、 H_O となりやすいことが分かった。したがって、熱処理によって、チャンネル形成領域の高純度化（水、水素などの不純物の低減）が行われ、ノーマリーオフのトランジスタ特性が得られる。

【0561】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

50

【0562】

(実施の形態5)

本実施の形態では、上記実施の形態に示す半導体装置を用いたインバータ回路について説明を行う。なお、本明細書中において、高電源電圧をHレベル（又はVDD）、低電源電圧をLレベル（又はGND）と呼ぶ場合がある。

【0563】

<インバータ回路の構成例>

図37(A)に示す回路INVは、容量素子C1と、直列に接続されたトランジスタM1、トランジスタM2およびトランジスタM3と、を有する。回路INVは、インバータ回路としての機能を有する。

10

【0564】

トランジスタM1乃至M3はnチャネル型トランジスタである。回路INVはnチャネル型のトランジスタのみで構成されているので、CMOSTランジスタで構成されるインバータ回路と比べて、製造コストを低減させることができる。

【0565】

トランジスタM1乃至M3として、上記実施の形態に示すトランジスタ200を用いることが好ましい。

【0566】

トランジスタM1は、互いに電氣的に接続された第1ゲートと第2ゲートを有する。第1ゲートと第2ゲートとは半導体層を間に介して互いに重なる領域を有する。トランジスタM2、M3についても同様である。なお、第1ゲートをフロントゲート、第2ゲートをバックゲートという場合がある。

20

【0567】

回路INVは、端子IN、端子OUT、端子CLKおよび端子CLKBを有する。端子INは入力端子として機能し、端子OUTは出力端子として機能する。端子CLKはクロック信号が入力され、端子CLKBは端子CLKに入力されるクロック信号の反転信号が入力される。

【0568】

また、回路INVは、電源電圧としてVDD、VSSが供給される。VDDは、高電源電圧であり、トランジスタM1のドレインに入力される。VSSは、低電源電圧であり、トランジスタM3のソースに入力される。

30

【0569】

トランジスタM1において、フロントゲートおよびバックゲートは端子CLKに電氣的に接続され、ソースはトランジスタM2のドレインに電氣的に接続される。

【0570】

トランジスタM2において、フロントゲートおよびバックゲートは端子CLKBに電氣的に接続され、ソースはトランジスタM3のドレインに電氣的に接続される。

【0571】

トランジスタM3において、フロントゲートおよびバックゲートは端子INに電氣的に接続される。

40

【0572】

容量素子C1の第1端子はトランジスタM1のソースに電氣的に接続される。容量素子C1の第2端子はVSSが入力される。

【0573】

端子OUTは、トランジスタM1のソース、トランジスタM2のドレインおよび容量素子C1の第1端子に電氣的に接続される。

【0574】

なお、容量素子C1は配線の寄生容量やトランジスタのゲート容量で代用してもよい。その場合、これら半導体装置の占有面積を小さくすることができる。

【0575】

50

次に、回路 I N V の動作について説明を行う。

【0576】

図 37 (B) は回路 I N V の動作を説明するためのタイミングチャートである。それぞれ、端子 I N、C L K、C L K B、O U T の電位変化を表している。また、図 37 (B) を期間 P 1、P 2、P 3 の 3 つの期間に分類している。

【0577】

端子 I N は、期間 P 1 乃至 P 3 の間、H レベルが与えられている。すなわち、期間 P 1 乃至 P 3 において、トランジスタ M 3 はオンになっている。

【0578】

期間 P 1 において、端子 C L K に電位 V H が入力され、端子 C L K B に電位 V L が入力される。トランジスタ M 1 はオンになり、トランジスタ M 2 はオフになる。このとき、容量素子 C 1 に V D D が供給され、容量素子 C 1 は充電（プリチャージ）を開始する。

【0579】

なお、V H は、V D D とトランジスタ M 1 のしきい値電圧 (V_{th}) を足し合わせた電圧 ($V_{DD} + V_{th}$) 以上にすることが好ましい。そうすることで、端子 O U T に V D D を正確に伝えることができる。V L は低電源電圧（又は G N D）とすればよい。なお、V H を高電位、V L を低電位と呼ぶ場合もある。

【0580】

期間 P 2 において、端子 C L K に V L が入力され、端子 C L K B に V H が入力される。トランジスタ M 1 はオフになり、トランジスタ M 2 はオンになる。このとき、トランジスタ M 3 はオンであるため、容量素子 C 1 の第 1 端子とトランジスタ M 3 のソースが導通状態になり、容量素子 C 1 は放電を開始する。最終的に端子 O U T は L レベルを出力する。すなわち、端子 O U T は端子 I N に入力された信号の反転信号を出力する。

【0581】

期間 P 3 において、端子 C L K に V H が入力され、端子 C L K B に V L が入力される。トランジスタ M 1 はオンになり、トランジスタ M 2 はオフになる。期間 P 1 と同様に、容量素子 C 1 は再びプリチャージを開始する。

【0582】

期間 P 1 乃至 P 3 における端子 I N の入力を L レベルとした場合、期間 P 2 において、端子 O U T は H レベルを出力する。すなわち、端子 O U T は端子 I N に入力された信号の反転信号を出力する。

【0583】

以上より、回路 I N V は端子 C L K が V H のときに容量素子 C 1 のプリチャージを行い、端子 C L K が V L のときにインバータ回路として動作することがわかる。

【0584】

また、回路 I N V は、容量素子 C 1 の充電と放電を繰り返すことで動作するダイナミックロジック回路として機能することがわかる。トランジスタ M 1 は容量素子 C 1 を充電するプリチャージ用のトランジスタとして機能し、トランジスタ M 2 は容量素子 C 1 に蓄積された電荷を放電するディスチャージ用のトランジスタとして機能する。

【0585】

トランジスタ M 1 乃至 M 3 は、オフ電流が小さいトランジスタを用いることが好ましい。オフ電流が小さいトランジスタとして、チャネル形成領域に金属酸化物または酸化物半導体を用いたトランジスタ（以下、O S トランジスタと呼ぶ）が挙げられる。なお、ここでオフ電流が小さいとは、トランジスタのオフ電流が、好ましくは $10^{-18} \text{ A} / \mu\text{m}$ 以下、さらに好ましくは $10^{-21} \text{ A} / \mu\text{m}$ 以下、さらに好ましくは $10^{-24} \text{ A} / \mu\text{m}$ 以下のことを言う。

【0586】

トランジスタ M 1 乃至 M 3 に O S トランジスタを用いることで、回路 I N V は貫通電流を小さくすることができる。その結果、回路 I N V は消費電力を低減させることができる。

【0587】

10

20

30

40

50

また、トランジスタM1乃至M3にOSトランジスタを用いることで、容量素子C1にプリチャージされた電荷が、リーク電流によって失われずに済む。その結果、回路INVはより正確にデータを伝えることができる。

【0588】

トランジスタM1は、フロントゲートとバックゲートを電氣的に接続することで、フロントゲートとバックゲートから同時に半導体層にゲート電圧を印加することが可能になり、オン電流を増大させることができる。トランジスタM2およびトランジスタM3についても同様である。その結果、回路INVは、動作周波数の高いインバータ回路を実現することができる。

【0589】

回路INVは、端子INをトランジスタM2のフロントゲートおよびバックゲートに電氣的に接続し、端子CLKBをトランジスタM3のフロントゲートおよびバックゲートに電氣的に接続してもよい。

【0590】

また、トランジスタM1乃至M3がそれぞれ有するバックゲートは、トップゲートと異なる電位を与えてもよい。例えば、トランジスタM1乃至M3がそれぞれ有するバックゲートに共通の固定電位を与えてもよい。そうすることで、回路INVは、トランジスタM1乃至M3のしきい値電圧を制御することができる。

【0591】

また、回路INVは、場合によっては、トランジスタM1乃至M3のバックゲートを全て省略してもよい。その場合、回路INVは製造工程を簡略化することができる。

【0592】

以上、回路INVは消費電力が小さく単極性のトランジスタで構成されるインバータ回路を提供することができる。また、動作周波数が高く単極性のトランジスタで構成されるインバータ回路を提供することができる。

【0593】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0594】

(実施の形態6)

本実施の形態では、図38乃至図40を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSTランジスタと呼ぶ。）、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSTランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

【0595】

NOSRAMでは、メモリセルにOSTランジスタが用いられるメモリ装置（以下、「OSメモリ」と呼ぶ。）が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSTランジスタを有するメモリである。OSTランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

【0596】

<<NOSRAM>>

図38にNOSRAMの構成例を示す。図38に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

【0597】

メモリセルアレイ 1610 は複数のメモリセル 1611、複数のワード線 WWL、RWL、ビット線 BL、ソース線 SL を有する。ワード線 WWL は書き込みワード線であり、ワード線 RWL は読み出しワード線である。NOSRAM 1600 では、1 のメモリセル 1611 で 3 ビット（8 値）のデータを記憶する。

【0598】

コントローラ 1640 は、NOSRAM 1600 全体を統括的に制御し、データ WDA [31:0] の書き込み、データ RDA [31:0] の読み出しを行う。コントローラ 1640 は、外部からのコマンド信号（例えば、チップイネーブル信号、書き込みイネーブル信号など）を処理して、行ドライバ 1650、列ドライバ 1660 および出力ドライバ 1670 の制御信号を生成する。

10

【0599】

行ドライバ 1650 は、アクセスする行を選択する機能を有する。行ドライバ 1650 は、行デコーダ 1651、およびワード線ドライバ 1652 を有する。

【0600】

列ドライバ 1660 は、ソース線 SL およびビット線 BL を駆動する。列ドライバ 1660 は、列デコーダ 1661、書き込みドライバ 1662、DAC（デジタル - アナログ変換回路）1663 を有する。

【0601】

DAC 1663 は 3 ビットのデジタルデータをアナログ電圧に変換する。DAC 1663 は 32 ビットのデータ WDA [31:0] を 3 ビットごとに、アナログ電圧に変換する。

20

【0602】

書き込みドライバ 1662 は、ソース線 SL をプリチャージする機能、ソース線 SL を電氣的に浮遊状態にする機能、ソース線 SL を選択する機能、選択されたソース線 SL に DAC 1663 で生成した書き込み電圧を入力する機能、ビット線 BL をプリチャージする機能、ビット線 BL を電氣的に浮遊状態にする機能等を有する。

【0603】

出力ドライバ 1670 は、セクタ 1671、ADC（アナログ - デジタル変換回路）1672、出力バッファ 1673 を有する。セクタ 1671 は、アクセスするソース線 SL を選択し、選択されたソース線 SL の電圧を ADC 1672 に送信する。ADC 1672 は、アナログ電圧を 3 ビットのデジタルデータに変換する機能を持つ。ソース線 SL の電圧は ADC 1672 において、3 ビットのデータに変換され、出力バッファ 1673 は ADC 1672 から出力されるデータを保持する。

30

【0604】

なお、本実施の形態に示す、行ドライバ 1650、列ドライバ 1660、および出力ドライバ 1670 の構成は、上記に限定されるものではない。メモリセルアレイ 1610 の構成または駆動方法などに応じて、これらのドライバおよび当該ドライバに接続される配線の配置を変更してもよいし、これらのドライバおよび当該ドライバに接続される配線の有する機能を変更または追加してもよい。例えば、上記のソース線 SL が有する機能の一部を、ビット線 BL に有せしめる構成にしてもよい。

【0605】

なお、上記においては、各メモリセル 1611 に保持させる情報量を 3 ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。各メモリセル 1611 に保持させる情報量を 2 ビット以下にしてもよいし、4 ビット以上にしてもよい。例えば、各メモリセル 1611 に保持させる情報量を 1 ビットにする場合、DAC 1663 および ADC 1672 を設けない構成にしてもよい。

40

【0606】

<メモリセル>

図 39 (A) はメモリセル 1611 の構成例を示す回路図である。メモリセル 1611 は 2T 型のゲインセルであり、メモリセル 1611 はワード線 WWL、RWL、ビット線 BL、ソース線 SL、配線 BGL に電氣的に接続されている。メモリセル 1611 は、ノー

50

ドSN、OSTランジスタMO61、ランジスタMP61、容量素子C61を有する。OSTランジスタMO61は書き込みランジスタである。ランジスタMP61は読み出しランジスタであり、例えばpチャネル型Siランジスタで構成される。容量素子C61はノードSNの電圧を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではランジスタMP61のゲートに相当する。

【0607】

メモリセル1611の書き込みランジスタがOSTランジスタMO61で構成されているため、NOSRAM1600は長時間データを保持することが可能である。

【0608】

図39(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図39(B)に示すように、書き込みビット線として機能する、ビット線WBLと、読み出しビット線として機能する、ビット線RBLとを設けてもよい。

10

【0609】

図39(C)－図39(E)にメモリセルの他の構成例を示す。図39(C)－図39(E)には、書き込み用のビット線WBLと読み出し用のビット線RBLを設けた例を示しているが、図39(A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

【0610】

図39(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しランジスタをnチャネル型ランジスタ(MN61)に変更したものである。ランジスタMN61はOSTランジスタであってもよいし、Siランジスタであってもよい。

20

【0611】

メモリセル1611、1612において、OSTランジスタMO61はバックゲートの無いOSTランジスタであってもよい。

【0612】

図39(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、RWL、ビット線WBL、RBL、ソース線SL、配線BGL、PCLに電気的に接続されている。メモリセル1613は、ノードSN、OSTランジスタMO62、ランジスタMP62、ランジスタMP63、容量素子C62を有する。OSTランジスタMO62は書き込みランジスタである。ランジスタMP62は読み出しランジスタであり、ランジスタMP63は選択ランジスタである。

30

【0613】

図39(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しランジスタおよび選択ランジスタをnチャネル型ランジスタ(MN62、MN63)に変更したものである。ランジスタMN62、MN63はOSTランジスタであってもよいし、Siランジスタであってもよい。

【0614】

メモリセル1611－1614に設けられるOSTランジスタは、バックゲートの無いランジスタでもよいし、バックゲートが有るランジスタであってもよい。

40

【0615】

上記においては、メモリセル1611などが並列に接続された、いわゆるNOR型の記憶装置について説明したが、本実施の形態に示す記憶装置はこれに限られるものではない。例えば、以下に示すようなメモリセル1615が直列に接続された、いわゆるNAND型の記憶装置にしてもよい。

【0616】

図40はNAND型のメモリセルアレイ1610の構成例を示す回路図である。図40に示すメモリセルアレイ1610は、ソース線SL、ビット線RBL、ビット線WBL、ワード線WWL、ワード線RWL、配線BGL、およびメモリセル1615を有する。メモリセル1615は、ノードSN、OSTランジスタMO63、ランジスタMN64、容

50

量素子C 6 3を有する。ここで、トランジスタMN 6 4は、例えばnチャネル型S iトランジスタで構成される。これに限られず、トランジスタMN 6 4は、pチャネル型S iトランジスタ、であってもよいし、O Sトランジスタであってもよい。

【0617】

以下では、図40に示すメモリセル1615aおよびメモリセル1615bを例として説明する。ここで、メモリセル1615aまたはメモリセル1615bのいずれかに接続する配線、または回路素子の符号については、aまたはbの符号を付して表す。

【0618】

メモリセル1615aにおいて、トランジスタMN 6 4aのゲートと、O SトランジスタMO 6 3aのソースおよびドレインの一方と、容量素子C 6 3aの電極の一方とは、電氣的に接続されている。また、ビット線WBLとO SトランジスタMO 6 3aのソースおよびドレインの他方とは、電氣的に接続されている。また、ワード線WWLaと、O SトランジスタMO 6 3aのゲートとは、電氣的に接続されている。また、配線BGLaと、O SトランジスタMO 6 3aのバックゲートとは、電氣的に接続されている。そして、ワード線RWLaと、容量素子C 6 3aの電極の他方は電氣的に接続されている。

【0619】

メモリセル1615bは、ビット線WBLとのコンタクト部を対称の軸として、メモリセル1615aと対称的に設けることができる。よって、メモリセル1615bに含まれる回路素子も、上記メモリセル1615aと同じように配線と接続される。

【0620】

さらに、メモリセル1615aが有するトランジスタMN 6 4aのソースは、メモリセル1615bのトランジスタMN 6 4bのドレインと電氣的に接続される。メモリセル1615aが有するトランジスタMN 6 4aのドレインは、ビット線RBLと電氣的に接続される。メモリセル1615bが有するトランジスタMN 6 4bのソースは、複数のメモリセル1615が有するトランジスタMN 6 4を介してソース線SLと電氣的に接続される。このように、NAND型のメモリセルアレイ1610では、ビット線RBLとソース線SLの間に、複数のトランジスタMN 6 4が直列に接続される。

【0621】

図40に示すメモリセルアレイ1610を有する記憶装置では、同じワード線WWL（またはワード線RWL）に接続された複数のメモリセル（以下、メモリセル列と呼ぶ。）ごとに、書き込み動作および読み出し動作を行う。例えば、書き込み動作は次のように行うことができる。書き込みを行うメモリセル列に接続されたワード線WWLにO SトランジスタMO 6 3がオン状態となる電位を与え、書き込みを行うメモリセル列のO SトランジスタMO 6 3をオン状態にする。これにより、指定したメモリセル列のトランジスタMN 6 4のゲートおよび容量素子C 6 3の電極の一方にビット線WBLの電位が与えられ、該ゲートに所定の電荷が与えられる。それから当該メモリセル列のO SトランジスタMO 6 3をオフ状態にすると、該ゲートに与えられた所定の電荷を保持することができる。このようにして、指定したメモリセル列のメモリセル1615にデータを書き込むことができる。

【0622】

また、例えば、読み出し動作は次のように行うことができる。まず、読み出しを行うメモリセル列に接続されていないワード線RWLに、トランジスタMN 6 4のゲートに与えられた電荷によらず、トランジスタMN 6 4がオン状態となるような電位を与え、読み出しを行うメモリセル列以外のトランジスタMN 6 4をオン状態とする。それから、読み出しを行うメモリセル列に接続されたワード線RWLに、トランジスタMN 6 4のゲートが有する電荷によって、トランジスタMN 6 4のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線SLに定電位を与え、ビット線RBLに接続されている読み出し回路を動作状態とする。ここで、ソース線SLービット線RBL間の複数のトランジスタMN 6 4は、読み出しを行うメモリセル列を除いてオン状態となっているため、ソース線SLービット線RBL間のコンダクタンスは、読み出しを行う

10

20

30

40

50

メモリセル列のトランジスタMN64の状態（オン状態またはオフ状態）によって決定される。読み出しを行うメモリセル列のトランジスタMN64のゲートが有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線RBLの電位は異なる値をとることになる。ビット線RBLの電位を読み出し回路によって読み出すことで、指定したメモリセル列のメモリセル1615から情報を読み出すことができる。

【0623】

容量素子C61、容量素子C62、または容量素子C63の充放電によってデータを書き換えるため、NOSRAM1600は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

10

【0624】

上記実施の形態に示す半導体装置をメモリセル1611、1612、1613、1614、1615に用いる場合、OSTランジスタMO61、MO62、MO63としてトランジスタ200を用い、容量素子C61、C62、C63として容量素子100を用い、トランジスタMP61、MP62、MP63、MN61、MN62、MN63、MN64としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

【0625】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

20

【0626】

（実施の形態7）

本実施の形態では、図41および図42を用いて、本発明の一態様に係る、OSTランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

30

【0627】

<<DOSRAM1400>>

図41にDOSRAMの構成例を示す。図41に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420（以下、「MC-SAアレイ1420」と呼ぶ。）を有する。

【0628】

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セレクト1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

40

【0629】

（MC-SAアレイ1420）

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

【0630】

メモリセルアレイ1422は、N個（Nは2以上の整数）のローカルメモリセルアレイ1

50

4 2 5 < 0 > - 1 4 2 5 < N - 1 > を有する。図 4 2 (A) にローカルメモリセルアレイ 1 4 2 5 の構成例を示す。ローカルメモリセルアレイ 1 4 2 5 は、複数のメモリセル 1 4 4 5、複数のワード線 W L、複数のビット線 B L L、B L R を有する。図 4 2 (A) の例では、ローカルメモリセルアレイ 1 4 2 5 の構造はオープンビット線型であるが、フォーラドッドビット線型であってもよい。

【0631】

図 4 2 (B) に共通のビット線 B L L (B L R) に接続される、ペア状の一組のメモリセル 1 4 4 5 a およびメモリセル 1 4 4 5 b の回路構成例を示す。メモリセル 1 4 4 5 a はトランジスタ M W 1 a、容量素子 C S 1 a、端子 B 1 a、B 2 a を有し、ワード線 W L a、ビット線 B L L (B L R) に接続される。また、メモリセル 1 4 4 5 b はトランジスタ M W 1 b、容量素子 C S 1 b、端子 B 1 b、B 2 b を有し、ワード線 W L b、ビット線 B L L (B L R) に接続される。なお、以下において、メモリセル 1 4 4 5 a およびメモリセル 1 4 4 5 b のいずれかを特に限定しない場合は、メモリセル 1 4 4 5 およびそれに付属する構成に a または b の符号を付さない場合がある。

【0632】

トランジスタ M W 1 a は容量素子 C S 1 a の充放電を制御する機能をもち、トランジスタ M W 1 b は容量素子 C S 1 b の充放電を制御する機能をもつ。トランジスタ M W 1 a のゲートはワード線 W L a に電氣的に接続され、第 1 端子はビット線 B L L (B L R) に電氣的に接続され、第 2 端子は容量素子 C S 1 a の第 1 端子に電氣的に接続されている。また、トランジスタ M W 1 b のゲートはワード線 W L b に電氣的に接続され、第 1 端子はビット線 B L L (B L R) に電氣的に接続され、第 2 端子は容量素子 C S 1 b の第 1 端子に電氣的に接続されている。このように、ビット線 B L L (B L R) がトランジスタ M W 1 a の第 1 端子とトランジスタ M W 1 b の第 1 端子に共通で用いられる。

【0633】

トランジスタ M W 1 は容量素子 C S 1 の充放電を制御する機能をもつ。容量素子 C S 1 の第 2 端子は端子 B 2 に電氣的に接続されている。端子 B 2 には、定電圧 (例えば、低電源電圧) が入力される。

【0634】

上記実施の形態に示す半導体装置をメモリセル 1 4 4 5 a、1 4 4 5 b に用いる場合、トランジスタ M W 1 a、またはトランジスタ M W 1 b としてトランジスタ 2 0 0 を用い、容量素子 C S 1 a、または容量素子 C S 1 b として容量素子 1 0 0 を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

【0635】

トランジスタ M W 1 はバックゲートを備えており、バックゲートは端子 B 1 に電氣的に接続されている。そのため、端子 B 1 の電圧によって、トランジスタ M W 1 の閾値電圧を変更することができる。例えば、端子 B 1 の電圧は固定電圧 (例えば、負の定電圧) であってもよいし、D O S R A M 1 4 0 0 の動作に応じて、端子 B 1 の電圧を変化させてもよい。

【0636】

トランジスタ M W 1 のバックゲートをトランジスタ M W 1 のゲート、ソース、またはドレインに電氣的に接続してもよい。あるいは、トランジスタ M W 1 にバックゲートを設けなくてもよい。

【0637】

センスアンプアレイ 1 4 2 3 は、N 個のローカルセンスアンプアレイ 1 4 2 6 < 0 > - 1 4 2 6 < N - 1 > を有する。ローカルセンスアンプアレイ 1 4 2 6 は、1 のスイッチアレイ 1 4 4 4、複数のセンスアンプ 1 4 4 6 を有する。センスアンプ 1 4 4 6 には、ビット線対が電氣的に接続されている。センスアンプ 1 4 4 6 は、ビット線対をプリチャージする機能、ビット線対の電圧差を増幅する機能、この電圧差を保持する機能を有する。スイ

10

20

30

40

50

タッチアレイ 1444 は、ビット線対を選択し、選択したビット線対とグローバルビット線対と間を導通状態にする機能を有する。

【0638】

ここで、ビット線対とは、センスアンプによって、同時に比較される 2 本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される 2 本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線 B L L とビット線 B L R が 1 組のビット線対を成す。グローバルビット線 G B L L とグローバルビット線 G B L R とが 1 組のグローバルビット線対をなす。以下、ビット線対 (B L L, B L R)、グローバルビット線対 (B L L, B L R) と表す。

10

【0639】

(コントローラ 1405)

コントローラ 1405 は、D O S R A M 1400 の動作全般を制御する機能を有する。コントローラ 1405 は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路 1410、列回路 1415 の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

【0640】

(行回路 1410)

行回路 1410 は、M C - S A アレイ 1420 を駆動する機能を有する。デコーダ 1411 はアドレス信号をデコードする機能を有する。ワード線ドライバ回路 1412 は、アクセス対象行のワード線 W L を選択する選択信号を生成する。

20

【0641】

列セクタ 1413、センスアンプドライバ回路 1414 はセンスアンプアレイ 1423 を駆動するための回路である。列セクタ 1413 は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ 1413 の選択信号によって、各ローカルセンスアンプアレイ 1426 のスイッチアレイ 1444 が制御される。センスアンプドライバ回路 1414 の制御信号によって、複数のローカルセンスアンプアレイ 1426 は独立して駆動される。

【0642】

(列回路 1415)

列回路 1415 は、データ信号 W D A [31:0] の入力を制御する機能、データ信号 R D A [31:0] の出力を制御する機能を有する。データ信号 W D A [31:0] は書き込みデータ信号であり、データ信号 R D A [31:0] は読み出しデータ信号である。

30

【0643】

グローバルセンスアンプ 1447 はグローバルビット線対 (G B L L, G B L R) に電氣的に接続されている。グローバルセンスアンプ 1447 はグローバルビット線対 (G B L L, G B L R) 間の電圧差を増幅する機能、この電圧差を保持する機能を有する。グローバルビット線対 (G B L L, G B L R) へのデータの書き込み、および読み出しは、入出力回路 1417 によって行われる。

40

【0644】

D O S R A M 1400 の書き込み動作の概要を説明する。入出力回路 1417 によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ 1416 によって保持される。アドレスが指定するローカルセンスアンプアレイ 1426 のスイッチアレイ 1444 によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ 1426 は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ 1425 において、行回路 1410 によって、対象行のワード線 W L が選択され、選択行のメモリセル 1445 にローカルセンスアンプアレイ 1426 の保持データが書き込まれる。

【0645】

50

D O S R A M 1 4 0 0 の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ 1 4 2 5 の 1 行が指定される。指定されたローカルメモリセルアレイ 1 4 2 5 において、対象行のワード線 W L が選択状態となり、メモリセル 1 4 4 5 のデータがビット線に書き込まれる。ローカルセンスアンプアレイ 1 4 2 6 によって、各列のビット線対の電圧差がデータとして検出され、かつ保持される。スイッチアレイ 1 4 4 4 によって、ローカルセンスアンプアレイ 1 4 2 6 の保持データの内、アドレスが指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ 1 4 1 6 は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ 1 4 1 6 の保持データは入出力回路 1 4 1 7 に出力される。以上で、読み出し動作が完了する。

10

【0646】

容量素子 C S 1 の充放電によってデータを書き換えるため、D O S R A M 1 4 0 0 には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル 1 4 4 5 の回路構成が単純であるため、大容量化が容易である。

【0647】

トランジスタ M W 1 は O S トランジスタである。O S トランジスタはオフ電流が極めて小さいため、容量素子 C S 1 から電荷がリークすることを抑えることができる。したがって、D O S R A M 1 4 0 0 の保持時間は D R A M に比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、D O S R A M 1 4 0 0 は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

20

【0648】

M C - S A アレイ 1 4 2 0 が積層構造であることによって、ローカルセンスアンプアレイ 1 4 2 6 の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル 1 4 4 5 の保持容量を低減することができる。また、ローカルセンスアンプアレイ 1 4 2 6 にスイッチアレイ 1 4 4 4 を設けることで、長いビット線の本数を減らすことができる。以上の理由から、D O S R A M 1 4 0 0 のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

【0649】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

30

【0650】

(実施の形態 8)

本実施の形態では、図 4 3 から図 4 6 を用いて、本発明の一態様に係る、O S トランジスタ、および容量素子が適用されている半導体装置の一例として、F P G A (フィールドプログラマブルゲートアレイ) について説明する。本実施の形態の F P G A は、コンフィギュレーションメモリ、およびレジスタに O S メモリが適用されている。ここでは、このような F P G A を「O S - F P G A」と呼ぶ。

【0651】

<<O S - F P G A>>

図 4 3 (A) に O S - F P G A の構成例を示す。図 4 3 (A) に示す O S - F P G A 3 1 1 0 は、マルチコンテキスト構造によるコンテキスト切り替え、細粒度パワーゲーティング、N O F F (ノーマリーオフ) コンピューティングが可能である。O S - F P G A 3 1 1 0 は、コントローラ 3 1 1 1、ワードドライバ 3 1 1 2、データドライバ 3 1 1 3、プログラマブルエリア 3 1 1 5 を有する。

【0652】

プログラマブルエリア 3 1 1 5 は、2 個の入出力ブロック (I O B) 3 1 1 7、コア 3 1 1 9 を有する。I O B 3 1 1 7 は複数のプログラマブル入出力回路を有する。コア 3 1 1 9 は、複数のロジックアレイブロック (L A B) 3 1 2 0、複数のスイッチアレイブロッ

50

ク (SAB) 3130 を有する。LAB3120 は複数の PLE3121 を有する。図 43 (B) には、LAB3120 を 5 個の PLE3121 で構成する例を示す。図 43 (C) に示すように SAB3130 はアレイ状に配列された複数のスイッチブロック (SB) 3131 を有する。LAB3120 は自身の入力端子と、SAB3130 を介して 4 (上下左右) 方向の LAB3120 に接続される。

【0653】

図 44 (A) 乃至図 44 (C) を参照して、SB3131 について説明する。図 44 (A) に示す SB3131 には、data、datab、信号 context [1:0]、word [1:0] が入力される。data、datab はコンフィギュレーションデータであり、data と datab は論理が相補的な関係にある。OS-FPGA3110 のコンテキスト数は 2 であり、信号 context [1:0] はコンテキスト選択信号である。信号 word [1:0] はワード線選択信号であり、信号 word [1:0] が入力される配線がそれぞれワード線である。

10

【0654】

SB3131 は、PRS (プログラマブルルーティングスイッチ) 3133 [0]、3133 [1] を有する。PRS3133 [0]、3133 [1] は、相補データを格納できるコンフィギュレーションメモリ (CM) を有する。なお、PRS3133 [0] と PRS3133 [1] とを区別しない場合、PRS3133 と呼ぶ。他の要素についても同様である。

【0655】

図 44 (B) に PRS3133 [0] の回路構成例を示す。PRS3133 [0] と PRS3133 [1] とは同じ回路構成を有する。PRS3133 [0] と PRS3133 [1] とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号 context [0]、word [0] は PRS3133 [0] に入力され、信号 context [1]、word [1] は PRS3133 [1] に入力される。例えば、SB3131 において、信号 context [0] が “H” になることで、PRS3133 [0] がアクティブになる。

20

【0656】

PRS3133 [0] は、CM3135、Si トランジスタ M31 を有する。Si トランジスタ M31 は、CM3135 により制御されるパストランジスタである。CM3135 は、メモリ回路 3137、3137B を有する。メモリ回路 3137、3137B は同じ回路構成である。メモリ回路 3137 は、容量素子 C31、OS トランジスタ MO31、MO32 を有する。メモリ回路 3137B は、容量素子 CB31、OS トランジスタ MOB31、MOB32 を有する。

30

【0657】

上記実施の形態に示す半導体装置を SAB3130 に用いる場合、OS トランジスタ MO31、MOB31 としてトランジスタ 200 を用い、容量素子 C31、CB31 として容量素子 100 を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

40

【0658】

OS トランジスタ MO31、MO32、MOB31、MOB32 はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

【0659】

Si トランジスタ M31 のゲートがノード N31 であり、OS トランジスタ MO32 のゲートがノード N32 であり、OS トランジスタ MOB32 のゲートがノード NB32 である。ノード N32、NB32 は CM3135 の電荷保持ノードである。OS トランジスタ MO32 はノード N31 と信号 context [0] 用の信号線との間の導通状態を制御する。OS トランジスタ MOB32 はノード N31 と低電位電源線 VSS との間の導通状態を制御する。

50

【0660】

メモリ回路3137、3137Bが保持するデータは相補的な関係にある。したがって、OストランジスタMO32またはMOB32の何れか一方が導通する。

【0661】

図44(C)を参照して、PRS3133[0]の動作例を説明する。PRS3133[0]にコンフィギュレーションデータが既書き込まれており、PRS3133[0]のノードN32は“H”であり、ノードNB32は“L”である。

【0662】

信号context[0]が“L”である間はPRS3133[0]は非アクティブである。この期間に、PRS3133[0]の入力端子が“H”に遷移しても、SiトランジスタM31のゲートは“L”が維持され、PRS3133[0]の出力端子も“L”が維持される。

10

【0663】

信号context[0]が“H”である間はPRS3133[0]はアクティブである。信号context[0]が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SiトランジスタM31のゲートは“H”に遷移する。

【0664】

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOストランジスタMO32がソースフォロアであるために、ブースティングによってSiトランジスタM31のゲート電圧は上昇する。その結果、メモリ回路3137のOストランジスタMO32は駆動能力を失い、SiトランジスタM31のゲートは浮遊状態となる。

20

【0665】

マルチコンテキスト機能を備えるPRS3133において、CM3135はマルチプレサの機能を併せ持つ。

【0666】

図45にPLE3121の構成例を示す。PLE3121はLUT（ルックアップテーブル）ブロック3123、レジスタブロック3124、セクタ3125、CM3126を有する。LUTブロック3123は、入力inA-inDに従って内部の16ビットCM対の出力をマルチプレクスする構成である。セクタ3125は、CM3126が格納するコンフィギュレーションに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

30

【0667】

PLE3121は、パワースイッチ3127を介して電圧VDD用の電源線に電氣的に接続されている。パワースイッチ3127のオンオフは、CM3128が格納するコンフィギュレーションデータによって設定される。各PLE3121にパワースイッチ3127を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないPLE3121をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

【0668】

NOFFコンピューティングを実現するため、レジスタブロック3124は、不揮発性レジスタで構成される。PLE3121内の不揮発性レジスタはOSメモリを備えるフリップフロップ（以下[OS-FF]と呼ぶ）である。

40

【0669】

レジスタブロック3124は、OS-FF3140[1]3140[2]を有する。信号user_res、load、storeがOS-FF3140[1]、3140[2]に入力される。クロック信号CLK1はOS-FF3140[1]に入力され、クロック信号CLK2はOS-FF3140[2]に入力される。図46(A)にOS-FF3140の構成例を示す。

【0670】

50

OS-FF3140は、FF3141、シャドウレジスタ3142を有する。FF3141は、ノードCK、R、D、Q、QBを有する。ノードCKにはクロック信号が入力される。ノードRには信号user_resが入力される。信号user_resはリセット信号である。ノードDはデータ入力ノードであり、ノードQはデータ出力ノードである。ノードQとノードQBとは論理が相補関係にある。

【0671】

シャドウレジスタ3142は、FF3141のバックアップ回路として機能する。シャドウレジスタ3142は、信号storeに従いノードQ、QBのデータをそれぞれバックアップし、また、信号loadに従い、バックアップしたデータをノードQ、QBに書き戻す。

10

【0672】

シャドウレジスタ3142は、インバータ回路3188、3189、SiトランジスタM37、MB37、メモリ回路3143、3143Bを有する。メモリ回路3143、3143Bは、PRS3133のメモリ回路3137と同じ回路構成である。メモリ回路3143は容量素子C36、OSTランジスタMO35、MO36を有する。メモリ回路3143Bは容量素子CB36、OSTランジスタMOB35、OSTランジスタMOB36を有する。ノードN36、NB36はOSTランジスタMO36、OSTランジスタMOB36のゲートであり、それぞれ電荷保持ノードである。ノードN37、NB37は、SiトランジスタM37、MB37のゲートである。

【0673】

上記実施の形態に示す半導体装置をLAB3120に用いる場合、OSTランジスタMO35、MOB35としてランジスタ200を用い、容量素子C36、CB36として容量素子100を用いることができる。これにより、ランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

20

【0674】

OSTランジスタMO35、MO36、MOB35、MOB36はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

【0675】

図46(B)を参照して、OS-FF3140の動作方法例を説明する。

30

【0676】

(バックアップ)

“H”の信号storeがOS-FF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。しかる後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、QBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

【0677】

(リカバリ)

パワースイッチ3127をオンにし、PLE3121に電源を供給する。しかる後、“H”の信号loadがOS-FF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OS-FF3140はバックアップ動作時の状態に復帰する。

40

【0678】

細粒度パワーゲーティングと、OS-FF3140のバックアップ／リカバリ動作とを組み合わせることで、OS-FPGA3110の消費電力を効果的に低減できる。

【0679】

50

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される α 線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS-FPGA3110を提供することができる。

【0680】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

10

【0681】

(実施の形態9)

本実施の形態では、図47を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

【0682】

図47はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

【0683】

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOS-FPGA3110を用いることができる。

20

【0684】

制御部4020は、CPU(Central Processing Unit)4021と、GPU(Graphics Processing Unit)4022と、PLL(Phase Locked Loop)4023と、SRAM(Static Random Access Memory)4024と、PROM(Programmable Read Only Memory)4025と、メモリコントローラ4026と、電源回路4027と、PMU(Power Management Unit)4028と、を有する。

30

【0685】

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

【0686】

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

【0687】

アナログ演算回路4011はA/D(アナログ/デジタル)変換回路、D/A(デジタル/アナログ)変換回路、および積和演算回路を有する。

40

【0688】

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

【0689】

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、シフトレジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小

50

さくすることができる。

【0690】

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

【0691】

NOSRAM4013はOSTランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory)などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することもなく、データの書き込み可能回数に制限が無い。

10

【0692】

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

【0693】

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット(8値)以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

20

【0694】

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速且つ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

30

【0695】

FPGA4014は、OSTランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

40

【0696】

FPGA4014はOSTランジスタを有するFPGAである。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

【0697】

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ(チップ)の上に設けることができ

50

る。そのため、A Iシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、D O S R A M 4012、N O S R A M 4013、およびF P G A 4014は、同じ製造プロセスで作製することができる。そのため、A Iシステム4041は、低コストで作製することができる。

【0698】

なお、演算部4010は、D O S R A M 4012、N O S R A M 4013、およびF P G A 4014を、全て有する必要はない。A Iシステム4041が解決したい課題に応じて、D O S R A M 4012、N O S R A M 4013、およびF P G A 4014の一または複数を、選択して設ければよい。

【0699】

A Iシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（D N N）、畳み込みニューラルネットワーク（C N N）、再帰型ニューラルネットワーク（R N N）、自己符号化器、深層ボルツマンマシン（D B M）、深層信念ネットワーク（D B N）などの演算を実行することができる。P R O M 4025は、これらの演算を実行するためのプログラムを保存することができる。また、これらプログラムの一部または全てを、N O S R A M 4013に保存してもよい。

【0700】

ライブラリとして存在する既存のプログラムは、G P Uの処理を前提としているものが多い。そのため、A Iシステム4041はG P U 4022を有することが好ましい。A Iシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をG P U 4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

【0701】

電源回路4027は、論理回路用の低電圧電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はO Sメモリを用いてもよい。電源回路4027は、基準電位をO Sメモリに保存することで、消費電力を下げることができる。

【0702】

P M U 4028は、A Iシステム4041の電力供給を一時的にオフにする機能を有する。

【0703】

C P U 4021およびG P U 4022は、レジスタとしてO Sメモリを有することが好ましい。C P U 4021およびG P U 4022はO Sメモリを有することで、電力供給がオフになっても、O Sメモリ中にデータ（論理値）を保持し続けることができる。その結果、A Iシステム4041は、電力を節約することができる。

【0704】

P L L 4023は、クロックを生成する機能を有する。A Iシステム4041は、P L L 4023が生成したクロックを基準に動作を行う。P L L 4023はO Sメモリを有することが好ましい。P L L 4023はO Sメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

【0705】

A Iシステム4041は、D R A Mなどの外部メモリにデータを保存してもよい。そのため、A Iシステム4041は、外部のD R A Mとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、C P U 4021またはG P U 4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

【0706】

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、A Iシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。

【0707】

10

20

30

40

50

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

【0708】

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

【0709】

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB（Universal Serial Bus）やI2C（Inter-Integrated Circuit）などを含む。

【0710】

AIシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は、通信モジュール4035を有することが好ましい。

【0711】

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する）ことが非常に難しい。

【0712】

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子でありため、データの書き込みと読み出しを分ける回路設計が複雑になる。

【0713】

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

【0714】

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

【0715】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0716】

（実施の形態10）

＜AIシステムの応用例＞

本実施の形態では、上記実施の形態に示すAIシステムの応用例について図48を用いて説明を行う。

【0717】

図48（A）は、図47で説明したAIシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、AIシステム4041Aである。

【0718】

図48（A）に図示するAIシステム4041Aは、複数のAIシステム4041__1乃至AIシステム4041__n（nは自然数）を有する。AIシステム4041__1乃至AIシステム4041__nは、バス線4098を介して互いに接続されている。

10

20

30

40

50

【0719】

また図48(B)は、図47で説明したAIシステム4041を図48(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、AIシステム4041Bである。

【0720】

図48(B)に図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。

【0721】

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web(WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

【0722】

図48(A)、(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのAIシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

【0723】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0724】

(実施の形態11)

本実施の形態は、上記実施の形態に示すAIシステムが組み込まれたICの一例を示す。

【0725】

上記実施の形態に示すAIシステムは、CPU等のシトランジスタでなるデジタル処理回路と、OSトランジスタを用いたアナログ演算回路、OS-FPGAおよびDOSRAM、NOSRAM等のOSメモリを、1のダイに集積することができる。

【0726】

図49に、AIシステムを組み込んだICの一例を示す。図49に示すAIシステムIC7000は、リード7001及び回路部7003を有する。AIシステムIC7000は、例えばプリント基板7002に実装される。このようなICチップが複数組み合わされて、それぞれがプリント基板7002上で電氣的に接続されることで電子部品が実装され

た基板（実装基板 7004）が完成する。回路部 7003 には、上記実施の形態で示した各種の回路が 1 のダイに設けられている。回路部 7003 は、先の実施の形態に示すように、積層構造をもち、S i トランジスタ層 7031、配線層 7032、O S トランジスタ層 7033 に大別される。O S トランジスタ層 7033 を S i トランジスタ層 7031 に積層して設けることができるため、A I システム I C 7000 の小型化が容易である。

【0727】

図 49 では、A I システム I C 7000 のパッケージに Q F P（Q u a d F l a t P a c k a g e）を適用しているが、パッケージの態様はこれに限定されない。

【0728】

C P U 等のデジタル処理回路と、O S トランジスタを用いたアナログ演算回路、O S - F P G A および D O S R A M、N O S R A M 等の O S メモリは、全て、S i トランジスタ層 7031、配線層 7032 および O S トランジスタ層 7033 に形成することができる。すなわち、上記 A I システムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示す I C は、構成する素子が増えても製造プロセスを増やす必要がなく、上記 A I システムを低コストで組み込むことができる。

【0729】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0730】

（実施の形態 12）

< 電子機器 >

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図 50 乃至図 52 に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

【0731】

図 50（A）に示すロボット 2100 は、演算装置 2110、照度センサ 2101、マイクロフォン 2102、上部カメラ 2103、スピーカ 2104、ディスプレイ 2105、下部カメラ 2106 および障害物センサ 2107、移動機構 2108 を備える。

【0732】

マイクロフォン 2102 は、使用者の話し声及び環境音等を検知する機能を有する。また、スピーカ 2104 は、音声を発する機能を有する。ロボット 2100 は、マイクロフォン 2102 およびスピーカ 2104 を用いて、使用者とコミュニケーションをとることが可能である。

【0733】

ディスプレイ 2105 は、種々の情報の表示を行う機能を有する。ロボット 2100 は、使用者の望みの情報をディスプレイ 2105 に表示することが可能である。ディスプレイ 2105 は、タッチパネルを搭載していてもよい。

【0734】

上部カメラ 2103 および下部カメラ 2106 は、ロボット 2100 の周囲を撮像する機能を有する。また、障害物センサ 2107 は、移動機構 2108 を用いてロボット 2100 が前進する際の進行方向における障害物の有無を察知することができる。ロボット 2100 は、上部カメラ 2103、下部カメラ 2106 および障害物センサ 2107 を用いて、周囲の環境を認識し、安全に移動することが可能である。

【0735】

図 50（B）に示す飛行体 2120 は、演算装置 2121 と、プロペラ 2123 と、カメラ 2122 と、を有し、自立して飛行する機能を有する。

【0736】

飛行体 2120 において、演算装置 2121 およびカメラ 2122 に上記電子部品を用いることができる。

【0737】

図 50（C）は、自動車の一例を示す外観図である。自動車 2980 は、カメラ 2981

10

20

30

40

50

等を有する。また、自動車 2 9 8 0 は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサなどを備える。自動車 2 9 8 0 は、カメラ 2 9 8 1 が撮影した画像を解析し、歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。

【0738】

図 5 0 (D) に、互いに別々の言語で話す複数の人間のコミュニケーションにおいて、携帯電子機器 2 1 3 0 に同時通訳を行わせる状況を示す。

【0739】

携帯電子機器 2 1 3 0 は、マイクロフォンおよびスピーカ等を有し、使用者の話し声を認識してそれを話し相手の話す言語に翻訳する機能を有する。

【0740】

また、図 5 0 (D) において、使用者は携帯型マイクロフォン 2 1 3 1 を有する。携帯型マイクロフォン 2 1 3 1 は、無線通信機能を有し、検知した音声を携帯電子機器 2 1 3 0 に送信する機能を有する。

【0741】

図 5 1 (A) は、ペースメーカーの一例を示す断面模式図である。

【0742】

ペースメーカー本体 5 3 0 0 は、バッテリー 5 3 0 1 a、5 3 0 1 b と、レギュレータと、制御回路と、アンテナ 5 3 0 4 と、右心房へのワイヤ 5 3 0 2、右心室へのワイヤ 5 3 0 3 とを少なくとも有している。

【0743】

ペースメーカー本体 5 3 0 0 は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈 5 3 0 5 及び上大静脈 5 3 0 6 を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

【0744】

また、アンテナ 5 3 0 4 で電力が受信でき、その電力は複数のバッテリー 5 3 0 1 a、5 3 0 1 b に充電され、ペースメーカーの交換頻度を少なくすることができる。ペースメーカー本体 5 3 0 0 は複数のバッテリーを有しているため、安全性が高く、一方が故障したとしてももう一方が機能させることができるため、補助電源としても機能する。

【0745】

また、電力を受信できるアンテナ 5 3 0 4 とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

【0746】

図 5 1 (B) に示すセンサ 5 9 0 0 は、接着パッド等を用いて人体に取り付けられる。センサ 5 9 0 0 は、配線 5 9 3 2 を介して人体に取り付けられた電極 5 9 3 1 等に信号を与えて心拍数、心電図等の生体情報等を取得する。取得された情報は無線信号として、読み取り器等の端末に送信される。

【0747】

図 5 2 は、掃除ロボットの一例を示す模式図である。

【0748】

掃除ロボット 5 1 0 0 は、上面に配置されたディスプレイ 5 1 0 1、側面に配置された複数のカメラ 5 1 0 2、ブラシ 5 1 0 3、操作ボタン 5 1 0 4 を有する。また図示されていないが、掃除ロボット 5 1 0 0 の下面には、タイヤ、吸い込み口等が備えられている。掃除ロボット 5 1 0 0 は、その他に赤外線センサ、超音波センサ、加速度センサ、圧電センサ、光センサ、ジャイロセンサなどの各種センサを備えている。また、掃除ロボット 5 1 0 0 は、無線による通信手段を備えている。

【0749】

掃除ロボット 5 1 0 0 は自走し、ゴミ 5 1 2 0 を検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

【0750】

10

20

30

40

50

また、掃除ロボット 5100 はカメラ 5102 が撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシ 5103 に絡まりそうな物体を検知した場合は、ブラシ 5103 の回転を止めることができる。

【0751】

ディスプレイ 5101 には、バッテリーの残量や、吸引したゴミの量などを表示することができる。掃除ロボット 5100 が走行した経路をディスプレイ 5101 に表示させてもよい。また、ディスプレイ 5101 をタッチパネルとし、操作ボタン 5104 をディスプレイ 5101 に設けてもよい。

【0752】

掃除ロボット 5100 は、スマートフォンなどの携帯電子機器 5140 と通信することができる。カメラ 5102 が撮影した画像は、携帯電子機器 5140 に表示させることができる。そのため、掃除ロボット 5100 の持ち主は、外出先からでも、部屋の様子を知ることができる。また、ディスプレイ 5101 の表示をスマートフォンなどの携帯電子機器で確認することもできる。

【0753】

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

【0754】

また、例えば、上述した電子機器の演算装置などに、上記 AI システムが組み込まれた IC を用いることができる。これにより、本実施の形態に示す電子機器は、AI システムによって、状況に応じた的確な動作を、低消費電力で行うことができる。

【0755】

本実施の形態は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

【実施例 1】

【0756】

本実施例では、絶縁膜上に金属化合物が形成された試料の、金属化合物のシート抵抗を評価した結果について説明する。シート抵抗測定器には、測定上限が $6.0 \times 10^6 \Omega / \text{sq}$ であるものを用いた。

【0757】

以下に、シート抵抗の評価に用いた試料 1A 乃至試料 1F の作製方法について説明する。また、試料 1A 乃至試料 1F の、金属化合物のシート抵抗を図 53 に示す。

【0758】

試料 1A の作製方法について説明する。シリコンを含む基板の表面を、塩化水素 (HCl) 雰囲気中で熱処理し、基板上に 100 nm の酸化シリコン膜を形成した。次に、酸化シリコン膜上に、基板温度を 200 °C とし、 $\text{Hf}(\text{NMe}_2)_4$ を含む固体を昇華させた原料ガス、酸化剤として O_3 ガス、および O_2 ガスを用いた ALD 法によって、膜厚 10 nm の酸化ハフニウム膜を形成した。次に、形成した酸化ハフニウム膜に対して、窒素雰囲気にて 400 °C の温度で 1 時間の加熱処理を行い、連続して酸素雰囲気にて 400 °C の温度で 1 時間の加熱処理を行った。加熱処理後、酸化ハフニウム膜上に、スパッタリング法によって、 $\text{Ti}:\text{Al}=1:1$ [原子数比] のターゲットを用い、窒素を含む雰囲気にて、膜厚 20 nm の金属化合物を形成した。得られた金属化合物は、チタン、アルミニウム、および窒素を含んでおり、 TiAlN_x と表記することができる。試料 1A の金属化合物のシート抵抗を測定したところ、 $3.4 \times 10^2 \Omega / \text{sq}$ であった。

【0759】

次に、試料 1B の作製方法について説明する。試料 1A と同様に、基板上に酸化シリコン膜を形成する。次に、酸化シリコン膜上に、スパッタリング法によって、酸化アルミニウム (Al_2O_3) を含むターゲットを用い、アルゴンと酸素を含む雰囲気にて、膜厚 14

10

20

30

40

50

nmの酸化アルミニウム膜を形成した。次に、試料1Aと同様に、酸化アルミニウム膜上に、金属化合物を形成した。試料1Bの金属化合物のシート抵抗を測定したところ、 $3.8 \times 10^2 \Omega / sq.$ であった。

【0760】

次に、試料1Cの作製方法について説明する。試料1Aと同様に、基板上に酸化シリコン膜を形成する。次に、酸化シリコン膜上に、流量5sccmのシラン(SiH₄)および流量1000sccmの一酸化二窒素(N₂O)を原料ガスとし、反応室の圧力を133Pa、基板温度を325℃、13.56MHzの高周波電源を用いて45Wの高周波電力を平行平板電極に供給したPECVD法によって、膜厚100nmの酸化窒化シリコン(SiON)膜を形成した。次に、試料1Aと同様に、酸化窒化シリコン膜上に、金属化合物を形成した。試料1Cの金属化合物のシート抵抗を測定したところ、 $3.6 \times 10^2 \Omega / sq.$ であった。

10

【0761】

次に、試料1Dの作製方法について説明する。試料1Aと同様に、基板上に酸化シリコン膜、および酸化ハフニウム膜を形成し、加熱処理を行った。加熱処理後、酸化ハフニウム膜上に、金属化合物を形成した。金属化合物の形成後、窒素雰囲気にて400℃の温度で1時間の加熱処理を行った。試料1Dの金属化合物のシート抵抗を測定したところ、 $3.9 \times 10^2 \Omega / sq.$ であった。金属化合物の形成後、加熱処理を行うことで、該加熱処理を行わない試料1Aと比較した。その結果、金属化合物のシート抵抗値はわずかに増加したものの、 $1.0 \times 10^3 \Omega / sq.$ 以下であった。配線として使用することができる材料は、シート抵抗値が $2.4 \times 10^3 \Omega / sq.$ 以下の材料であり、好ましくは $1.0 \times 10^3 \Omega / sq.$ 以下である。よって、酸化ハフニウム膜上の金属化合物は、加熱処理を行っても、配線として使用することができる低い抵抗値を保持する。

20

【0762】

次に、試料1Eの作製方法について説明する。試料1Bと同様に、基板上に酸化シリコン膜、および酸化アルミニウム膜を形成し、加熱処理を行った。加熱処理後、酸化アルミニウム膜上に、金属化合物を形成した。金属化合物の形成後、窒素雰囲気にて400℃の温度で1時間の加熱処理を行った。試料1Eの金属化合物のシート抵抗を測定したところ、 $4.1 \times 10^2 \Omega / sq.$ であった。金属化合物の形成後、加熱処理を行うことで、該加熱処理を行っていない試料1Bと比較した。その結果、金属化合物のシート抵抗値はわずかに増加したものの、 $1.0 \times 10^3 \Omega / sq.$ 以下を維持した。よって、酸化アルミニウム膜上の金属化合物は、加熱処理を行っても、配線として使用することができる。

30

【0763】

次に、試料1Fの作製方法について説明する。試料1Cと同様に、基板上に酸化シリコン膜、および酸化窒化シリコン膜を形成し、加熱処理を行った。加熱処理後、酸化窒化シリコン膜上に、金属化合物を形成した。金属化合物の形成後、窒素雰囲気にて400℃の温度で1時間の加熱処理を行った。試料1Fの金属化合物のシート抵抗を測定したところ、 $3.8 \times 10^2 \Omega / sq.$ であった。金属化合物の形成後、加熱処理を行うことで、該加熱処理を行っていない試料1Cと比較した。その結果、金属化合物のシート抵抗値はわずかに増加したものの、 $1.0 \times 10^3 \Omega / sq.$ 以下を維持した。よって、酸化窒化シリコン膜上の金属化合物は、加熱処理を行っても、配線として使用することができる。

40

【0764】

本実施例は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0765】

100 容量素子
100a 容量素子
100b 容量素子
110 導電体

50

1 1 2	導電体	
1 2 0	導電体	
1 3 0	絶縁体	
1 5 0	絶縁体	
2 0 0	トランジスタ	
2 0 0 a	トランジスタ	
2 0 0 b	トランジスタ	
2 0 3	導電体	
2 0 4	導電体	
2 0 5	導電体	10
2 0 6	導電体	
2 1 0	絶縁体	
2 1 2	絶縁体	
2 1 4	絶縁体	
2 1 6	絶縁体	
2 1 8	導電体	
2 2 0	絶縁体	
2 2 2	絶縁体	
2 2 4	絶縁体	
2 3 0	酸化物	20
2 3 0 a	酸化物	
2 3 0 A	酸化膜	
2 3 0 b	酸化物	
2 3 0 B	酸化膜	
2 3 0 c	酸化物	
2 3 0 C	酸化膜	
2 3 1	領域	
2 3 1 a	領域	
2 3 1 b	領域	
2 3 2	領域	30
2 3 2 a	領域	
2 3 2 b	領域	
2 3 4	領域	
2 3 9	領域	
2 4 0	導電体	
2 4 2	層	
2 4 2 A	膜	
2 4 3	化合物層	
2 4 3 a	化合物層	
2 4 3 b	化合物層	40
2 4 6	導電体	
2 4 8	導電体	
2 5 0	絶縁体	
2 5 0 A	絶縁膜	
2 5 2	金属酸化物	
2 5 2 A	金属酸化膜	
2 6 0	導電体	
2 6 0 a	導電体	
2 6 0 A	導電膜	
2 6 0 b	導電体	50

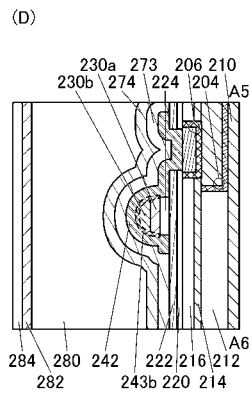
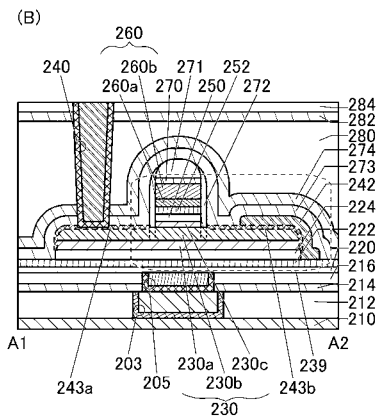
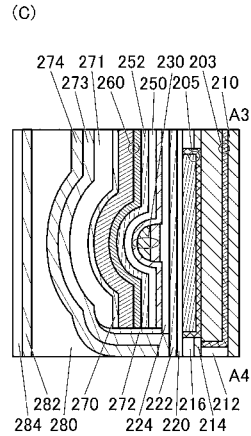
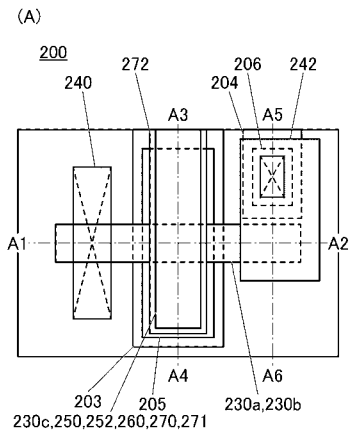
2 6 0 B	導電膜	
2 7 0	絶縁体	
2 7 0 A	絶縁膜	
2 7 1	絶縁体	
2 7 1 A	絶縁膜	
2 7 2	絶縁体	
2 7 2 A	絶縁膜	
2 7 3	絶縁体	
2 7 4	絶縁体	
2 7 5	絶縁体	10
2 7 6	絶縁体	
2 8 0	絶縁体	
2 8 2	絶縁体	
2 8 4	絶縁体	
3 0 0	トランジスタ	
3 1 1	基板	
3 1 3	半導体領域	
3 1 4 a	低抵抗領域	
3 1 4 b	低抵抗領域	
3 1 5	絶縁体	20
3 1 6	導電体	
3 2 0	絶縁体	
3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	
3 2 8	導電体	
3 3 0	導電体	
3 5 0	絶縁体	
3 5 2	絶縁体	
3 5 4	絶縁体	30
3 5 6	導電体	
3 6 0	絶縁体	
3 6 2	絶縁体	
3 6 4	絶縁体	
3 6 6	導電体	
3 7 0	絶縁体	
3 7 2	絶縁体	
3 7 4	絶縁体	
3 7 6	導電体	
3 8 0	絶縁体	40
3 8 2	絶縁体	
3 8 4	絶縁体	
3 8 6	導電体	
4 0 0	トランジスタ	
4 0 3	導電体	
4 0 5	導電体	
4 2 3 a	化合物層	
4 3 0 c	酸化物	
4 3 1 a	酸化物	
4 3 1 b	酸化物	50

4 3 2 a 酸化物
4 3 2 b 酸化物
4 4 2 層
4 5 0 絶縁体
4 5 2 金属酸化物
4 6 0 導電体
4 6 0 a 導電体
4 6 0 b 導電体
4 7 0 絶縁体
4 7 2 絶縁体
6 0 0 セル
6 0 0 a セル
6 0 0 b セル
6 1 0 回路
6 2 0 回路
6 5 0 a メモリセル
6 5 0 b メモリセル
1 0 0 1 配線
1 0 0 2 配線
1 0 0 3 配線
1 0 0 4 配線
1 0 0 5 配線
1 0 0 6 配線
1 0 0 7 配線
1 0 0 8 配線
1 0 1 0 配線

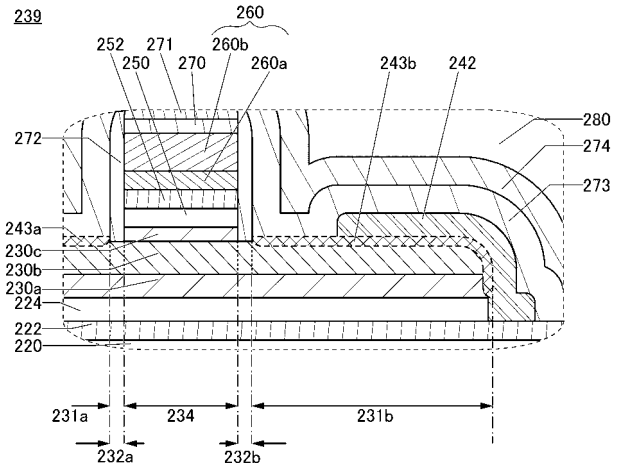
10

20

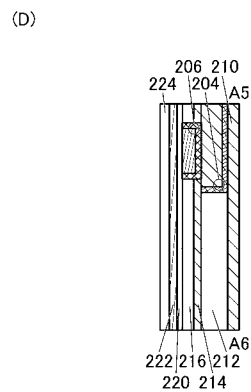
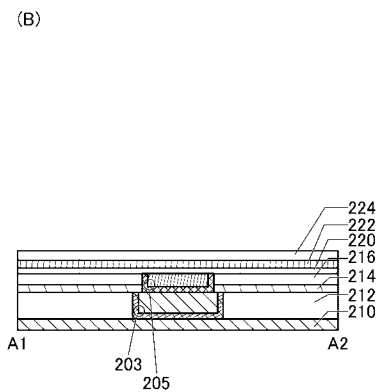
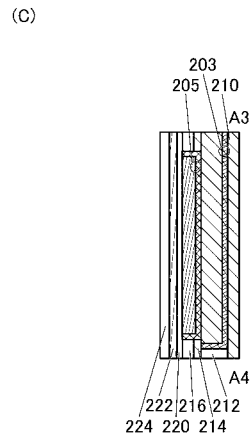
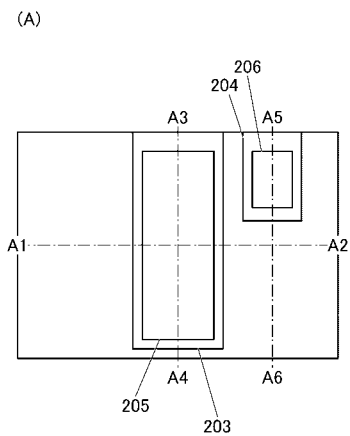
【図 1】



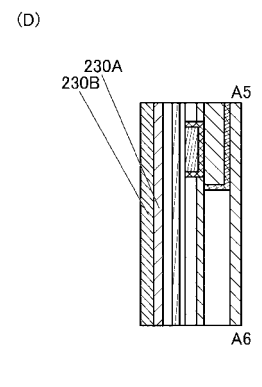
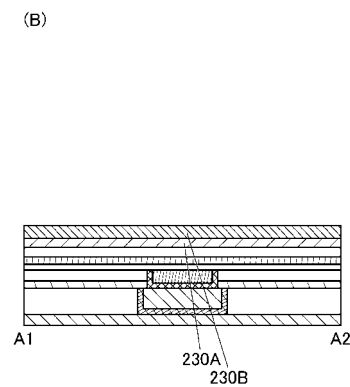
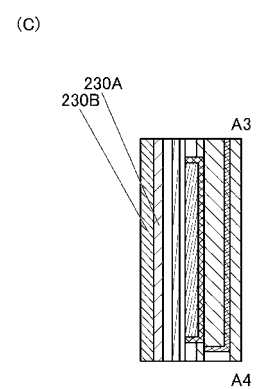
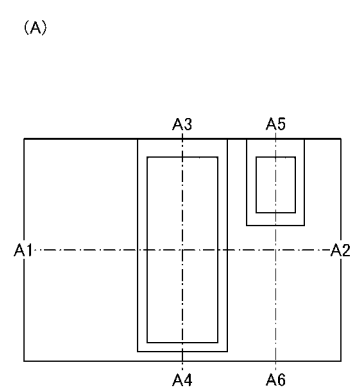
【図 2】



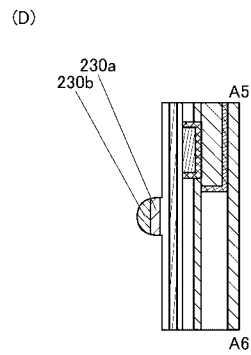
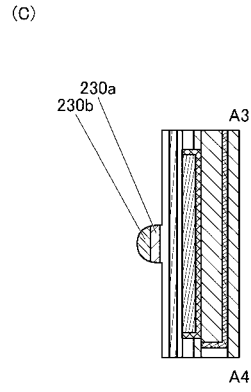
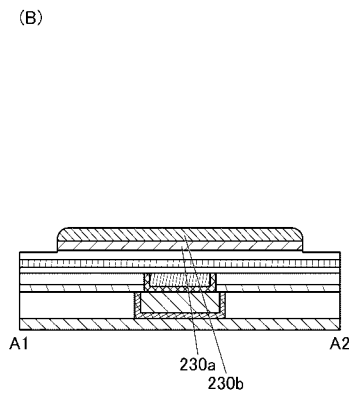
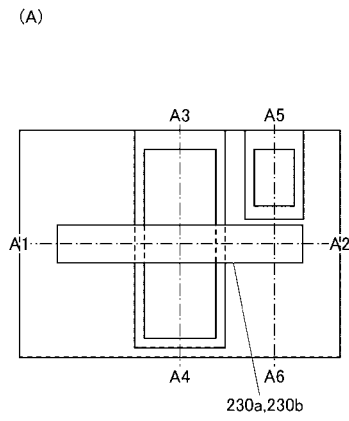
【図 3】



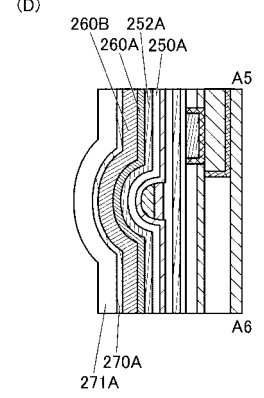
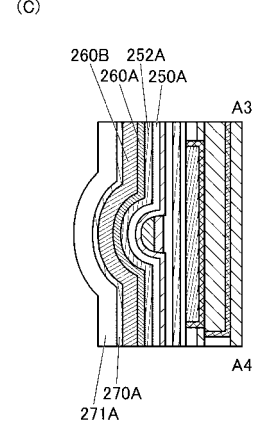
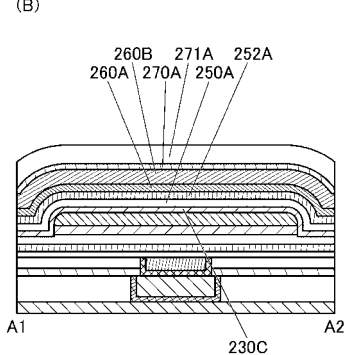
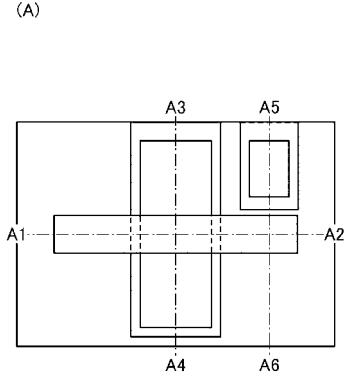
【図 4】



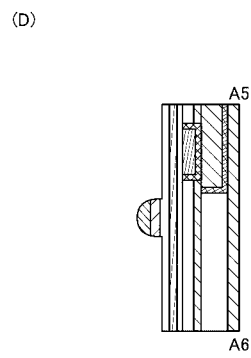
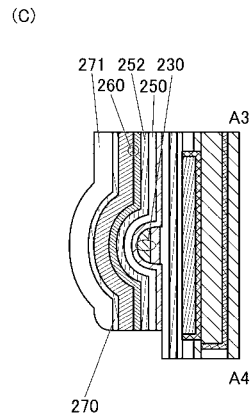
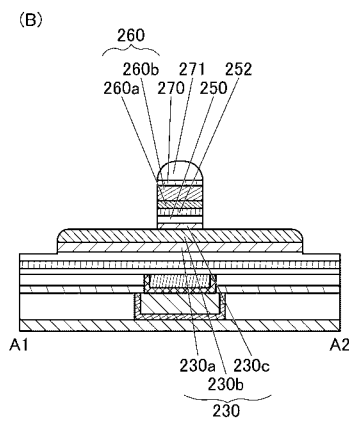
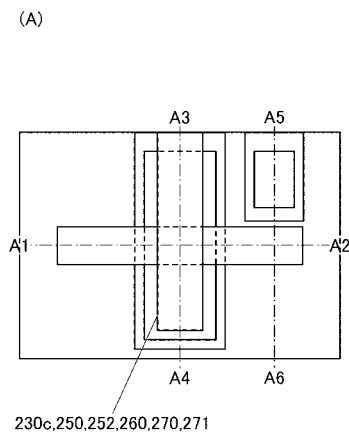
【図 5】



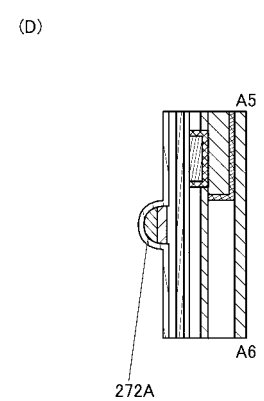
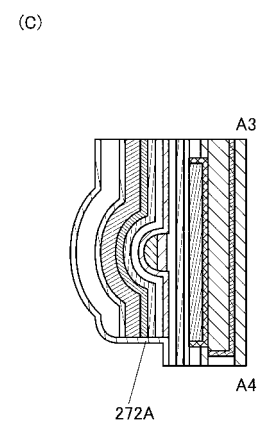
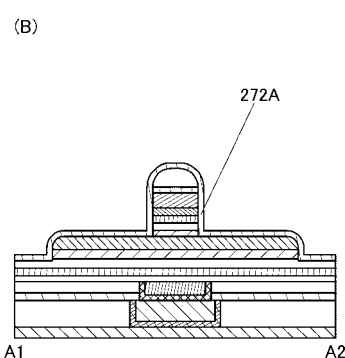
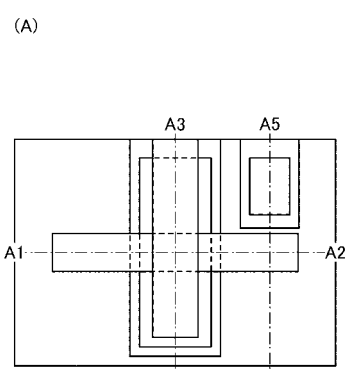
【図 6】



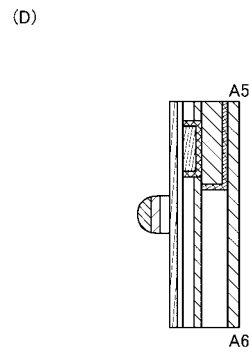
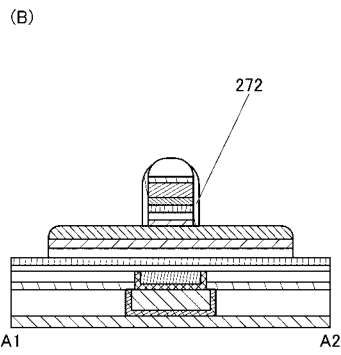
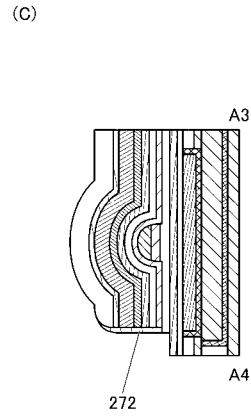
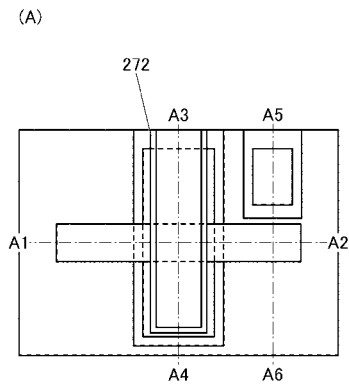
【図 7】



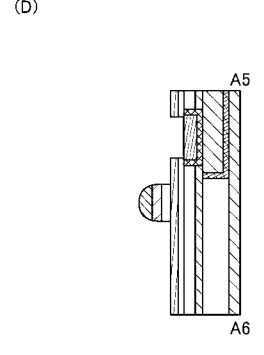
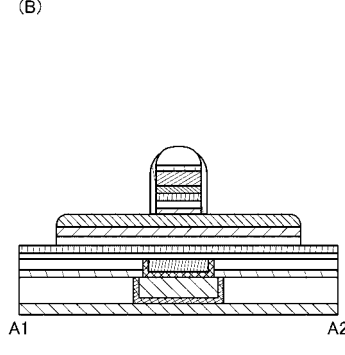
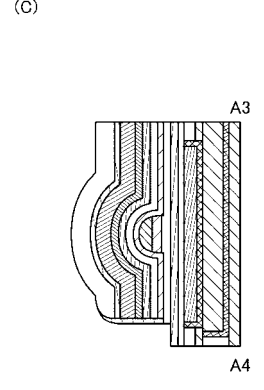
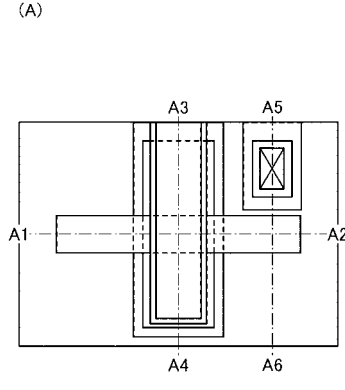
【図 8】



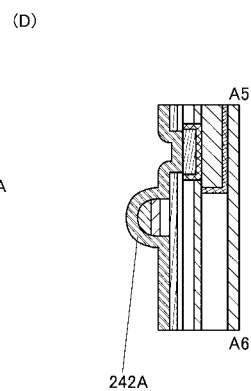
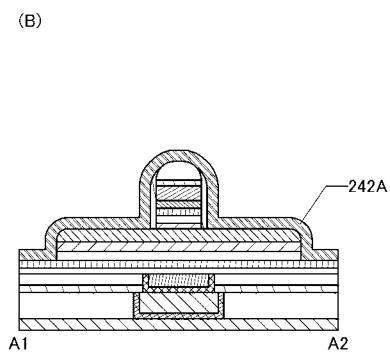
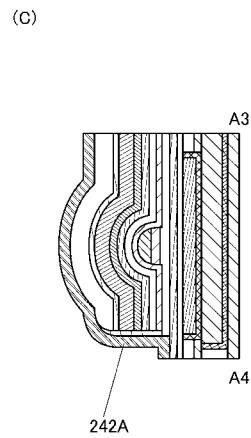
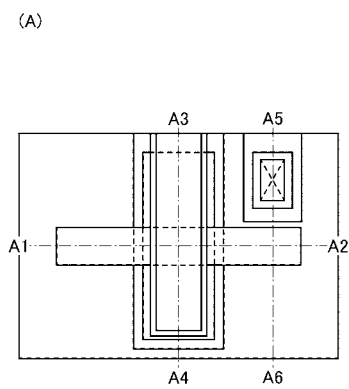
【図 9】



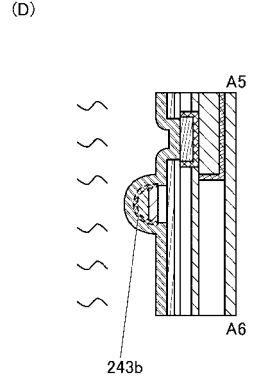
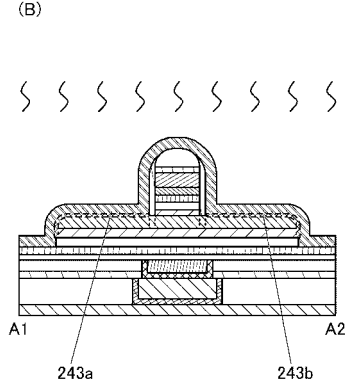
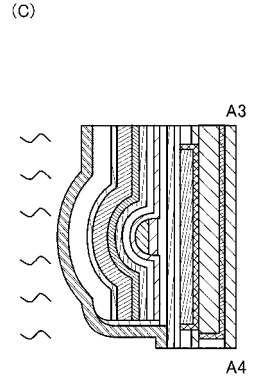
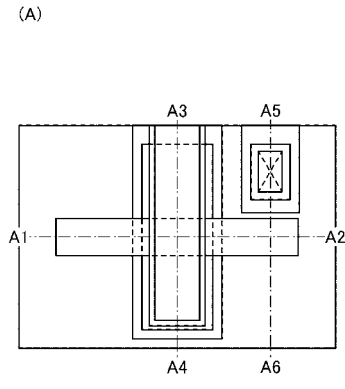
【図 10】



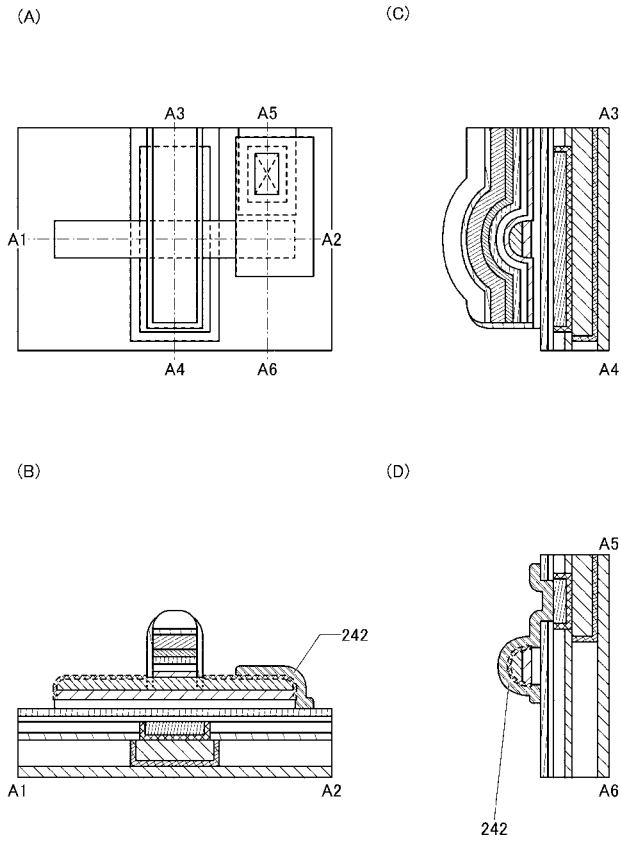
【図 11】



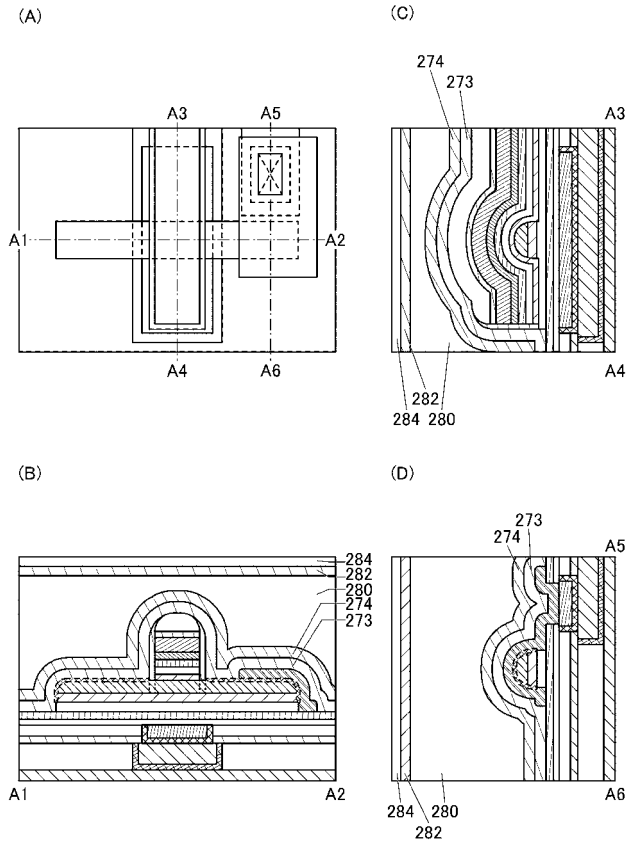
【図 12】



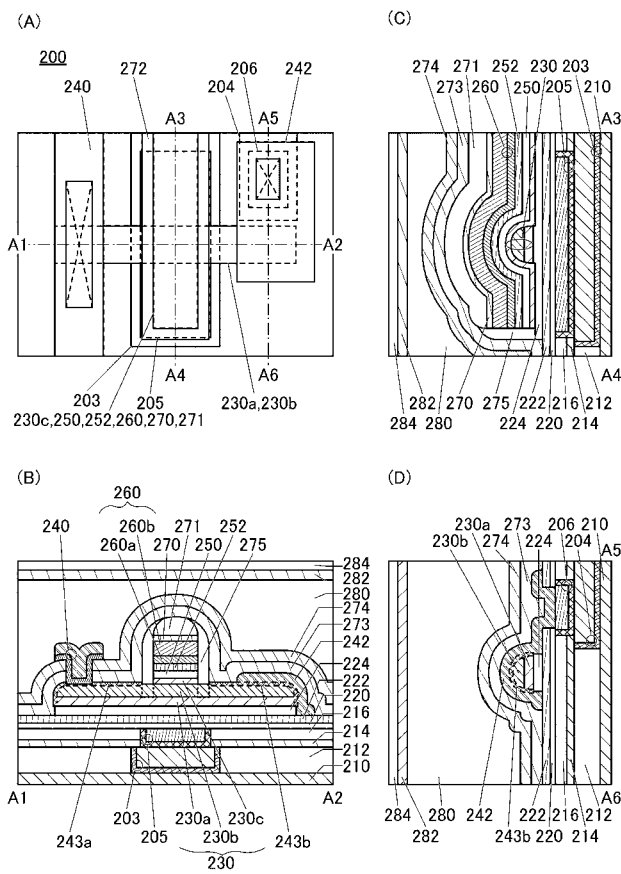
【図 13】



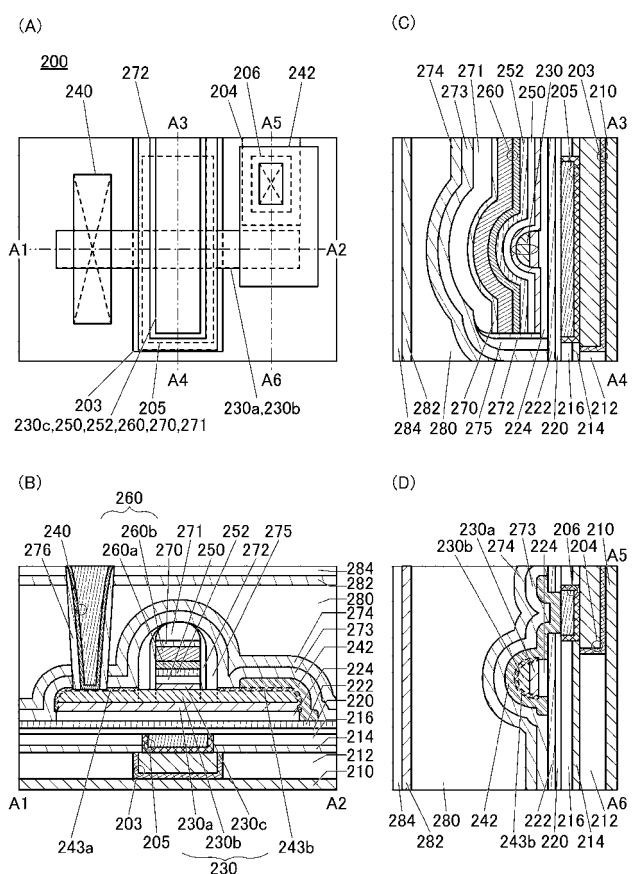
【図 14】



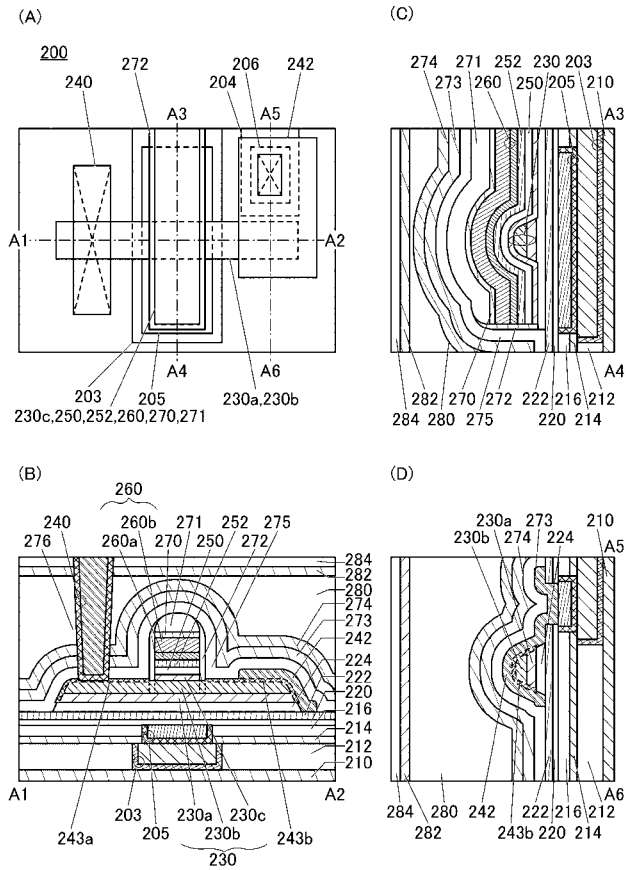
【図 15】



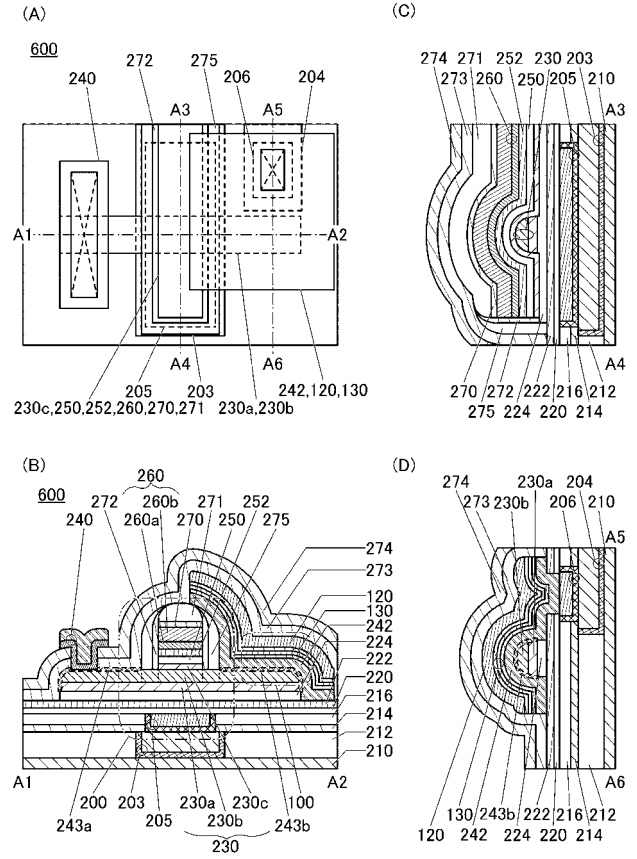
【図 16】



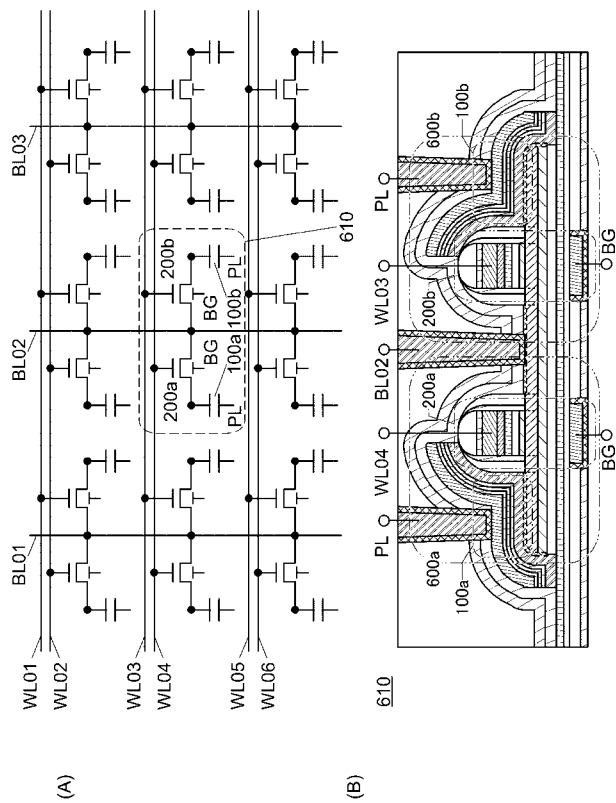
【図 17】



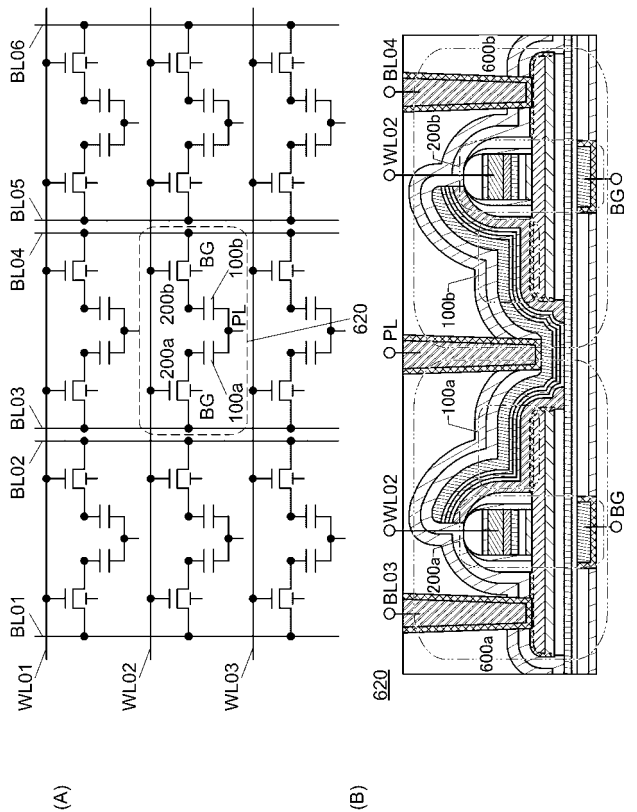
【図 18】



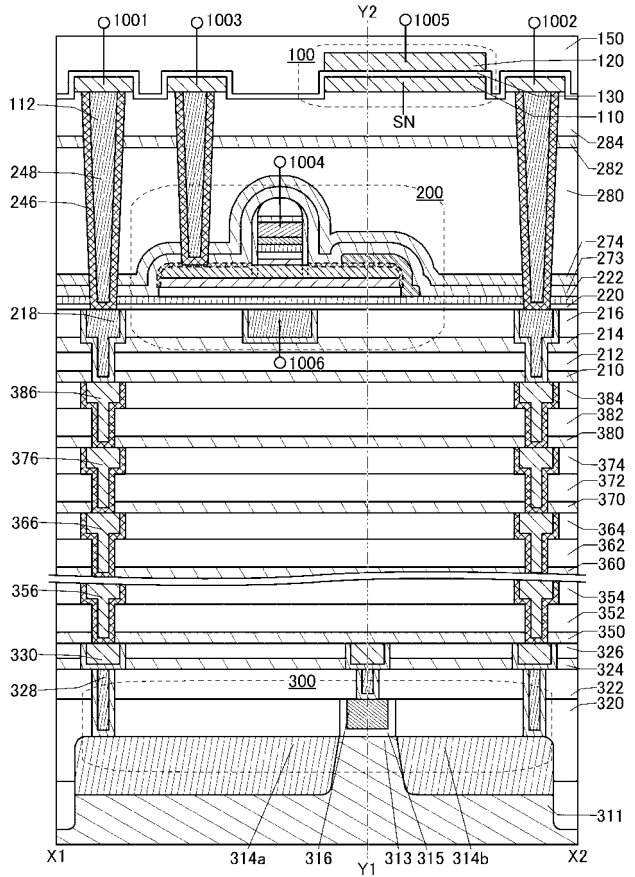
【図 19】



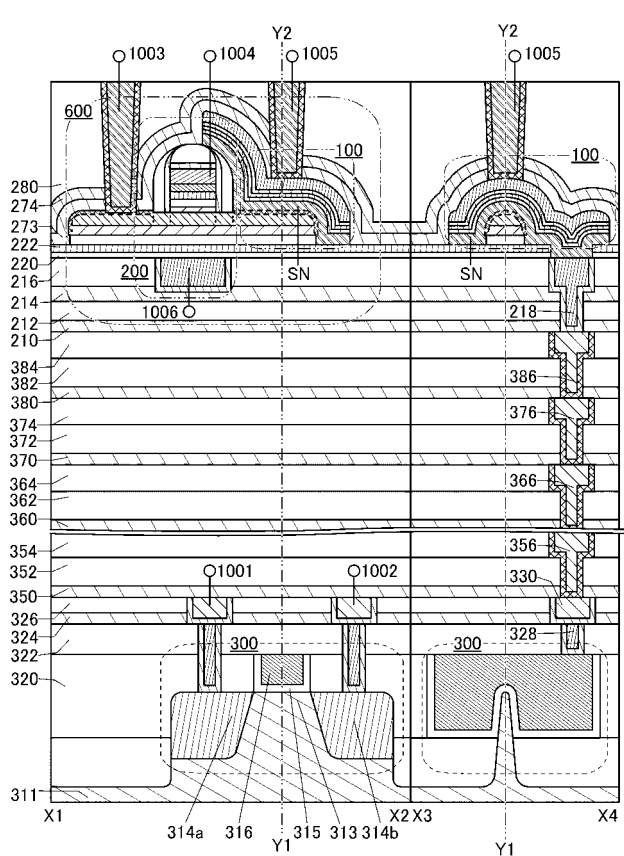
【図 20】



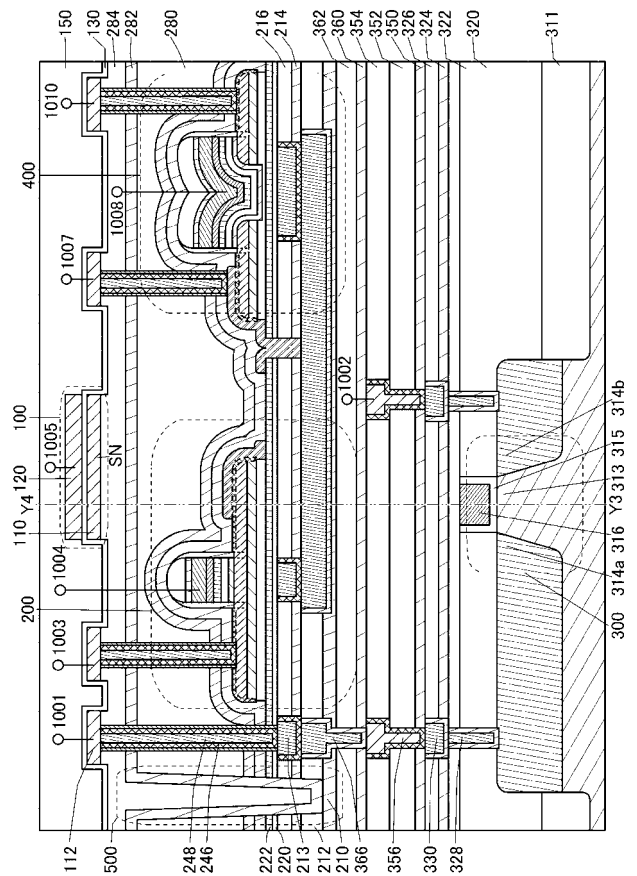
【 図 2 2 】



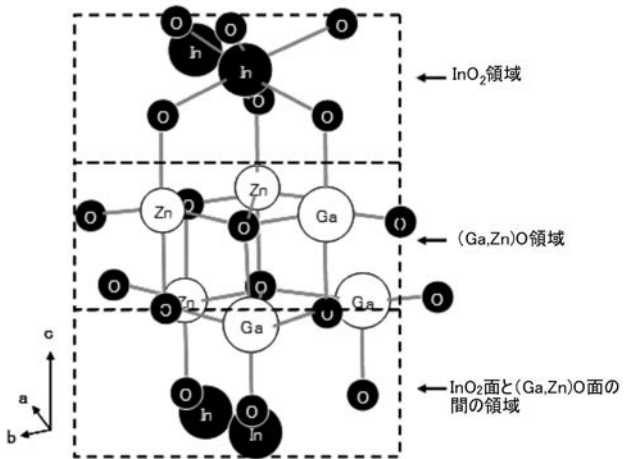
【图 24】



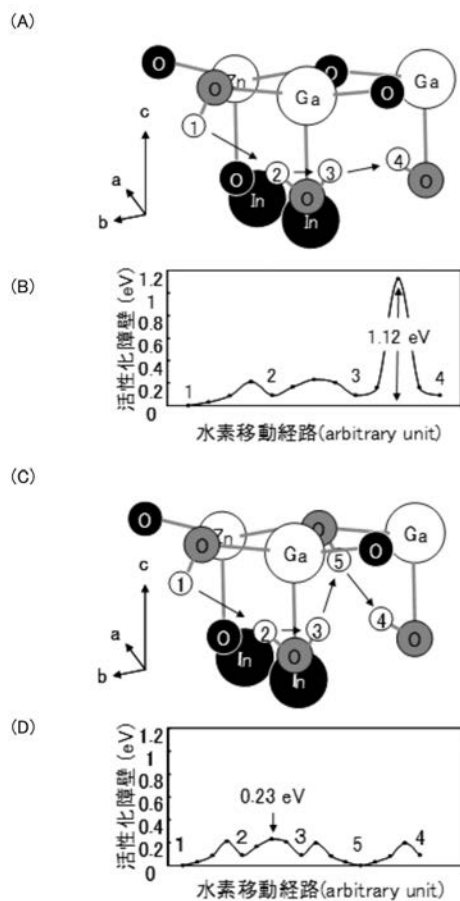
【図 26】



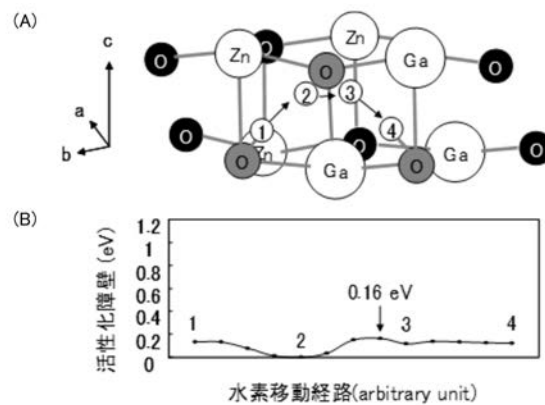
【图 28】



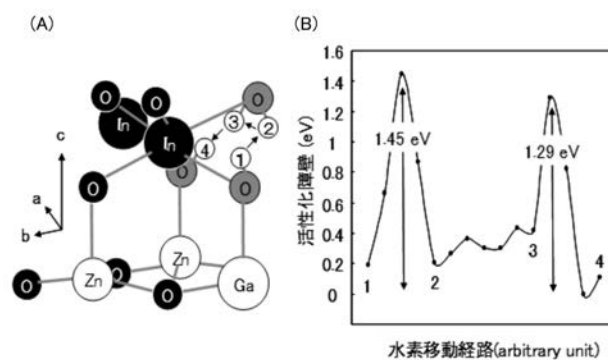
【図 29】



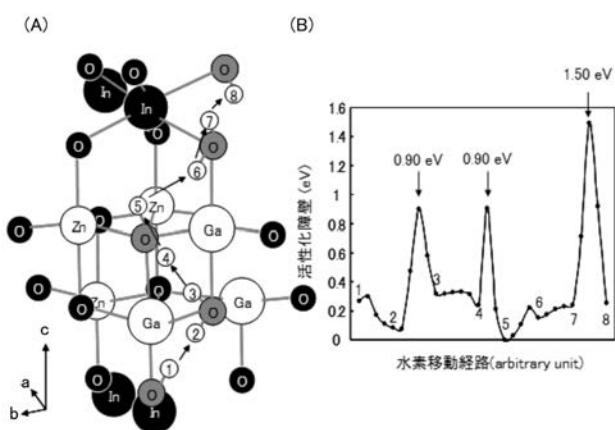
【図 30】



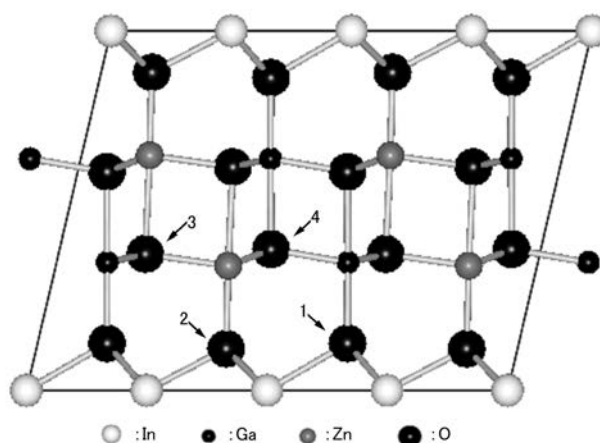
【図 31】



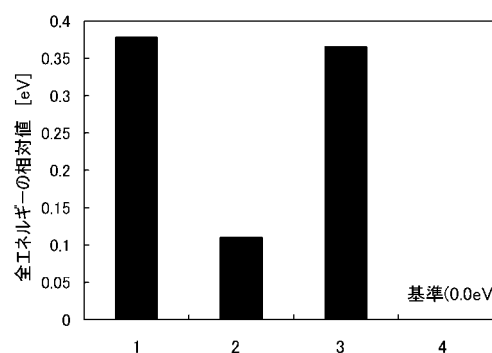
【図 32】



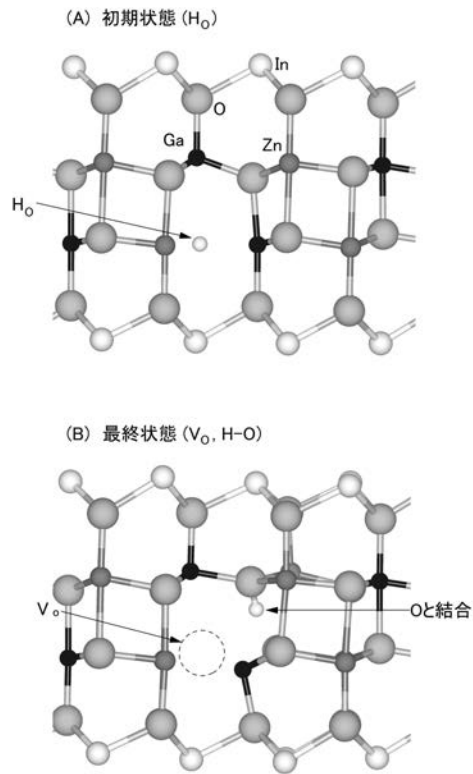
【図 33】



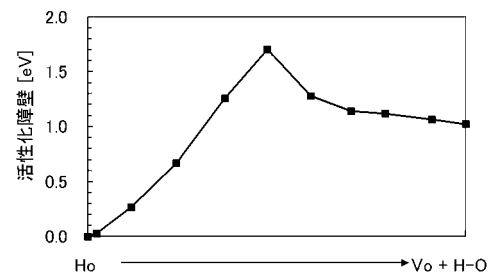
【図 34】



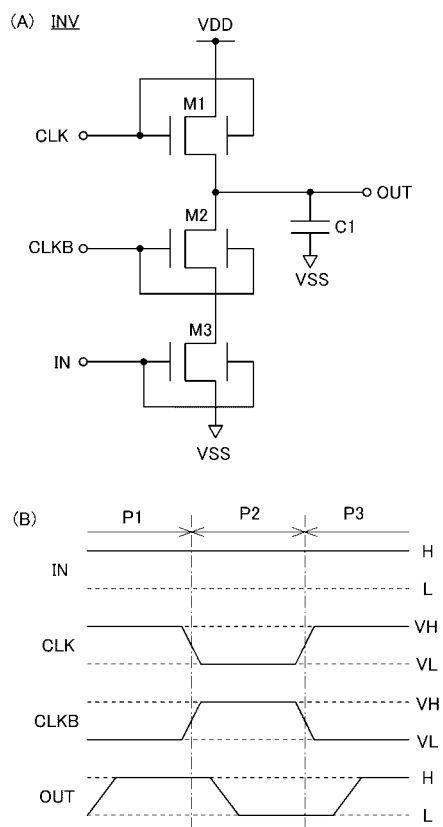
【図 3 5】



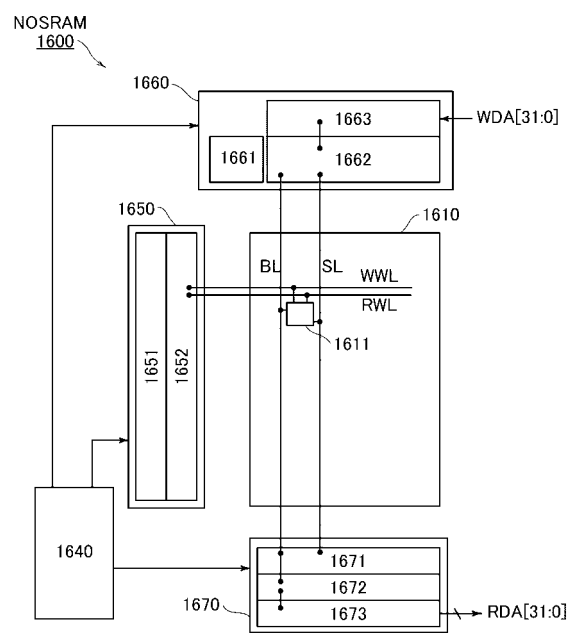
【図 3 6】



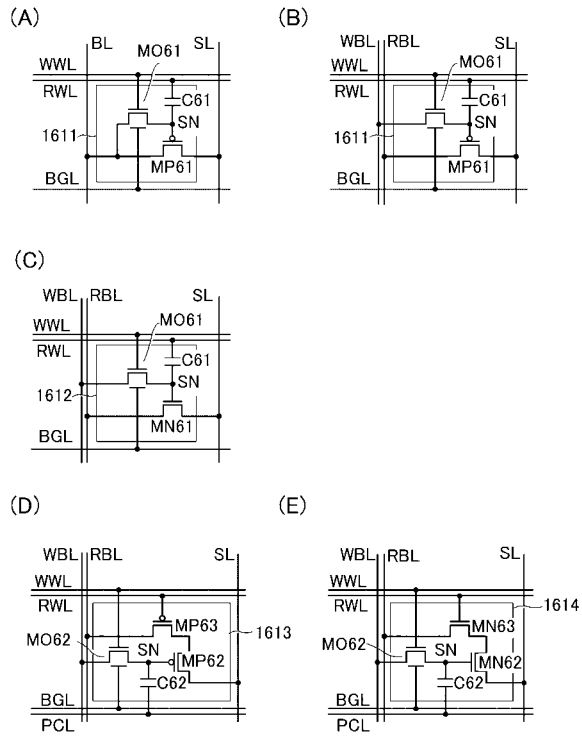
【図 3 7】



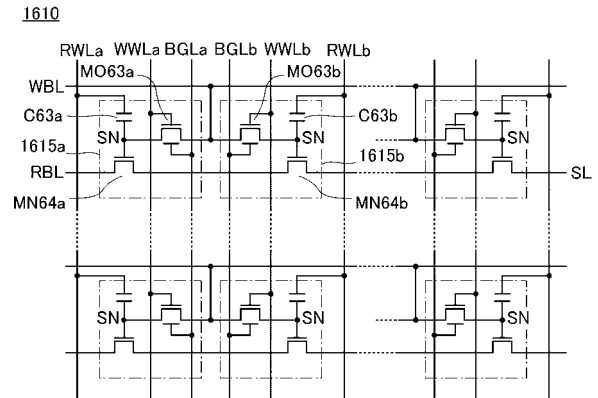
【図 3 8】



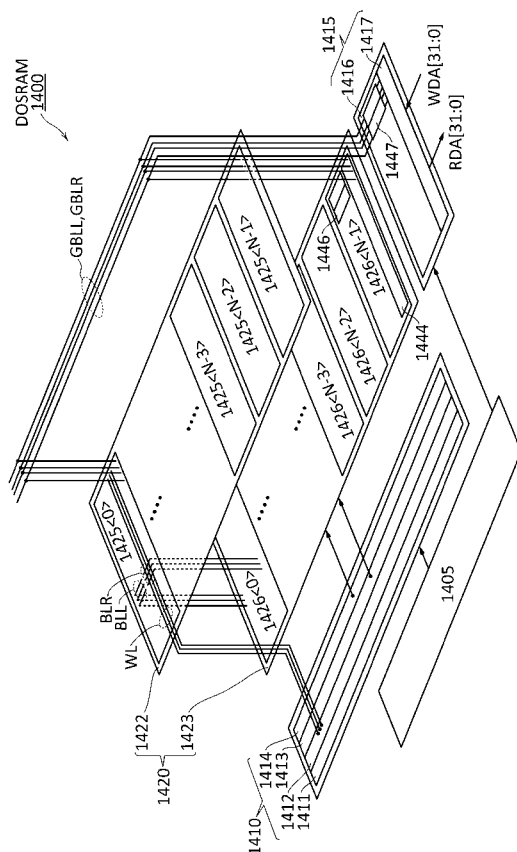
【図 39】



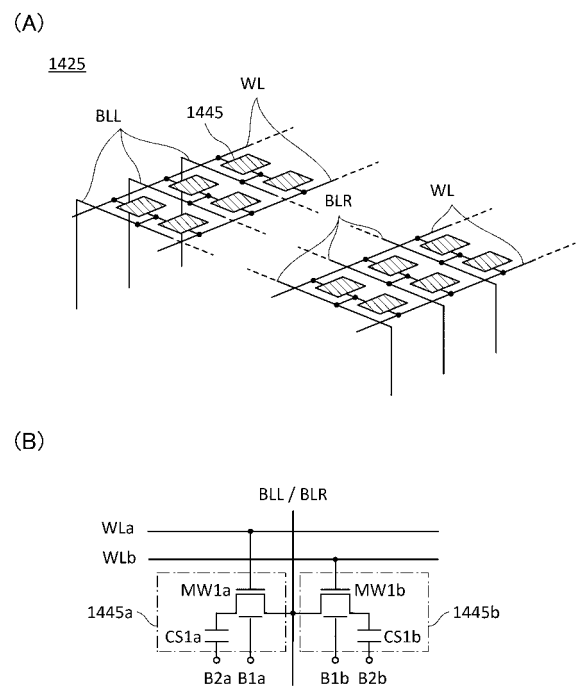
【図 40】



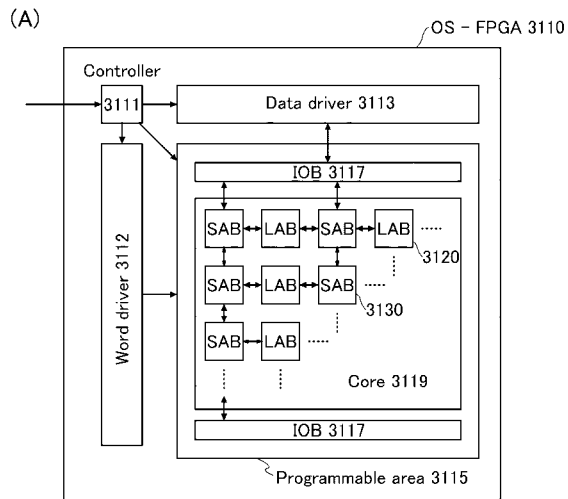
【図 41】



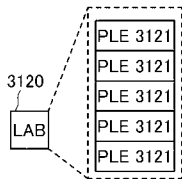
【図 42】



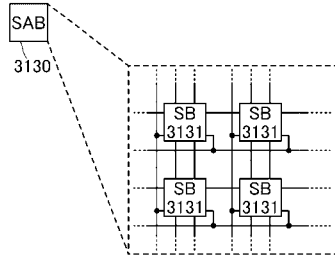
【図 4 3】



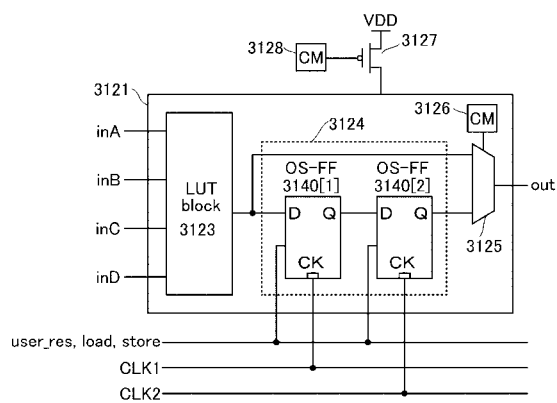
(B)



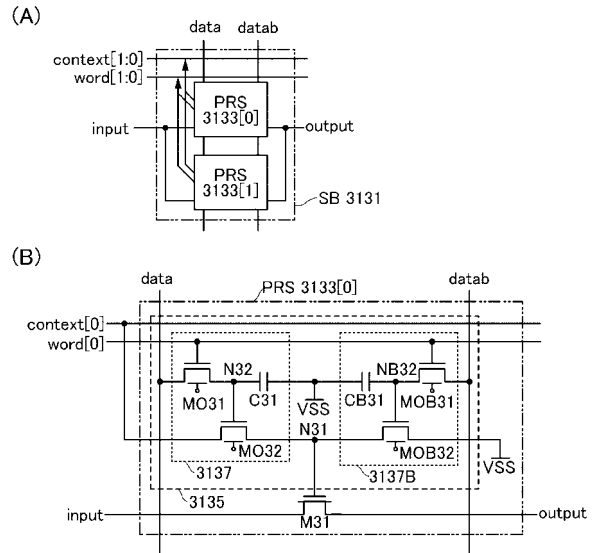
(C)



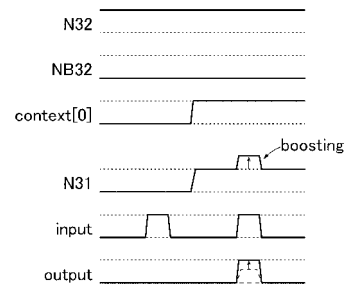
【図 4 5】



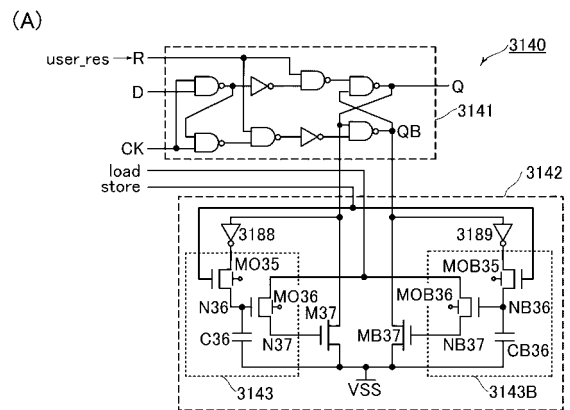
【図 4 4】



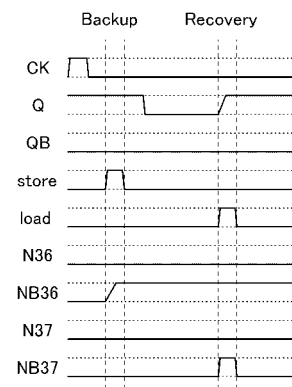
(C)



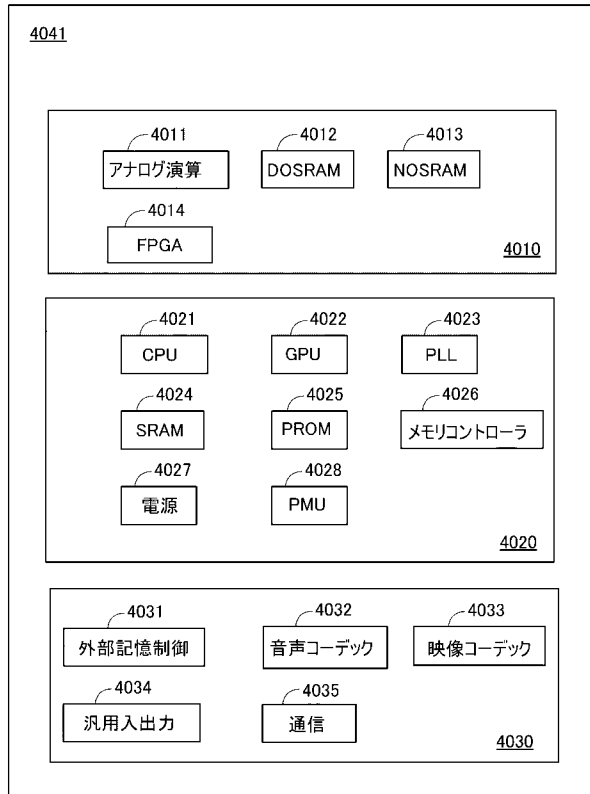
【図 4 6】



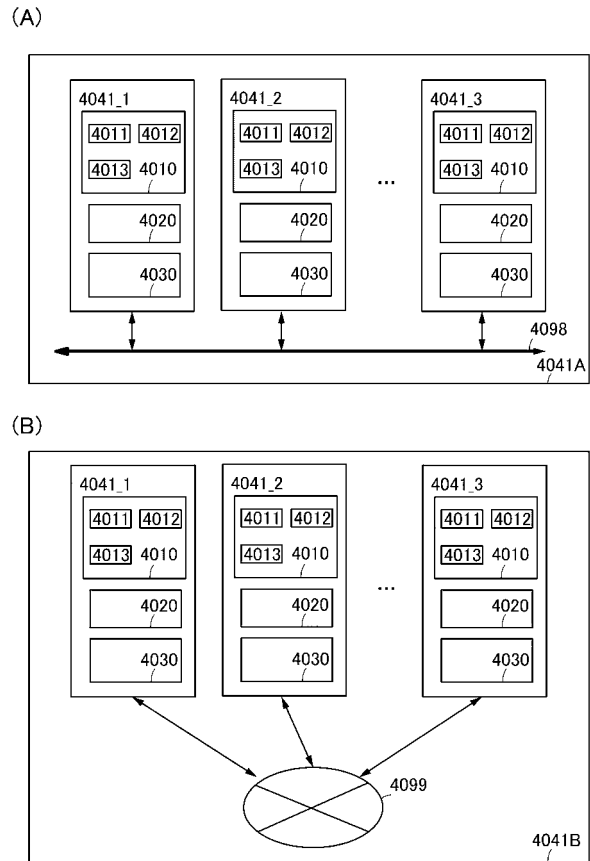
(B)



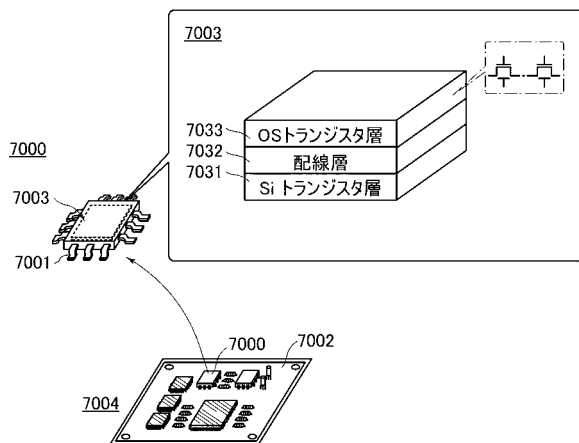
【図 4 7】



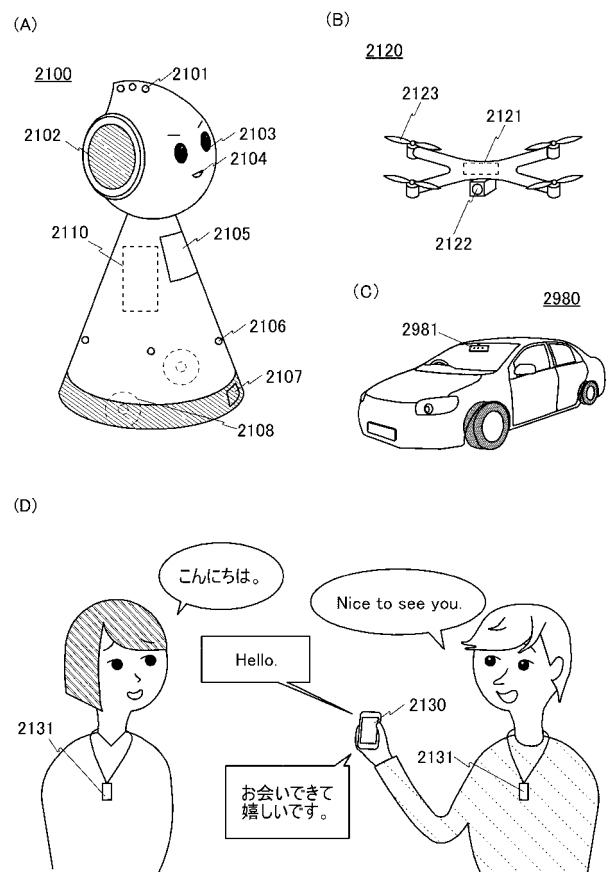
【図 4 8】



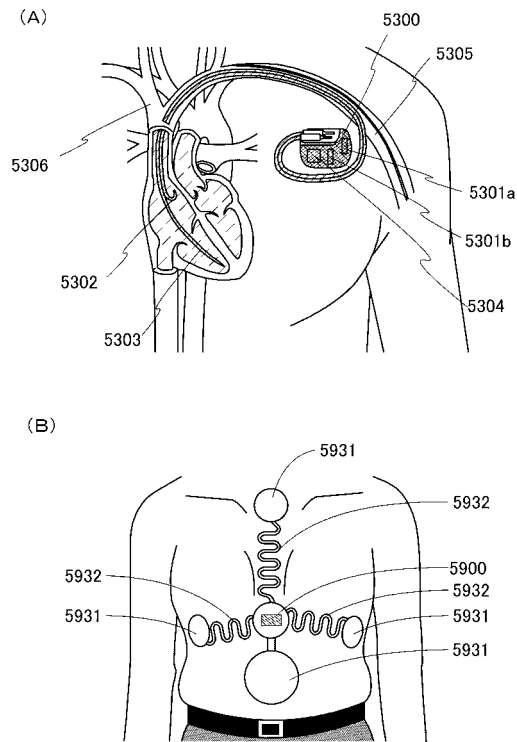
【図 4 9】



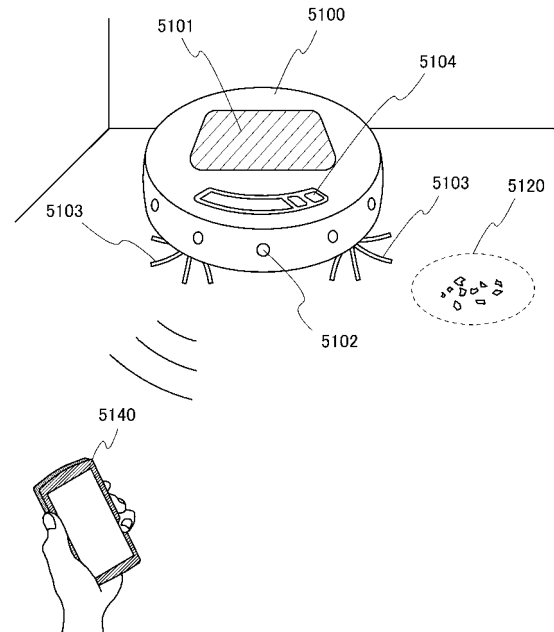
【図 5 0】



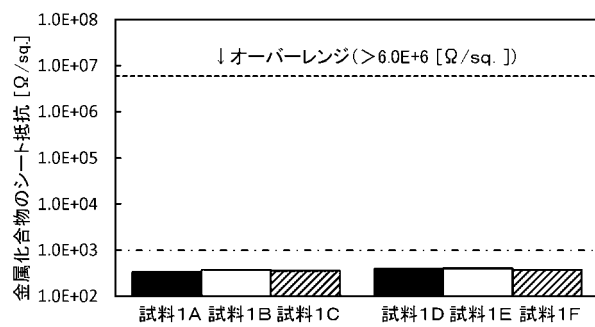
【図 5 1】



【図 5 2】



【図 5 3】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L 21/822 (2006.01)
H O 1 L 27/04 (2006.01)
H O 1 L 21/8234 (2006.01)
H O 1 L 27/088 (2006.01)
H O 1 L 21/82 (2006.01)
H O 1 L 21/8242 (2006.01)
H O 1 L 27/108 (2006.01)

H O 1 L 27/04 C
 H O 1 L 27/088 H
 H O 1 L 27/088 E
 H O 1 L 21/82 A
 H O 1 L 29/78 6 1 8 B
 H O 1 L 29/78 6 1 6 U
 H O 1 L 29/78 6 1 7 N
 H O 1 L 29/78 6 1 6 V
 H O 1 L 27/108 6 7 1 C
 H O 1 L 27/108 3 2 1
 H O 1 L 27/108 6 2 1 Z

5 F 0 8 3
 5 F 1 1 0

F ターム(参考) 4M104 AA07 AA08 AA09 BB01 BB02 BB04 BB05 BB06 BB08 BB09
 BB13 BB14 BB16 BB18 BB21 BB30 BB32 BB33 BB36 BB40
 CC01 CC05 DD08 DD15 DD16 DD17 DD18 DD33 DD37 DD43
 DD74 DD75 DD79 EE09 EE16 EE17 FF03 FF13 FF17 FF18
 FF27 GG08 GG09 GG14 HH14 HH15
 5F033 GG01 GG02 GG03 GG04 JJ08 JJ11 JJ17 JJ18 JJ19 JJ21
 JJ22 JJ32 JJ33 JJ35 KK01 KK26 MM01 MM02 NN06 NN07
 QQ09 QQ10 QQ11 QQ48 QQ73 QQ76 RR03 RR04 RR05 RR06
 RR08 RR12 RR21 RR22 SS07 SS08 SS11 SS26 TT02 TT04
 TT07 VV10 VV15 VV16 XX07 XX33
 5F038 AC05 AC09 AC15 CA16 CD16 DF04 DF05 DF12 EZ10 EZ18
 5F048 AA01 AA07 AA09 AB01 AB04 AC01 AC10 BA01 BA14 BA15
 BA16 BA19 BA20 BB02 BB06 BB07 BB08 BB09 BB14 BB15
 BB16 BD06 BD10 BF02 BF04 BF05 BF06 BF07 BF12 BF15
 BF16 BF17 BF19 BG13 CB01 CB02 CB03 CB04 DA24
 5F064 AA08 AA13 BB07 BB09 BB12 BB19 BB21 CC09 CC23 CC25
 CC26 FF04 FF24 FF52
 5F083 AD02 AD21 AD69 GA02 GA03 GA06 GA09 GA10 GA25 HA02
 HA06 HA10 JA14 JA15 JA19 JA35 JA36 JA37 JA38 JA39
 JA40 JA42 JA43 JA56 JA57 JA60 LA10 MA05 MA06 MA16
 MA19 PR22 PR40
 5F110 AA02 AA03 AA04 AA06 AA07 AA08 AA09 AA12 AA16 AA18
 AA30 BB03 BB05 BB08 BB11 CC10 DD01 DD02 DD03 DD04
 DD05 DD06 DD08 DD12 DD13 DD14 DD15 DD17 DD24 DD25
 EE01 EE02 EE03 EE04 EE05 EE07 EE09 EE11 EE14 EE15
 EE22 EE30 EE32 EE36 EE37 EE38 EE42 EE44 EE45 EE48
 FF01 FF02 FF03 FF04 FF05 FF07 FF09 FF10 FF27 FF28
 FF29 FF36 GG01 GG06 GG12 GG13 GG14 GG15 GG16 GG17
 GG22 GG25 GG32 GG33 GG34 GG35 GG42 GG43 GG44 GG58
 HJ01 HJ02 HJ16 HK01 HK02 HK03 HK04 HK06 HK07 HK08
 HK25 HK28 HK32 HK33 HK34 HK42 HL01 HL02 HL03 HL04
 HL11 HL12 HL14 HL22 HL23 HL24 HM02 HM03 HM12 HM15
 HM17 HM19 NN03 NN04 NN05 NN22 NN23 NN24 NN27 NN32
 NN33 NN34 NN35 NN36 NN37 NN40 NN71 NN72 NN74 NN77
 NN78 QQ02 QQ04 QQ05 QQ06 QQ09 QQ11 QQ16