



[12] 发明专利说明书

专利号 ZL 03819374.4

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100477494C

[22] 申请日 2003.7.18 [21] 申请号 03819374.4

[30] 优先权

[32] 2002.8.19 [33] EP [31] 02078421.1

[86] 国际申请 PCT/IB2003/003278 2003.7.18

[87] 国际公布 WO2004/017512 英 2004.2.26

[85] 进入国家阶段日期 2005.2.16

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 I·I·布勒德诺

[56] 参考文献

CN1152212A 1997.6.18

US6329877B1 2001.12.11

US6320642B1 2001.11.20

Experimental investigation on efficiency and linearity of microwave Doherty amplifier. Young-oo, Yang, Jaehyok, Yi, Young, Yun, Woo, Bumman, Kim. 2001 IEEE MTT. S INTERNATIONAL MICROWAVE SYMPOSIUM DIGEST, 第2卷. 2001

审查员 王阜东

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 王波波

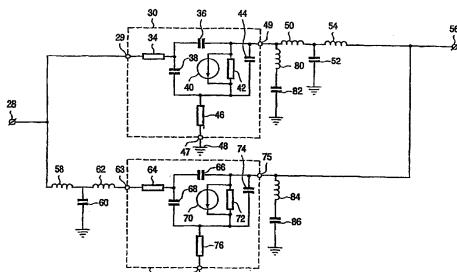
权利要求书 2 页 说明书 13 页 附图 13 页

[54] 发明名称

大功率多赫蒂放大器

[57] 摘要

大功率多赫蒂放大器电路组件包括：支持多赫蒂放大器电路的电路元件的支持结构(104)；至少一个输入端子(102)和至少一个输出端子(96)，在支持结构(104)上支持上述端子；组成主放大级的至少一个载波晶体管(92)和组成峰值放大级的至少一个峰值晶体管(98)，在支持结构(104)上支持上述晶体管；将输入端子(102)连接到载波晶体管(92)的第一输入网络(106)；将输入端子(102)连接到峰值晶体管(98)的第二输入网络(100、114、116)；将输出端子(96)连接到载波晶体管(92)的第一输出网络(94、108、110)；以及将输出端子(96)连接到峰值晶体管(98)的第二输出网络(112)，其中输入网络和输出网络是仿真传输线路，该模拟输出线路包括至少一个电容和/或至少一个电感的串联电路和/或并联电路。



1. 一种具有至少一个输入端子和至少一个输出端子的大功率多赫蒂放大器电路，其包括：

至少一个载波晶体管，其组成主放大级；

至少一个峰值晶体管，其组成峰值放大级；

第一输入线路，其将所述输入端子连接到所述载波晶体管的输入；

第二输入线路，其将所述输入端子连接到所述峰值晶体管的输入；

第一输出线路，其将所述输出端子连接到所述载波晶体管的输出；

第二输出线路，其将所述输出端子连接到所述峰值晶体管的输出，

其特征在于，所述第二输入线路和所述第一输出线路是仿真传输线路。

2. 如权利要求 1 所述的大功率多赫蒂放大器电路，其特征在于：所述第一输入线路和所述第二输出线路均包括电感器。

3. 如权利要求 1 或 2 所述的大功率多赫蒂放大器电路，其特征在于：所述载波晶体管输出和所述峰值晶体管输出每一个都连接到补偿电路。

4. 如权利要求 1 所述的大功率多赫蒂放大器电路，其特征在于：所述仿真传输线路包括第一电感器、接地电容器和第二电感器的串联电路。

5. 如权利要求 1 所述的大功率多赫蒂放大器电路，其特征在于：所述仿真传输线路包括第一接地电容器、第一电感器和第二接地电容器的串联电路。

6. 如权利要求 1 所述的大功率多赫蒂放大器电路，其特征在于：所述补偿电路包括电感器和电容器的串联电路，所述电感器与晶体管的输出连接，所述电容器接地。

7. 一种大功率多赫蒂放大器电路组件，包括：
如权利要求 1 所述的多赫蒂放大器电路；
支持结构，其支持所述多赫蒂放大器电路的电路元件；
其中分别由所述晶体管和所述输入和输出端子之间所提供的接合线构成电感。
8. 如权利要求 7 所述的组件，其特征在于：所述输入线路包括
给定长度的并联接合线。

大功率多赫蒂放大器

技术领域

本发明涉及大功率多赫蒂放大器 (Doherty amplifier)，特别涉及大功率多赫蒂放大器电路和大功率多赫蒂放大器电路组件 (package)。

背景技术

很早就已经知道所谓的多赫蒂型放大器并首先在电子管放大器中实现。这样的多赫蒂放大器具有主放大级、峰值放大级以及位于多赫蒂放大器的不同部分之间的 (1/4 波长) 传输线路。人们所熟知的多赫蒂放大技术需要工作在两种不同的模式中的至少两个有源 (active) 放大设备 (一般对于载波放大器而言是 A 或 AB 类，对于峰值放大器而言是 B 或 C 类)，及提供阻抗变换和所需相移的变换结构。

众所周知，对于多赫蒂放大器而言，与设备输出阻抗相比，变换和相移结构提供了特性阻抗。在半导体功率设备以及功率电平 $>5\ldots10\text{W}$ 的情况下，该所需阻抗在 0.5…3 欧姆 (Ohm) 的范围内。

在 2001 年 12 月的《微波杂志》的“使用新的负载匹配技术的微波多赫蒂放大器线性度和效率最优化设计”一文 (作者是 Youngoo Yang 等) 中描述了微带线路技术的设计示例和结果，该文章公开了具有低功率电平和高功率电平下载波和峰值放大器的满载匹配电路的多赫蒂放大器，并且这是第一次阐明该文章。在该电路设计中，将传输线路段插入负载匹配网络中，用于提供功率电平相关的负载阻抗。使用大信号谐波平衡模拟来设计并优化电路元件和偏置点，以同时改进线性度和效率。使用硅 LDMOS FET 实现了两个 1.4GHz 的多赫蒂放大器。将多赫蒂放大器。-I (B 类载波放大器和偏置调谐 C 类

峰值放大器的结合)的 RF 性能与单独的 B 类放大器的 RF 性能进行了比较。将多赫蒂放大器-II(AB 类载波放大器和偏置调谐 C 类峰值放大器的结合)与单独的 AB 类放大器进行了比较。新的多赫蒂放大器显示出改进的线性度以及更高的效率。该文章描述了晶体管多赫蒂技术的微带实现。

美国专利 6359513 B1 描述了 CMOS F 类放大器，其使用差分输入以消除偶次谐波，从而避免了对调谐到第二谐波的电路的需求，这也使设计对于第二谐波频率和/或特定分量值的变化的敏感度最小化(选择所述特定分量值用于选择用于调谐电路的特定分量值的调谐电路敏感度)，通过控制差分输入之间的相位关系来降低三次谐波。通过动态地控制作为输出功率电平函数的放大器的阻抗来获得附加效率。

美国专利 6359513 B1 提出了使用 F 类和多赫蒂放大技术的高效率功率放大器。其解决方案是关于用信号工作的放大技术，它限于特殊条件，诸如“持续时间等于调制信号周期的 1/3 的脉冲”。

目标是降低由 F 类放大器所产生的第三谐波；提高 F 类放大器的效率；降低 CMOS 实施例中的谐波并提高效率；以及提高 F 类放大器中大量功率的效率。通过提供差分输入(180 度)来消除偶次谐波并避免使用调谐用于第二谐波的电路、差分输入之间的相位控制以降低第三谐波来获得上述目标，通过提供两个附加晶体管来配置用于低输出功率上的第三谐波消除、动态负载控制的输出匹配电路。

美国专利 6329877 B1 公开了一种功率放大器，其包括从输入信号产生两个分离信号的同相功率分离器以及两个能够工作在不同模式中的放大器。提供作为通过传输线路耦合的两个放大器的各自输入的分离信号，以便当第一放大器接近其能够产生的最大功率时，第二放大器的输出开始提供功率放大器输出，并且补充和修改第一放大器提供的功率，从而扩展输入功率的范围，其中在该范围上功率放大器传递输出功率。

美国专利 6329877 B1 提出了电池放大器的放大器布置，其目标

是扩展输入范围，在该范围内功率放大器传递输出功率，在放大器布置中，在第一放大器和第二放大器之间将输入功率分离为功率相同和相位相同的功率，第一放大器是 A 类放大器，第一放大器可具有输出匹配网络结构，传输线路的阻抗是 50 Ohm，由第一放大器所看到的阻抗随着第二放大器开始从输入功率打开而增加。

发明内容

本发明的目的是提供用于高峰值功率电平的大功率多赫蒂放大器电路，并提供用于多赫蒂放大概念的简单设计和灵活性的大功率多赫蒂放大器电路组件。

为了达到本发明的目的，具有至少一个输入端子和至少一个输出端子的大功率多赫蒂放大器电路包括：组成主放级的至少一个载波晶体管；组成峰值放级的至少一个峰值晶体管；将输入端子连接到载波晶体管的输入的第一输入线路；将输入端子连接到峰值晶体管的输入的第二输入线路；将输出端子连接到载波晶体管的输出的第一输出线路；将输出端子连接到峰值晶体管的输出的第二输出线路，其中，所述第二输入线路和第一输出线路是仿真传输线路。

本发明解决了 $1/4$ 波长线路的所需低 Z_0 （在 0.5 到 5 Ohm 的范围内）和微带线路技术限制之间的问题，本发明排除了微带线路技术所包含的限制。于是，大功率设计（实质上大于 10W）变为可行的。此外，本发明非常适合峰值功率电平高达 600W 的大功率发射机（诸如 W-CDMA 发射机）。

根据本发明的优选实施例，第一输入线路和第二输出线路均包括电感器。

根据本发明的优选实施例，第二输入线路包括具有至少一个电容和至少一个电感的串联电路和/或并联电路。

根据本发明的优选实施例，第二输入线路包括电感器。

根据本发明的优选实施例，第一输出线路包括至少一个电容和至少一个电感的串联电路和/或并联电路。

根据本发明的优选实施例，第一输出线路包括电感器。

根据本发明的优选实施例，第二输出线路包括电感器。

根据本发明的优选实施例，输入和输出网络是仿真传输线路。

本发明基于这样的理解：即使对于非常低的阻抗值（低于 1 Ohm）而言，也可以用非常简单的方法实现仿真传输线路，此外，可以在传统的晶体管组件中容易地实现仿真传输线路。传统技术能够以非常低的阻抗值和理想的重复性为上述仿真传输线路提供高品质因数。另一个优点是低通路滤波器配置中的传输线路在主放大器的输出提供附加的谐波抑制，用于更好的放大器线性度。

根据本发明的优选实施例，每个晶体管都以其自身的放大类工作。每个晶体管以其自身的放大类工作能够使放大器以最佳效率工作。

根据本发明的优选实施例，载波晶体管和峰值晶体管具有单独的跨导参数和阈值电压值。晶体管的单独的跨导参数和单独的阈值电压值使放大器能够非常有效地工作。

根据本发明的优选实施例，载波晶体管的输出和峰值晶体管的输出每一个都连接到补偿电路。补偿电路消除晶体管的寄生输出电容的不利影响。这导致在工作频带中，放大器的效率得以提高。

根据本发明的优选实施例，补偿电路包括至少一个电感和/或至少一个电容的串联电路和/或并联电路。

根据本发明的优选实施例，载波晶体管和峰值晶体管并联连接。

根据本发明的优选实施例，第一输入线路和第二输入线路并联连接。

根据本发明的优选实施例，第一输出线路和第二输出线路并联连接。

根据本发明的优选实施例，补偿电路并联连接。

根据本发明的优选实施例，阻抗变换电路连接在输入端子/输出端子和输入网络输出网络之间。阻抗变换电路使端子的不同阻抗与网络相匹配，反之亦然。

根据本发明的优选实施例，阻抗变换电路包括至少一个电感和/或至少一个电容的并联电路和/或串联电路。

根据本发明的优选实施例，放大器集成在分立 RF 功率组件中。这使得可以在移动电话中使用本发明，在移动电话中轻的重量和小的音量是本应用所必需的。

为了实现本发明的目的，公开一种大功率多赫蒂放大器电路组件，其包括：支持多赫蒂放大器电路的电路元件的支持结构；至少一个输入端子和至少一个输出端子，在支持结构上支持这两个端子；组成主放大级的至少一个载波晶体管和组成峰值放大级的至少一个峰值晶体管，在支持结构上支持这两个晶体管；将输入端子连接到载波晶体管的输入的第一输入网络；将输入端子连接到峰值晶体管的输入的第二输入网络；将输出端子连接到载波晶体管的输出的第一输出网络；以及将输出端子连接到峰值晶体管的输出的第二输出网络，其中第二输入和第一输出网络是仿真传输线路，并且分别通过晶体管和输入及输出端子之间所提供的接合线路构成电感。仿真传输线路可以包括至少一个电容和至少一个电感的串联电路和/或并联电路。本发明在靠近功率晶体管芯片的功率晶体管组件内实现仿真传输线路。可以获得低特性阻抗（甚至低于 1 Ohm），这使得能够以最有效的方法实现简单设计和多赫蒂技术。

根据本发明的优选实施例，补偿电路连接到晶体管的输出。补偿电路提高本发明的效率和/或工作频带。

根据本发明的优选实施例，补偿电路包括至少一个电感和/或至少一个电容的串联电路和/或并联电路。

本发明的有利特征是接合线路用作连接和电感。这节省了成本和布局中的空间。

根据本发明的优选实施例，输入网络包括给定长度的并联接合线路。

根据本发明的优选实施例，通过第一传导层、绝缘层和连接到地的第二传导层配备电容。

根据本发明的优选实施例，晶体管并联连接。有利的特征是不仅仅从一个晶体管提供所需功率，而是从并联的晶体管提供所需功率。因此，每个单晶体管提供总功率的一部分。随后，即使单晶体管发生故障，则提供具有稍小功率值的总功率。

根据本发明的优选实施例，输入网络并联连接。并联输入网络的优点是功率范围输入被分为输入网络的若干个分支。因此，可操作的输入网络的每个分支的输入功率得以降低。

根据本发明的优选实施例，输出网络并联连接。原则上并联输出网络的优点类似于并联输入网络的优点。输出功率分为若干个分支。因此，可操作的输出网络的每个分支的输出功率得以降低。

根据本发明的优选实施例，补偿电路并联连接。

附加到本文的并组成本文一部分的权利要求中详细指出了作为本发明特征的这些和其它不同的优点和新颖性特征。然而，为了更好地理解本发明、本发明的优点和通过使用本发明所能达到的目的，应该参考作为本发明另一部分的附图以及相应的描述性内容，在描述性内容中有本发明说明性和描述性的优选实施例。

附图说明

图 1、2 示出简单的仿真传输线路的不同示例；

图 3、4 示出频带中 S12 的仿真模块和相位；

图 5 示出仿真传输线路的输入阻抗对输出上的负载的曲线；

图 6A、6B、7、8、9 示出多赫蒂放大器的可能的实施例；

图 10 示出图 8 的电路组件；

- 图 11 示出图 9 的电路组件；
图 12 示出图 6A 的电路组件；
图 13 示出多赫蒂放大器的可能的实施例；
图 14 示出图 13 的电路组件。

具体实施方式

图 1 示出仿真传输线路的实施例，在靠近功率晶体管芯片的 RF 功率晶体管组件内实现该仿真传输线路。所述仿真传输线路包括连接到电感 4 (其电感值为 0.33 nH) 的输入端子 2。电感 4 在另一侧连接到电感 6 (其电感值为 0.33nH) 和电容 10 (其电容值为 80pF)。电感 6 在另一侧连接到输出端子 8，电容 10 在另一侧连接到地。一般而言，这种仿真传输线路可获得非常低的特性阻抗 (甚至低于 1 Ohm)，这提供了简单设计。理论上的仿真传输线路应该在工作频带/900MHz/ 内提供大约 90 度的相移。

图 2 包括仿真传输线路的另一个实施例。所述仿真传输线路包括连接到电容 20 (70 pF) 一侧以及电感 16 (0.36 nH) 一侧的输入端子 14。电容 20 在另一侧连接到地 24。电感 16 在另一侧连接到输出端子 18 以及电容 22 (70 pF) 的一侧。电容 22 的另一侧连接到地 26。这样的仿真传输线路在 900MHz 上提供 90 度的相移并具有 2 Ohm 的特性阻抗。可在传统的功率晶体管组件中容易地实现图 1 和图 2 中所示的仿真传输线路。低通路滤波器配置中的仿真传输线路在主放大器的输出上提供附加谐波抑制/对于第二谐波 2fo 约为 -10 dB/，因此提供了更好的放大器线性度。传统技术能够以非常低的阻抗值和理想的重复性为上述模拟数据线路提供高品质因数。

用 MOS 电容表示的电容以及在分立 RF 功率晶体管技术中作为连接媒体使用的并联金接合线表示的电感所构造的仿真传输线路排除了具有传统微带线路设计的多赫蒂放大器中存在的两个问题。

排除了 1/4 波长线路的所需低 Z_0 (0.5-5 Ohm 范围) 和微带线路技术限制之间的矛盾。换言之，本发明排除了分布微带线路技术所具有的限制。于是，大功率设计 (大于 10W) 变为适宜非常简单

的方式。

排除了对于简单设计现代放大器的需求和用于多赫蒂概念的可能的微带线路大小之间的另一个矛盾，其中微带线路的尺寸随着对于更高输出电压的需求而急剧增长，这导致 90 度传输变换器的所需特性阻抗更低。

图 3 示出取决于频率（以 GHz 为单位）的参数 S12（以 dB 为单位）。该图示出直至 1 GHz，S12 基本为恒定。超过 1 GHz 之后，散射参数 S12 向下线性地倾斜，在 2 GHz 约为 -11 dB。

图 4 示出取决于频率（以 GHz 为单位）的散射参数 S12 的相位（以度为单位）。所述相位向下线性地倾斜从 0.8 GHz 的约 -71° 到 1 GHz 的约 -93°。

图 5 示出仿真传输线路的输入阻抗与输出上的负载的关系曲线。图 5 示出由晶体管芯片输出看到的阻抗的实部和虚部与应用于仿真线路输出的阻抗的关系曲线路/在 1 - 4 Ohm 的范围内/。实部和虚部的图形从频率为 0.8 GHz 时开始，到频率为 1 GHz 时结束。对于 1 Ohm 的阻抗而言，图中仅仅示出了实部。1 Ohm 的阻抗的实部向上倾斜直到 0.91 GHz，然后该图形向下倾斜到 1.0 GHz。其它输入阻抗值的实部的图形从 0.8 GHz 的频率向下线性地倾斜到 1.0 GHz 的频率。实部越大，输入阻抗越小。最小的实部一般位于频率的末尾 1GHz 处。在 1 GHz 的范围内，虚部具有其最小值。3 Ohm 和 4 Ohm 的输入阻抗的虚部图形向上线性地倾斜到末尾 1 GHz 处，2 Ohm 的输入阻抗的虚部图形向下倾斜到末尾 1 GHz 处。

图 6A 示出本发明的电路图。通过线路 27 将输入端子 28 连接到晶体管 30 的栅极端子 29。晶体管 30 表示主放大器。晶体管 30 示作等效电路。所述等效电路包括栅极电阻 34，该栅极电阻连接到栅极端子 29，该栅极电阻在另一侧连接到栅极 - 源极电容 38 和漏极 - 栅极电容 36。漏极 - 栅极电容 36 在另一侧连接到电流源 40、电阻 42、输出电容 44 以及漏极端子 49。输出电容 44 在另一侧连接到电阻 42

的另一侧、电流源 40 的另一侧、栅极 - 源极电容 38 的另一侧以及源电阻 46。源电阻 46 连接到源极端子 47。源极端子 47 连接到地 48。通过线路 33 将漏极端子 49 连接到输出端子 56，线路 33 是仿真传输线路。

通过线路 31 将输入端子 28 连接到输入端子。晶体管 32 是峰值放大器。晶体管 32 的图示等效电路与晶体管 30 的图示等效电路相同。电阻 64 等于电阻 34。电容 68 与电容 38 相同。电容 66 与电容 36 相同。电流源 70 和电流源 40 相同。电阻 72 与电阻 42 相同。电容 74 与电容 44 相同。电阻 76 与电阻 46 相同。晶体管 32 的源极端子 77 连接到地 78。通过线路 35 将晶体管 32 的漏极端子 75 连接到输出端子 56，线路 35 是仿真传输线路。

在上述实施例中，在多赫蒂放大器的输出上的仿真传输线路（诸如图 2 中所示的仿真线路）中实现晶体管 30、32 的输出寄生电容。物理上仿真线路的电容体现在峰值晶体管 32 和主晶体管 30 芯片中。

图 6B 示出与图 6A 类似的本发明的电路图。通过线路 27 将输入端子 28 连接到晶体管 30 的栅极端子 29。晶体管 30 表示主放大器。和图 6A 一样，晶体管 30 示作等效电路。通过线路 33 将漏极端子 49 连接到输出端子 56。线路 33 是仿真传输线路。

传输线路 33 包括连接到晶体管 30 的输出端 49 的电感 50。电感 50 的另一侧连接到电容 52 和电感 54，电感 54 又连接到输出端子 56。电容 52 连接到地。

通过线路 31 将输入端子 28 连接到输入端子 63。线路 31 包括电感 58。电感 58 在另一侧连接到电容 60 以及电感 62。电容 60 在另一侧连接到地。电感 62 在另一侧连接到晶体管 32 的栅极端子 63。晶体管 32 是峰值放大器。晶体管 32 的等效电路与晶体管 30 的图示等效电路相同。电感 58、电感 62 和电容 60 组成仿真传输线路。通过线路 56 将晶体管 32 的漏极端子 75 连接到输出端子 56，线路 35 是仿真传输线路。

在上述实施例中，消除了对于传输线路的低特性阻抗和更小传输线路大小的限制，并且提高了应用频带、再生性、简单设计以及多赫蒂放大器设计灵活性。

图 7 原理上示出和图 6 相同的电路。因此，用于表示相同部分的相同标号也用于图 7。图 7 和图 6 之间仅有的区别是将补偿电路应用于晶体管 30 的漏极端子 49 上和晶体管 32 的漏极端子 75 上。端子 49 上的补偿电路包括电感 80 和电容 82 的串联电路。电感 80 连接到漏极端子 49。电感 80 在另一侧连接到电容 82。电容 82 的另一侧连接到地。补偿电路补偿晶体管 30 的输出电容 44。原理上晶体管 32 的端子 75 也同样。包括电感 84 和电容 86 的补偿电路补偿输出电容 74。通过电感 84 的一侧将补偿电路连接到端子 75。电感 84 的另一侧连接到电容 86。电容 86 的另一侧连接到地。此外，可以将补偿电路作为 90 度仿真传输线路的一部分来提供。

图 8 原理上示出和图 6 相同的电路。但在图 8 中，电感 88 连接在输入端子 28 和端子 29 之间，电感 90 连接在端子 75 和输出端子 56 之间。电感 88 和 90 由接合线路组成并用作输入网络或输出网络。输入和输出网络的目的是将输入和输出端子上的晶体管的阻抗与相连的其它电路部分的端子上的阻抗相匹配。图 10 中示出了图 8 的实际实施例。

图 9 示出电路，该电路是图 7 和图 8 中所示出并描述的电路的结合。本发明消除了微带线路可能的特性阻抗之间的矛盾，最低的可能值是大约 1 Ohm，所需的值小于 1 Ohm，这对于高功率电平的多赫蒂放大技术而言是致命问题。此外，本发明消除了多赫蒂放大器的有源元件的输出上的传输线路的所需物理尺寸和 RF、MW 频带内可获得的传输线路尺寸之间的矛盾。此外，本发明使得用于大功率放大器（具有大于 10W 的输出功率）的多赫蒂放大器解决方案小型化。此外，本发明提供了多赫蒂技术实现的简单方法，其中使用了传统技术，即使在非常高的功率电平（大于 300W）下，这对于传

统的微带线路技术而言是不可能的。

图 10 示出图 8 电路的实施例的基本结构。通过多条接合线 106 将主放大器晶体管芯片 92 连接到多赫蒂放大器 102 的输入端。通过多条并联接合线 110 将主放大器晶体管 92 连接到输出仿真线路的电容器 94。通过多条并联接合线 108 将电容器 94 连接到多赫蒂放大器的输出引线 96。通过多条并联接合线 112 将峰值放大器晶体管 98 连接到多赫蒂放大器的输出引线 96。通过多条并联接合线 114 将峰值放大器晶体管 98 连接到输入仿真线路的电容器 100。通过多条并联接合线 116 将电容器 100 连接到多赫蒂放大器的输入引线 102。在支持层 104 上安装所述电路。

图 11 示出图 9 的实施例的结构。通过多条并联接合线 134 将主放大晶体管芯片 118 连接到多赫蒂放大器的输入引线 154。通过多条并联接合线 136 将主放大器晶体管芯片 118 连接到补偿电路 120。通过多条并联接合线 140 将主放大器晶体管芯片 118 的输出连接到输出仿真线路的电容器 122。通过多条并联接合线 142 将输出仿真线路的电容器 122 连接到多赫蒂放大器的输出引线 124。经由多条并联接合线 144 将补偿电路 126 连接到峰值放大器晶体管芯片 128。

通过多条并联接合线 146 将峰值放大器晶体管芯片 128 连接到输出引线 124。通过多条并联接合线 148 将峰值放大器 128 连接到输入仿真线路的电容器 130。通过多条并联接合线 150 将电容器 130 连接到多赫蒂放大器的输入引线 156。输入引线 154 和输入引线 156 终止到一般输入引线 132。在基片 152 上安装整个前述电路。通过使用现有的传统技术在传统分立功率晶体管组件中构造仿真传输线路，连同功率晶体管芯片和补偿电路一道，来实现本发明，为大功率多赫蒂放大器提供了有效、灵活和简单的解决方案。

图 12 示出与图 6A 的电路对应的本发明的简化实施例。通过多条接合线 306 将主放大器晶体管芯片 292 连接到多赫蒂放大器 302 的输入引线。通过多条并联接合线 310 将主放大器晶体管 292 连接

到多赫蒂放大器的输出引线 296。通过多条并联接合线 312 将峰值放大器晶体管 298 连接到多赫蒂放大器的输出引线 296。通过多条并联接合线 314 将峰值放大器晶体管 298 连接到输入仿真线路的电容器 300。通过多条并联接合线 316 将电容器 300 连接到多赫蒂放大器的输入引线 302。在支持层 304 上安装所述电路。

图 13 示出与图 6B 类似的本发明的电路图。通过线路 27 将输入端子 28 连接到晶体管 30 的栅极端子 29。晶体管 30 表示主放大器。晶体管 30 示作如同图 6A 中一样的等效电路。通过包括电感 400 的线路 33 将漏极端子 49 连接到阻抗变换电路 408。线路 33 是仿真传输线路，其包括晶体管 30 的输出电容 44。

阻抗变换电路 408 包括连接到线路 33 的电感 402。电感 402 的另一侧连接到电容 406 和电感 404，电感 404 连接到输出端子 56。电容 406 连接到地。

通过线路 31 将输入端子 28 连接到输入端子 63。线路 31 包括电感 58。电感 58 在另一侧连接到电容 60 和电感 62。电容 60 在另一侧连接到地。电感 62 在另一侧连接到晶体管 32 的栅极端子 63。晶体管 32 是峰值放大器。晶体管 32 的等效电路与晶体管 30 的所示等效电路相同。电感 58、电感 62 和电容 60 组成仿真传输线路。通过线路 35 将晶体管 32 的漏极端子 75 连接到线路 33 和阻抗变换电路 408 的电感 402，线路 35 是仿真传输线路。

图 14 示出与图 13 的电路对应的本发明的简化实施例。通过多条接合线 502 将主放大器晶体管芯片 500 连接到多赫蒂放大器的输入引线 504。通过多条并联接合线 506 将主放大器晶体管 500 连接到接点排 (contact bank) 508。通过多条并联接合线 510 将接点排 508 连接到电容器 512。通过多条并联接合线 514 将电容器 512 连接到输出引线 516。通过多条并联接合线 520 将峰值放大器晶体管 518 连接到多赫蒂放大器的接点排 508。通过多条并联接合线 522 将峰值放大器晶体管 518 连接到输入仿真线路的电容器 524。通过多条并联接合

线 526 将电容器 524 连接到多赫蒂放大器的输入引线 504。在支持层 528 上安装所述电路。

在前面的描述已经阐明了本专利文件所覆盖的本发明的新的特征和优点。然而，可以理解本公开在许多方面仅仅是说明性的。不超越本发明保护范围，可以就细节、特别是与形状、大小和部件布置有关的细节作出改动。当然，在表达所附权利要求书的语言中定义了本发明的保护范围。

图 1

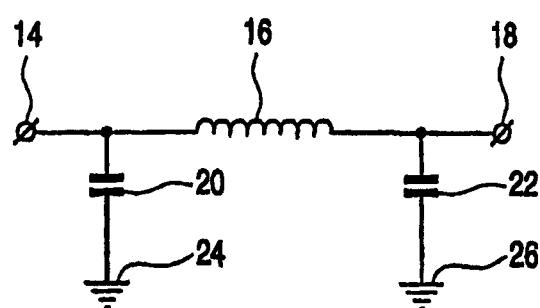
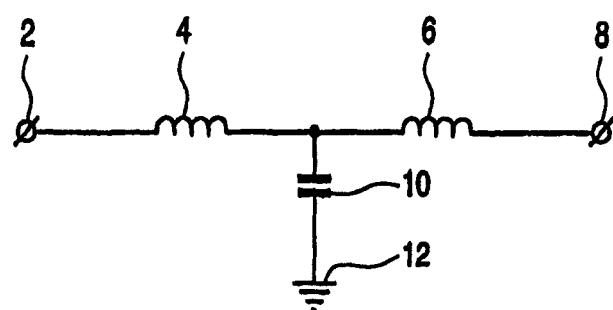


图 2

图 3

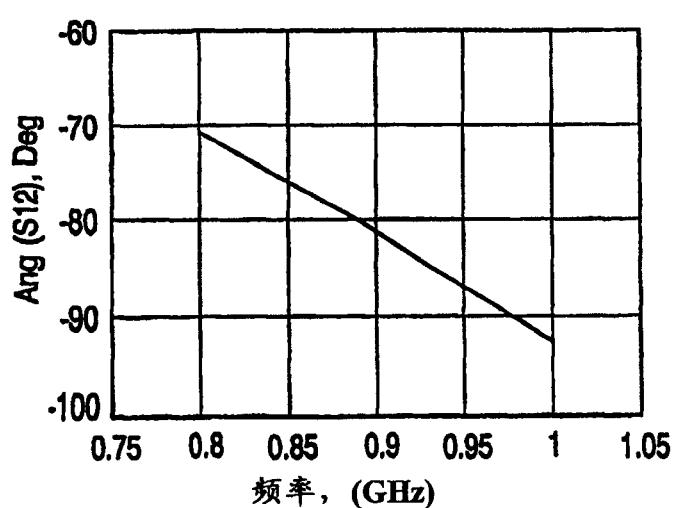
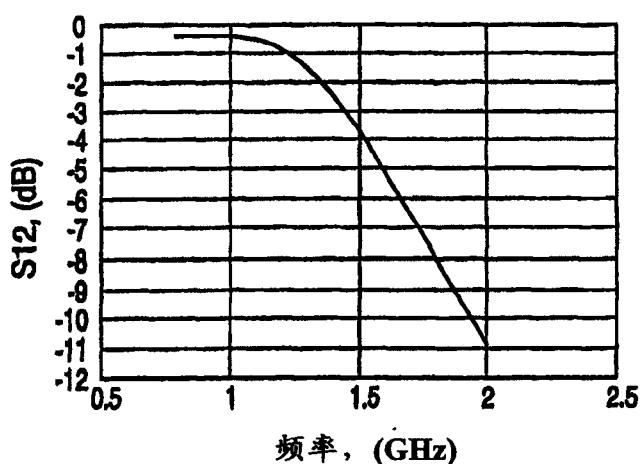


图 4

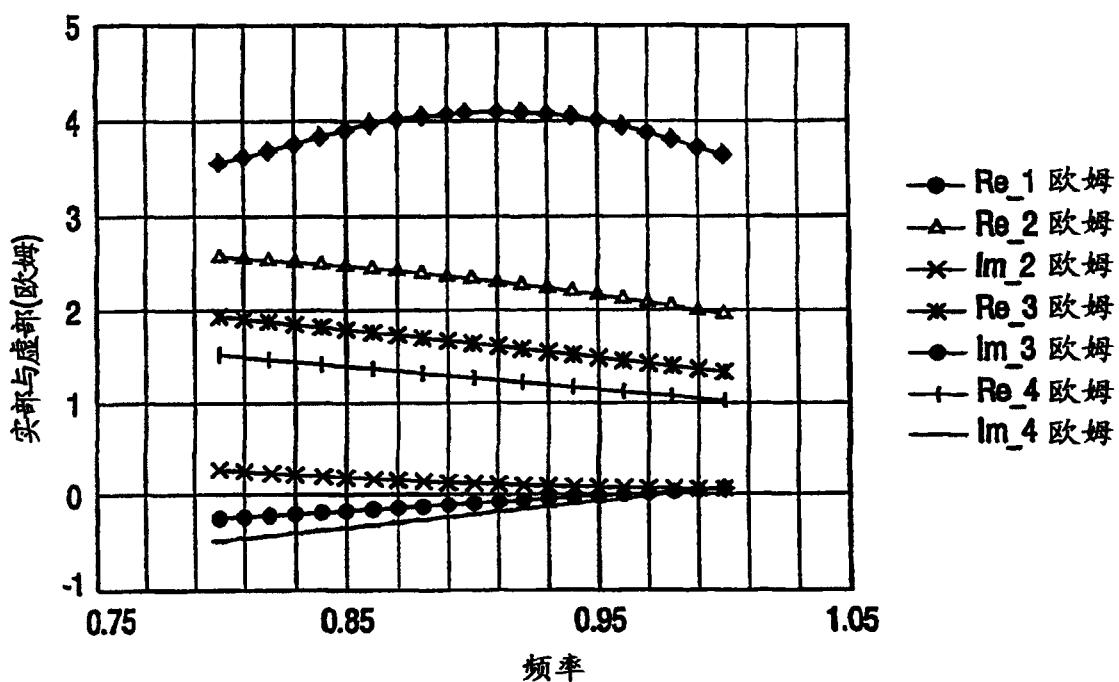


图 5

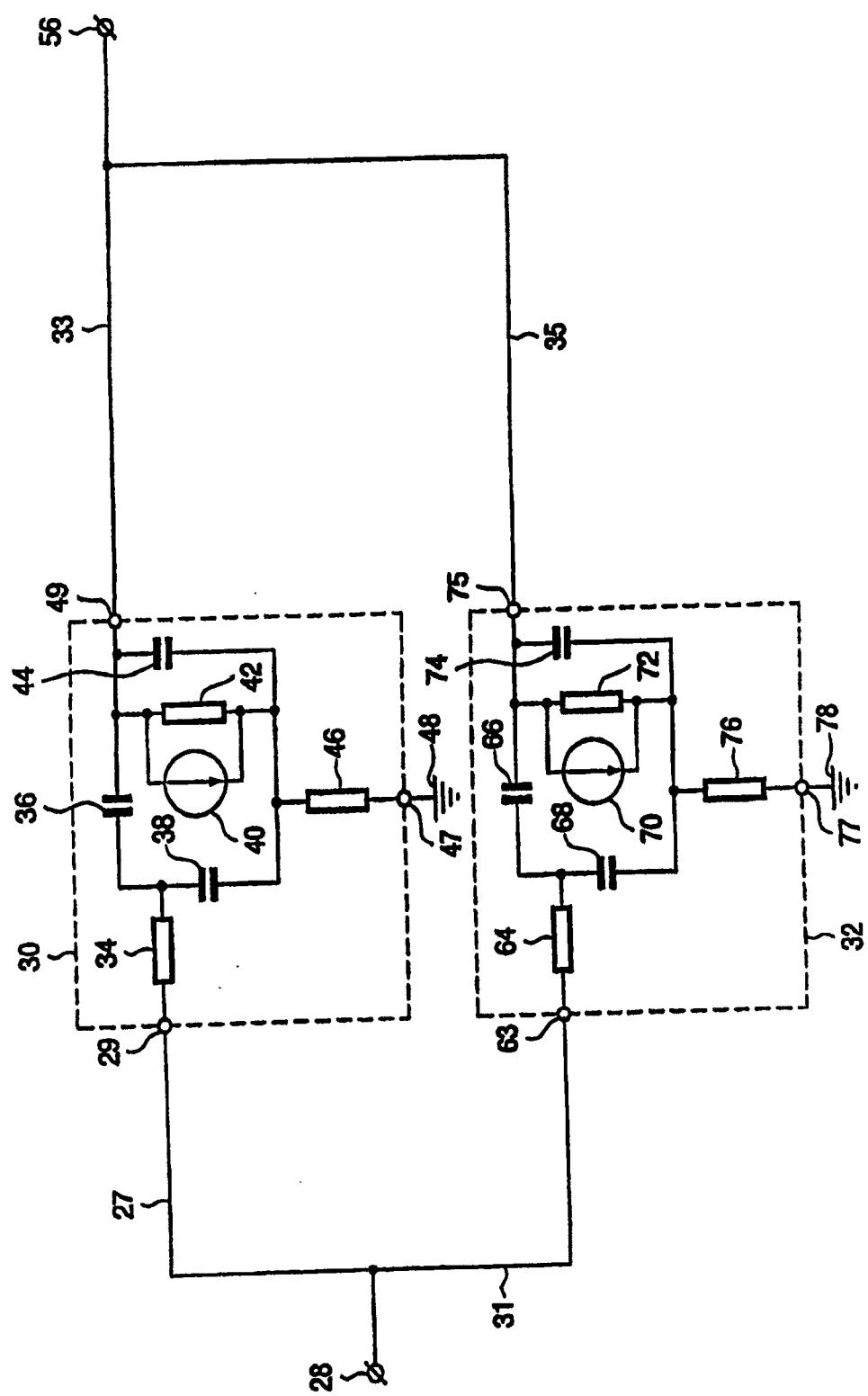
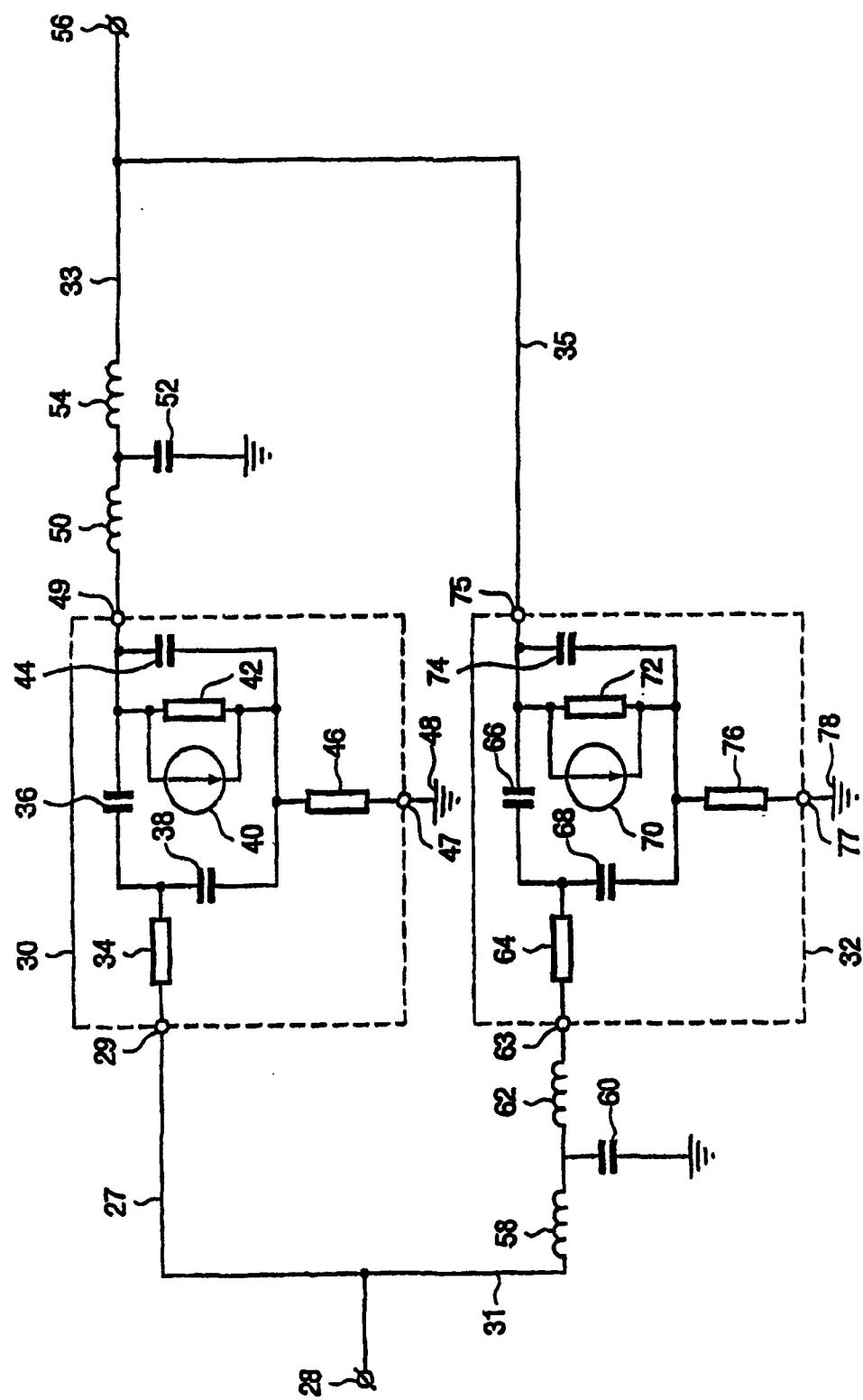


图 6A



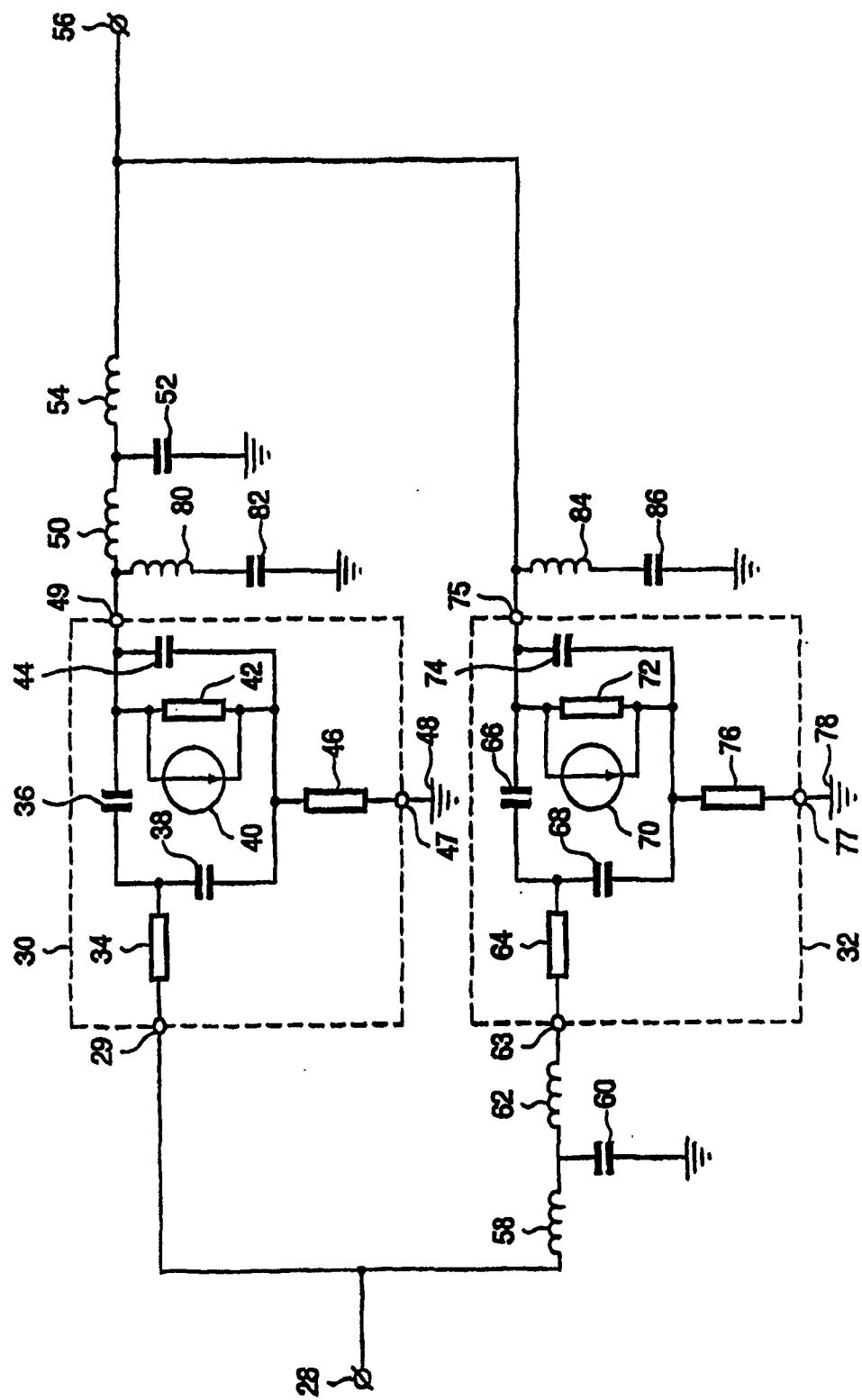


图 7

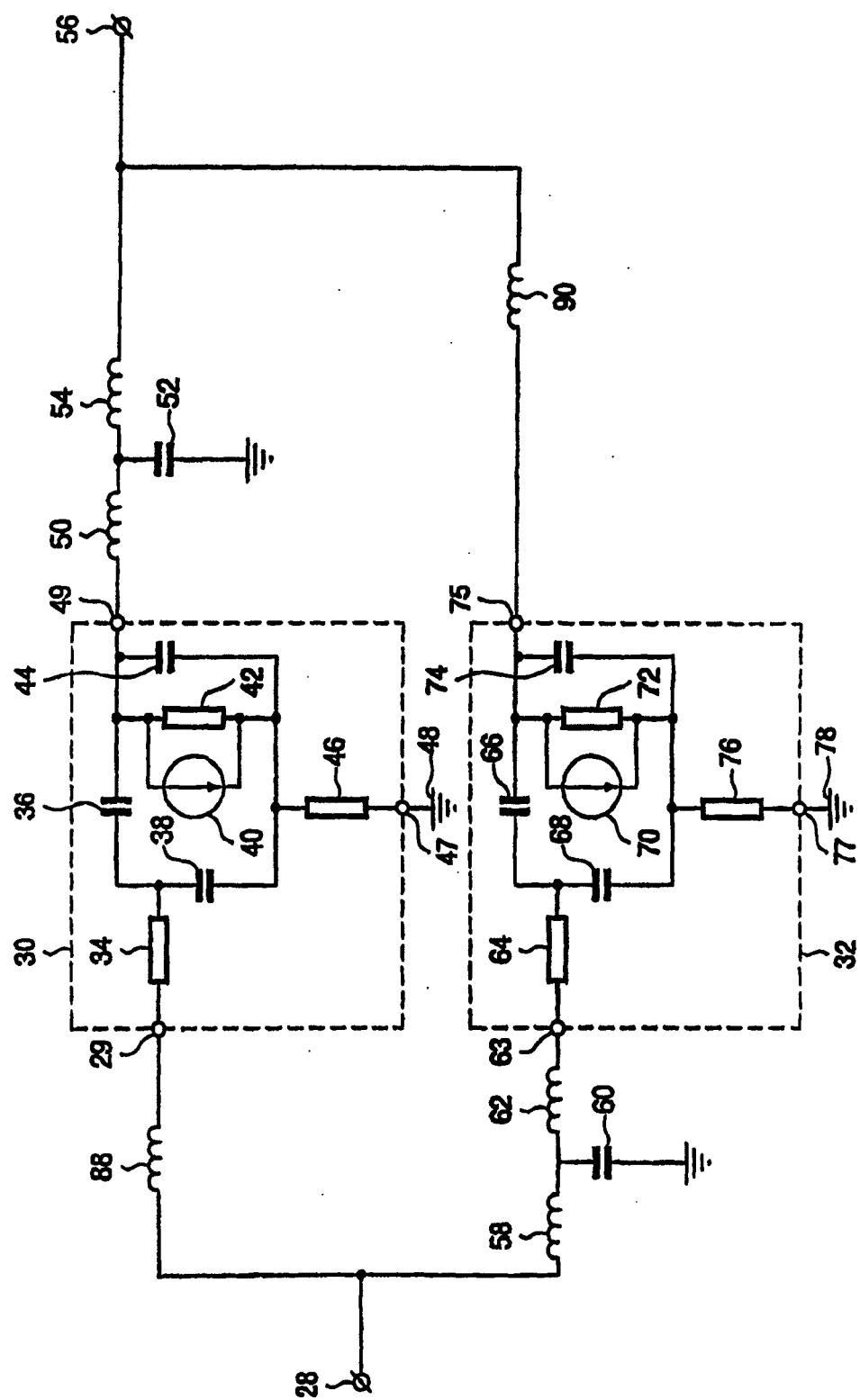


图 8

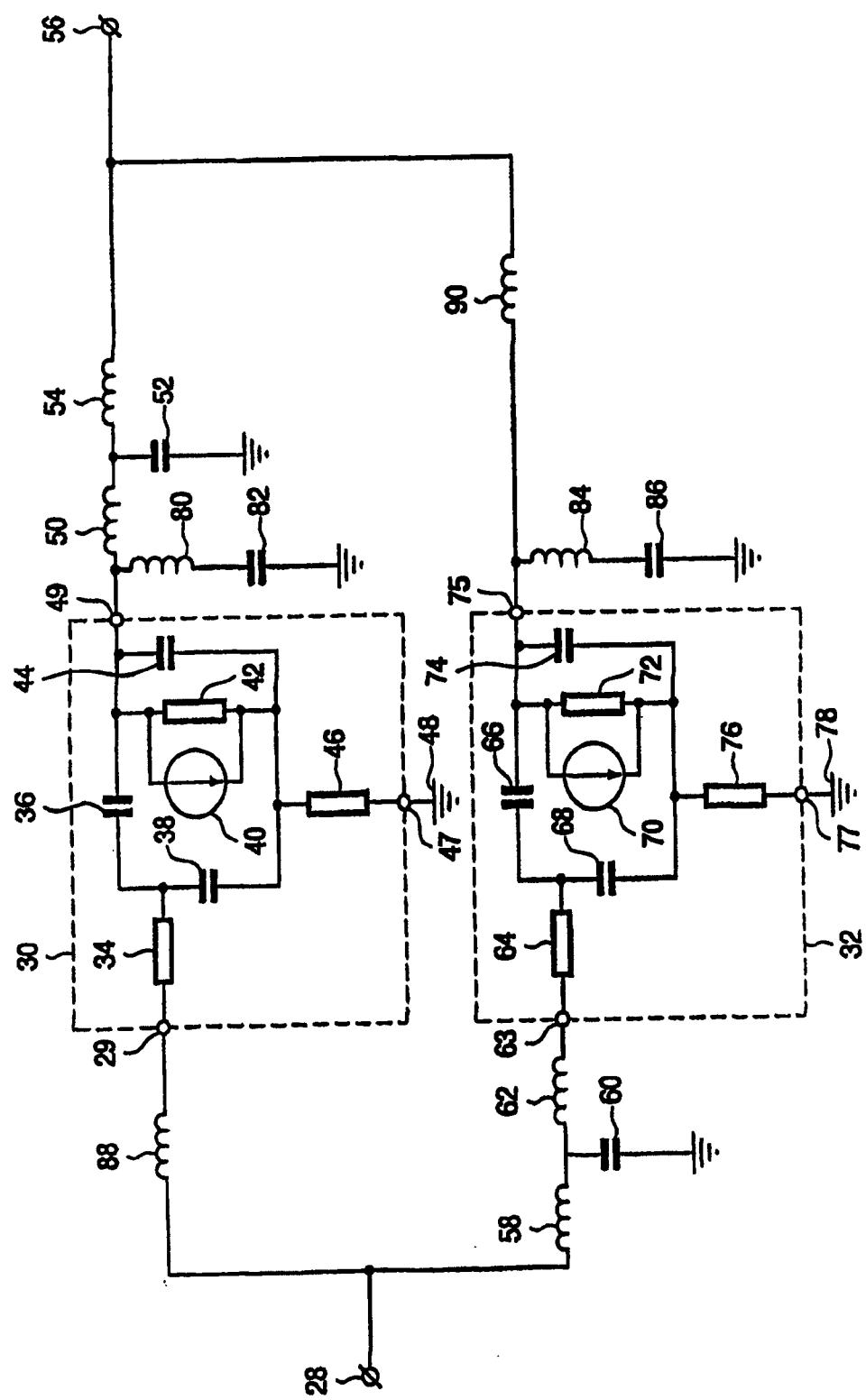


图 9

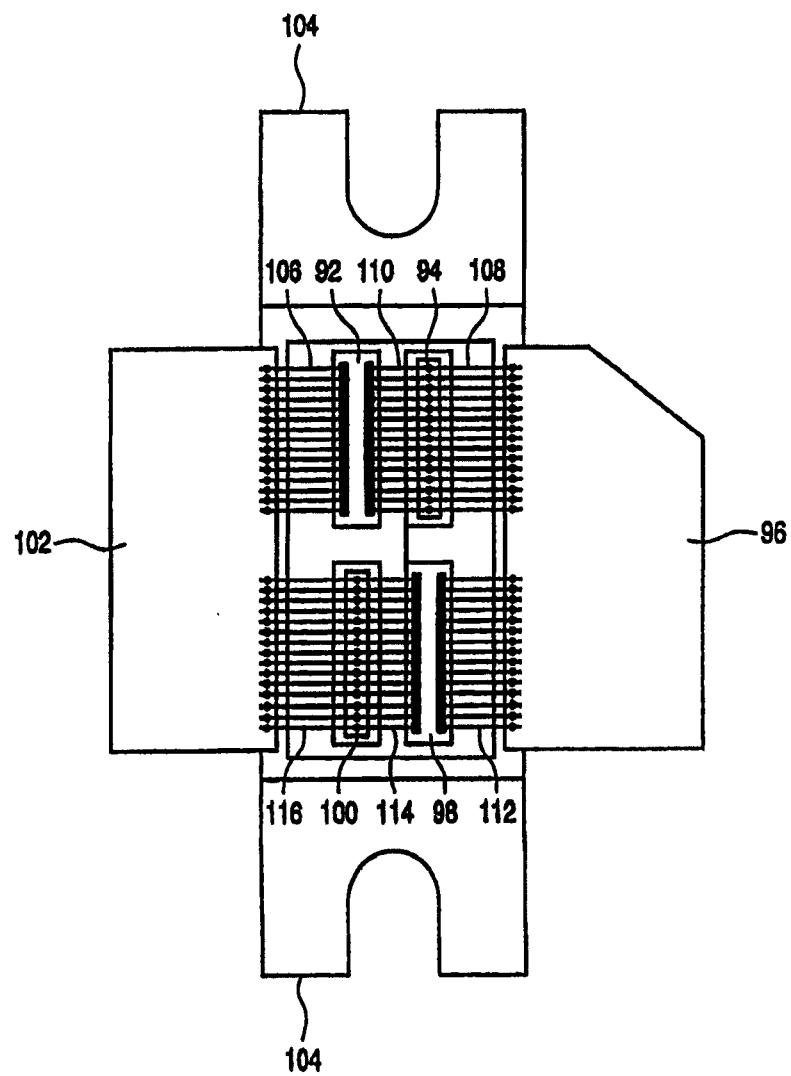


图 10

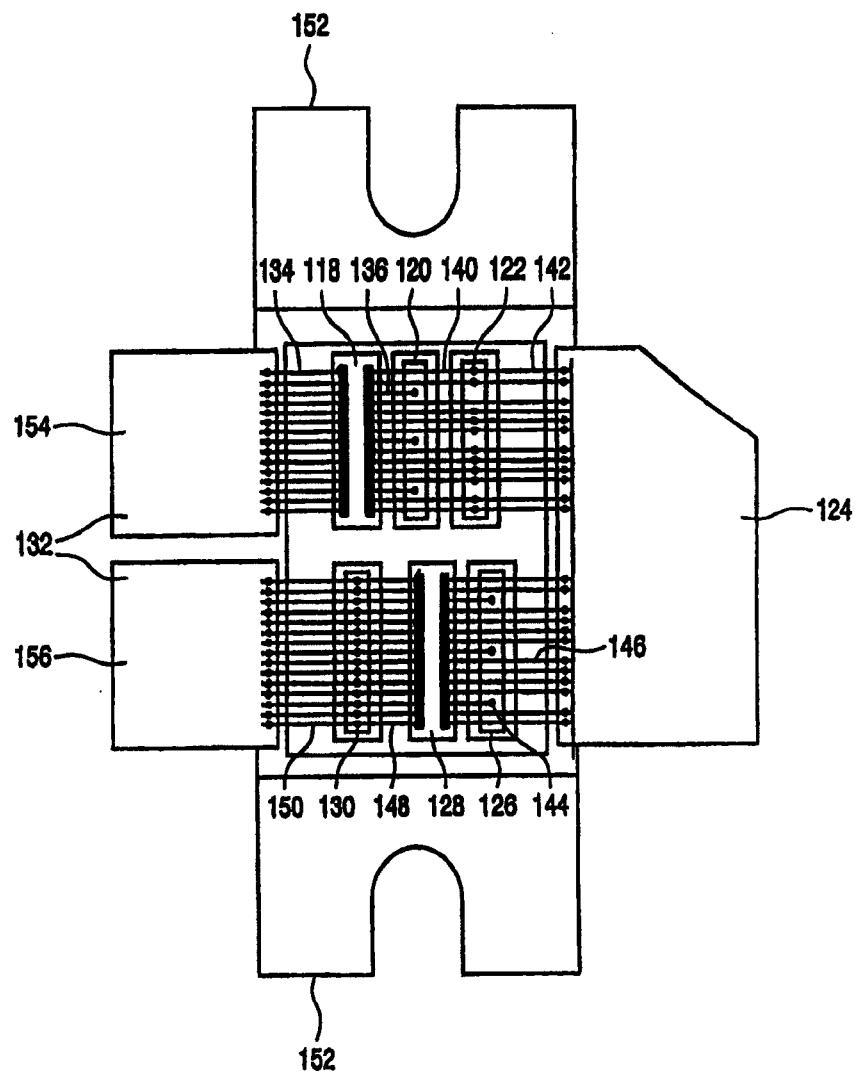


图 11

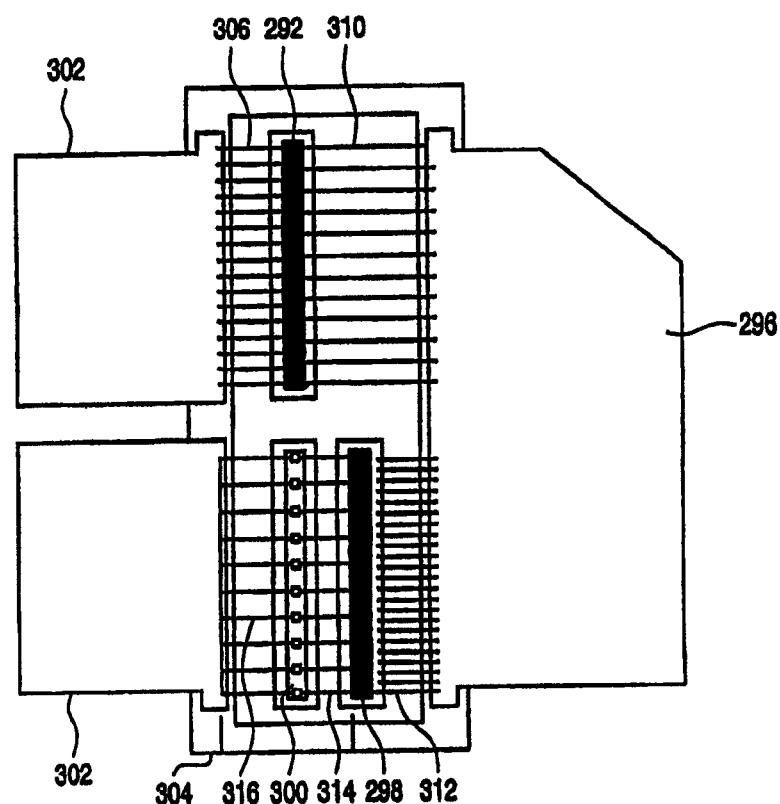


图 12

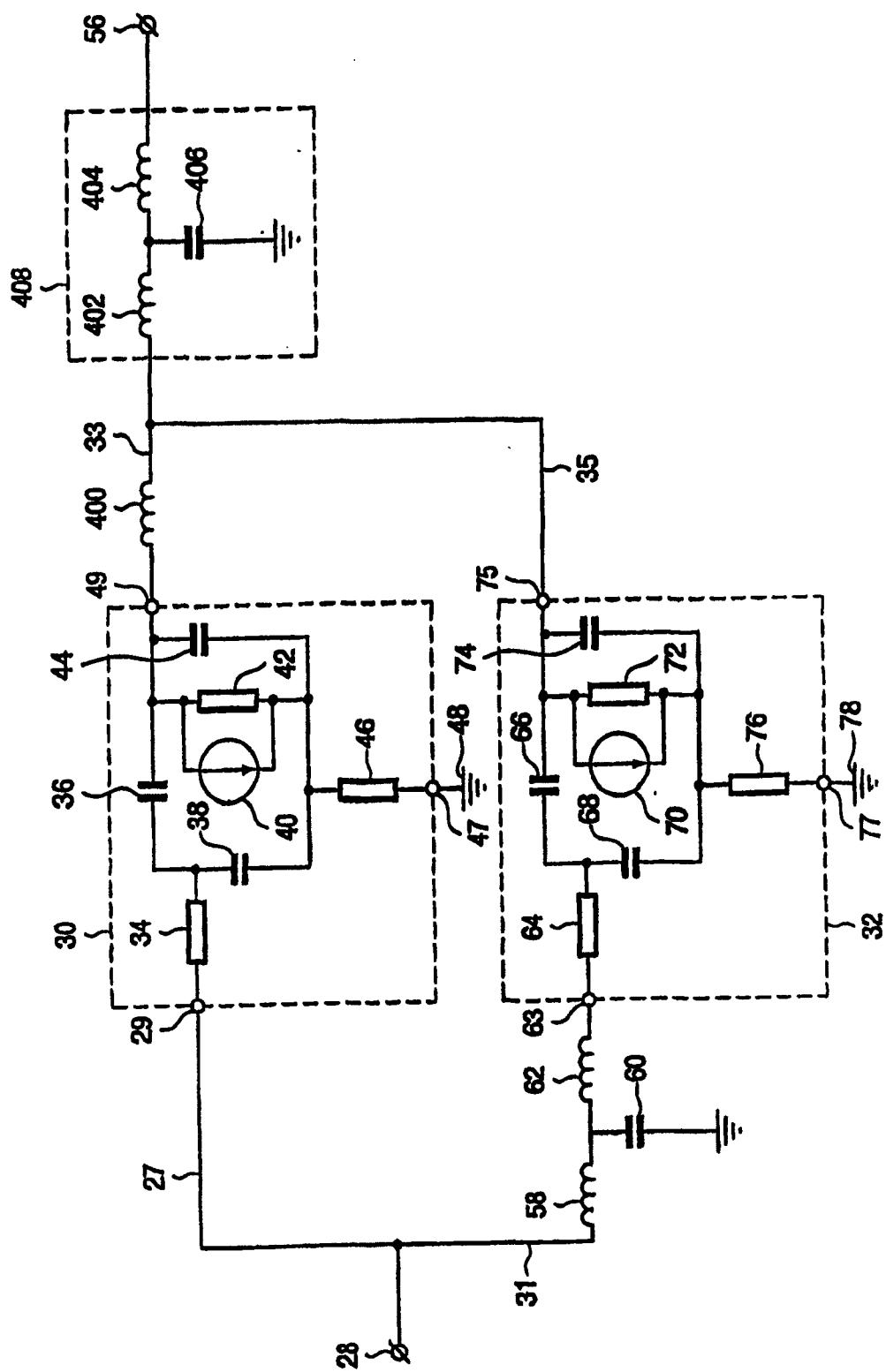


图 13

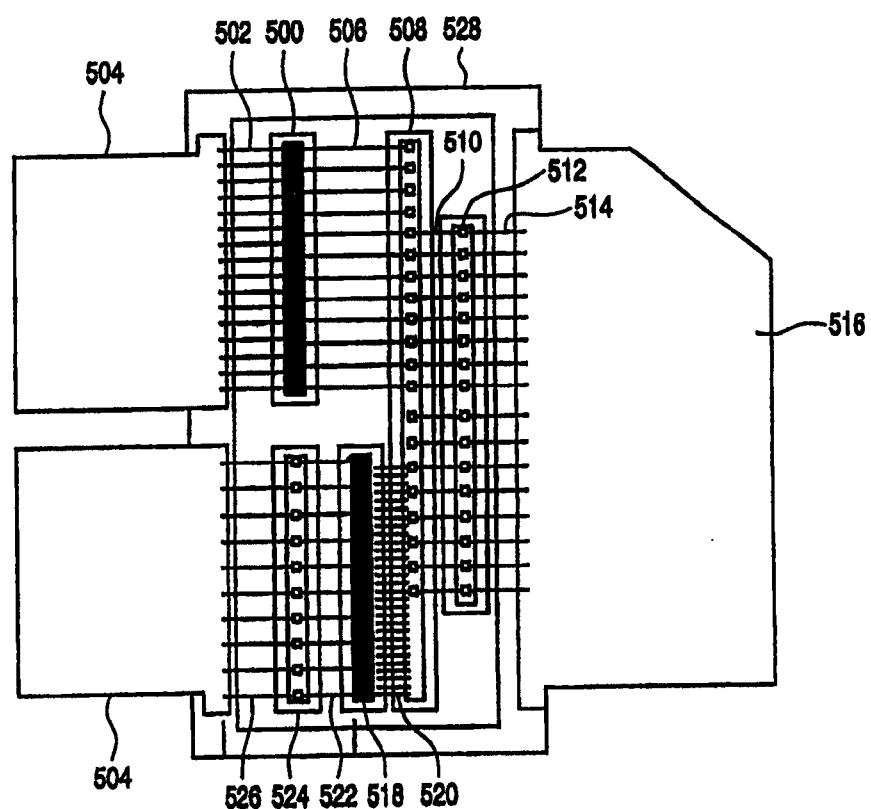


图 14