(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/60

(45) 공고일자 1999년04월15일
(11) 등록번호 특0179681
(24) 등록일자 1998년11월28일

(21) 출원번호	특1994-036760	(65) 공개번호	특1995-021297
(22) 출원일자	1994년12월26일	(43) 공개일자	1995년07월26일

(30) 우선권주장 93-333195 1993년12월27일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 마츠오카 후미토모
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

심사관 : 송원선

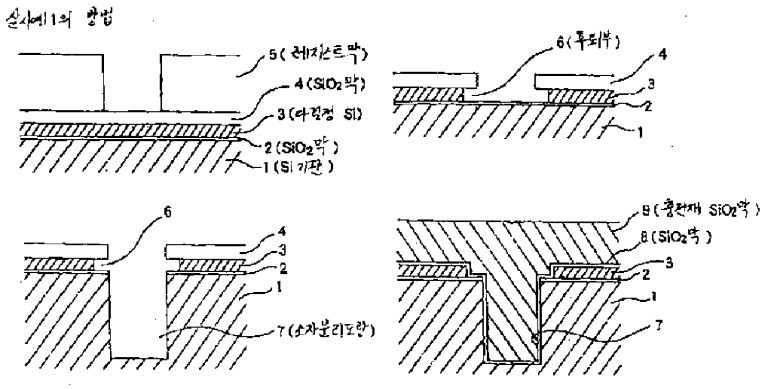
(54) 반도체장치의 제조방법

요약

본 발명은 집적회로의 미세화에 적합한 매립형 소자분리를 실현함과 더불어, 그 형상에 기인하는 전계집중이나 게이트산화막의 리크를 생기게 하는 결함의 발생을 방지하기 위한 것이다.

이를 위한 본 발명은, 반도체기판상에 제1절연막과 제1재료제의 제1층 및 제2재료제의 제2층을 순차 퇴적하고, 상기 제1 및 제2층을 상기 제2층상에 형성한 레지스트패턴을 마스크로 하여 이방성에칭해서 상기 제1층에 제1개구, 상기 제2층에 제1개구와 거의 동일한 개구인 제3개구를 각각 뚫어 설치하며, 이 후 등방성에칭에 의해 상기 제1층에 제1개구 보다도 큰 개구인 제2개구를 형성하는 공정과; 상기 제2층을 마스크로 하여 상기 반도체기판을 에칭해서 상기 제3개구를 패턴으로 한 소자분리도랑을 형성하는 공정; 상기 제2층을 제거한 후, 상기 소자분리도랑내와, 상기 반도체기판상 및, 상기 제1층상에 제2절연층을 형성하고, 그 후 충전재를 충전, 퇴적하여 상기 소자분리도랑내에 있어서 상기 반도체기판의 표면의 엣지부분을 덮는 충전재층을 형성하는 공정 및; 상기 충전재층의 표면을 상기 제1층을 스톱터로 하여 에칭해서 상기 충전재를 그 표면이 상기 소자분리도랑의 상방 및 그 개구의 주위의 상방에 위치하는 소자분리체로서 잔존시키는 공정을 구비하여 이루어진 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예 1에 관한 반도체장치의 제조방법의 프로세스 설명도.

제2도는 본 발명의 실시예 1에 관한 반도체장치의 제조방법의 프로세스 설명도.

제3도는 본 발명의 실시예 2에 관한 반도체장치의 제조방법의 프로세스 설명도.

제4도는 종래의 반도체장치의 제조방법의 프로세스 설명도.

제5도는 종래의 방법에 의해 형성된 반도체장치의 I-V특성도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : Si기판 2,4,8 : SiO_2막

3 : 다결정 Si 5 : 레지스트막

6 : 후퇴부 7 : 소자분리도랑

9 : 충전재 SiO_2막 10 : 매립소자분리부

11 : 게이트산화막 12 : 다결정 Si막

13 : 엣지부(Edge部)

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 매립형 소자분리 영역을 갖춘 반도체장치의 제조방법에 관한 것이다.

[종래의 기술 및 그 문제점]

근년, 반도체 집적회로의 미세화에 따라 소자분리간의 거리도 세대마다 작아지고 있는 바, 이에 대응하는 방법으로서 매립형 소자분리가 고려되고 있다.

제4도는 종래의 반도체장치의 제조방법의 프로세스 설명도로서, 특히 매립형 소자분리의 형성방법을 나타낸 것이다.

우선, 제4a도에 나타낸 것처럼, Si기판(1)상에 예컨대 SiO_2(2)을 10㎚정도 열산화법에 의해 형성한다.

다음으로, 그 위로부터 레지스트막(5)을 도포하고, 그 후, 사진식각법을 이용하여 레지스트막(5)을 소정 형상으로 형성한다. 그 후에, 레지스트막(5)을 마스크로 이용하고, SiO_2막(2)을 이방성 에칭을 이용하여 에칭해서,예컨대 500㎚정도의 깊이로 소자분리도랑(7)을 형성한다.

다음으로, 제4b도에 나타낸 것처럼, 에칭에 의한 손상을 제거하기 위해, 예컨대 SiO_2막(8)을 열산화법에 의해 20㎚정도 퇴적한다. 그 후에, 충전재 SiO_2막(9)을, 예컨대 1㎛정도 퇴적한다.

그런 후에. 제4c도에 나타낸 것처럼, 충전재 SiO_2막(9)을 이방성 에칭이나 연마 등으로 애치 백 함으로써, 최종적으로 매립소자분리부(10)를 완성한다.

다음으로,제4d도에 나타낸 것처럼, MOSFET의 문턱치를 맞추어 넣기위한 이온주입 등의 공정을 거쳐, 게이트산화막(11)을 예컨대 열산화법에 의해 10㎚정도 형성한다. 그리고, 게이트전극으로 되어야 할 다결정 Si막(12)을 예컨대 300㎚정도 퇴적하여, 소정 형상으로 형성한다.

그런데. 이상과 같은 공정에 의해 형성된 매립형 소자분리에서는 제4c도에 나타낸 공정에서의 애치 백 공정에 대해 프로세스적인 마진을 미리 계산에 넣어 둘 필요가 있기 때문에, 소정의 오비 에칭이 필요하게 된다.

그 결과로, 매립소자분리부(10)의 표면이 Si기판(1)의 표면에 비해 약간 함몰된 형상으로 된다.

이 때문에, 제4d도에 나타낸 것처럼, 매립소자분리부(10)에 엣지부(13; Edge部)가 남겨져 버려서, 그 위에 형성한 게이트산화막(11)도 엣지를 가져 버리게 된다.

이상에서 설명한 것처럼, 종래의 반도체장치의 제조방법에 의하면, 매립소자분리부(10)의 엣지부(13)에 있어서, 단차(段差)가 발생하고, 따라서 게이트산화막(11)에도 단차가 생기게 되므로, 매립소자분리부(10)의 엣지부(13)에서 전계의 집중이 발생해 버린다.

이상과 같은 전계의 집중은, 제5도의 게이트전압대 드레인전류의 특성도에 나타냈듯이, 점선으로 나타낸 본래의 특성에 대해 실선과 같은 킨크 특성이라 불리우는 현상을 야기시킨다. 이는 본래 얻어져야 할 MOSFET의 I-V특성에 기생트랜지스터가 덧붙여지기 때문에 발생한다.

한편, 제4d도의 엣지부(13)는 Si기판(1)의 코너로 되어 있기 때문에, 물리적인 스트레스도 집중하기 쉽고, 결함도 생기기 쉽다. 그리고, 결함은 게이트산화막의 리크를 야기시키기 쉽다는 문제를 내포한다.

[발명의 목적]

본 발명의 목적은 상기한 것과 같은 종래기술의 문제점을 해소하고, 집적회로의 미세화에 적합한, 매립형 소자분리를 실현함과 더불어, 그 형상에 기인하는 전계집중이나 게이트산화막의 리크를 생기게 하는 것과 같은 결함의 발생을 방지하는 것을 가능케 한 반도체장치의 제조방법을 제공하는 것에 있다.

[발명의 구성]

본 발명의 반도체장치의 제조방법은, 반도체기판상에 제1절연막과 제1재료제의 제1층 및 제2재료제의 제2층을 순차 퇴적하고, 상기 제1 및 제2층을 상기 제2층상에 형성한 레지스트패턴을 마스크로 하여 이방성 에칭해서 상기 제1층에 제1개구, 상기 제2층에 제1개구와 거의 동일한 개구인 제3개구를 각각 뚫어 설치하며, 이 후 등방성에칭에 의해 상기 제1층에 제1개구 보다도 큰 개구인 제2개구를 형성하는 공정과; 상기 제2층을 마스크로 하여 상기 반도체기판을 애칭해서 상기 제3개구를 패턴으로 한 소자분리도랑을 형성하는 공정; 상기 제2층을 제거한 후, 상기 소자분리도랑내와, 상기 반도체기판상 및, 상기 제1층상에 제2

절연층을 형성하고, 그 후 충전재를 충전, 퇴적하여 상기 소자분리도랑내에 있어서 상기 반도체기판의 표면의 엣지부분을 덮는 충전재층을 형성하는 공정 및; 상기 충전재층의 표면을 상기 제1층을 스톱터로 하여 에칭해서 상기 충전재를 그 표면이 상기 소자분리도랑의 상방 및 그 개구의 주위의 상방에 위치하는 소자분리체로서 잔존시키는 공정을 구비하여 이루어진 것을 특징으로 한다.

[작용]

상기와 같이 이루어진 본 발명은, 반도체기판상에 퇴적한 제1층의 제1개구를 반도체기판에 뚫어 설치한 소자분리도랑의 개구보다도 큰 것으로 했기 때문에, 그 도랑중 및 반도체기판 표면에 퇴적한 충전재는 그 기판 표면과 소자분리도랑과의 엣지부분을 덮는 것으로 된다. 이로써, 엣지부분에서의 전계의 집중이나 그 부분에 생기기 쉬운 결함의 영향이 억제된다.

[실시예]

이하, 도면을 참조하면서 본 발명의 실시예를 설명한다.

[실시예 1]

제1도는 본 발명의 실시예 1에 관한 반도체장치의 제조방법의 프로세스설명도이다.

우선, 제1a도에 나타낸 것처럼, Si기판(1)상에 예컨대 열산화법에 의해 SiO_2막(2)을 10㎚정도 형성한다. 그 후에, 예컨대 다결정 Si(3)를 화학기상성장법을 이용하여 200㎚정도 퇴적한다. 더욱이, 그 위에 화학적 기상성장법을 이용하여 SiO_2막(4)을 200㎚정도 퇴적한다. 그리고 레지스트막(5)을 도포하고, 이를 사진식각법에 의거 소정의 형상으로 형성한다.

다음으로, 제1b도에 나타낸 것처럼 SiO_2막(4)과 다결정 Si(3)를 레지스트막(5)을 마스크로 하여, 순차 이방성 에칭을 이용해서 가공한 후, 레지스트막(5)을 박리한다. 그 후, 이 구조에 대해 등방적인 에칭을 이용하여 다결정 Si(3)를 예컨대 100㎚정도 후퇴시켜서 후퇴부(6)를 형성한다.

이러한 후퇴부(6)의 형성방법으로서는 CDE법(Chemical Dry Etching法)을 이용해도 제1b도에 나타낸 것과 같은 후퇴부(6)를 형성할 수 있다.

그 후, 제1c도에 나타낸 것처럼, SiO_2막(2)을 제거하고, Si기판(1)을 매립소자분리로서 필요하게 되는 소정의 깊이, 예컨대 500㎚정도를 에칭제거함으로써, 매립소자분리로 되는 소자분리도랑(7)을 형성한다. 또한, 이공정에 있어서, SiO_2막(2)을 제거하는 때에, Si기판(1)을 에칭하는 때의 마스크로 되는 SiO_2막(4)도 동시에 에칭되는데, 본래 제거하는 것을 목적으로 하는 SiO_2막(2)의 막두께가 그 후의 에칭마스크로 되는 SiO_2막(4)에 비해 충분히 얇기 때문에, SiO_2막(4)의 치수에는 거의 영향을 주지 않는다.

다음으로, 제1d도에 나타낸 것처럼, SiO_2막(4)을 NH_4F용액 등으로 제거한 후, Si기판(1)을 에칭한 때에 Si기판(1)에 생기는 결함 등을 제거할 목적으로, 열산화법을 이용하여, SiO_2막(8)을 20㎚정도 형성한다.

더욱이, 그 후, 매립형 소자분리의 도랑부분인 소자분리도랑(7)에 충전되는 막, 예컨대, 충전재 SiO_2막(9)을 화학기상성장법 등을 이용하여, 예컨대 1㎛정도 퇴적한다.

그 후, 제2a도에 나타낸 것처럼, 충전재 SiO_2막(9)을 이방성 에칭이나 , 연마 등의 방법도 이용하여 에치백 하고, 다결정 Si(3)를 스토퍼 막으로 이용함으로써, 에치 백을 다결정 Si(3)의 높이에서 그친다. 그리고, 매립소자분리부(10)를 확보한다.

그리고, 제 2b도에 나타낸 것처럼, 에치 백의 스토퍼로서 이용한 다결정 Si(3)를 박리하고, 매립소자분리부(10)를 완성한다.

최후로, 제2c도에 나타낸 것처럼, 전체에 다결정 Si막(12)을 퇴적함으로서 반도체장치를 완성한다.

이상에서 설명한것과 같은 방법에 의해 형성한 매립소자분리부(10)는 凸형상으로 되고, 게다가 Si기판(1)의 엣지부(13)가 매립소자분리부(10)의 충전재 SiO_2막(9)에 의해 덮여진 형상이 되기때문에, 코너부에서의 전계집중이나 Si기판(1)의 코너부분에 생기기쉬운 결함의 영향을 받기 어렵게 된다.

그 결과, 미세하고 게다가 신뢰성이 높은 LSI를 실현할 수 있다.

한편, 실시예 1에서는 매립소자분리부(10)로의 충전재로 되는 재료를 에치 백 하는 때의 막으로서 다결정 Si(3)를 이용하고, 소자분리도랑(7)을 에칭하기 위한 마스크로서 SiO_2막(4)을 이용했지만, 본 발명의 실시예에 있어서는 이에 한정되지 않고, 본질적으로는 충전재를 애치 백 하는 때의 애칭 스토퍼와, 소자분리도랑(7)을 에칭하는 때의 에칭 마스크가 각각 다른 재료라면 문제없이 적용할 수 있다. 예컨대, 에칭 스토퍼로서는 WSi막, TiN막, 카본막, SiN막 등을 이용할 수 있다.

또한,실시예 1에서는 매립소자분리부(10)로의 충전재로서 SiO_2막을 이용하는 구성을 예시했지만, 본 발명의 실시예에 있어서는 이에 한전되는 것이 아니고, Si나 SiN을 매립재료로서 이용해도 된다.

한편, Si를 충전재로서 이용하는 경우에는 제1a도에 나타낸 다결정 Si(3)와 SiO_2막(4)에는 각각 SiO_2막과 SiN막을, 또한 , 그 역의 조합을 이용해도 된다.

또한, 상기 실시예에서는 다결정 Si(3)와 SiO_2막(4)을 순차 퇴적하고, 소정의 형상으로 형성된 레지스트막(5)으르 마스크로 하여, 이들의 퇴적막을 에칭하고, 소자분리도랑을 에칭하는 때에는 SiO_2막(4)을 마스크로 이용하는 방법을 예시했지만, SiO_2막(4)을 퇴적하지 않고서도 마찬가지의 구조를 실현하는 것은 가능하다.

[실시예 2]

제3도는 상기한 것과 같은 관점에 의해 예시되는 본 발명의 실시예 2에 관한 반도체장치의 제조방법의 프로세스 설명도이다.

우선, 제3a도에 나타낸 것처럼, Si기판(1)상에 예컨대, 열산화법에 의해 SiO_2막(2)을 10㎚정도 형성한 후, 예컨대, 다결정 Si(3)를 화학기상성장법을 이용하여 200㎚정도 퇴적한다.

다음으로, 레지스트막(5)을 도포하여, 이를 사진식각법에 의해 소정의 형상으로 형성한다.

그 후, 제3b도에 나타낸 것처럼 다결정 Si(3)를 레지스트막(5)을 마스크로하여 이방성 에칭을 이용해서 가공하고, 이 구조에 대해 등방적인 에칭을 행하여, 다결정 Si(3)를 예컨대 100㎚정도 후퇴시켜서, 후퇴부(6)를 형성한다.

이 방법으로서는 CDE법이나 웨트식의 처리를 들수 있는데, 그 어떤 방법을 이용해도 제3b도와 같은 구조를 실현할 수 있다.

다음으로, 제3c도에 나타낸 것처럼, SiO_2막(2)을 제거하여, Si기판(1)의 표면을 노출시키며, 레지스트막(5)을 에칭 마스크로 하여, Si 기판(1)을 매립형 소자분리로서 필요하게 되는 소정의 깊이, 예컨대 500㎚정도 에칭 제거함으로써, 매립형 소자분리로 되는 소자분리도랑(7)을 형성한다.

그 후에는 실시예 1과 마찬가지로 레지스트막(5)를 박리해 내고, 제1d도, 제2a도~제2c도의 공정을 실시함으로써, 목적의 반도체장치를 얻을 수 있다.

이상, 각 실시예에서 설명한 것처럼, 제2b도에 나타낸 것처럼, 매립소자분리부(10)를 완성한 후, 소정의 문턱치에 맞추기 위한 이온주입 등을 행하고, Si기판 (1) 표면의 SiO_2막(2)과 SiO_2막(8)에서 Si 기판 (1) 표면보다도 위에 위치하는 부분을 제거한 후에, 게이트산화막(2)을 열산화법에 의해 10㎚정도 형성하고, 그 후, 게이트전극으로 되어야 할 다결정 Si막(12)을 예컨대 300㎚정도 퇴적하고나서 소정의 형상으로 형성한 단계를 나타낸 것이 제2c도의 공정이다.

제2c도의 구조를 제4d도와 비교하면, 종래의 반도체장치의 구조에서 문제로 된 매립소자분리부(10)의 엣지부(13)에서의 전계집중에 기인하는 MOSFET의 킨크 특성의 문제는 제2c도에 나타냈듯이 엣지부(13)가 凸형으로 되어 있기 때문에 억제할 수 있다.

또한, 제4d도에 나타낸 엣지부(13)는 Si기판(1)의 코너로 되어 있기 때문에, 물리적인 스트레스가 집중하기 쉽고 결함도 생기기 쉬운 부분이며, 게이트산화막의 리크를 야기시키는 원인으로 되기 쉬웠지만, 본 발명의 방법에 의해 형성되는 구조의 경우, 제2c도의 엣지부(13)로 나타낸 것처럼 매립소자분리부(10)의 엣지는 Si기판(1)의 코너로 되는 부분과는 떨어져 형성되므로, 결함이 생기기 어렵고, 따라서 게이트산화막의 리크 등의 문제는 생기기 어렵다.

한편, SiO_2막(2,4,8)으로서는 Si질화막을 적용해도 된다. 또한, 각각이 SiO_2 또는 Si질화막의 조합이어도 좋다.

또한, SiO_2막(2)이 카본막, 또는 TiN막, 또는 실리사이드 금속이어도 좋고, SiO_2막(4)이 Si산화막, 또는 Si질화막, 또는 Si, 또는 레지스트막이어도 좋고, SiO_2막(8)이 Si산화막, 또는 Si질화막, 또는 Si이어도 좋다.

이상에서 설명한 것처럼, 본 발명의 실시예에 의하면, 기판의 위에 재료를 순차 퇴적한 후에, 재료의 일부를 횡방향으로 후퇴시켜서 후퇴부를 형성하고, 그 후에, 소자분리도랑을 형성하며, 그 위에 별도의 재료를 퇴적하고, 전체를 에치 백 하도록 구성했으므로, 매립소자분리부는 凸형으로 형성할 수 있고, 기판의 엣지부도 소자분리 충전재에 의해 덮여지므로, 코너부분에서의 전계집중을 방지할 수 있고, 기판의 코너부분에 생기기 쉬운 결함의 영향을 받는 일이 없게 되어, 미세하고 신뢰성이 높은 반도체장치를 실현할 수 있다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 반도체기판에 형성되는 소자분리도랑의 엣지부분을 충전재로 덮고, 그 부분에서의 전계의 집중을 억제하고 또한 그 부분에 생기기 쉬운 결함의 영향이 작은 반도체장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판상에 제1절연막과 제1재료제의 제1층 및 제2재료제의 제2층을 순차 퇴적하고, 상기 제1 및 제2층을 상기 제2층상에 형성한 레지스트패턴을 마스크로 하여 이방성에칭해서 상기 제1층에 제1개구, 상기 제2층에 제1개구와 거의 동일한 개구인 제3개구를 각각 뚫어 설치하며, 이후 등방성에칭에 의해 상기 제1층에 제1개구 보다도 큰 개구인 제2개구를 형성하는 공정과; 상기 제2층을 마스크로 하여 상기 반도체기판을 에칭해서 상기 제3개구를 패턴으로 한 소자분리도랑을 형성하는 공정; 상기 제2층을 제거한 후, 상기 소자분리도랑내와, 상기 반도체기판상 및, 상기 제1층상에 제2절연층을 형성하고, 그 후 충전재를 충전, 퇴적하여 상기 소자분리도랑내에 있어서 상기 반도체기판의 표면의 엣지부분을 덮는 충전재층을 형성하는 공정 및; 상기 충전재층의 표면을 상기 제1층을 스톱퍼로 하여 에칭해서 상기 충전재를 그 표면이 상기 소자분리도랑의 상방 및 그 개구의 주위의 상방에 위치하는 소자분리체로서 잔존시키는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

반도체기판상에 제1절연막 및 제1재료제의 제1층을 순차형성한 후, 그 제1층상에 레지스트에 의한 제2층을 형성하고, 그 제2층을 패터닝하는 것에 의해 제1개구를 형성하며, 이 제2층을 마스크로 하여 에칭하는 것에 의해 상기 제1층에 상기 제1개구 보다도 개구폭이 넓은 제2개구를 형성하는 공정과; 상기 제2층을 마스크로 하여 상기 반도체기판을 에칭해서 상기 소자분리도랑을 형성하는 공정; 상기 제2층을 제거한 후, 상기 소자분리도랑내와, 상기 반도체기판상 및, 상기 제1층상에 제2절연층을 형성하고,그 후 충전재를 충전, 퇴적하여 상기 소자분리도랑에 있어서 상기 반도체기판의 표면의 엣지부분을 덮는 충전재층을 형성하는 공정 및; 상기 충전재층의 표면을 상기 제1층을 스톱퍼로 하여 에칭해서 상기 충전재를 그 표면이 상기 소자분리도랑의 상방 및 그 개구의 주위의 상방에 위치하는 소자분리체로서 잔존시키는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제1항에 있어서, 상기 제1재료는 상기 제2재료 및 상기 충전재료와 다르고, 상기 제1재료는 상기 충전재료의 에칭시에 있어서 에칭스톱퍼로서의 기능을 갖춘 재료이며, 상기 제2재료는 상기 반도체기판의 재료와 다름과 더불어 상기 반도체기판을 에칭하는 경우의 마스크로서 기능하는 재료인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제2항에 있어서, 상기 제1재료는 상기 충전재료와 다르고, 상기 제1재료는 상기 충전재료의 에칭시에 있어서 에칭스톱퍼로서의 기능을 갖춘 재료인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

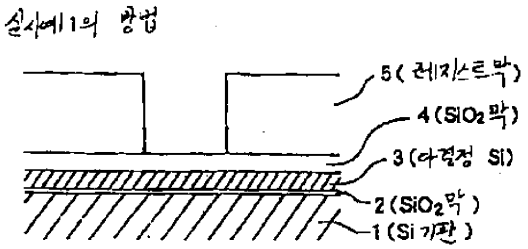
제3항에 있어서, 상기 반도체기판은 Si로 구성되고, 상기제1층은 다결정 Si, WSi, TiN, C , SiN중의 하나로 형성되며, 상기 제2층은 SiO_2, TiN, SiN중의 하나로 형성되고, 상기 충전재는 SiO_2, Si, SiN중의 하나로 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

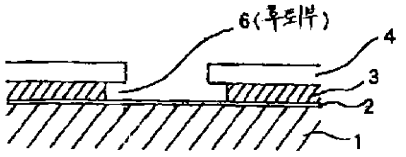
제4항에 있어서, 상기 반도체기판은 Si로 구성되고, 상기 제1층은 다결정 Si, WSi, TiN, C , SiN 중의 하나로 형성되며, 상기 충전재는 SiO_2, Si, SiN중의 하나로 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

도면

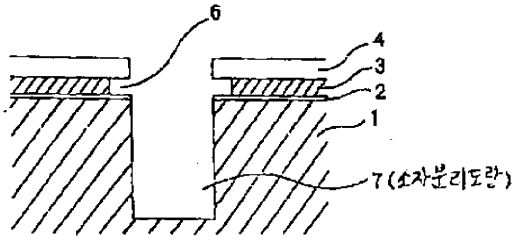
도면1a



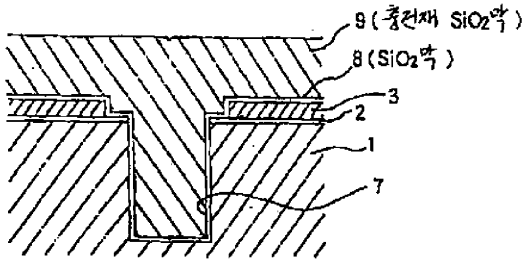
도면1b



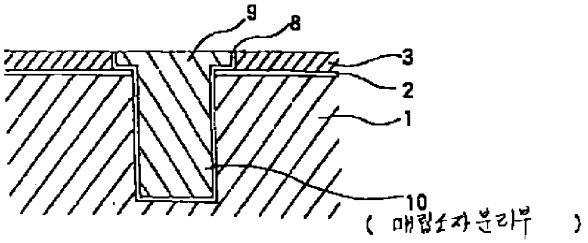
도면1c



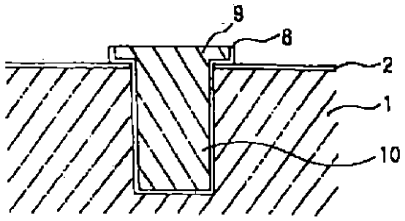
도면1d



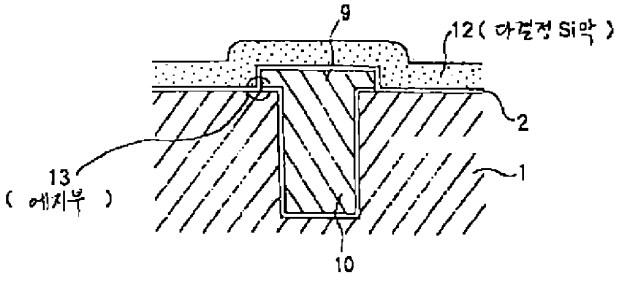
도면2a



도면2b

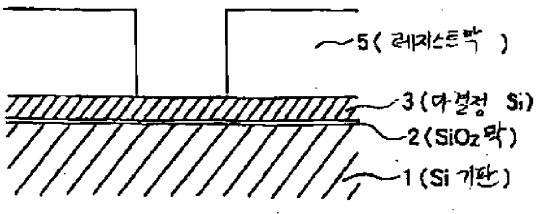


도면2c

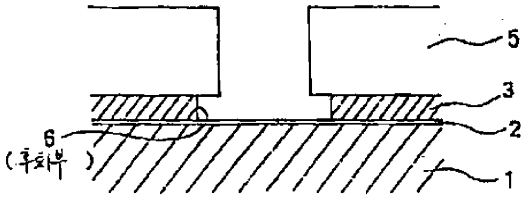


도면3a

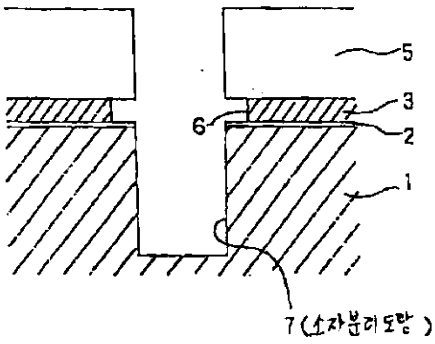
실시예2의 방법



도면3b

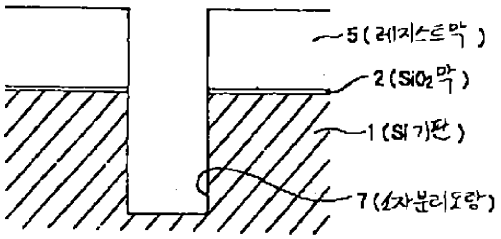


도면3c

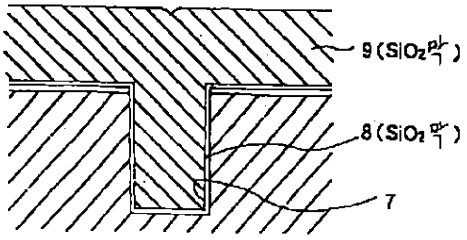


도면4a

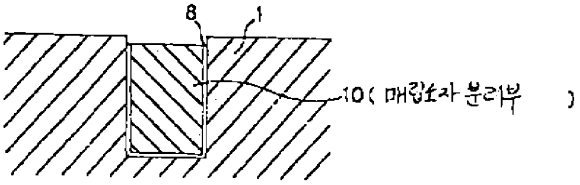
종래의 방법



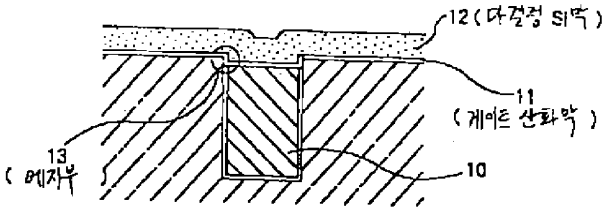
도면4b



도면4c



도면4d



도면5

제4공정에서 얻어진 MOSFET의 I-V특성도

