

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 6 月 29 日 (2017.6.29)

【公開番号】特開 2016-48710 (P2016-48710A)

【公開日】平成 28 年 4 月 7 日 (2016.4.7)

【年通号数】公開・登録公報 2016-021

【出願番号】特願 2014-172680 (P2014-172680)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 27/115 (2017.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

【 F I 】

H 0 1 L 27/08 1 0 2 C

H 0 1 L 27/08 3 2 1 D

H 0 1 L 27/08 3 3 1 D

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 6 1

【手続補正書】

【提出日】平成 29 年 5 月 15 日 (2017.5.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

平面視において、第 1 領域と第 2 領域とを含む主面を有する半導体基板、
前記第 1 領域に形成された不揮発性メモリセル、
前記第 2 領域に形成された電界効果トランジスタ、
 を備え、
 前記不揮発性メモリセルは、
 前記半導体基板内に形成されたウェル、
 前記ウェル内に形成されたソース領域、
 前記ソース領域と離間して前記ウェル内に形成されたドレイン領域、
 前記ソース領域と前記ドレイン領域で挟まれたチャネル領域、
 前記チャネル領域上に形成された第 1 絶縁膜、
 前記第 1 絶縁膜上に形成された電荷蓄積膜、
 前記電荷蓄積膜上に形成された第 2 絶縁膜、
 前記第 2 絶縁膜上に形成された第 1 ゲート電極、
 を含み、

前記ソース領域および前記ドレイン領域のそれぞれは、
第 1 不純物濃度の第 1 半導体領域、
を含む、半導体装置の製造方法であって、
(a) 前記半導体基板上に絶縁膜を形成する工程、
(b) 前記絶縁膜上に第 1 導体膜を形成する工程、
(c) 前記第 1 領域を露出し、かつ、前記第 2 領域を覆う第 1 マスクを使用して、前記
第 1 領域から前記第 1 導体膜を除去する工程、
(d) 前記 (c) 工程後、前記半導体基板上および前記第 1 導体膜上に前記第 1 絶縁膜
を形成する工程、
(e) 前記第 1 絶縁膜上に前記電荷蓄積膜を形成する工程、
(f) 前記電荷蓄積膜上に前記第 2 絶縁膜を形成する工程、
(g) 前記第 2 絶縁膜上に第 2 導体膜を形成する工程、
(h) 前記第 1 領域の第 1 ゲート電極形成領域を覆い、かつ、前記第 2 領域を露出する
第 2 マスクを使用して、前記第 2 導体膜をパターニングすることにより、前記第 1 領域に
前記第 1 ゲート電極を形成する工程、
(i) 前記 (h) 工程後、前記第 1 ゲート電極の両側に導電型不純物を導入することにより、
前記半導体基板内に前記第 1 半導体領域を形成する工程、
(j) 前記 (i) 工程後、前記第 2 領域の第 2 ゲート電極形成領域を覆い、かつ、前記
第 1 領域を覆う第 3 マスクを使用して、前記第 1 導体膜をパターニングすることにより、
前記第 2 領域に前記電界効果トランジスタの第 2 ゲート電極を形成する工程、
を備え、
前記半導体装置の製造方法は、さらに、
前記 (h) 工程と前記 (i) 工程との間に、
(k) 前記第 2 マスクを除去する工程、
(l) 前記 (k) 工程後、前記第 1 ゲート電極から露出する前記第 2 絶縁膜を除去する
工程、
(m) 前記 (l) 工程後、前記第 1 ゲート電極の露出面を酸化する工程、
(n) 前記 (m) 工程後、前記第 1 ゲート電極から露出する前記電荷蓄積膜を除去する
工程、
を備える、半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、
前記 (l) 工程は、ウェットエッチングを使用し、
前記 (n) 工程は、ウェットエッチングを使用する、半導体装置の製造方法。

【請求項 3】

請求項 1 に記載の半導体装置の製造方法において、
さらに、前記 (i) 工程と前記 (n) 工程との間に、
(o) ウェットエッチングを使用することにより、前記第 1 ゲート電極から露出する前
記第 1 絶縁膜を除去する工程、
を備える、半導体装置の製造方法。

【請求項 4】

請求項 2 に記載の半導体装置の製造方法において、
前記電荷蓄積膜は、窒化シリコン膜であり、
前記 (n) 工程は、熱リン酸を使用する、半導体装置の製造方法。

【請求項 5】

請求項 1 に記載の半導体装置の製造方法において、
前記 (i) 工程は、前記第 1 絶縁膜と前記電荷蓄積膜と前記第 2 絶縁膜とからなる積層
絶縁膜であって、前記第 1 ゲート電極から露出する前記積層絶縁膜を介して、前記半導体
基板内に前記第 1 半導体領域を形成する、半導体装置の製造方法。

【請求項 6】

請求項 1 に記載の半導体装置の製造方法において、
前記第 2 導体膜は、ポリシリコン膜であり、
前記 (m) 工程によって、前記第 1 ゲート電極の前記露出面には、酸化シリコン膜が形成され、

前記第 1 ゲート電極の前記露出面に形成された前記酸化シリコン膜は、前記 (i) 工程を実施する際のオフセットスペーサとして機能する、半導体装置の製造方法。

【請求項 7】

請求項 1 に記載の半導体装置の製造方法において、
前記第 1 領域と前記第 2 領域との間に境界領域が存在する、半導体装置の製造方法。

【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、
前記 (j) 工程後において、
前記境界領域に残渣パターンが形成されている、半導体装置の製造方法。

【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、
前記残渣パターンは、
前記第 1 導体膜の残渣である第 1 残渣部、
前記第 1 絶縁膜と前記電荷蓄積膜と前記第 2 絶縁膜とからなる積層絶縁膜の残渣である第 2 残渣部、
前記第 2 導体膜の残渣である第 3 残渣部、
を有し、
前記第 3 残渣部は、前記第 2 残渣部を介して、前記第 1 残渣部の側面にサイドウォール形状で形成されている、半導体装置の製造方法。

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、
前記残渣パターンの高さは、前記電界効果トランジスタの前記第 2 ゲート電極の高さ以下である、半導体装置の製造方法。

【請求項 11】

請求項 1 に記載の半導体装置の製造方法において、
前記不揮発性メモリセルは、電子ヒューズとして機能する、半導体装置の製造方法。

【請求項 12】

請求項 1 に記載の半導体装置の製造方法において、
前記不揮発性メモリセルは、前記半導体装置のトリミング情報を記憶する記憶部として機能する、半導体装置の製造方法。

【請求項 13】

請求項 1 に記載の半導体装置の製造方法において、
前記電界効果トランジスタは、パワートランジスタである、半導体装置の製造方法。

【請求項 14】

請求項 1 に記載の半導体装置の製造方法において、
前記第 1 絶縁膜は、酸化シリコン膜であり、
前記電荷蓄積膜は、窒化シリコン膜であり、
前記第 2 絶縁膜は、酸化シリコン膜であり、
前記第 1 導体膜は、ポリシリコン膜であり、
前記第 2 導体膜は、ポリシリコン膜である、半導体装置の製造方法。

【請求項 15】

請求項 1 に記載の半導体装置の製造方法において、
前記半導体装置の製造方法は、さらに、
前記 (c) 工程と前記 (d) 工程との間に、
(p) イオン注入法により、前記第 1 領域に前記ウェルを形成する工程、
を備える、半導体装置の製造方法。

【請求項 16】

請求項 1 に記載の半導体装置の製造方法において、

前記半導体装置の製造方法は、さらに、

(q) 前記(j)工程後、前記第1ゲート電極の両側と前記第2ゲート電極の両側に導電型不純物を導入することにより、前記半導体基板内に、前記第1不純物濃度よりも高濃度の第2半導体領域を形成する、半導体装置の製造方法。

【請求項 17】

平面視において、第1領域と第2領域とを含む主面を有する半導体基板、

前記第1領域に形成された不揮発性メモリセル、

前記第2領域に形成された電界効果トランジスタ、

を備え、

前記不揮発性メモリセルは、

前記半導体基板内に形成されたウェル、

前記ウェル内に形成されたソース領域、

前記ソース領域と離間して前記ウェル内に形成されたドレイン領域、

前記ソース領域と前記ドレイン領域で挟まれたチャネル領域、

前記チャネル領域上に形成された第1絶縁膜、

前記第1絶縁膜上に形成された電荷蓄積膜、

前記電荷蓄積膜上に形成された第2絶縁膜、

前記第2絶縁膜上に形成された第1ゲート電極、

を含み、

前記ソース領域および前記ドレイン領域のそれぞれは、

第1不純物濃度の第1半導体領域、

を含む、半導体装置の製造方法であって、

(a) 前記半導体基板上に絶縁膜を形成する工程、

(b) 前記絶縁膜上に第1導体膜を形成する工程、

(c) 前記第1領域を露出し、かつ、前記第2領域を覆う第1マスクを使用して、前記第1領域から前記第1導体膜を除去する工程、

(d) 前記(c)工程後、前記半導体基板上および前記第1導体膜上に前記第1絶縁膜を形成する工程、

(e) 前記第1絶縁膜上に前記電荷蓄積膜を形成する工程、

(f) 前記電荷蓄積膜上に前記第2絶縁膜を形成する工程、

(g) 前記第2絶縁膜上に第2導体膜を形成する工程、

(h) 前記第1領域の第1ゲート電極形成領域を覆い、かつ、前記第2領域を露出する第2マスクを使用して、前記第2導体膜をパターニングすることにより、前記第1領域に前記第1ゲート電極を形成する工程、

(i) 前記(h)工程後、前記第1ゲート電極の両側に導電型不純物を導入することにより、前記半導体基板内に前記第1半導体領域を形成する工程、

(j) 前記(i)工程後、前記第2領域の第2ゲート電極形成領域を覆い、かつ、前記第1領域を覆う第3マスクを使用して、前記第1導体膜をパターニングすることにより、前記第2領域に前記電界効果トランジスタの第2ゲート電極を形成する工程、

を備え、

前記第1領域と前記第2領域との間に境界領域が存在し、

前記(j)工程後において、

前記境界領域に残渣パターンが形成され、

前記残渣パターンは、

前記第1導体膜の残渣である第1残渣部、

前記第1絶縁膜と前記電荷蓄積膜と前記第2絶縁膜とからなる積層絶縁膜の残渣である第2残渣部、

前記第2導体膜の残渣である第3残渣部、

を有し、

前記第 3 残渣部は、前記第 2 残渣部を介して、前記第 1 残渣部の側面にサイドウォール形状で形成され、

前記残渣パターンの高さは、前記電界効果トランジスタの前記第 2 ゲート電極の高さ以下である、半導体装置の製造方法。