

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 8 月 30 日 (30.08.2018)



(10) 国际公布号
WO 2018/152883 A1

(51) 国际专利分类号:
H01L 27/02 (2006.01) **G02F 1/1362** (2006.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2017/076554

(22) 国际申请日: 2017 年 3 月 14 日 (14.03.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710102380.3 2017 年 2 月 24 日 (24.02.2017) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 虞晓江 (YU, Xiaojiang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建 / 王浩, Beijing 100052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: ARRAY SUBSTRATE AND LIQUID CRYSTAL PANEL HAVING THE ARRAY SUBSTRATE

(54) 发明名称: 阵列基板以及具有该阵列基板的液晶面板

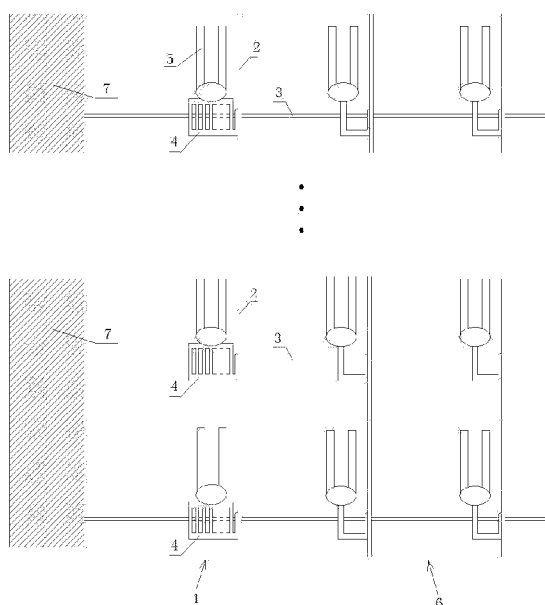


图 2

(57) Abstract: An array substrate and a liquid crystal panel having the array substrate. The array substrate comprises: a dummy pixel area (1), a display area (6), and a driver circuit area (7). The dummy pixel area (1) is arranged between the display area (6) and the driver circuit area (7). Polysilicon traces (4) and gate lines (3) crossing on different planes are provided within the display area (6) and the dummy pixel area (1). The area of overlap on different planes between the polysilicon traces (4) and the gate lines (3) in the dummy pixel area (1) is greater than the area of overlap on different planes between the polysilicon traces (4) and the gate lines (3) in the display area (6). The effective release of an electrostatic voltage is allowed, the electrostatic voltage that could possibly continue along the gate lines (3) and be transmitted into the display area (6) is greatly weakened, and damages to pixel functions of the display area (6) are prevented.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明：

— 发明人资格(细则4.17(iv))

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：阵列基板以及具有阵列基板的液晶面板，其中，阵列基板包括：虚拟像素区(1)、显示区(6)以及驱动电路区(7)，虚拟像素区(1)位于显示区(6)与驱动电路区(7)之间，显示区(6)和虚拟像素区(1)内均设置有异面交叉的多晶硅走线(4)和栅极线(3)；其中，虚拟像素区(1)内的多晶硅走线(4)与栅极线(3)异面重叠的面积大于显示区(6)内的多晶硅走线(4)与栅极线(3)异面重叠的面积。能够有效释放静电电压，大大削弱可能会继续沿栅极线(3)传入显示区(6)的静电电压，避免破坏显示区(6)像素功能。

阵列基板以及具有该阵列基板的液晶面板

5

相关申请的交叉引用

本申请要求享有于 2017 年 2 月 24 日提交的名称为“阵列基板以及具有该阵列基板的液晶面板”的中国专利申请 CN2017101023803 的优先权，该申请的全部内容通过引用并入本文中。

10

技术领域

本发明属于电气保护领域，特别涉及一种能够有效释放静电电压的阵列基板以及具有该阵列基板的液晶面板。

15

背景技术

液晶面板器件在生产制造过程中或工作在一定的电压、电流和功耗限定范围内时，大量聚集的静电荷在条件适宜时会产生高压放电，静电放电（ESD，Electro-Static Discharge）通过电路器件引线的高压瞬时传送，可能会使电路器件的绝缘层击穿，造成电路器件的功能丧失。低温多晶硅（LTPS，Low Temperature Poly-Silicon）技术应用在显示面板上时，由于 TFT 模块的引入，数字信号要在更高的频率上工作，则增加了静电放电事件在电路器件上发生的概率。且低温多晶硅阵列基板（Array）结构设计中，可以为显示区提供栅极驱动信号的驱动电路区（GOA）往往含有较大面积的金属，容易受静电放电事件影响，产生较大的静电电压。驱动电路区的静电电压可沿栅极线传入显示区，造成与驱动电路区相邻的显示区边缘像素损坏。

25

现有技术中，通常通过在显示区边缘设置虚拟像素区（Dummy Pixel）的方法来达到静电保护的目。该方法的原理是使静电电压在虚拟像素区充分释放，避免静电的高电压继续传入显示区而造成显示区的像素被击伤。

30

例如，如图 1 所示，其为现有的阵列基板的局部示意图。所述阵列基板主要包括：虚拟像素区 1'、源极线 2'、栅极线 3'、多晶硅走线 4'、像素 ITO 走线 5'、显示区 6' 以及驱动电路区 7'。其中，所述虚拟像素区 1' 位于显示区 6' 的边缘，

即显示区 6' 与驱动电路区 7' 之间。源极线 2' 与栅极线 3' 异面垂直，多晶硅走线 4' 与栅极线 3' 异面交叉，且多晶硅走线 4' 与源极线 2' 通过过孔（图中未标示）连接。在阵列基板的制造过程中，驱动电路区 7' 产生的 ESD 高电压在沿栅极线 3' 传入显示区 6' 前，由于栅极线 3' 仅和虚拟像素区 1' 中的多晶硅走线 4' 异面重叠二次，

5 （栅极线 3' 和多晶硅走线 4' 之间仅隔着约 100 纳米厚的栅极绝缘层，栅极线 3' 和多晶硅走线 4' 之间的高电压差容易造成栅极绝缘层被击穿），重叠面积非常有限，因此常常有未被释放掉的 ESD 高电压继续传入显示区 6' 而造成显示区 6' 的像素被击伤，在显示区 6' 边缘造成异常亮点或暗点。

换言之，本申请的发明人发现，当虚拟像素区 1' 内的多晶硅走线 4' 与栅极线 3' 异面重叠的面积等于或小于显示区 6' 内的多晶硅走线 4' 与栅极线 3' 异面重叠的面积时，无法有效释放掉静电电压。因此在静电电压过大时，虚拟像素区无法对其进行充分释放，致使静电电压继续沿栅极线传入显示区，破坏显示区像素功能。

发明内容

15 本发明目的在于提供一种阵列基板以及具有该阵列基板的液晶面板，其能够有效释放静电电压，大大削弱可能会继续沿栅极线传入显示区的静电电压，避免破坏显示区像素功能。

为达上述目的，本发明提供一种阵列基板，其包括：虚拟像素区、显示区以及驱动电路区，所述虚拟像素区位于显示区与驱动电路区之间，所述显示区和虚拟像素区内均设置有异面交叉的多晶硅走线和栅极线；

20 其中，所述虚拟像素区内的多晶硅走线与栅极线异面重叠的面积大于显示区内的多晶硅走线与栅极线异面重叠的面积。

所述的阵列基板，其中，在虚拟像素区内，多晶硅走线与栅极线异面交叉至少三次。

25 所述的阵列基板，其中，在虚拟像素区内，多晶硅走线与栅极线异面交叉七次。

所述的阵列基板，其中，在虚拟像素区内，与栅极线异面交叉的多晶硅走线为并联连接。

所述的阵列基板，其中，在虚拟像素区内，与栅极线异面交叉的多晶硅走线为串联连接。

所述的阵列基板，其中，在虚拟像素区内，虚拟像素区内的多晶硅走线的线宽大于显示区内的多晶硅走线的线宽。

所述的阵列基板，其中，在虚拟像素区内，虚拟像素区内的栅极线的线宽大于显示区内的栅极线的线宽。

5 所述的阵列基板，其中，在虚拟像素区与显示区之间还设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。

所述的阵列基板，其中，所述过渡区为虚拟像素区或显示区。

10 本发明还提供一种液晶面板，其包括上述的阵列基板。

综上所述，本发明的有益效果是：

1、通过使虚拟像素区内的多晶硅走线与栅极线的重叠面积大于显示区内的多晶硅走线与栅极线的重叠面积，使得虚拟像素区能够从而有效释放掉静电电压，避免显示区的像素被击伤，因此能提升显示面板制造的良率。

15 2、通过在虚拟像素区与显示区之间设置过渡区，所述过渡区可以是虚拟像素区，也可以是显示区，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积可以小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积可以大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积，实现进一步释放掉静电电压，提高对显示区的静电保护。

20

附图说明

在下文中将基于实施例并参考附图来对本发明进行更详细的描述。其中：

图 1 是现有的阵列基板的局部示意图；

25 图 2 是根据本发明的阵列基板的一个优选实施例的局部示意图；

图 3 是根据本发明的阵列基板的另一优选实施例的局部示意图。

在附图中，相同的部件使用相同的附图标记。附图并未按照实际的比例。

具体实施方式

30 下面将结合附图对本发明作进一步说明。

如图 2 所示，其为根据本发明的阵列基板的一个优选实施例的局部示意图。所述阵列基板主要包括：虚拟像素区 1、源极线 2、栅极线 3、多晶硅走线 4、像素 ITO 走线 5、显示区 6 以及驱动电路区 7。其中，所述虚拟像素区 1 位于显示区 6 的边缘，即显示区 6 与驱动电路区 7 之间。所述显示区 6 和虚拟像素区 1 内均设置有源极线 2、栅极线 3、多晶硅走线 4 以及像素 ITO 走线 5，源极线 2 与栅极线 3 异面垂直，多晶硅走线 4 与栅极线 3 异面交叉，且多晶硅走线 4 与源极线 2 通过过孔（图中未标示）连接。

本发明的改进在于，使得虚拟像素区 1 内的多晶硅走线 4 与栅极线 3 异面重叠的面积大于显示区 6 内的多晶硅走线 4 与栅极线 3 异面重叠的面积，从而有效释放掉静电电压，避免显示区 6 的像素被击伤，因此能提升显示面板制造的良率。

具体地，在虚拟像素区内 1，多晶硅走线 4 可以与栅极线 3 异面交叉至少三次，从而使得虚拟像素区 1 内的多晶硅走线 4 与栅极线 3 异面重叠的面积大于显示区 6 内的多晶硅走线 4 与栅极线 3 异面重叠的面积 50%，由此增加多晶硅走向 4 与栅极线 3 之间的电容，使得虚拟像素区 1 能够释放掉静电电压，对显示器 6 进行静电保护。

更具体地，图 2 中所示的多晶硅走线 4 与栅极线 3 异面交叉了七次，这使得虚拟像素区 1 内的多晶硅走线 4 与栅极线 3 异面重叠的面积明显大于显示区 6 内的多晶硅走线 4 与栅极线 3 异面重叠的面积三倍之多，完全可以释放掉静电电压，避免显示区 6 的像素被击伤。需要说明的是，多晶硅走线 4 与栅极线 3 异面交叉的次数并不以实施例为限，也可以是四次、五次、六次、八次等等。

优选地，在虚拟像素区内 1，与栅极线 3 异面交叉的多晶硅走线 4 为并联连接，便于加工，生产成本可以得到有效控制。当然，与栅极线 3 异面交叉的多晶硅走线 4 也可以为串联连接。

当然，本发明并不希望对多晶硅走线 4 的形状及连接方式做任何限定，其可以是任何的规则形状或不规则形状，只要保证虚拟像素区 1 内的多晶硅走线 4 与栅极线 3 异面重叠的面积大于显示区 6 内的多晶硅走线 4 与栅极线 3 异面重叠的面积即可。

例如，在虚拟像素区 1 内，多晶硅走线 4 在与栅极线 3 异面重叠的部分为加粗设计，而栅极线 3 也可以在异面重叠的部分进行加粗设计，换言之，使虚拟像素区 1 内的多晶硅走线 4 的线宽大于显示区 6 内的多晶硅走线的线宽，和/或使虚

拟像素区 1 内的栅极线 3 的线宽大于显示区 6 内的多晶硅走线的线宽，从而在虚拟像素区 1 内增加多晶硅走线 4 与栅极线 3 的重叠面积，增加二者之间的电容，从而有效释放掉静电电压。

所述多晶硅走线 4 是利用多晶硅层图案化后制得的，其相比于制造现有的多晶硅走线并没有增加工序，在不增加成本的前提下可以实现对显示区的静电保护。具体地，所述多晶硅走线单元 1 可通过薄膜沉积及曝光、蚀刻的方法制得，但不仅限于此方法。

再如图 3 所示，其为根据本发明的阵列基板的另一优选实施例的局部示意图。该实施例与上一实施例的区别在于，在虚拟像素区 1 与显示区 6 之间还设置有过渡区 8，所述过渡区 8 可以是虚拟像素区，也可以是显示区。

所述过渡区 8 内的多晶硅走线 4 与栅极线 3 之间的重叠面积可以小于或等于虚拟像素区 1 内的多晶硅走线 4 与栅极线 3 之间的重叠面积，并且所述过渡区 8 内的多晶硅走线 4 与栅极线 3 之间的重叠面积可以大于或等于显示区 6 内的多晶硅走线 4 与栅极线 3 之间的重叠面积。

如此一来，当过渡区 8 为虚拟像素区时，如果图 3 中的第一列虚拟像素区（图中标记为“1”）仍未能充分释放静电电压时，第二列虚拟像素区（图中标记为“8”）继续释放静电电压，从而确保当电压继续加载在显示区 6 时，不会出现显示区内的栅极绝缘层被击穿的情况。

当过渡区 8 为显示区时，如果图 3 中的虚拟像素区（图中标记为“1”）仍未能充分释放静电电压时，那么作为显示区的边缘位置（图中标记为“8”）将继续释放静电电压，从而确保当电压继续加载在显示区 6 的逐渐靠近中部位置时，不会出现显示区内的栅极绝缘层被击穿的情况。

这样设计的目的一方面是考虑到显示区使用时产生的静电电压应该有静电保护装置进行释放；另一方面是考虑到液晶面板生产过程中产生的静电电压时有由驱动电路区向显示区传递的，该过程电压逐渐被消耗，也就说显示区边缘部位电压较大，靠近显示区中心部位的静电电压较小，则设计液晶面板结构时将显示区边缘部位的像素中多晶硅走线单元的栅形部多晶硅走线数量大于等于靠近显示区中心部的像素中多晶硅走线单元的栅形部多晶硅走线数量。需要说明的是，由于过渡区 8 位于显示区的边缘位置，因此不会对显示区 6 的成像效果有任何的负面影响。

此外，虽然在图 3 中，虚拟像素区 1 和过渡区 8 分别设计为一列，显示区为无数列，然而在实际生产过程中，可根据所生产的液晶面板的结构需要和生产条件需要，来设计虚拟像素区、过渡区与显示区内像素的列数。在一定生产工艺、工装条件及液晶面板使用条件下，获得不同部位最佳多晶硅走线结构。

5 本发明还提供一种液晶面板，其具有上述任一种结构形式的阵列基板。

综上所述，本发明的有益效果是：

1、通过使虚拟像素区内的多晶硅走线与栅极线的重叠面积大于显示区内的多晶硅走线与栅极线的重叠面积，使得虚拟像素区能够从而有效释放掉静电电压，避免显示区的像素被击伤，因此能提升显示面板制造的良率。

10 2、通过在虚拟像素区与显示区之间设置过渡区，所述过渡区可以是虚拟像素区，也可以是显示区，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积可以小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积可以大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积，实现进一步释放掉静电电压，提高对显示
15 区的静电保护。

虽然已经参考优选实施例对本发明进行了描述，但在不脱离本发明的范围的情况下，可以对其进行各种改进并且可以用等效物替换其中的部件。尤其是，只要不存在结构冲突，各个实施例中所提到的各项技术特征均可以任意方式组合起来。本发明并不局限于文中公开的特定实施例，而是包括落入权利要求的范围内的
20 的所有技术方案。

权利要求书

1. 一种阵列基板，其中，包括：虚拟像素区、显示区以及驱动电路区，所述虚拟像素区位于显示区与驱动电路区之间，所述显示区和虚拟像素区内均设置有
5 异面交叉的多晶硅走线和栅极线；
- 其中，所述虚拟像素区内的多晶硅走线与栅极线异面重叠的面积大于显示区内的多晶硅走线与栅极线异面重叠的面积。
2. 根据权利要求 1 所述的阵列基板，其中，在虚拟像素区内，多晶硅走线与栅极线异面交叉至少三次。
- 10 3. 根据权利要求 1 所述的阵列基板，其中，在虚拟像素区内，多晶硅走线与栅极线异面交叉七次。
4. 根据权利要求 1 所述的阵列基板，其中，在虚拟像素区内，与栅极线异面交叉的多晶硅走线为并联连接。
5. 根据权利要求 1 所述的阵列基板，其中，在虚拟像素区内，与栅极线异面
15 交叉的多晶硅走线为串联连接。
6. 根据权利要求 1 所述的阵列基板，其中，在虚拟像素区内，虚拟像素区内的多晶硅走线的线宽大于显示区内的多晶硅走线的线宽。
7. 根据权利要求 1 所述的阵列基板，其中，在虚拟像素区内，虚拟像素区内的栅极线的线宽大于显示区内的栅极线的线宽。
- 20 8. 根据权利要求 1 所述的阵列基板，其中，在虚拟像素区与显示区之间还设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。
- 25 9. 根据权利要求 2 所述的阵列基板，其中，在虚拟像素区与显示区之间还设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。
- 30 10. 根据权利要求 3 所述的阵列基板，其中，在虚拟像素区与显示区之间还

设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。

5 11. 根据权利要求 4 所述的阵列基板，其中，在虚拟像素区与显示区之间还设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。

10 12. 根据权利要求 5 所述的阵列基板，其中，在虚拟像素区与显示区之间还设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。

15 13. 根据权利要求 6 所述的阵列基板，其中，在虚拟像素区与显示区之间还设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。

20 14. 根据权利要求 7 所述的阵列基板，其中，在虚拟像素区与显示区之间还设置有过渡区，所述过渡区内的多晶硅走线与栅极线之间的重叠面积小于或等于虚拟像素区内的多晶硅走线与栅极线之间的重叠面积，并且所述过渡区内的多晶硅走线与栅极线之间的重叠面积大于或等于显示区内的多晶硅走线与栅极线之间的重叠面积。

25 15. 根据权利要求 8 所述的阵列基板，其中，所述过渡区为虚拟像素区或显示区。

 16. 根据权利要求 9 所述的阵列基板，其中，所述过渡区为虚拟像素区或显示区。

30 17. 根据权利要求 10 所述的阵列基板，其中，所述过渡区为虚拟像素区或显示区。

18. 根据权利要求 11 所述的阵列基板，其中，所述过渡区为虚拟像素区或显示区。

19. 根据权利要求 12 所述的阵列基板，其中，所述过渡区为虚拟像素区或显示区。

5 20. 一种液晶面板，其中，包括根据权利要求 1 所述的阵列基板。

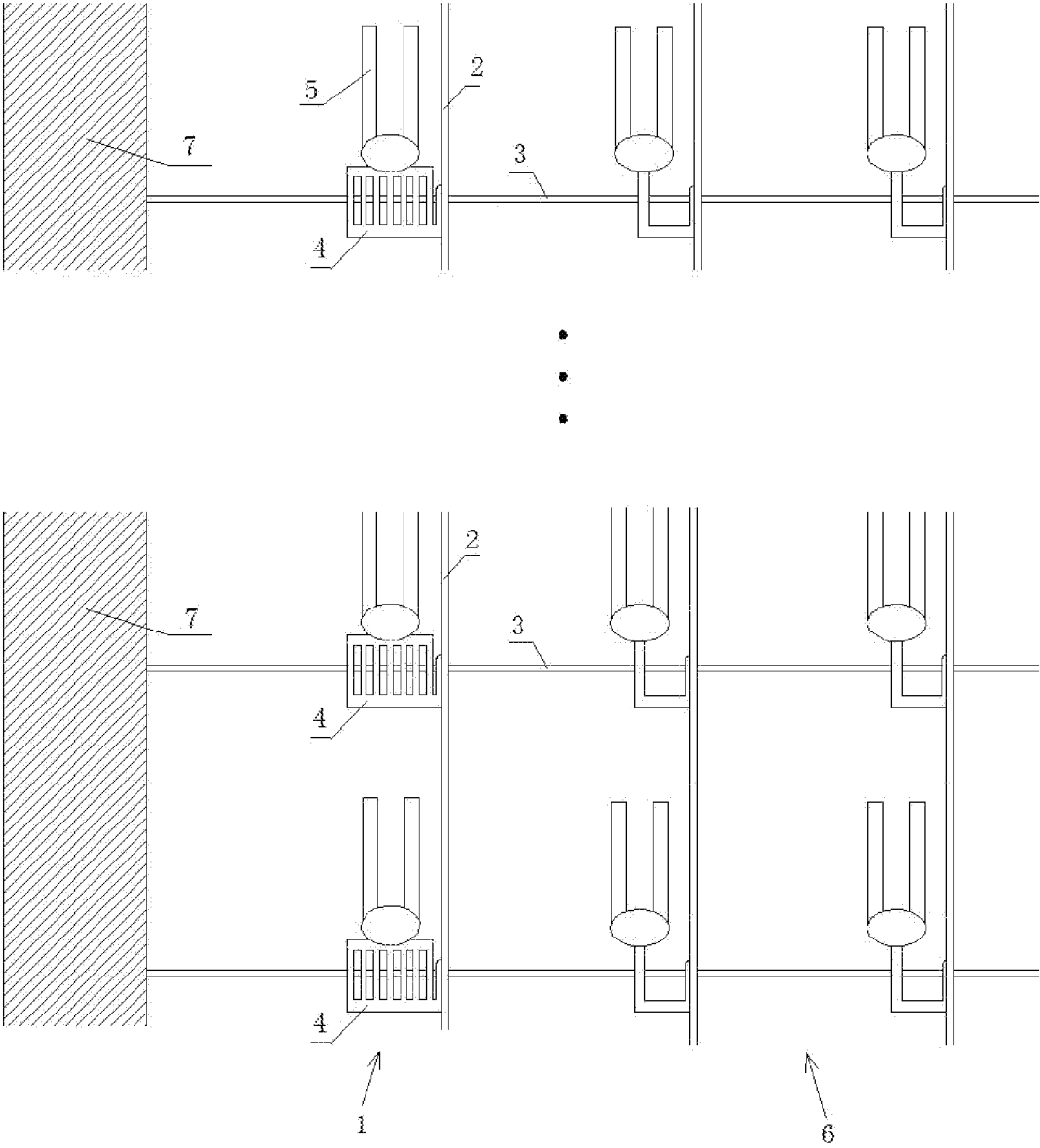


图 2

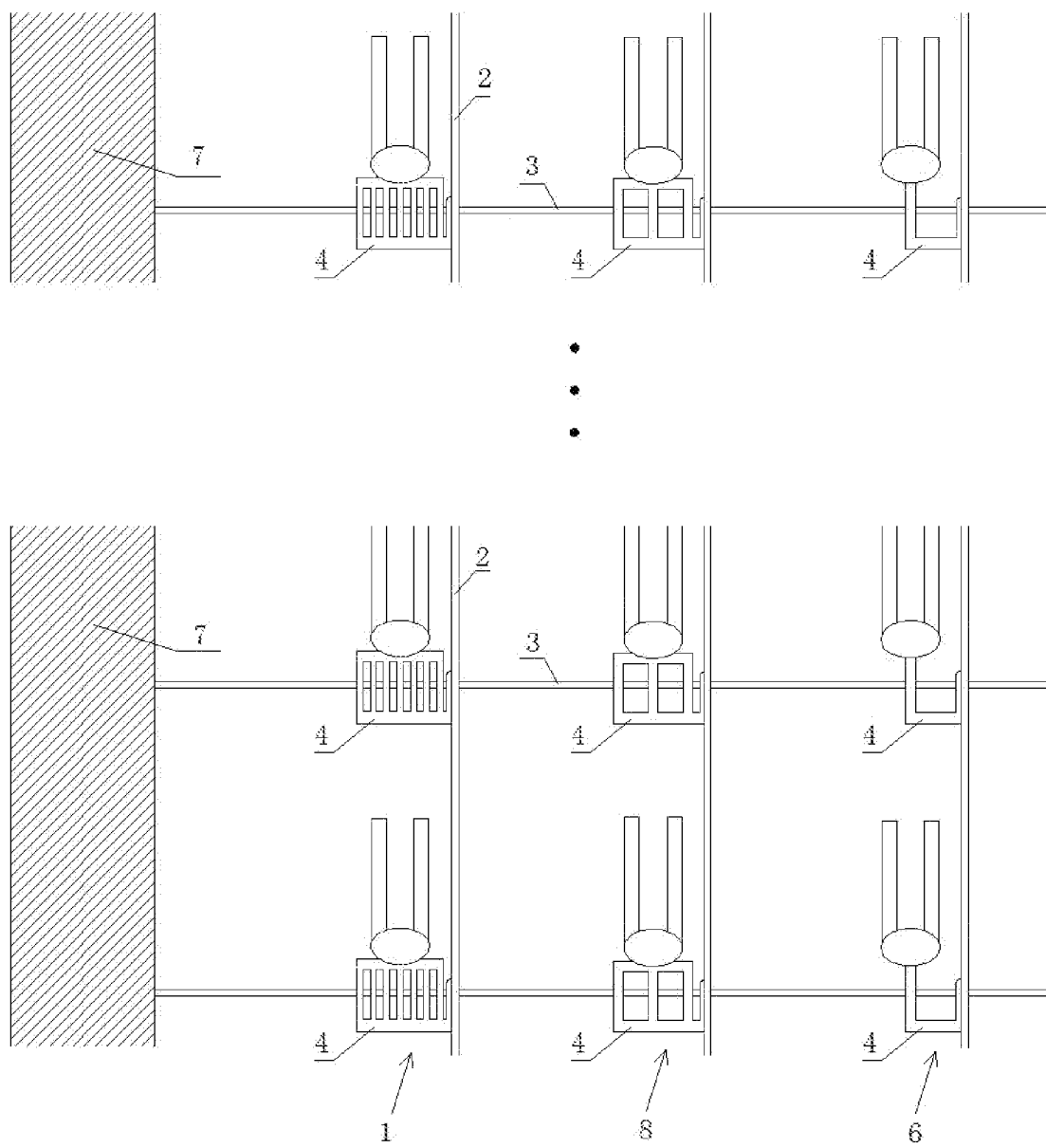


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/076554

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/02 (2006.01) i; H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/; G02F 1/

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 阵列基板, 虚拟, 虚化, 虚画, 像素, 非显示, 静电, 释放, 防护, 栅极线, 信号线, 扫描线, 多晶硅, array, substrate, dummy, pixel?, anti+, non+, display+, electr+, static, ESD?, releas+, protect+, gate, signal, scan+, line?, poly+, silicon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105404064 A (JAPAN DISPLAY INC.), 16 March 2016 (16.03.2016), description, paragraphs [0070], [0074], [0077], [0083]-[0091] and [0107]-[0112], and figures 1-2, 8-9 and 18-19	1-20
A	CN 103034003 A (JAPAN DISPLAY EAST INC.), 10 April 2013 (10.04.2013), entire document	1-20
A	CN 205067934 U (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD. et al.), 02 March 2016 (02.03.2016), entire document	1-20
A	CN 101726895 A (EPSON IMAGING DEVICES CORP.), 09 June 2010 (09.06.2010), entire document	1-20
A	CN 101566772 A (CPTF VISUAL DISPLAY (FUZHOU) LTD. et al.), 28 October 2009 (28.10.2009), entire document	1-20
A	KR 100965095 B1 (LG PHILIPS LCD CO., LTD.), 23 June 2010 (23.06.2010), entire document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 November 2017	Date of mailing of the international search report 24 November 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer SUN, Xian Telephone No. (86-10) 62413961

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/076554

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105404064 A	16 March 2016	US 2016071884 A1	10 March 2016
		JP 2016057344 A	21 April 2016
CN 103034003 A	10 April 2013	JP 2013083679 A	09 May 2013
		US 2013148049 A1	13 June 2013
		JP 6004560 B2	12 October 2016
		US 9632378 B2	25 April 2017
		CN 103034003 B	05 August 2015
CN 205067934 U	02 March 2016	None	
CN 101726895 A	09 June 2010	KR 20100043022 A	27 April 2010
		KR 101064389 B1	14 September 2011
		TW 201017305 A	01 May 2010
		US 8493543 B2	23 July 2013
		CN 101726895 B	08 August 2012
		US 2010097538 A1	22 April 2010
		TW I476496 B	11 March 2015
		JP 2010097024 A	30 April 2010
		JP 2010097114 A	30 April 2010
		JP 5472895 B2	16 April 2014
		JP 5271661 B2	21 August 2013
CN 101566772 A	28 October 2009	None	
KR 100965095 B1	23 June 2010	KR 20050040235 A	03 May 2005

A. 主题的分类 H01L 27/02(2006.01)i; H01L 27/12(2006.01)i; G02F 1/1362(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L27/;G02F1/ 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT;CNKI;WPI;EPODOC: 阵列基板, 虚拟, 虚化, 虚画, 像素, 非显示, 静电, 释放, 防护, 栅极线, 信号线, 扫描线, 多晶硅, array, substrate, dummy, pixel?, anti+, non+, display+, electr+, static, ESD?, releas+, protect+, gate, signal, scan+, line?, poly+, silicon																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105404064 A (株式会社日本显示器) 2016年 3月 16日 (2016 - 03 - 16) 说明书第[0070], [0074], [0077], [0083]-[0091], [0107]-[0112]段、图1-2, 8-9, 18-19</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103034003 A (株式会社日本显示器东) 2013年 4月 10日 (2013 - 04 - 10) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 205067934 U (北京京东方显示技术有限公司 等) 2016年 3月 2日 (2016 - 03 - 02) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 101726895 A (爱普生映像元器件有限公司) 2010年 6月 9日 (2010 - 06 - 09) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 101566772 A (福州华映视讯有限公司 等) 2009年 10月 28日 (2009 - 10 - 28) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>KR 100965095 B1 (LG PHILIPS LCD CO., LTD.) 2010年 6月 23日 (2010 - 06 - 23) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 105404064 A (株式会社日本显示器) 2016年 3月 16日 (2016 - 03 - 16) 说明书第[0070], [0074], [0077], [0083]-[0091], [0107]-[0112]段、图1-2, 8-9, 18-19	1-20	A	CN 103034003 A (株式会社日本显示器东) 2013年 4月 10日 (2013 - 04 - 10) 全文	1-20	A	CN 205067934 U (北京京东方显示技术有限公司 等) 2016年 3月 2日 (2016 - 03 - 02) 全文	1-20	A	CN 101726895 A (爱普生映像元器件有限公司) 2010年 6月 9日 (2010 - 06 - 09) 全文	1-20	A	CN 101566772 A (福州华映视讯有限公司 等) 2009年 10月 28日 (2009 - 10 - 28) 全文	1-20	A	KR 100965095 B1 (LG PHILIPS LCD CO., LTD.) 2010年 6月 23日 (2010 - 06 - 23) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 105404064 A (株式会社日本显示器) 2016年 3月 16日 (2016 - 03 - 16) 说明书第[0070], [0074], [0077], [0083]-[0091], [0107]-[0112]段、图1-2, 8-9, 18-19	1-20																					
A	CN 103034003 A (株式会社日本显示器东) 2013年 4月 10日 (2013 - 04 - 10) 全文	1-20																					
A	CN 205067934 U (北京京东方显示技术有限公司 等) 2016年 3月 2日 (2016 - 03 - 02) 全文	1-20																					
A	CN 101726895 A (爱普生映像元器件有限公司) 2010年 6月 9日 (2010 - 06 - 09) 全文	1-20																					
A	CN 101566772 A (福州华映视讯有限公司 等) 2009年 10月 28日 (2009 - 10 - 28) 全文	1-20																					
A	KR 100965095 B1 (LG PHILIPS LCD CO., LTD.) 2010年 6月 23日 (2010 - 06 - 23) 全文	1-20																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2017年 11月 1日		国际检索报告邮寄日期 2017年 11月 24日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 孙菀 电话号码 (86-10)62413961																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/076554

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105404064	A	2016年 3月 16日	US	2016071884	A1	2016年 3月 10日
				JP	2016057344	A	2016年 4月 21日
CN	103034003	A	2013年 4月 10日	JP	2013083679	A	2013年 5月 9日
				US	2013148049	A1	2013年 6月 13日
				JP	6004560	B2	2016年 10月 12日
				US	9632378	B2	2017年 4月 25日
				CN	103034003	B	2015年 8月 5日
CN	205067934	U	2016年 3月 2日	无			
CN	101726895	A	2010年 6月 9日	KR	20100043022	A	2010年 4月 27日
				KR	101064389	B1	2011年 9月 14日
				TW	201017305	A	2010年 5月 1日
				US	8493543	B2	2013年 7月 23日
				CN	101726895	B	2012年 8月 8日
				US	2010097538	A1	2010年 4月 22日
				TW	I476496	B	2015年 3月 11日
				JP	2010097024	A	2010年 4月 30日
				JP	2010097114	A	2010年 4月 30日
				JP	5472895	B2	2014年 4月 16日
				JP	5271661	B2	2013年 8月 21日
CN	101566772	A	2009年 10月 28日	无			
KR	100965095	B1	2010年 6月 23日	KR	20050040235	A	2005年 5月 3日

表 PCT/ISA/210 (同族专利附件) (2009年7月)