(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 601 10 304 T2** 2006.03.09

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 150 424 B1**
(21) Deutsches Aktenzeichen: **601 10 304.1**
(96) Europäisches Aktenzeichen: **01 107 558.7**
(96) Europäischer Anmeldetag: **27.03.2001**
(97) Erstveröffentlichung durch das EPA: **31.10.2001**
(97) Veröffentlichungstag
der Patenterteilung beim EPA: **27.04.2005**
(47) Veröffentlichungstag im Patentblatt: **09.03.2006**

(51) Int Cl.[8]: ***H03F 3/45*** (2006.01)

(30) Unionspriorität:
2000098917 31.03.2000 JP

(84) Benannte Vertragsstaaten:
DE, FI, FR, GB, IT, SE

(73) Patentinhaber:
Seiko Epson Corp., Tokio/Tokyo, JP

(72) Erfinder:
Tsuchiya, Masahiko, Suwa-shi, Nagano-ken, JP

(74) Vertreter:
Hoffmann, E., Dipl.-Ing., Pat.-Anw., 82166 Gräfelfing

(54) Bezeichnung: **Differenzverstärker, Halbleiteranordnung Stromversorgungschaltung und elektronisches Gerät, welches die Anordnung benutzt**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft einen Differenzverstärker mit zwei Satz Differenzverstärkerschaltungen, ein Halbleiterbauteil, eine Versorgungsspannungsschaltung und ein elektronisches Gerät, in dem diese eingesetzt sind.

Beschreibung der verwandten Technik

[0002] Ein im Stand der Technik bekannter Differenzverstärker ist in Fig. 8 dargestellt, wobei dieses Gerät zwei, nämlich eine erste und eine zweite Differenzverstärkerschaltung **210**, **230** hat. Die erste und die zweite Differenzverstärkerschaltung **210**, **230** sind so konzipiert, dass sie eine erste und eine zweite Eingangsspannung V_{IN1}, V_{IN2} erhalten, zwischen denen einen Phasenversatz besteht. Ein MOS-Transistor des P-Typs **250** ist an der hinteren Stufe der ersten Differenzverstärkerschaltung **210** vorgesehen, der von einem ersten Signal S_1 angesteuert wird, das von der ersten Differenzverstärkerschaltung **210** kommt. Auf ähnliche Weise ist ein MOS-Transistor des N-Typs **252** ist an der hinteren Stufe der zweiten Differenzverstärkerschaltung **230** vorgesehen, der von einem zweiten Signal S_2 angesteuert wird, das von der zweiten Differenzverstärkerschaltung **230** kommt. Dieser PMOS-Transistor **250** und der NMOS-Transistor **252** können zusammenwirken und so eine Ausgangsspannung V_{OUT} definieren.

[0003] Wie aus Fig. 8 ersichtlich ist, enthält die erste Differenzverstärkerschaltung **210** einen MOS-Transistor des P-Typs **212** und eine MOS-Transistor des P-Typs **214**, die zusammen mit dem PMOS-Transistor **212** eine Stromspiegelschaltung bilden.

[0004] Die zweite Differenzverstärkerschaltung **230** enthält einen MOS-Transistor des N-Typs **232** und einen MOS-Transistor des N-Typs **234**, die zusammen mit dem NMOS-Transistor **232** eine Stromspiegelschaltung bilden.

[0005] Die erste Differenzverstärkerschaltung **210** enthält ferner einen NMOS-Transistor **216**, der mit dem PMOS-Transistor **212** zwischen den Versorgungsspannungen D_{DD}, V_{SS} in Reihe geschaltet ist, und einen NMOS-Transistor **218**, der mit dem PMOS-Transistor **214** zwischen den Versorgungsspannungen D_{DD}, V_{SS} in Reihe geschaltet ist. Außerdem sind die NMOS-Transistoren **216**, **218** über eine Konstantstromquelle **220** mit der Versorgungsspannung V_{SS} gekoppelt. Diese NMOS-Transistoren **216**, **218** sind sowohl hinsichtlich der Größe als auch der Leistung identisch und bilden so ein Differenzpaar.

[0006] In ähnlicher Weise enthält die zweite Differenzverstärkerschaltung **230** einen PMOS-Transistor **236**, der mit dem NMOS-Transistor **232** zwischen den Versorgungsspannungen D_{DD}, V_{SS} in Reihe geschaltet ist, und einen PMOS-Transistor **238**, der mit dem NMOS-Transistor **234** zwischen den Versorgungsspannungen D_{DD}, V_{SS} in Reihe geschaltet ist. Die PMOS-Transistoren **236**, **238** sind über eine Konstantstromquelle **240** mit der Versorgungsspannung V_{SS} gekoppelt. Diese PMOS-Transistoren **236**, **238** sind sowohl hinsichtlich der Größe als auch der Leistung identisch und bilden so ein Differenzpaar.

[0007] Die in Fig. 8 dargestellte Vorgehensweise zur Stabilisierung der Ausgangsspannung V_{OUT} auf einem vorgeschriebenen Potential enthält hier typischerweise zwei Fälle: Erhöhen der Ausgangsspannung V_{OUT} von einem bestimmten Potential, das niedriger ist als die zu stabilisierende Zielspannung, und Senken der Ausgangsspannung V_{OUT} von einem Potential, das höher ist als die Stabilisierungsspannung.

[0008] Im ersten Fall muss ein stärkerer Strom im PMOS-Transistor **250** von Fig. 8 fließen, während gleichzeitig ein schwächerer Strom im NMOS-Transistor **252** fließen muss. Im zweiten Fall ist umgekehrt vorzugehen.

[0009] Leider ergibt sich im Stand der Technik das Problem, dass während des Prozesses, in dem das Potential der Ausgangsspannung V_{OUT} stabil wird, der PMOS-Transistor **250** und der NMOS-Transistor **252** einen langsamen Potentialanstieg oder -abfall ihrer Gate-Spannungen aufweisen, was wiederum alle beabsichtigten Änderungen der im PMOS-Transistor **250** und NMOS-Transistor **252** fließenden Ströme verlangsamt oder "verzögert".

[0010] Ein Differenzverstärker gemäß dem Oberbegriff von Anspruch 1 ist aus der JP-A-11-088076 bekannt und soll ein rasch ansteigendes oder abfallendes Ausgangssignal eines Operationsverstärkers bereitstellen, ohne den Stromverbrauch zu erhöhen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0011] Es ist eine Aufgabe der vorliegenden Erfindung, einen Differenzverstärker, ein Halbleiterbauteil und eine Spannungsversorgungsschaltung bereitzustellen, die in der Lage sind, eine Ausgangsspannung rasch ihren stabilen Zustand erreichen zu lassen, sowie ein elektronisches Gerät, in dem diese eingesetzt sind.

[0012] Diese Aufgabe wird durch einen Differenzverstärker gemäß Anspruch 1, ein Halbleiterbauteil und eine Spannungsversorgungsschaltung gemäß Anspruch 7 und 8 und ein elektronisches Gerät gemäß Anspruch 9 gelöst. Bevorzugte Ausführungsformen der Erfindung sind Gegenstand der Unteran-

sprüche.

[0013] Die beanspruchte Struktur ermöglicht die Beschleunigung der Operation des dritten Transistors des Typs mit zweitem Leitfähigkeitstyp, wodurch die Ausgangsspannung rasch in ihren stabilen Zustand versetzt werden kann. Durch den ersten und zweiten Kondensator, die ein Oszillieren der Ausgangsspannung verhindern, und den ersten und zweiten Widerstand, die statische Elektrizität verhindern, wird diese Anordnung wirksam.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0014] Fig. 1 ist ein Schaltschema, das eine Schaltungskonfiguration eines Differenzverstärkers gemäß einer ersten Ausführungsform der vorliegenden Erfindung darstellt.

[0015] Fig. 2 ist ein detailliertes Schaltschema des in Fig. 1 dargestellten Differenzverstärkers.

[0016] Fig. 3 zeigt die Ausgangsspannung V_{OUT} des Differenzverstärkers von Fig. 2.

[0017] Fig. 4 ist ein Diagramm der Wellenform, das den Stabilisierungsprozess von V_{OUT} des Differenzverstärkers von Fig. 2 zeigt.

[0018] Fig. 5 ist eine schematische Darstellung einer Flüssigkristallanzeige gemäß einer zweiten Ausführungsform der vorliegenden Erfindung.

[0019] Fig. 6 ist ein Impulsdiagramm der Steuerimpulse der Flüssigkristallanzeige von Fig. 5.

[0020] Fig. 7 ist ein Schaltschema einer Spannungsversorgungsschaltung zur Verwendung in der Flüssigkristallanzeige von Fig. 5.

[0021] Fig. 8 ist ein Schaltschema eines herkömmlichen Differenzverstärkers.

DETAILLIERTE BESCHREIBUNG DER AUSFÜHRUNGSFORMEN

[0022] Die Ausführungsformen der vorliegenden Erfindung werden im Folgenden unter Bezugnahme auf die beiliegenden Zeichnungen detailliert beschrieben.

1. Erste Ausführungsform

[0023] Die Anordnung und Funktionsweise des Differenzverstärkers gemäß einer Ausführungsform der vorliegenden Erfindung werden unter Bezugnahme auf die Fig. 1 bis Fig. 4 beschrieben.

1.1 Anordnung des Differenzverstärkers

[0024] Fig. 1 zeigt eine Schaltungskonfiguration des Differenzverstärkers gemäß dieser Ausführungsform. Dieser darin gezeigte Differenzverstärker hat eine erste Differenzverstärkerschaltung **10** des Spannungsnachführtyps, die auf Basis einer ersten Eingangsspannung V_{IN1} aktivierbar ist, und eine zweite Differenzverstärkerschaltung **30** des Spannungsnachführtyps, die auf Basis einer zweiten Eingangsspannung V_{IN2} aktivierbar ist.

[0025] Wie aus Fig. 2 ersichtlich ist, enthält die erste Differenzverstärkerschaltung **10** einen MOS-Transistor **12** des P-Typs und einen MOS-Transistor **14** des P-Typs, der zusammen mit dem MOS-Transistor **12** des P-Typs eine Stromspiegelschaltung bildet. Diese PMOS-Transistoren **12**, **14** sind hinsichtlich Größe und Leistungsfähigkeit identisch und bilden so eine Stromspiegelschaltung.

[0026] Die zweite Differenzverstärkerschaltung **30** enthält einen MOS-Transistor **32** des N-Typs und einen MOS-Transistor **34** des N-Typs, der zusammen mit dem MOS-Transistor **32** des N-Typs eine Stromspiegelschaltung bildet. Diese NMOS-Transistoren **32**, **34** sind ebenfalls hinsichtlich Größe und Leistungsfähigkeit identisch und bilden so eine Stromspiegelschaltung.

[0027] Die erste Differenzverstärkerschaltung **10** enthält ferner einen MOS-Transistor **16** des ersten Leitfähigkeittyps, bei dem es sich z. B. um einen Transistor des N-Typs handelt (erster Transistor des ersten Leitfähigkeitstyps), der mit dem PMOS-Transistor **12** zwischen den Versorgungsspannungen V_{DD}, V_{SS} in Reihe geschaltet ist, und einen MOS-Transistor **18** des N-Typs (zweiter Transistor des ersten Leitfähigkeitstyps), der mit dem PMOS-Transistor **14** zwischen den Versorgungsspannungen V_{DD}, V_{SS} in Reihe geschaltet ist. Hier ist zu beachten, dass diese NMOS-Transistoren **16**, **18** über eine Konstantstromquelle **20** mit der Versorgungsspannung V_{SS} verbunden sind. Diese NMOS-Transistoren **16**, **18** sind hinsichtlich Größe und Leistungsfähigkeit identisch, so dass sie ein Differenzpaar bilden.

[0028] In ähnlicher Weise hat die zweite Differenzverstärkerschaltung **30** einen MOS-Transistor **36** des zweiten Leitfähigkeitstyps, bei dem es sich z. B. um einen Transistor des P-Typs handelt (erster Transistor des zweiten Leitfähigkeitstyps), der mit dem NMOS-Transistor **32** zwischen den Versorgungsspannungen V_{DD}, V_{SS} in Reihe geschaltet ist, und einen MOS-Transistor **38** des P-Typs (zweiter Transistor des zweiten Leitfähigkeitstyps), der mit dem MOS-Transistor **34** des N-Typs zwischen den Versorgungsspannungen V_{DD}, V_{SS} in Reihe geschaltet ist. Es ist zu beachten, dass die PMOS-Transistoren **36**, **38** über eine Konstantstromquelle **40** mit der Versor-

gungsspannung V_{DD} verbunden sind. Diese PMOS-Transistoren **36**, **38** sind hinsichtlich Größe und Leistungsfähigkeit identisch, so dass sie ein Differenzpaar bilden.

[0029] Wie aus den Fig. 1 und Fig. 2 ersichtlich ist, sind ein MOS-Transistor **50** des P-Typs (dritter Transistor des zweiten Leitfähigkeitstyps), der auf Basis eines ersten Signals S_1 von der ersten Differenzverstärkerschaltung **10** aktivierbar ist, und ein MOS-Transistor **52** des N-Typs (dritter Transistor des ersten Leitfähigkeitstyps), der auf Basis eines zweiten Signals S_2 von der zweiten Differenzverstärkerschaltung **30** aktivierbar ist, bereitgestellt.

[0030] Der PMOS-Transistor **50** und der NMOS-Transistor **52** sind zwischen den Versorgungsspannungen V_{DD}, V_{SS} in Reihe geschaltet, wodurch die Spannung zwischen dem PMOS-Transistor **50** und dem NMOS-Transistor **52** die Ausgangsspannung V_{OUT} des beispielhaften Differenzverstärkers wird. Es ist zu beachten, dass der PMOS-Transistor angesichts der Tatsache, dass seine Last erheblich ist, wenn die Ausgangsspannung V_{OUT} abfällt, groß ausgebildet ist, was in einer Erhöhung seiner Gate-Kapazität resultiert.

[0031] Außerdem ist zu beachten, dass wie in Fig. 2 dargestellt die erste und zweite Differenzverstärkerschaltung **10**, **30** mit Kondensatoren C_1, C_2 versehen ist, um Oszillation zu vermeiden, und mit Widerständen R_1, R_2, um statische Elektrizität zu vermeiden.

[0032] Die erste Differenzverstärkerschaltung **10** hat eine erste Spannungssteuerschaltung **60**, die einen MOS-Transistor **62** des N-Typs (vierter Transistor des ersten Leitfähigkeitstyps), der mit der Konstantstromquelle **20** parallel geschaltet ist, enthält. An das Gate dieses NMOS-Transistors **62** wird ein drittes Signal S_3 von der zweiten Differenzverstärkerschaltung **30** gelegt. Als Ergebnis führt eine Operation der ersten Spannungssteuerschaltung **60** zum Steuern des ersten Signals S_1 zur Steuerung der Gate-Spannung des PMOS-Transistors **50**.

[0033] In ähnlicher Weise hat die zweite Differenzverstärkerschaltung **30** eine zweite Spannungssteuerschaltung **70**, die einen MOS-Transistor **72** des P-Typs (vierter Transistor des zweiten Leitfähigkeitstyps), der mit der Konstantstromquelle **40** parallel geschaltet ist, enthält. An das Gate dieses PMOS-Transistors **72** wird ein viertes Signal S_4 von der ersten Differenzverstärkerschaltung **10** gelegt. Als Ergebnis führt eine Operation der zweiten Spannungssteuerschaltung **70** zum Steuern des zweiten Signals S_2 zur Steuerung der Gate-Spannung des NMOS-Transistors **52**.

[0034] Es ist zu beachten, dass der NMOS-Transistor **62** und der PMOS-Transistor **72** in den Sperrzustand versetzt werden, während die Ausgangsspannung V_{OUT} des Differenzverstärkers stabil ist, so dass in ihnen praktisch kein Strom fließt.

1.2 Funktionsweise des Differenzverstärkers

[0035] Die Ausgangsspannung V_{OUT} des Differenzverstärkers, der auf Basis der ersten und zweiten Eingangsspannung V_{IN1}, V_{IN2} aktivierbar ist, entspricht der Darstellung in Fig. 3; sie wird hinsichtlich ihres Potentials auf einem mittleren Spannungspotential $(V_{IN1}, -V_{IN2})/2$ im stabilen Zustand stabilisiert oder wird alternativ eine Spannung, deren Potential zwischen der Spannung V_{IN1}, und der Spannung V_{IN2} variabel ist, wobei die mittlere Spannung die Grenzspannung ist.

[0036] Der Differenzverstärker dieser Ausführungsform ist in der Lage, die Ausgangsspannung V_{OUT} auf eine Spannung im stabilen Zustand rasch einzustellen. Seine Funktionsweise wird nachstehend für einen Fall, in dem die Ausgangsspannung V_{OUT} rasch zum stabilen Zustand ansteigt, und für einen Fall, in dem die Ausgangsspannung zum stabilen Zustand abgesenkt wird, beschrieben.

(1) Rascher Anstieg der Ausgangsspannung V_{OUT} zum stabilen Spannungszustand

[0037] Unter Bezugnahme auf Fig. 4 sei angenommen, dass die Spannung im stabilen Zustand V_1 ist. Ferner sei angenommen, dass vor einem Zeitpunkt "t_0" die Ausgangsleitung der Ausgangsspannung V_{OUT} z. B. elektrisch mit (einer) anderen Spannungsleitung(en) kurz geschlossen wird, was in einer niedrigeren Spannung als V_1 resultiert.

[0038] In diesem Fall werden die Gate-Spannungen des NMOS-Transistors **18** und des PMOS-Transistors **38** niedriger als ihre inhärenten Spannungen im stabilen Zustand.

[0039] Da in der ersten Differenzverstärkerschaltung **10** ein konstanter Strom von der Konstantstromquelle **20** fließt, während die Gate-Spannung des NMOS-Transistors **18** abnimmt, ist hier zu beachten, dass ein im NMOS-Transistor **18** fließender Strom I_{18} abnimmt, was in einem entsprechend ansteigenden Strom I_{16} resultiert.

[0040] Aufgrund dessen resultiert ein solcher Anstieg des Stroms I_{16} in der ersten Differenzverstärkerschaltung **10** ebenso in einer Abnahme der Gate-Spannung S_1 des PMOS-Transistors **50**, was eine Änderung bewirkt, um einen höheren Strom zum PMOS-Transistor **50** fließen zu lassen.

[0041] Im Gegensatz dazu fließt in der zweiten Differenzverstärkerschaltung **30** ein konstanter Strom von der Konstantstromquelle **40**, wobei die

PMOS-Transistoren **36**, **38** das Differenzpaar bilden; demzufolge sind die in den PMOS-Transistoren **36**, **38** fließenden Ströme derart, dass $I_{36} + I_{38}$ = konstant. Angesichts der Tatsache, dass die Gate-Spannung des PMOS-Transistors **38** in der oben beschriebenen Weise abnimmt, steigt der im PMOS-Transistor **38** fließende Strom I_{38} an, was darin resultiert, dass der Strom I_{36} in dem einem solchen Stromanstieg entsprechenden Maße abnimmt.

[0042] Aufgrund dessen resultiert eine solche Abnahme des Strom I_{36} in der zweiten Differenzverstärkerschaltung **30** ebenso in einer Abnahme des Gate-Potentials des NMOS-Transistors **52**, was eine Änderung bewirkt, um einen niedrigeren Strom zum NMOS-Transistor **52** fließen zu lassen.

[0043] Als Ergebnis des höheren Stroms im PMOS-Transistor **50**, während gleichzeitig ein niedrigerer Strom im NMOS-Transistor **52** fließt, werden der PMOS-Transistor **50** und der NMOS-Transistor **52** auf diese Weise im Gegentakt aktiviert, wodurch die Ausgangsspannung V_{OUT} des Gegentakt-Differenzverstärkers auf ein höheres Potential bis zur stabilen Spannung V_1 in Fig. 4 ansteigen kann.

[0044] Der oben beschriebene Prozess des Anstiegs der Ausgangsspannung V_{OUT} stellt eine durch die dünne Linie **80** in Fig. 4 gekennzeichnete Änderung dar, die eine relativ lange Zeitspanne benötigt ($t_3 - t_0$). Der Grund hierfür ist, dass nur mit der oben beschriebenen Operation der PMOS-Transistor **50** und der NMOS-Transistor **52** einen langsamen Potentialanstieg oder -abfall ihrer Gate-Spannungen haben, was dazu führt, dass alle Änderungen der im PMOS-Transistor **50** und im NMOS-Transistor **52** fließenden Ströme langsam verlaufen.

[0045] Genauer gesagt ist die Gate-Spannung des PMOS-Transistors **50** durch eine Spannung gegeben, die am Kondensator C_1 zum Vermeiden von Oszillation geladen wird, durch eine Gate-Kapazität des PMOS-Transistors **50** sowie außerdem durch die parasitäre Leitungskapazität einer in Fig. 2 dargestellten Gate-Leitung L_1. Die Aufladezeit ist durch die Leitungskapazität der Gate-Leitung L_1 und die Leistung der Konstantstromquelle **20** bestimmbar.

[0046] In ähnlicher Weise wird die Gate-Spannung des NMOS-Transistors **52** durch eine Spannung repräsentiert, die am Kondensator C_2 zum Vermeiden von Oszillation geladen wird, durch eine Gate-Kapazität des NMOS-Transistors **52** sowie außerdem durch die parasitäre Leitungskapazität einer in Fig. 2 dargestellten Gate-Leitung L_2. Die Aufladezeit ist durch die Leitungskapazität der Gate-Leitung L_2 und die Leistung der Konstantstromquelle **40** bestimmbar.

[0047] Bei der beispielhaften Ausführungsform werden dann die erste und zweite Spannungssteuerschaltung **60**, **70** dazu eingesetzt, den PMOS-Transistor **50** und den NMOS-Transistor **52** zu veranlassen, ihre Gate-Spannungen rasch zu ändern.

[0048] Im Einzelnen resultiert bei der zweiten Differenzverstärkerschaltung **30** eine Abnahme des Stroms I_{36} in einer entsprechenden Abnahme des dritten Signals S_3 (diese Spannung ist gleich der Spannung auf der Gate-Leitung L_2 des NMOS-Transistors **52**). Als Ergebnis wird die Gate-Spannung des NMOS-Transistors **62** in der ersten Differenzverstärkerschaltung **10** niedriger, wodurch ein im NMOS-Transistor **62** fließender Strom I_{62} entsprechend abnimmt. Zu diesem Zeitpunkt wird der Betrieb des PMOS-Transistors **50** durch einen solchen Strom von der Konstantstromquelle **20** bestimmt.

[0049] Andererseits wird das Potential der Gate-Leitung L_1 der ersten Differenzverstärkerschaltung **10** niedrig, was in einer Abnahme der Spannung des vierten Signals S_4 resultiert, die gleich ist der Spannung auf der Gate-Leitung L_1. Dies würde in einer Abnahme der Gate-Spannung des PMOS-Transistors **72** in der zweiten Differenzverstärkerschaltung **30** resultieren, wodurch der im PMOS-Transistor **72** fließende Strom I_{72} entsprechend zunehmen würde.

[0050] Der im Differenzpaar und im Stromspiegel fließende Strom der zweiten Differenzverstärkerschaltung **30** wird somit höher. Zu diesem Zeitpunkt wird der Betrieb des NMOS-Transistors **52** aufgrund der Tatsache, dass der Strom I_{72} des PMOS-Transistors **72** zur Konstantstromquelle **40** addiert wird, beschleunigt, obwohl der Gesamtwert der parasitär zur Gate-Leitung L_2 gehörigen Kapazitätskomponenten unverändert bleibt.

[0051] Der Prozess des Potentialanstiegs der Ausgangsspannung V_{OUT} auf Basis dieser zusätzlichen Operation ist durch die fette Linie **82** in Fig. 4 gekennzeichnet. Wie in Fig. 4 dargestellt ist es bei dieser Ausführungsform möglich, die Zeit bis zum Erreichen des gewünschten stabilen Zustands bei ($t_2 - t_0$) durch eine Erhöhung der Anstiegsgeschwindigkeit der Ausgangsspannung V_{OUT} im Zeitpunkt t_1, in dem der NMOS-Transistor **72** eingeschaltet wird, zu verkürzen, wodurch die Ausgangsspannung V_{OUT} schneller stabilisiert wird.

(2) Rascher Abfall der Ausgangsspannung V_{OUT} zum stabilen Spannungszustand

[0052] In diesem Fall werden die Gate-Spannungen des NMOS-Transistors **18** und des PMOS-Transistors **38** höher als ihre inhärenten Spannungen im stabilen Zustand.

[0053] Dementsprechend nimmt der im NMOS-Transistor **18** fließende Strom I_{18} mit dem An-

stieg seiner Gate-Spannung zu, während der im NMOS-Transistor **16** fließende Strom I_{16} im entsprechenden Maß abnimmt.

[0054] Aufgrund dessen resultiert eine solche Abnahme des Strom I_{16} in der ersten Differenzverstärkerschaltung **10** in einem Anstieg des Gate-Potentials des PMOS-Transistors **50**, was bewirkt, das ein niedrigerer Strom zum PMOS-Transistor **50** fließt.

[0055] Andererseits nimmt in der zweiten Differenzverstärkerschaltung **30** der Strom I_{38}, der im PMOS-Transistor **38** fließt, mit dem Anstieg von dessen Gate-Spannung ab, was bewirkt, dass der Strom Iss im PMOS-Transistor **36** im entsprechenden Maße zunimmt.

[0056] Aufgrund dessen resultiert ein solcher Anstieg des Stroms I_{36} in der zweiten Differenzverstärkerschaltung **30** in einem Anstieg des Gate-Potentials des NMOS-Transistors **52**, was bewirkt, dass ein höherer Strom im NMOS-Transistor **52** fließt.

[0057] Ferner resultiert bei der ersten Differenzverstärkerschaltung **10** die Abnahme des Stroms I_{16}, dass das vierte Signal S_4 auf ein hohes Potential geht, das gleich ist der Spannung auf der Gate-Leitung L_1. Als Ergebnis erhöht der PMOS-Transistor **72** der zweiten Differenzverstärkerschaltung **30** das Potential der Gate-Spannung, wodurch der im PMOS-Transistor **72** fließende Strom I_{72} entsprechend abnimmt.

[0058] Zu diesem Zeitpunkt ist die Aktivierung des NMOS-Transistors **52** durch einen Strom der Konstantstromquelle **40** zu bestimmen.

[0059] Andererseits wird bei der zweiten Differenzverstärkerschaltung **30** das Potential der Spannung auf der Gate-Leitung L_2 des NMOS-Transistors **52** hoch, wodurch der Pegel des dritten Signals S_3 veranlasst wird, gleichermaßen anzusteigen (diese Spannung ist gleich der Spannung auf der Gate-Leitung L_2 des NMOS-Transistors **52**). Als Ergebnis erhöht der NMOS-Transistor **62** der ersten Differenzverstärkerschaltung **10** die Gate-Spannung, wodurch der im NMOS-Transistor **62** fließende Strom I_{62} ansteigt.

[0060] Der im Differenzpaar und in der Stromspiegelschaltung fließende Strom der ersten Differenzverstärkerschaltung **10** wird folglich höher. Dies dient schließlich dazu, den Betrieb des PMOS-Transistors **50** aufgrund der Tatsache, dass der Strom I_{62} des NMOS-Transistors **62** zum Strom der Konstantstromquelle **20** addiert wird, zu beschleunigen, obwohl der Gesamtwert der parasitär zur Gate-Leitung L_1 gehörigen Kapazitäten unverändert bleibt.

[0061] Als Ergebnis des geringeren Stroms im PMOS-Transistor **50**, während gleichzeitig ein höherer Strom im NMOS-Transistor **52** fließt, ziehen der PMOS-Transistor **50** und der NMOS-Transistor **52** zusammen hoch, wodurch das Potential der Ausgangsspannung V_{OUT} zur erwünschten stabilen Spannung absinkt.

[0062] Es ist zu beachten, dass ein möglicher Grund für die Verlangsamung der Stabilisierung der Ausgangsspannung V_{OUT} das Vorhandensein der in Fig. 2 dargestellten Kondensatoren C_1, C_2 zum Verhindern von Oszillation ist. Die oben genannten Maßnahmen lassen sich also bei Differenzverstärkerschaltungen mit Kondensatoren dieses Typs, die hinzugefügt werden, verwirklichen. Wenn entweder die erste oder die zweite Differenzverstärkerschaltung **10** oder **30** keinen derartigen die Oszillation verhindernden Kondensator hat, ist es nicht immer erforderlich, diese Maßnahmen bei der Differenzverstärkerschaltung ohne solche Kondensatoren zu implementieren. Folglich muss es den Fall geben, in dem nur entweder die erste oder nur die zweite Differenzverstärkerschaltung **10** oder **30** vorgesehen ist.

2. Zweite Ausführungsform

[0063] Nachstehend wird eine Spannungsversorgungsschaltung eines Flüssigkristall-Anzeigegeräts gemäß einer zweiten Ausführungsform der Erfindung unter Bezugnahme auf die Fig. 5 bis Fig. 7 beschrieben.

2.1 Anordnung und Funktionsweise des Flüssigkristall-Anzeigegeräts

[0064] Fig. 5 zeigt die Konfiguration des Hauptteils eines Flüssigkristall-Anzeigegeräts. In Fig. 5 ist eine Flüssigkristall-Anzeigeeinheit z. B. eine einfache Flüssigkristall-Anzeigeeinheit **100** des Matrixtyps so ausgeführt, dass sie ein erstes Substrat mit darauf ausgeformten gemeinsamen Elektroden Co bis C_m, ein zweites Substrat mit darauf ausgeformten Segmentelektroden S_o bis S_n und eine Schicht aus Flüssigkristallmaterial, die zwischen dem ersten und zweiten Substrat abgedichtet angeordnet ist, enthält. Je eine der gemeinsamen Elektroden und je eine der Segmentelektroden kreuzen sich an einem Schnittpunkt, wodurch ein Bildpunkt gebildet wird. Die Flüssigkristall-Anzeigeeinheit **100** hat (m + 1) × (n + 1) Bildpunkte.

[0065] Es ist zu beachten, dass das Flüssigkristall-Anzeigegerät gemäß der zweiten Ausführungsform auch andere Flüssigkristall-Anzeigeeinheiten anstelle der Flüssigkristall-Anzeigeeinheit **100** mit einfacher Matrix verwenden kann, wie ein Flüssigkristall-Anzeigegerät **100** mit aktiver Matrix oder dgl.

[0066] Die gemeinsamen Elektroden C_o bis C_m sind mit einem gemeinsamen Treiber **102** verbunden,

während die Segmentelektroden S_o bis S_n mit einem Segmenttreiber **104** verbunden sind. Dieser gemeinsame Treiber **102** und Segmenttreiber **104** erhalten vorgeschriebene Spannungen, die von einer Spannungsversorgungsschaltung **106** geliefert werden, um die gemeinsamen Elektroden Co bis C_m oder die Segmentelektroden S_o bis S_n selektiv mit diesen vorgeschriebenen Spannungen auf Basis von Signalen von einer Steuerschaltung **108** zu versorgen.

[0067] In Fig. 6 zeigt ein Beispiel von Treiberimpulsen innerhalb einer Rahmenperiode zur Anwahl einer gemeinsamen Elektrode C_3 der in Fig. 5 dargestellten Flüssigkristall-Anzeigeeinheit **100**.

[0068] In Fig. 6 dient eine dicke oder "fette" Linie zur Kennzeichnung des vom gemeinsamen Treiber **102** an die jeweiligen gemeinsamen Elektroden C_o bis C_m gelieferten Treiberimpulses, während die dünne Linie einen Treiberimpuls kennzeichnet, der vom Segmenttreiber **104** an eine entsprechende Elektrode der Segmentelektroden S_o bis S_n geliefert wird.

[0069] Wie in Fig. 6 dargestellt variiert der Treiberimpuls vom gemeinsamen Treiber **102** zwischen den Spannungen V_0, V_1, V_4 und V_5. Der vom Segmenttreiber **104** gelieferte Treiberimpuls dagegen variiert zwischen den Spannungen V_0, V_2, V_3 und V_5.

2.2 Anordnung der Spannungsversorgungsschaltung

[0070] Fig. 7 zeigt Einzelheiten der in Fig. 5 dargestellten Spannungsversorgungsschaltung **106**. Wie aus Fig. 7 ersichtlich ist, ermöglicht das Einschalten zweier der Schalter SW_1 bis SW_6 die Wahl einer der Spannungen V_0, V_1, V_4, V_5 zur Lieferung an den gemeinsamen Treiber **102** und einer der Spannungen V_0, V_2, V_3, V_5 zur Lieferung an den Segmenttreiber **104**.

[0071] Die Versorgungsspannung V_{DD} ist hier die Spannung V_5; die Versorgungsspannung V_{SS} ist die Spannung V_0 und die Spannungen V_4 bis V_1 werden durch Ohm'sche Spannungsteilung der Spannung ($V_5 - V_0$) erzeugt. Zu diesem Zweck weist die Spannungsversorgungsschaltung **106** eine Potentialteilerschaltung **110** des Widerstandstyps und vier getrennte Differenzverstärker **120**, **122**, **124**, **126** auf. Die vier Differenzverstärker **120** bis **126** erhalten über die Potentialteilerschaltung **110** des Widerstandstyps eine erste und eine zweite Eingangsspannung V_{IN1}, V_{IN2} als Eingang und geben dann als Ausgangsspannungen jeweils eine der Spannungen V_4, V_3, V_2 und V_1 aus. Diese vier Differenzverstärker **120** bis **126** haben jeweils die in Fig. 2 dargestellte Anordnung. Außerdem kann die in Fig. 7 dargestellte Spannungsversorgungsschaltung **106** als diskrete oder "selbstständige" Komponente oder wahlweise in Form einer Ein-Chip-IC konfiguriert werden, auf dem der gemeinsame Treiber **102** und der Segmenttreiber **104** von Fig. 5 gemeinsam integriert sind.

2.3 Funktionsweise der Spannungsversorgungsschaltung

[0072] Die Funktionsweise des Differenzverstärkers, wie sie zuvor anhand der Fig. 2 und Fig. 4 beschrieben worden ist, gilt unmittelbar für die Funktionsweise des in Fig. 7 dargestellten Differenzverstärkers **126**, wobei die Spannung V_1 die Ausgangsspannung V_{OUT} ist, wodurch sich Verbesserungen des Impulsverlaufs bei Teil "A" in Fig. 6 ergeben.

[0073] Im Einzelnen wird bei Einschalten des Schalters SW_3 in Fig. 7 eine Ausgangsleitung des Differenzverstärkers **126** über den gemeinsamen Treiber **102** zur gemeinsamen Elektrode C3 der Flüssigkristall-Anzeigeeinheit **100** elektrisch kurzgeschlossen. Zu diesem Zeitpunkt war die Spannung der gemeinsamen Elektrode die Ausgangsspannung V_5 aufgrund der Polaritätsumkehr, wie in Fig. 6 dargestellt ist, so dass dieses Kurzschließen darin resultiert, dass das Potential der Ausgangsspannung V_{OUT} des Differenzverstärkers **126** unter die Spannung V_1 abfällt. Damit diese Ausgangsspannung V_{OUT} auf eine solche Weise rasch stabil werden kann, dass sie ihrem Anstiegsprozess, der in Fig. 4 mit der fetten Linie **182** gekennzeichnet ist, folgt oder "nachläuft", werden die erste und zweite Spannungssteuerschaltung **60**, **70** von Fig. 2 aktiviert.

[0074] Hier wird der Impulsverlauf von Teil "A" in Fig. 6 auch durch den Einfluss der parasitären Kapazitätskomponenten der gemeinsamen Elektroden abgerundet. Diese Impulsrundung in Teil "A" verursacht, dass die Phänomene der Verringerung des Kontrastes und des so genannten "Fadenziehens" bei der Flüssigkristall-Anzeigeeinheit **100** deutlich zunehmen: diese Probleme werden mit abnehmender Dauer der gewählten Zeitspanne T_{SEC} in Fig. 6 verstärkt. Je größer die Anzahl der Bildpunkte ist, umso kürzer ist die gewählten Zeitspanne T_{SEC}, wodurch eine Verschlechterung der Bildqualität verursacht wird, die bei hoch präzisen Anzeigeeinheiten gravierender ist.

[0075] Wie bei der beispielhaften Ausführungsform kann die Qualität der auf dem Bildschirm angezeigten Bilder verbessert werden, indem jede mögliche Impulsrundung an Punkten, in denen sich die Spannung ändert, wie in Teil "A" in Fig. 6 oder ähnlich abgeschwächt oder unterdrückt wird.

[0076] Die Differenzverstärker **120** bis **126** sind hier so ausgeführt, dass in dem Fall, in dem die Stabilisierung erfolgt, nachdem das Potential der Ausgangsspannung V_{OUT} Jedes Geräts angestiegen ist, ein Einschalten des NMOS-Transistors **62** der ersten Spannungssteuerschaltung **60** bewirkt wird, um dadurch die Gate-Spannung des PMOS-Transistors **50** rasch zu erhöhen, um dessen Betrieb zu beschleuni-

gen. Umgekehrt sind die Differenzverstärker **120** bis **126** sind so ausgeführt, dass in dem Fall, in dem die Stabilisierung erfolgt, nachdem das Potential der Ausgangsspannung V_{OUT} jedes Geräts abgefallen ist, eine Verringerung des im PMOS-Transistors **72** der zweiten Spannungssteuerschaltung **70** fließenden Stroms I_{72} bewirkt wird, um dadurch die Gate-Spannung des NMOS-Transistors **52** rasch zu erhöhen, um dessen Betrieb zu beschleunigen.

[0077] Aus Fig. 6 ist ersichtlich, dass sich die Spannung V_1 erst nach dem Anstieg von der Spannung V_4 oder V_5 einstellt, und auch, dass sich die Spannung V_4 erst nach dem Abfall von der Spannung V_0 oder V_1 einstellt. Ebenso ist zu ersehen, dass sich die Spannung V_2 bei einem Abfall von der Spannung V_0 oder V_1 einstellt. Es ist ebenfalls ersichtlich, dass sich die Spannung V_2 mit erhöhter Frequenz bei einem Abfall von der Spannung V_0 einstellt, während sich die Spannung V_3 in den meisten Fällen nach dem Anstieg von V_5 einstellt.

[0078] Dementsprechend benötigen die Differenzverstärker **120**, **124** von Fig. 7, die die Spannungen V_4, V_2 ausgeben, nicht immer den Einsatz der ersten Spannungssteuerschaltung **60** und können so ausgelegt sein, dass nur die zweite Spannungssteuerschaltung **70** vorgesehen ist. Andererseits benötigen die Differenzverstärker **122**, **126** von Fig. 7 zur Ausgabe der Spannungen V_3, V_1 nicht immer den Einsatz der zweiten Spannungssteuerschaltung **70** und können so modifiziert sein, dass nur die erste Spannungssteuerschaltung **60** vorgesehen ist.

[0079] Des Weiteren sind die oben beschriebenen Differenzverstärker und die Spannungsversorgungsschaltung nicht nur für verschiedene Bestandteile elektronischer Ausrüstung, einschließlich Flüssigkristallanzeigegeräte wie Mobiltelefone, Spielmaschinen und Personal Computer, anwendbar, sondern auch auf andere Typen elektronischer Ausrüstung, die mit stabilen Versorgungsspannungen arbeiten.

Patentansprüche

1. Differenzverstärker, aufweisend:
eine erste Differenzverstärkerschaltung, die auf Basis einer ersten Eingangsspannung (V_{IN1},) aktiviert wird, und einen ersten Transistor (**16**) eines ersten Leitfähigkeitstyps sowie einen zweiten Transistor (**18**) des ersten Leitfähigkeitstyps enthält, der mit dem ersten Transistor (**16**) des ersten Leitfähigkeitstyps ein Differenzpaar bildet;
eine zweite Differenzverstärkerschaltung, die auf Basis einer zweiten Eingangsspannung (V_{IN2}) aktiviert wird, und einen ersten Transistor (**36**) des zweiten Leitfähigkeitstyps sowie einen zweiten Transistor (**38**) des zweiten Leitfähigkeitstyps enthält, der mit dem ersten Transistor (**36**) des zweiten Leitfähigkeitstyps ein Differenzpaar bildet;
einen dritten Transistor (**50**) des zweiten Leitfähigkeitstyps, der auf Basis eines von der ersten Differenzverstärkerschaltung angelegten Steuersignals aktiviert wird; und
einen dritten Transistor (**52**) des ersten Leitfähigkeitstyps, der mit dem dritten Transistor (**50**) des zweiten Leitfähigkeitstyps in Reihe geschaltet ist, und auf Basis eines von der zweiten Differenzverstärkerschaltung angelegten Steuersignals aktiviert wird; und
eine Spannungssteuerschaltung (**60**; **70**), die die Spannung eines Steueranschlusses mindestens eines der dritten Transistoren (**50**, **52**) auf Basis des Spannungssteuersignals von der anderen Differenzverstärkerschaltung als diejenigen, die das Steuersignal an den dritten Transistor (**50**, **52**) legt, steuert,
wobei die Spannung zwischen dem dritten Transistor (**50**) des zweiten Leitfähigkeitstyps und dem dritten Transistor (**52**) des ersten Leitfähigkeitstyps als Ausgangsspannung dient,
dadurch gekennzeichnet, dass
ein erster Kondensator (C1), der eine Oszillation der Ausgangsspannung verhindert, zwischen dem Steueranschluss des dritten Transistors (**50**) des zweiten Leitfähigkeitstyps und dem Steueranschluss des zweiten Transistors (**18**) des ersten Leitfähigkeitstyps angeschlossen ist;
ein erster Widerstand (R1) zwischen dem Knoten zwischen dem dritten Transistor (**50**) des zweiten Leitfähigkeitstyps und dem dritten Transistor (**52**) des ersten Leitfähigkeitstyps einerseits und dem Steueranschluss des zweiten Transistors (**18**) des ersten Leitfähigkeitstyps andererseits angeschlossen ist;
ein zweiter Kondensator (C2), der eine Oszillation der Ausgangsspannung verhindert, zwischen dem Steueranschluss des dritten Transistors (**52**) des ersten Leitfähigkeitstyps und dem Steueranschluss des zweiten Transistors (**38**) des zweiten Leitfähigkeitstyps angeschlossen ist; und
ein zweiter Widerstand (R2) zwischen dem Knoten zwischen dem dritten Transistor (**50**) des zweiten Leitfähigkeitstyps und dem dritten Transistor (**52**) des ersten Leitfähigkeitstyps einerseits und dem Steueranschluss des zweiten Transistors (**38**) des zweiten Leitfähigkeitstyps andererseits angeschlossen ist.

2. Differenzverstärker nach Anspruch 1, bei dem die Spannungssteuerschaltung (**60**, **70**) aufweist:
eine erste Spannungssteuerschaltung (**60**), die die Spannung des Steueranschlusses des dritten Transistors (**50**) des zweiten Leitfähigkeitstyps auf Basis eines ersten Spannungssteuersignals von der zweiten Differenzverstärkerschaltung steuert; und
eine zweite Spannungssteuerschaltung (**70**), die die Spannung des Steueranschlusses des dritten Transistors (**52**) des ersten Leitfähigkeitstyps auf Basis eines zweiten Spannungssteuersignals von der ersten Differenzverstärkerschaltung steuert.

3. Differenzverstärker nach Anspruch 1 oder 2, bei dem die Spannungssteuerschaltung (**60**, **70**) eine

erste Spannungssteuerschaltung (**60**) aufweist, die die Spannung des Steueranschlusses des dritten Transistors (**50**) des zweiten Leitfähigkeitstyps auf Basis eines ersten Spannungssteuersignals von der zweiten Differenzverstärkerschaltung steuert, und einen vierten Transistor (**62**) des ersten Leitfähigkeitstyps enthält, der parallel zu einer Konstantstromquelle (**20**) der ersten Differenzverstärkerschaltung geschaltet ist; und
bei dem das erste Spannungssteuersignal an den Steueranschluss des vierten Transistors (**62**) des ersten Leitfähigkeitstyps geliefert wird.

4. Differenzverstärker nach Anspruch 3, bei dem das erste Spannungssteuersignal identisch mit dem Signal ist, das an einen Steueranschluss des dritten Transistors (**52**) des ersten Leitfähigkeitstyps geliefert wird.

5. Differenzverstärker nach einem der Ansprüche 1 bis 4,
bei dem die Spannungssteuerschaltung (**60**, **70**) eine zweite Spannungssteuerschaltung (**70**) aufweist, die die Spannung des Steueranschlusses des dritten Transistors (**52**) des erste Leitfähigkeitstyps auf Basis eines zweiten Spannungssteuersignals von der ersten Differenzverstärkerschaltung steuert, und einen vierten Transistor (**72**) des zweiten Leitfähigkeitstyps enthält, der parallel zu einer Konstantstromquelle (**40**) der zweiten Differenzverstärkerschaltung geschaltet ist; und
bei dem das zweite Spannungssteuersignal an den Steueranschluss des vierten Transistors (**72**) des zweiten Leitfähigkeitstyps geliefert wird.

6. Differenzverstärker nach Anspruch 5, bei dem das zweite Spannungssteuersignal identisch mit dem Signal ist, das an einen Steueranschluss des dritten Transistors (**50**) des zweiten Leitfähigkeitstyps geliefert wird.

7. Halbleiterbauteil, das den Differenzverstärker nach einem der Ansprüche 1 bis 6 aufweist.

8. Spannungsversorgungsschaltung, die den Differenzverstärker nach einem der Ansprüche 1 bis 6 aufweist.

9. Elektronisches Gerät, das die Spannungsversorgungsschaltung gemäß Anspruch 8 aufweist.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

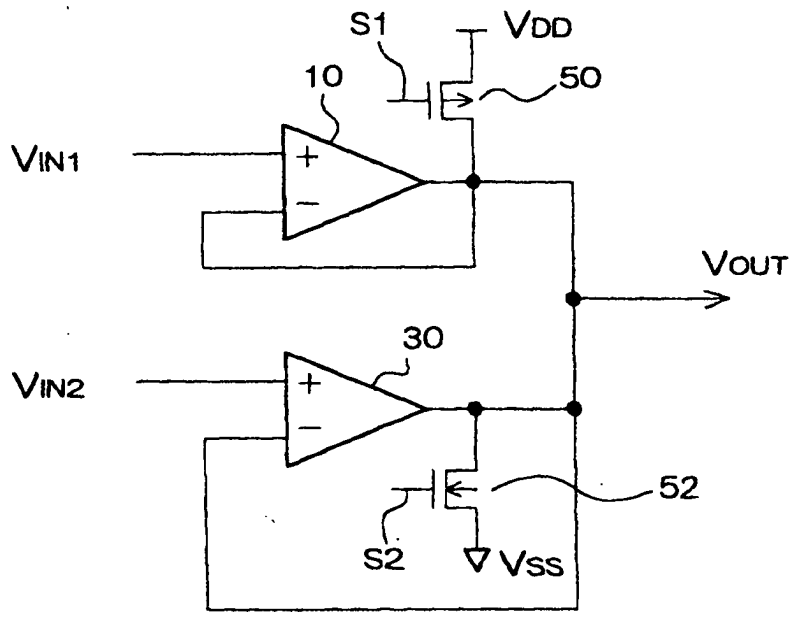


FIG. 2

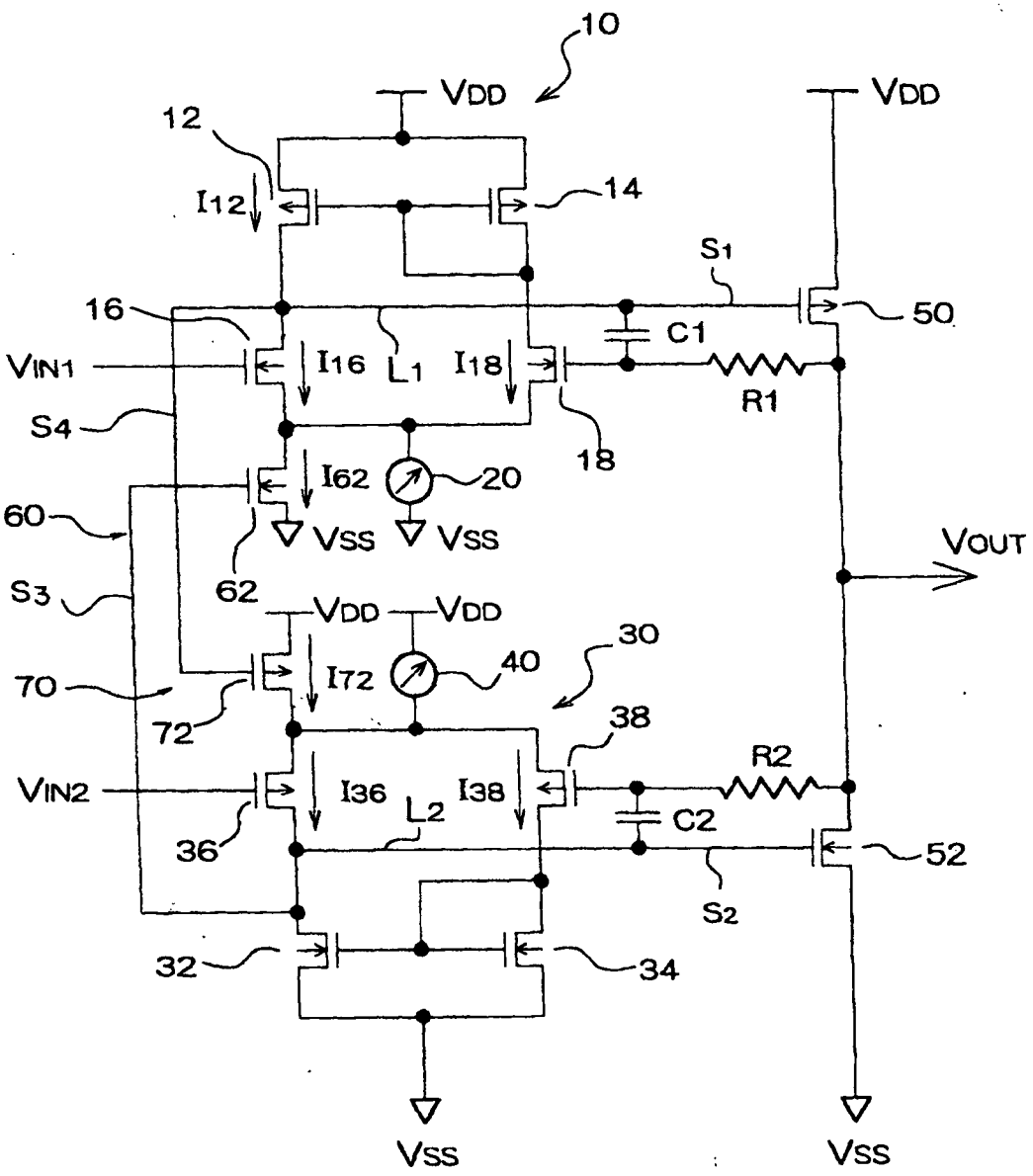

10
VDD
VDD
12
I12
14
S1
16
50
C1
VIN1
I16
L1
I18
R1
S4
18
I62
20
60
VSS
VSS
VOUT
62
S3
VDD
VDD
30
I72
40
70
72
38
R2
VIN2
I36
L2
I38
C2
36
52
S2
32
34
VSS
VSS

FIG. 3

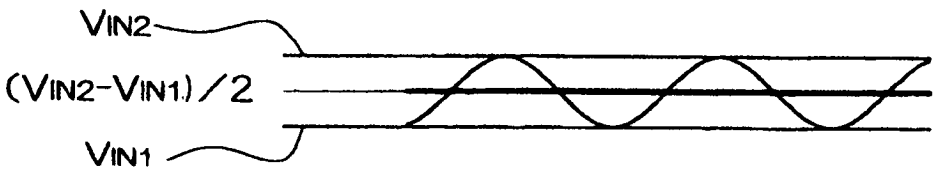


FIG. 4

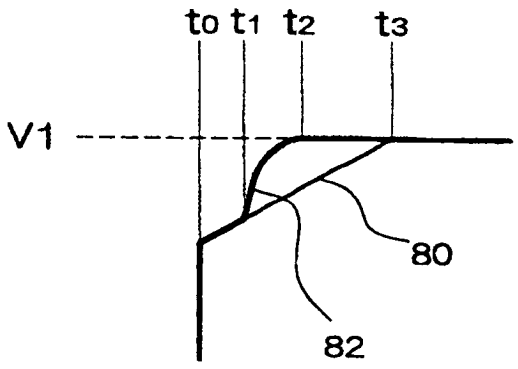


FIG. 5

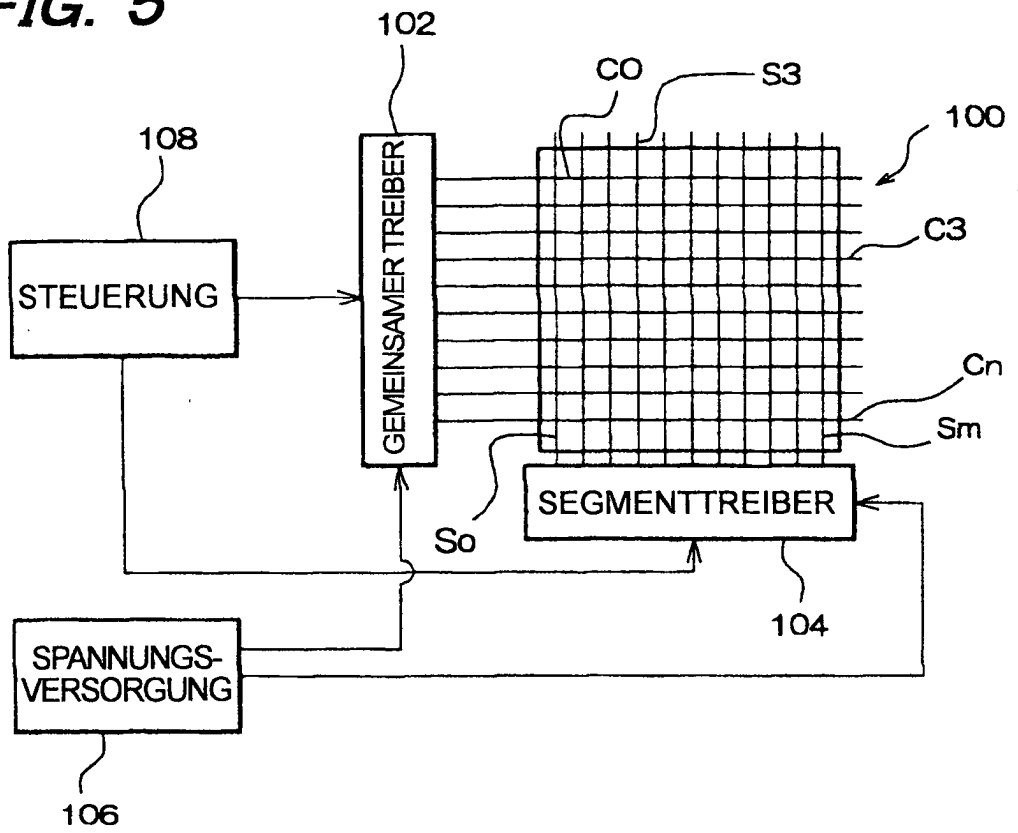
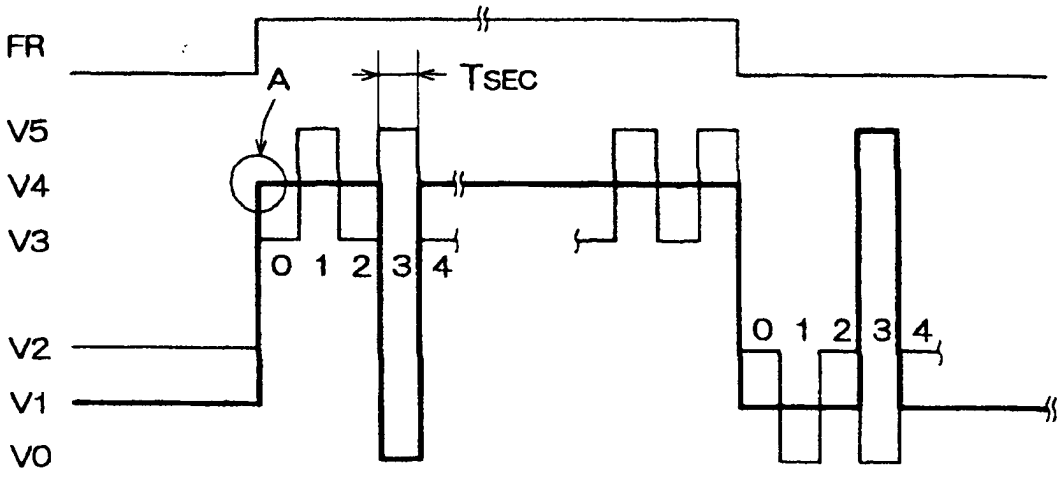

102
CO
S3
100
108
GEMEINSAMER TREIBER
C3
STEUERUNG
Cn
Sm
SEGMENTTREIBER
So
104
SPANNUNGS-
VERSORGUNG
106

FIG. 6


FR
A
TSEC
V5
V4
V3
0 1 2 3 4
0 1 2 3 4
V2
V1
V0

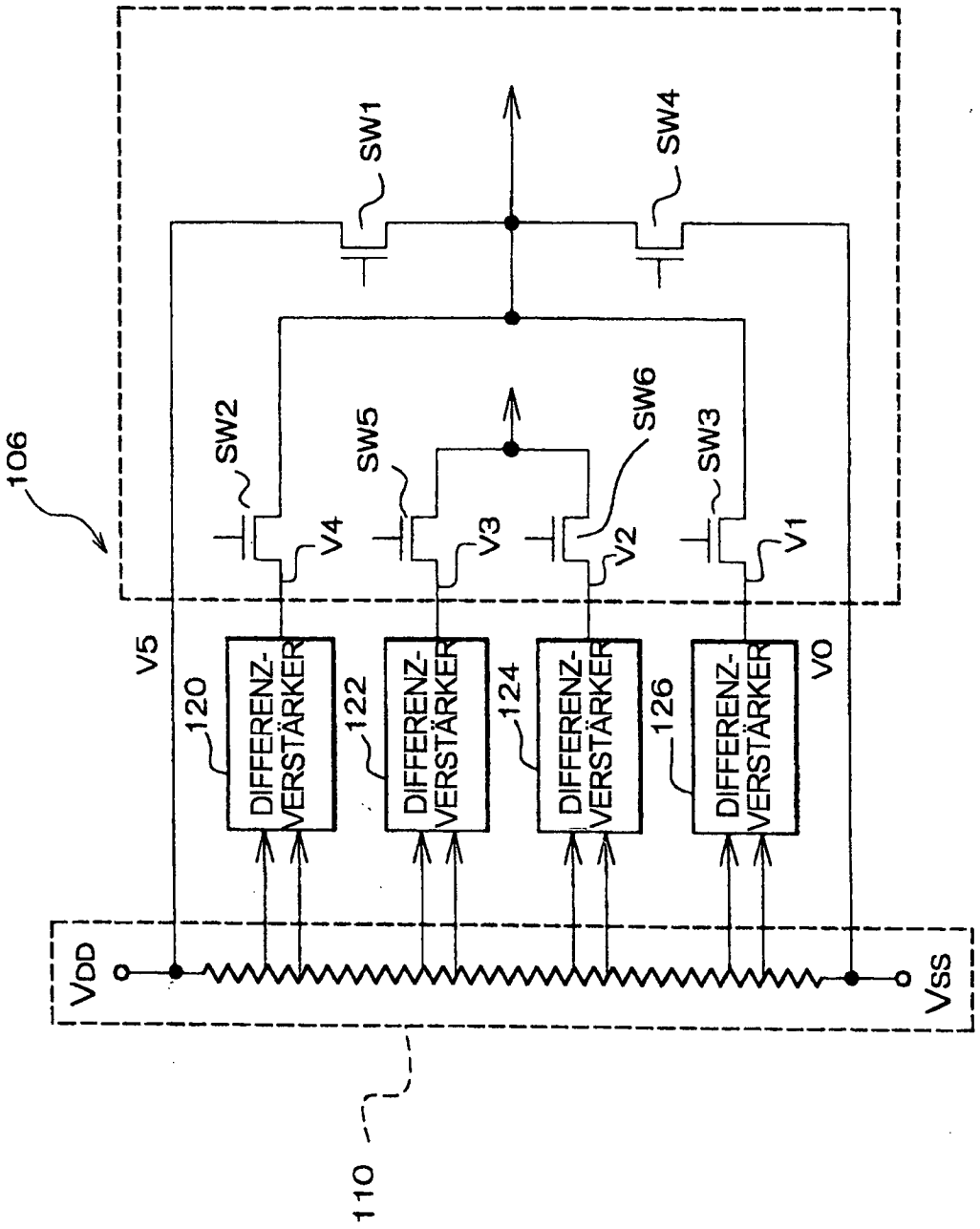
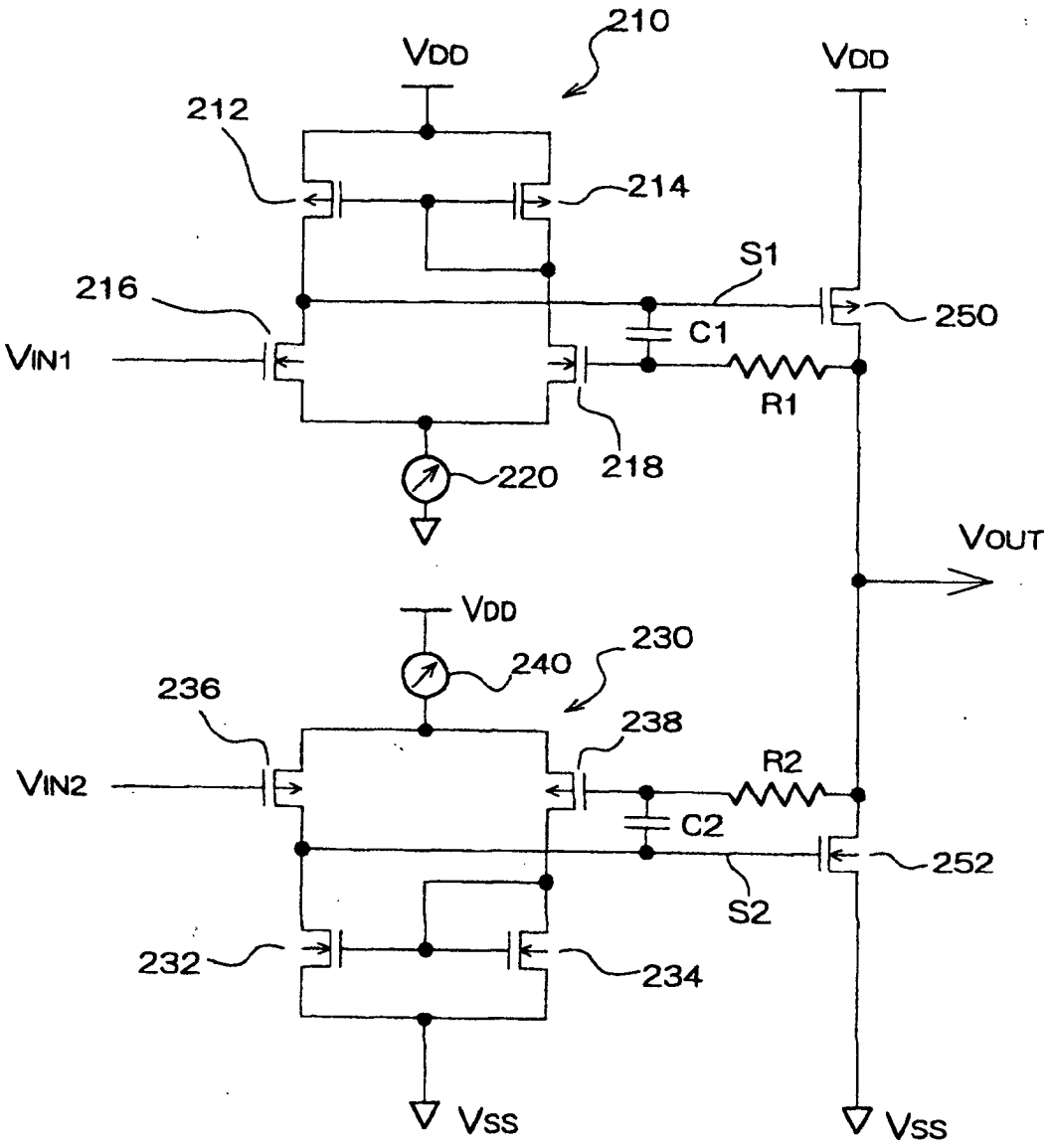

106
SW1
SW4
SW2
SW5
SW6
SW3
V4
V3
V2
V1
V5
V0
120
122
124
126
DIFFERENZ-VERSTÄRKER
DIFFERENZ-VERSTÄRKER
DIFFERENZ-VERSTÄRKER
DIFFERENZ-VERSTÄRKER
VDD
VSS
110

FIG. 7

FIG. 8


210
VDD
VDD
212
214
S1
216
250
C1
VIN1
R1
218
220
VOUT
VDD
230
240
236
238
R2
VIN2
C2
252
S2
232
234
VSS
VSS