



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

257639

(11)

(B1)

(51) Int. Cl.⁴

H 03 M 1/12

(22) Přihlášeno 13 10 86

(21) PV 7352-86.Q

(40) Zveřejněno 15 10 87

(45) Vydáno 15 02 89

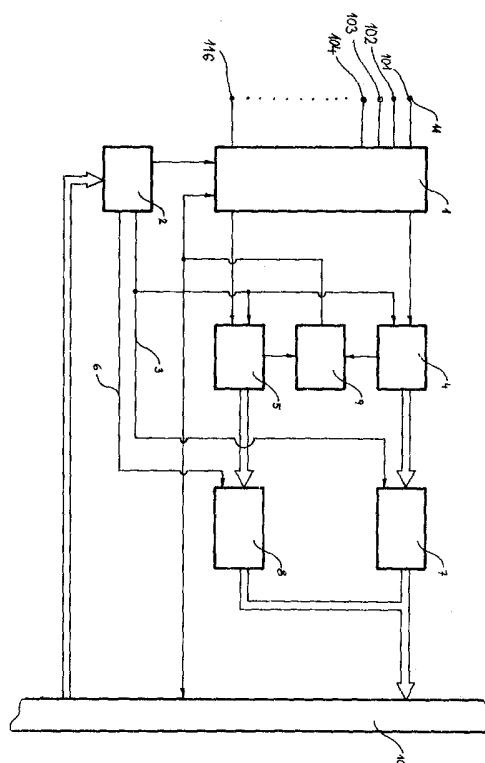
(75)

Autor vynálezu

VAŠKŮ STANISLAV ing., CHYTIL JOSEF ing. CSc., OLOMOUC

(54) Několikavstupový analogově číslicový převodník

Několikavstupový analogově číslicový převodník sestává z přepínače vstupů a z nejméně dvou jednokanálových analogově číslicových převodníků, které jsou připojeny prostřednictvím nejméně dvou střadačů na sběrnici vyhodnocovacího zařízení. K přepínači vstupů je připojen dekodér, spojený spojem s prvním jednokanálovým analogově číslicovým převodníkem, druhým jednokanálovým analogově číslicovým převodníkem a prvním střadačem a dalším spojem je spojen s druhým střadačem. Mezi první jednokanálový analogově číslicový převodník a druhý jednokanálový analogově číslicový převodník je připojen obvod logického součinu, spojený zpětně s přepínačem vstupů a se sběrnici vyhodnocovacího zařízení. Dekodér je připojen rovněž na sběrnici vyhodnocovacího zařízení. Několikavstupový analogově číslicový převodník je využitelný v oblasti automatického řízení, regulace, měření a sběru dat.



Vynález se týká několikavstupového analogově číslicového převodníku.

Několikavstupový analogově číslicový převodník nachází široké uplatnění v oblasti automatického řízení, regulace, měření a sběru dat. Provádí v podstatě měření elektrického napětí v několika místech, přičemž výsledek v digitální formě je vhodný pro další libovolné zpracování na připojeném vyhodnocovacím zařízení. Kromě dalších parametrů několikavstupového převodníku je rozhodující jeho celková doba měření, která je zahájena startem měření a ukončena okamžikem přečtení a uložení posledních dat vyhodnocovacím zařízením.

Několikavstupové analogově číslicové převodníky jsou konstruovány na bázi jednobáňových analogově číslicových převodníků. Přitom je vždy splněno, že doba převodu jednobáňového analogově číslicového převodníku je delší než doba čtení a uložení výsledných dat vyhodnocovacím zařízením. Je známo několik způsobů řešení, například jednotlivé vstupy jsou pomocí přepínače postupně připojovány k jednomu jednobáňovému analogově číslicovému převodníku.

Vyhodnocovací zařízení odstartuje převod jednobáňového analogově číslicového převodníku a cyklicky testuje, zda je převod ukončen. Po jeho ukončení jsou přečtena výsledná data, přepínač je přepnut na další vstup a celý cyklus se opakuje až do změření potřebného počtu vstupů. Je zřejmé, že tato koncepce je nejjednodušší z konstrukčního hlediska, ale nejméně výhodná z hlediska dlouhé doby měření a uložení výsledků. Tato doba je dána součtem doby trvání převodu jednobáňového analogově číslicového převodníku, doby potřebné pro čtení a uložení změřených dat, doby potřebné k přepnutí přepínače a doby potřebné pro start převodu, násobeným počtem měřených míst, tedy počet vstupů několikavstupového analogově číslicového převodníku.

Toto řešení může být doplněné střadačem, do něhož se vždy v okamžiku ukončení převodu jednobáňového analogově číslicového převodníku uloží změřená data. Tato data jsou potom čtena v době trvání dalšího převodu, takže celková doba měření se zkrátí o dobu potřebnou pro čtení dat. Je tedy dána součtem doby trvání převodu jednobáňového analogově číslicového převodníku, doby potřebné k přepnutí přepínače a doby potřebné pro start převodu, násobeným počtem měřených míst. Nejvýhodnější z hlediska doby měření je koncepce, kdy je použito tolik jednobáňových analogově číslicových převodníků, kolik je vstupů vícebáňového analogově číslicového převodníku. V tomto případě dojde k podstatnému zkrácení celkové doby měření, protože všechny jednobáňové analogově číslicové převodníky jsou odstartovány současně.

Proběhne tedy prakticky pouze jeden převod, takže celková doba měření je nyní určena součtem doby potřebné pro čtení a uložení dat všech jednobáňových analogově číslicových převodníků, doby potřebné pro start a doby trvání jednoho převodu. Je ovšem zřejmé, že několikavstupový analogově číslicový převodník této koncepce je konstrukčně podstatně složitější, dražší a větší.

Uvedené nedostatky odstraňuje několikavstupový analogově číslicový převodník, sestávající z přepínače vstupů a z nejméně dvou jednobáňových analogově číslicových převodníků, které jsou připojena prostřednictvím nejméně dvou střadačů na sběrnici vyhodnocovacího zařízení, podle vynálezu. Jeho podstata spočívá v tom, že k přepínači vstupů je připojen dekodér, spojený spojem s prvním jednobáňovým analogově číslicovým převodníkem, druhým jednobáňovým analogově číslicovým převodníkem a prvním střadačem a dalším spojem je spojen s druhým střadačem, přičemž mezi první jednobáňový analogově číslicový převodník a druhý jednobáňový analogově číslicový převodník je připojen obvod logického součinu, spojený zpětně s přepínačem vstupů a se sběrnicí vyhodnocovacího zařízení a dekodér je připojen rovněž na sběrnici vyhodnocovacího zařízení.

Několikavstupový analogově číslicový převodník podle vynálezu má vyšší účinek spočívající v konstrukční jednoduchosti převodníku a velmi krátké době měření.

Vynález a jeho účinky jsou blíže vysvětleny v popise příkladu jeho provedení podle přiloženého výkresu, který znázorňuje blokové schéma zapojení několikavstupového analogově číslicového převodníku podle vynálezu v provedení se šestnácti vstupy, zapojenými do přepínače vstupů.

Vstupy 11 jsou připojeny do přepínače 1 vstupů 11. Přepínač 1 vstupů 11 je připojen k nejméně dvěma jednobitovým analogově číslicovým převodníkům, tedy podle obrázku k prvnímu jednobitovému analogově číslicovému převodníku 4 a druhému jednobitovému analogově číslicovému převodníku 5, které jsou připojeny prostřednictvím nejméně dvou střadačů na sběrnici vyhodnocovacího zařízení 10, podle obr. tedy prostřednictvím prvního střadače 7 a druhého střadače 8. K přepínači 1 vstupů 11 je připojen dekodér 2, spojený spojem 3 s prvním jednobitovým analogově číslicovým převodníkem 4, druhým jednobitovým analogově číslicovým převodníkem 5 a prvním střadačem 7 a dalším spojem 6 je spojen s druhým střadačem 8. Mezi první jednobitový analogově číslicový převodník 4 a druhý jednobitový analogově číslicový převodník 5 je připojen obvod 9 logického součinu, spojený zpětně s přepínačem 1 vstupů 11 a se sběrnicí vyhodnocovacího zařízení 10. Dekodér 2 je rovněž připojen na sběrnici vyhodnocovacího zařízení 10.

Několikavstupový analogově číslicový převodník podle vynálezu splňuje výhody koncepcí, tedy konstrukční jednoduchost převodníku s minimální dobou měření. Výhodnost spočívá zejména v tom, že používá většího počtu jednobitových analogově číslicových převodníků, ale jen minimálního počtu a to toliko, aby doba čtení dat těchto převodníků byla větší než doba převodu jednobitového analogově číslicového převodníku. Příkladně, když doba převodu jednobitového analogově číslicového převodníku je 20 us, doba čtení jeho dat je 12 us. Použijí se tedy dva jednobitové analogově číslicové převodníky, kde doba čtení dat je 24 us, tedy je větší než doba převodu 20 us.

Několikavstupový analogově číslicový převodník podle vynálezu pracuje tak, že na povel start měření ze sběrnice vyhodnocovacího zařízení 10 vyvolá na výstupu dekodéru 2 impuls, který přepne přepínač 1 vstupů 11 tak, že na první jednobitový analogově číslicový převodník 4 je připojen první vstup 101 a na druhý jednobitový analogově číslicový převodník 5 druhý vstup 102. Na povel čtení dat z prvního jednobitového analogově číslicového převodníku 4 sběrnice vyhodnocovacího zařízení 10 vyvolá na výstupu spojem 3 dekodéru 2 impuls, který vyvolá přenos dat z prvního jednobitového analogově číslicového převodníku 4 a z druhého jednobitového analogově číslicového převodníku 5 do prvního střadače 7 a druhého střadače 8, výstup prvního střadače 7 současně připojí na sběrnici vyhodnocovacího zařízení 10 a současně provede start prvního jednobitového analogově číslicového převodníku 4 a druhého jednobitového analogově číslicového převodníku 5.

Vyhodnocovací zařízení 10 čeká na okamžik, ve kterém ukončí převod i pomalejší z prvního jednobitového analogově číslicového převodníku 4 a druhého jednobitového analogově číslicového převodníku 5. O tom dostává informaci z obvodu 9 logického součinu, jehož první vstup je připojen na první jednobitový analogově číslicový převodník 4, druhý na druhý jednobitový analogově číslicový převodník 5 a jehož výstup rovněž ovládá přepínač 1 a je připojen ke sběrnicí vyhodnocovacího zařízení 10. V uvedeném okamžiku přepne přepínač 1 vstupů 11 třetí vstup 103 na první jednobitový analogově číslicový převodník 4 a čtvrtý vstup 104 na druhý jednobitový analogově číslicový převodník 5 a vyhodnocovací zařízení 10 zahájí čtení dat.

Povelem na čtení dat z prvního jednobitového analogově číslicového převodníku 4 ze sběrnice vyhodnocovacího zařízení 10 je opět vyvolán na výstupu spojem 3 dekodéru 2 impuls, který zajistí přenos dat z prvního jednobitového analogově číslicového převodníku 4 do prvního střadače 7 a z druhého jednobitového analogově číslicového převodníku 5 do druhého střadače 8, připojení výstupu prvního střadače 7 na sběrnici vyhodnocovacího zařízení 10, je provedeno čtení dat ze sběrnice vyhodnocovacího zařízení 10 a současně je u prvního jednobitového analogově číslicového převodníku 4 a druhého jednobitového analogově číslicového převodníku 5 spuštěn nový převod.

Následuje povel na čtení dat z druhého jednokanálového analogově číslicového převodníku 5 ze sběrnice vyhodnocovacího zařízení 10, který vyvolá impuls na výstupu dalším spojem 6 dekodéru 2. Tímto impulsem je na sběrnici vyhodnocovacího zařízení 10 připojen výstup druhého střadače 8, data jsou přečtena a uložena.

Protože čtení dat trvá déle než převod prvního jednokanálového analogově číslicového převodníku 4 a druhého jednokanálového analogově číslicového převodníku 5, jsou v okamžiku ukončení čtení dat z druhého jednokanálového analogově číslicového převodníku 5 už oba další převody hotovy, přes obvod 9 logického součinu je přepínač 1 vstupů 11 přepnut tak, že na první jednokanálový analogově číslicový převodník 4 je připojen na pátý vstup 105, na druhý jednokanálový analogově číslicový převodník 5 šestý vstup 106 a následuje opět povel na čtení dat z prvního jednokanálového analogově číslicového převodníku 4.

Ten opět zajistí přenos dat z prvního jednokanálového analogově číslicového převodníku 4 do prvního střadače 7 a z druhého jednokanálového analogově číslicového převodníku 5 do druhého střadače 8, připojení výstupu prvního střadače 7 ke sběrnici vyhodnocovacího zařízení 10, přečtení a uložení dat ze sběrnice vyhodnocovacího zařízení 10 a dále start převodu prvního jednokanálového analogově číslicového převodníku 4 a druhého jednokanálového analogově číslicového převodníku 5. Tento děj se cyklicky opakuje tak dlouho, dokud nejsou změřeny všechny vstupy 11.

Je zřejmé, že kromě prvního převodu prvního jednokanálového analogově číslicového převodníku 4 a druhého jednokanálového analogově číslicového převodníku 5, na jehož konec vyhodnocovacího zařízení 10 čeká, provádí dále vyhodnocovacího zařízení 10 už pouze cyklické čtení dat z prvního jednokanálového analogově číslicového převodníku 4 a druhého jednokanálového analogově číslicového převodníku 5. Přenos dat do prvního střadače 7 a druhého střadače 8 a start v okamžiku převodu prvního jednokanálového analogově číslicového převodníku 4 a druhého jednokanálového analogově číslicového převodníku 5 je prováděn vždy v době čtení dat z prvního jednokanálového analogově číslicového převodníku 4.

Několikavstupový analogově číslicový převodník podle vynálezu je využitelný v oblasti automatického řízení, regulace, měření a sběru dat.

P R E D M Ě T V Y N Á L E Z U

Několikavstupový analogově číslicový převodník, sestávající z přepínače vstupů a z nejméně dvou jednokanálových analogově číslicových převodníků, které jsou připojeny prostřednictvím nejméně dvou střadačů na sběrnici vyhodnocovacího zařízení, vyznačující se tím, že k přepínači /1/ vstupů /11/ je připojen dekodér /2/, spojený spojem /3/ s prvním jednokanálovým analogově číslicovým převodníkem /4/, s druhým jednokanálovým analogově číslicovým převodníkem /5/ a s prvním střadačem /7/, zatímco dalším spojem /6/ je dekodér /2/ spojen s druhým střadačem /8/, přičemž mezi první jednokanálový analogově číslicový převodník /4/ a druhý jednokanálový analogově číslicový převodník /5/ je připojen obvod /9/ logického součinu, spojený zpětně s přepínačem /1/ vstupů /11/ a se sběrnici vyhodnocovacího zařízení /10/, kde dekodér /2/ je připojen rovněž na sběrnici vyhodnocovacího zařízení /10/.

