

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁶
C25D 5/18

(45) 공고일자 2005년02월28일
(11) 등록번호 10-0465545
(24) 등록일자 2004년12월30일

(21) 출원번호	10-1998-0704072
(22) 출원일자	1998년05월29일
번역문 제출일자	1998년05월29일
(86) 국제출원번호	PCT/EP1996/004232
국제출원일자	1996년09월27일

(65) 공개번호	10-1999-0071793
(43) 공개일자	1999년09월27일
(87) 국제공개번호	WO 1997/23665
국제공개일자	1997년07월03일

(81) 지정국	국내특허 : 아일랜드, 브라질, 캐나다, 중국, 체코, 일본, 대한민국, 싱가포르, EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈,		
(30) 우선권주장	195 47 948.3	1995년12월21일	독일(DE)
(73) 특허권자	아토테크 도이칠란드 게엠베하 독일 데-10553 베를린 에라스무스 슈트라세 20-24		
(72) 발명자	휘벨 에곤 독일 데-90537 포이히트 알트도르퍼 슈트라쎬 35		
(74) 대리인	특허법인코리아나		

심사관 : 남궁용

(54) 전해금속침착용전류펄스를발생시키기위한방법및회로배치

명세서

기술분야

본 발명은 큰 전류강도와 급격한 에지 (edge) 기울기를 가지는 짧고 주기적으로 반복하는 전류 펄스를 발생시키는 방법에 관한 것이다. 또한, 전해 금속침착용 회로에 관한 것으로, 더 자세하게는 이 방법을 행하기 위한 회로에 관한 것이다. 본 방법은 전해 금속 침착 (deposition)에 적용되며, 바람직하게는 인쇄회로기판의 수직 또는 수평 전기도금에 적용된다. 이러한 유형의 전기도금을 펄스도금이라 한다.

배경기술

금속의 전해 침착은 펄스형 전류에 의해 영향을 받는 것으로 알려져 있다. 이는 침착되는 금속의 화학적/물리적 특성에 영향을 준다. 그러나, 또한 소위분산 (dispersion)이라고 하는, 처리될 제조품 표면상의 금속 층두께의 균일한 침착에도 영향을 미친다. 이들 성질에는, 다음의 펄스화된 전기도금 전류의 변수들이 영향을 미친다.

- 펄스 주파수

-펄스 시간

-중지 시간

- 펄스 진폭

-펄스 상승 시간

-펄스 하강 시간

-펄스 극성 (전기도금, 디플레이팅 (deplating))

독일 공개특허공보 제 27 39 427 A1 호에는, 펄스화된 베스 (bath) 전류로 전기도금하는 것이 개시되어 있다. 여기서, 단극성 펄스는 최대 0.1 ms 의 폭을 가진다. 펄스시간, 중지시간, 및 펄스진폭은 모두 변수이다. 여기서, 트랜지스터 형태의 반도체 스위치가 이러한 펄스를 발생시키는 역할을 한다. 이의 단점으로는, 스위칭 트랜지스터의 사용에 의해, 최대 허용 펄스화 베스 전류가 기술적 및 경제적으로 제한된다는 것이다. 그 상한치는 약 100 A 이다.

독일 공개특허공보 제 40 05 346 A1 호에 개시된 공정은 이러한 불이익을 피할 수 있다. 여기서, 전류 펄스를 발생시키기 위하여, 스위치 오프(off)될 수 있는 사이리스터 (thyristor)가 고속 스위칭소자 (GTO: gate turn off thyristor)로서 사용된다. 기술적으로 이용가능한 GTO는 1,000 A 이상까지의 전류에 대해 적합하다.

위의 두 경우에 있어서, 양극성 펄스 (bipolar pulse) 가 사용되는 경우에는, 기술적인 비용이 반영되어야 하는데, 즉 2 배의 기술적인 비용이 필요하다. 펄스 도금에 관하여 서술하고 있는 영국 공개특허공보 제 GB-A 2 214 520 호에서는, 일 실시형태에서, 기계적 스위치, 전기기계적 스위치 또는 반도체 스위치를 사용함으로써, 제 2의 베스 전류원을 사용하지 않고 공급된 직류 전압의 극성을 역전시키고 있다. 그러나, 필요한 고전류 스위치는 단점을 가지고 있다. 게다가, 이 방법이 동일한 전류 크기의 두 개의 극성에 대하여 실시되어야 하고, 짧은 고전류의 펄스로는 실제 이용가능한 베스 전류원에서 진폭이 충분히 빨리 재조정될 수 없으므로, 이 시스템은 유연성이 없다. 따라서, 이 공보의 다른 실시형태에서는, 서로 독립적으로 조절되는 2 개의 베스 전류원이 사용되었다. 이 베스 전류원은 전환 (change-over) 스위치를 통하여 전기도금 셀 및 전극에 위치된 제조품과 접속된다. 인쇄회로기판의 전기도금시, 요구되는 정밀도 (층 두께의 일정함) 를 이유로, 인쇄회로기판의 전면측과 후면측에는 개별적으로 조절가능한 베스 전류원을 사용하는 것이 필요하며, 4개의 베스 전류원을 사용하게 됨으로써 이러한 실시형태에 따르는 방법을 실현 하는 데는 2배의 비용이 들게 된다.

이러한 기술상의 고비용에 더하여, 특히 각 인쇄회로기판 측면마다 있는 각각의 제 2의 베스 전류원에 대하여, 고전류 전자식 스위치가 큰 에너지 손실을 유발시킨다. 각 전자식 스위치에서, 스위치가 온(on)되는 경우에는, 전류가 흐를 때 내부 비선형 저항에 전압강하가 발생하게 된다. 이는 비록 전압강하의 크기가 변화되긴 하지만, 모든 종류의 반도체 소자에서 공통적인 현상이다. 전류가 증가하게 되면, 포화전압 또는 순방향 전압 (U_F) 이라고도 하는 이 전압 강하도 증가하게 된다. 전기도금 기술에서 일반적으로 사용되는 전류, 예를 들어 1,000 A 에서, 순방향 전압 (U_F) 은 다이오드 및 트랜지스터에서 거의 1V 이며, 사이리스터에서는 약 2 V 이다. 이러한 각 반도체 소자에서의 전력 손실 (P_V) 은 식 $P_V = U_F \times I_G$ 에 따라 계산되며, 여기서 I_G 는 전기도금 전류이다. I_G 가 1,000A일 때, 소모 에너지 (P_V) 는 1,000 W 내지 2,000 W에 달한다. 전기 스위치에 의하여 부가적으로 발생된 열은 냉각으로 방출되어야 한다. 실제의 베스 전류원에서의 전력 손실은 거의 동일한 크기로 발생되며 이는 불가피한 것이다. 이러한 손실은 더 이상 고려되지 않는다. 단지 펄스 발생에 부가적으로 가해져야 하는 전력 손실만을 고려한다.

전기도금 시스템은 복수의 전기도금 셀 (electroplating cell)로 구성된다. 이 전기도금 셀에는 큰 베스 전류가 인가된다. 예를 들어, 산성 전해액으로부터 구리를 인쇄회로기판에 침착시키는 수평 시스템에 대하여 살펴 본다. 펄스기술을 적용함으로써, 인쇄회로기판의 미세 구멍 (hole)에 침착되는 구리의 양을 크게 향상시킨다. 특히, 효과적이라고 판명된 것은, 주기적으로 펄스의 극성을 변화시키는 것이다. 처리될 제조품의 캐소드(cathode) 극성으로는, 예를 들어, 펄스폭이 10 ms인 펄스가 사용된다. 펄스폭 1 ms인 애노드(anode)의 펄스가 이 펄스를 뒤따를 수 있다. 펄스형 캐소드의 전기도금에서는, 바람직하게는, 전류밀도는, 직류 전기도금 동안 이 전해액과 함께 사용되는 전류밀도 이상이 되도록 선택된다. 짧은 애노드의 전류 펄스동안에, 실질적으로 캐소드의 펄스 위상에서의 전류밀도보다 더 큰 전류밀도를 갖는 디플레이팅 공정이 일어난다. 여기서, 애노드 펄스 위상 대 캐소드의 펄스 위상은 약 4 로 하는 것이 유리하다.

인쇄회로기판은 양측면에서 즉, 전면측 및 후면측에서 개별적인 베스 전류인가에 의해 전기도금된다. 예를 들어, 5 개의 전해조를 갖는 수평 전기도금 시스템에 대하여 살펴본다. 이들은, 측면마다 예를 들어, 각각이 1,000 A의 공칭전류를 갖는 5개의 베스 전류공급 장치를 가지는데, 즉, 10개의 베스 전류공급 장치를 가지며 총 10,000 A를 공급한다. 산성 구리 전해액으로 전기도금하기 위한 전해조 전압으로는 1 내지 3 V의 값으로서, 전류의 밀도에 의존한다. 높은 전류 때문에, 독일 공개특허공보 제 40 05 346 A1 호에서 제안된 회로를 위한 에너지 균형 (balance)을 도 7 에 예로서 나타낸다. 이 회로에 의해 발생된 $t=10$ ms의 폭을 갖는 전기도금 펄스인 양의 펄스 및 $t=1$ ms의 폭과 상당히 더 높은 진폭을 갖는 디플레이팅 펄스로서의 음의 펄스에 대하여, 아래에 설명한다. 낮은 에지 경사도에 의해 유발되는 부정확성에 대하여서는 여기서 무시한다. 따라서, 10 ms의 시간동안 도 7에 나타난 회로배치의 반도체 소자 (6,9,5)는 완전한 전기도금 전류를 운반한다. 이 스위칭 소자의 전력 손실량은, 상기 설명한 순방향 전압 (U_F)의 베스 전류 전원 당 $(2 V + 1 V + 2 V) \times 1,000 A = 5,000 W$ 이다. 1 ms 동안, 반도체 소자 (7,8)는 작업 세트에 따라서 이 전류의 4배의 전류를 운반한다. 이 전력손실량은 $P_V = (2V + 2V) \times 4,000 A = 16,000 W$ 이다. 따라서, 11 ms 동안 지속되는 싸이클의 평균 고전류 스위치 전력손실은 약 6,000 W이다. 10 개의 베스 전류 인가시, 그 양은 60 kW의 전력손실이 된다. 효율성의 정도를 계산하기 위하여, 이 출력은 전기도금용 및 디플레이팅용 전해조에서 직접적으로 변환되는 출력과 비교하여야 한다. 이를 위해, 이 베스 전압은, 산성구리 베스에 대해, 전기도금에 대해서는 2 V를 가지며 디플레이팅에 대해서는 7 V를 갖는다고 가정한다. 따라서, 펄스 전기도금시 전체 베스 출력의 평균값은 약 4.5kW (10 ms 동안, $2 V \times 1,000 A$; 1 ms 동안, $7 V \times 4,000 A$)가 된다. 위에서 계산된 손실은 6 kW에 달하는데, 전체 전해조 출력에 관계되는 고전류 스위치만의 효율은 명백히 50% 이하이다.

이러한 방식으로 고전류 전자식 스위치를 구비한 전기도금 시스템은 매우 비경제적으로 작동한다. 또한, 전자식 스위치와 그 냉각을 위한 기술상의 비용은 매우 높다. 그 결과, 이러한 종류의 펄스 전류 장치는, 차지하는 부피가 크기 때문에 이 장치를 전해조에 가까이 배치하는 데 어려움이 있다. 그러나, 이 공간적인 밀착성은, 전극에서의 필요한

배스 전류의 에지 경사도를 얻는데 필요하다. 길다란 전기 도체는 그 기생 인덕턴스(parasitic inductance)로 인해 전류의 급격한 상승에 반하여 작용한다.

전자식 스위치에 비해, 전기 기계식 스위치는 스위치가 도통상태에서 훨씬 낮은 전압강하를 일으킨다. 그러나, 스위치 또는 보호장치는 요구되는 100 Hz의 높은 펄스 주파수에는 매우 적합하지 않다. 이러한 기술상의 이유로 하여, 공지된 펄스 전기도금의 방식은 특별한 응용분야에 제한되며, 바람직하게는, 전기도금에 관한 한 낮은 펄스 전류에 대하여서만 적용된다.

발명의 상세한 설명

따라서, 본 발명이 이루고자하는 과제는, 이상에서 설명한 불이익 특히, 상당한 전력 손실을 발생시키지 않으면서, 짧고, 주기적으로 반복하며, 단극성 또는 양극성의 전기도금용 고전류를 발생시킬 수 있는 방법과 그 회로 배치를 찾아 내는 것이다. 또한, 이 방법에 필요한 전자 회로는 저렴한 비용으로 실현 가능해야 한다.

이상의 목적은 청구항 1 항 내지 11 항을 통하여 실현된다.

본 발명은, 배스 직류원, 전기 도체, 및 전기도금 물질 및 애노드를 가지는 전해셀을 구비하는, 줄여서 고전류 회로라고 불리는 전기도금 직류회로에 변류기(current transformer) 등의 적당한 구성요소가 결합되어, 펄스 전류는 배스 직류가 보상되거나 또는 과보상되도록 극성을 가진다. 바람직하게는, 이 구성요소는 전해 전기도금 셀에 직렬로 접속된다. 예를 들어, 이를 위해서 적은 권선수를 가지는 변류기의 2차 권선은, 배스 직류회로에 직렬로 접속되어 배스 직류가 이를 통하여 흐르도록 한다. 1차 권선에서는, 변류기가 많은 권선수를 가져, 권선비에 따라서 공급되는 펄스는 고전압과 저전류를 가질 수 있다. 유도된 낮은 펄스형 2차 전압이 높은 보상전류를 발생시킨다. 배스 직류원에 병렬로 접속된 캐패시터(capacitor)는 펄스 보상 전류용 전류회로를 단계 하는 역할을 한다.

이하 도 1 내지 6을 참조하여, 본 발명을 좀더 자세히 설명한다.

도면의 간단한 설명

도 1a 내지 1e는 실제로 사용되는 일반적인 단극성 및 양극성 전기도금 전류의 경로를 나타낸다.

도 2a 및 2b는 고전류 회로에 보상전류를 공급하는 회로배치로서, 도 2a 는 전기도금시 그리고 도 2b 는 디플레이팅시에 적용가능하다.

도 3은 도 2에 도시된 회로배치를 사용한 배스 전류의 전류 다이어그램의 개요도이다.

도 4a는 상승시간 및 하강시간을 고려한 고전류 회로의 전압 곡선이다.

도 4b는 입력된 전위를 갖는 전기 배선도이다.

도 5는 가능한 변류기용 제어회로이다.

도 6은 전기도금용 인쇄회로기판에 사용될 회로배치의 전체도이다.

도 7은 DE 40 05 346 A1 호에서 기재된 종래의 회로배치도이다.

실시예

도면에서 양으로 표시된 배스전류는 전해 전기도금에 적용되며, 처리될 제조품은 애노드에 대하여 음극성이다. 음으로 표시된 배스전류는 전해 디플레이팅용으로 제공된다. 이 경우, 처리되어질 제조품은 애노드에 대하여 양극성이다.

도 1a 의 다이어그램은 직류로 전기도금하는 경우에 대한 것이다. 도 1b 에서, 배스전류는 짧은 시간동안 중단된다. 그러나, 이때는 단극성에 머물며, 즉, 전류방향의 극성은 반전되지 않는다. 바람직하게는, 이 펄스시간은 0.1 ms ~ 수 s 의 크기만큼 될 수 있다. 그에 따라서, 중지시간이 더 짧아진다. 도 1c는 다른 진폭을 가지는 단극성 펄스 전류를 나타낸 것이다. 도 1d는 긴 전기도금 시간과 짧은 디플레이팅 시간을 가지며, 잠시 펄스 전류의 극성이 역전되는 양극성 전류를 나타낸다. 여기서, 디플레이팅 전류의 진폭은 전기도금시 전류진폭의 수배이다. 그러나, 전체적으로는, 전기도금 시간이 10 ms이고, 디플레이팅 시간이 1 ms인 경우, 전기도금시의 경우에 필요한 전하의 양은 디플레이팅시의 경우에 필요한 전하의 양을 명백히 초과한다. 이러한 펄스형태는 미세 구멍을 가지는 인쇄회로기판의 양측면상에 전기도금하는 경우에 매우 적합한 형태이다. 도 1e에서는, 본 발명에 따른 방법으로 이를 수 있는 더블 펄스 형태가 도시되어있다. 여기서, 이 더블 펄스는 단극성 펄스와 양극성 펄스가 교대로 나타나는 형태이다.

이 전기도금 셀은 전기도금 전류에 대하여 거의 근사하게 저항성 부하의 역할을 한다. 도 1b에 따라 배스전류를 공급하면, 배스전류 및 배스전압이 동일위상이다. 전해 셀 및 전류원에 이르는 전기 도체의 낮은 기생 인덕턴스는 무시될 수 있다. 반면, 펄스전류는 교류를 포함한다. 펄스의 에지 경사도가 증가하게 되면, 교류의 고주파의 비율이 더욱더 증대된다. 경사도가 높은 에지를 갖는 펄스는 짧은 펄스 상승시간과 짧은 하강시간을 갖는다. 도선의 인덕턴스는 이 교류에 유도성 저항의 역할을 한다. 이들은 펄스의 에지를 지연시키게 된다. 그러나 이러한 효과들에 대해서는 아래에서 고려되지 않는다. 이들은 펄스발생의 형태에 무관하며, 따라서, 특별한 조치가 취해지지 않으면 항상

동일하다. 가장 간단한 방법은 매우 낮은 저항성 및 유도성 저항을 가지는 도선을 사용하는 것이다. 도면상에서 도면의 간략화를 위하여, 전기도금 전류는 전압과 항상 동일위상인 것으로 표현되거나 또는 가정된다.

본 발명에 따른 도 2a 및 2b는, 변류기 (1)에 의하여 펄스전류를 보상하기 위하여 전류를 공급하는 것을 도시한다. 베스 직류원 (2)은 도선 (3)을 통하여 전해조에 접속되며, 여기서 이 전해조는 도면상에서 참조번호 (4)로 표시된 베스 저항기 (R_B)로 표현된다. 변류기 (1)의 제 2 권선 (6)은 전해조와 직렬로 고전류회로 (5)에 접속된다. 변압기 (transformer)의 1차 권선 (7)은 펄스 전자기기 (8)에 의하여 공급된다. 펄스 전자기기 (8)에는 메인 서플라이(main supply) (9)를 통하여 에너지가 공급된다. 도 1d에 따른 펄스전류와 펄스전압의 경로는 도 1의 다른 다이어그램의 펄스형태와 동일하다. 단지 보상전류의 순간적인 크기에 따라서 달라질 뿐이며 원칙적으로 그 크기와 형태는 동일하다. 이러한 이유 때문에 도 1d에 속하는 전압 또는 전류가 이하의 도면에서 표시되어 고려되고 있다.

도 2a는 전기도금시의 동작 상태를 나타낸다. 예로서, 전위가 괄호내에 표시되어 있다. 캐패시터 (C)는 전압 ($U_C \approx U_{GR}$)으로 충전되어 있다. 변류기 (1)에서의 전압 (U_{TS})은 0 V이다. 따라서, 도선의 저항 및 2차 권선 (6)의 저항에서의 전압강하와는 달리, 정류기 전압 (U_{GR})은 베스 저항기 (R_B)에서 나타나며, 전기도금 전류 (I_G)를 발생시킨다. 이 일시적인 상태는 직류로 전기도금하는 상태에 해당한다. 본 발명에 따른 고 전류회로 (5)에는 스위치가 전혀 필요하지 않게 된다.

도 2b는 디플레이팅시의 동작상태를 도시한다. 전위가 더 이상 일정하지 않게 된다. 따라서, 도 2b에서는 디플레이팅 펄스의 종단에서의 전위가 괄호안에 도시된다. 시작점은 도 2a의 전위에 의하여 공급된다. 전력 펄스 전자기기 (8)는 변류기 (1)의 1차 권선 (7)에 시간에 따라 진폭이 변하는 전류를 공급한다. 이 전류의 도통시간은 주전류회로 (5)에서의 보상전류의 도통시간과 동일하다. 소요 보상전류 (I_K)를 구동시키는 위치에 있는 변압기에서의 1차전압 (U_{TP})은, 변압기 권선수에 해당하는 변압기 펄스전압 (U_{TS})을 2차적으로 발생시킨다. 여기서, 전압 ($U_C \approx U_{GR}$)에서 시작하는 시정수 $T=R_B \times C$ 인 캐패시터 (C)는 전압 (U_{TS})으로 더 충전된다. 충전전류는 보상전류 (I_K)이며, 동시에 디플레이팅 전류 (I_E)이다. 캐패시터 (C)의 용량이 크면, 충전전류의 짧은 도통시간 동안의 전압상승은 낮게 유지된다. 이 캐패시터 (C)의 대신에, 원칙적으로 축전기 (accumulator)도 사용될 수 있다. 충전으로 인하여 전압이 $U_C > U_{GR}$ 이 되므로, 정류 브리지 회로를 구성하는 베스 직류원 (2)은 디플레이팅시 자동적으로 스위치 오프된다. 따라서, 다른 추가적인 스위칭 소자가 사용되지 않고, 베스전류 (I_{GR})가 유도 전압 (U_{TS})에 의하여 전류회로로 공급되는 주기동안, 이 직류원 (2)은 전류회로로 자동적으로 아무런 전류를 공급하지 않게 된다. 그러나, 전류보상 이후에 이 베스전류는 다시 이 직류원으로부터 공급된다. 느린 정류소자를 가지는 베스 직류원 (2)에서의 스위칭 오프시의 역류를 방지하기 위하여, 고전류회로 (5)에 쇼크 (choke)(11)가 삽입될 수 있다. 디플레이팅시키는 에너지는 변류기 (1)를 통하여 인가된다. 2차 권선 (6)에서의 짧은 시간동안의 높은 디플레이팅 전류 (I_E)는 1차적으로 공급된다. 이 전류는 변류기의 감소비 (\dot{U})로 감소된다.

이 변압기가 예들들어 감소비 100:1을 갖는 경우, 4,000 A의 보상전류 (I_K)에 대해 약 4 A 만이 1차적으로 공급된다. 본 예시에서 U_{TS} 가 10 V인 2차 전압을 위하여 약 1,000 V의 전압이 1차적으로 필요하다. 전력 펄스 전자기기는 고전압 및 비교적 낮은 펄스전류를 위한 크기를 가진다. 가격면에서 바람직한 반도체 소자가 이에 이용가능하다. 따라서, 주 전류회로 (5)의 높은 디플레이팅 전류에 대해서도, 고전류 스위치가 필요없게 된다.

펄스 발생에서 야기되는 전력손실은 공지된 방법에서와 비교하여 상당히 낮은 값이다. 주된 손실의 계산은 다음의 차이점을 보여준다. 1차 권선에서의 펄스전류 발생을 위한 전력 펄스 전자기기 (8) 에서, 순방향 전압 (U_F)이 2 V인 전자 스위치를 구비하는 다른 것들 가운데, 스위치의 전력 손실 $P = 40A \times 2V \times$ 약 10% 전류 도통시간 $\approx 8W$ 이다. 마찬가지로, 역방향 변압기 전류가 변압기를 포화시키는 데에는 8 W의 전력이 소모된다. 따라서, 10개의 베스 전류의 공급에서는 약 160 W의 전력소모가 발생된다. 공지된 회로에서의 손실과 본 발명에 따른 회로의 스위치에서의 전체 손실을 비교하기 위해서는, 본 발명에 따른 회로의 전력손실에 이 변류기에서의 손실이 포함되어야 한다. 만일 결합성 (coupling)이 우수한 변압기가 사용된다면, 예들들어, 스트립-권선형 커트 환형 코어 (strip-wound cut toroidal core) 및 고침투성의 얇은 금속판 (highly permeable thin metal sheets)을 사용한 경우, 변압기 효율 (η)이 90%가 되도록 할 수 있다. 따라서, 이러한 손실은 4,000 A의 보상전류 및 약 10%의 전류 도통시간을 가지는 7 V의 전압의 경우에, 전체적으로 560 W의 전력손실이 생기게 된다. 본 발명에 있어서, 이는 10개의 베스 전류공급 장치에 대하여 발생되므로, 스위치에 대한 펄스 전기도금 전류 발생을 위한 전력소모는 160 W에 해당하며, 변류기에 대하여 전력소모는 5,600 W에 해당한다. 이를 합하면 주된 손실은 약 6kW에 해당한다. 반면에, 이상의 예시적인 계산에서, 10개의 베스 전류공급 장치가 사용된 공지기술에 있어서는 60 kW의 전력손실이 생기게 된다.

본 발명에 따른 방법을 실현하는 데에 있어서의 기술적인 비용은, 종래의 회로 배치를 사용한 경우에 있어서보다 더 경감된다. 오직 수동소자에만 높은 전기도금 전류 및 훨씬 더 높은 디플레이팅 전류가 부과된다. 이는 펄스전류 공급장치의 신뢰도를 실질적으로 증대시키게 된다. 이러한 방식으로 설비된 전기도금 시스템은 높은 유용성을 가지게 된다. 게다가 매우 낮은 투자 비용으로 실현된다. 동시에, 연속적인 에너지 소비가 감소된다. 기술상의 비용이 경감되므로, 이러한 종류의 펄스 장치의 용적이 작게 되며, 그 결과, 전해조의 인접한 위치에 이를 실현시키는 것이 간편하게 된다.

도 3 에, 펄스 전류의 경로가 전해조 저항기 (R_B)(전기도금 셀 (20))에서 도식적으로 나타나 있다. 저항성 저항기 (R_B)로 인하여, 베스전류 및 베스전압은 동일위상이다. 시각 (t_1)에서, 보상전류의 흐름이 시작된다. 그 크기와 방향은 순간전압 (U_C 및 U_{TS})에 의하여 결정된다. 시각 (t_2)에서, 보상전류의 흐름이 정지된다. 뒤따르는 전기도금전류 (I_G)는 전해조 저항기 (R_B)에서의 정류전압 (U_{GR})에 의하여 결정되며, 각 경우에 전해조 저항기 (R_B)에 관련된다.

이 전압의 시간에 따른 과정은 도 4a 및 4b의 다이어그램에 보다 정확히 나타나 있다. 전기도금 전류(I_G)는 실제적으로 전기도금전압(U_G)과 동일위상이다. 따라서, 이 전기도금 전류(I_G)는 동일한 경로를 가지므로 이에 대하여서는 도시하지 않는다. 시각($t=0$)에서는, 정류기 전압(U_{GR}), 캐패시터 전압(U_C), 및 전기도금 전압(U_G)은 거의 동일하다. 전압(U_{TS})은 이 시점에서 0 V이다. 시각(t_1)시에, 변류기(1)의 2차 권선에서 전압펄스(U_{TS1})의 상승이 시작된다. 이 전압(U_{TS1})은 전기도금 전압(U_{G1})이 음이 되는 극성이므로, 그 결과, 디플레이트가 되는 것이 가능하다. 전압(U_G)은 순간전압(U_C 및 U_{TS})의 합이 된다. 캐패시터(C)에서 전압(U_{TS})은 존재하는 전하의 방향으로 극성을 갖게된다. 그 결과, 캐패시터(C)는 시정수 $T=R_B \times C$ 로 그 전압(U_{TS})으로 다시 그 자신을 충전시킨다. 시각(t_2)에서, 전압펄스(U_{TS1})의 강하가 시작된다. 변류기 2차 회로의 최종 인덕티비티(inductivity)로 인하여, 하강 전압 펄스는 제로라인(zero line)에서 끝나지 않는다. 전압 유도를 통하여, 역방향 극성을 가지는 전압(U_{TS2})이 발생된다. 이제 이것은 캐패시터 전압(U_C)에 더하여 진다. 전해조 저항기(R_B)에서, 전압(U_{G2})으로 순간 과도 전압상승이 발생된다. 캐패시터(C)는 시정수 $T=R_B \times C$ 로 그 자신을 부분적으로 또는 완전히 방전한다. 따라서, 시각(t_3)에서, 전압(U_{TS})은 0 V가 된다. 베스 직류원(U_{GR})은 다시 전해조 저항기(R_B)로 공급하여 $U_G \approx U_{GR}$ 이 되도록 한다. 전압(U_{GR} , U_C , 및 U_G)은 이제 거의 동일한 크기를 갖게된다. 전해조 저항기(R_B)에서의 순간 과도 전압상승은 전기도금 공정에서 바람직하지 못하다. 실질적으로 이러한 피크 및 부가적인 피크는 여기에서와는 상이하게, 만족형을 갖는다. 2차 권선과 병렬이고 변류기의 코어상의 부가 권선과 병렬인 회복 다이오드는, 이 전해조 저항기(R_B)에서 전압의 상승을 약화시키는데 필요한 효과를 갖는다. 반면에, 낮은 과도 전압이 나중에 오래동안 잔존하게 된다. 권선 인덕턴스의 이러한 시스템이나 펄스 변압기로 설계될 변류기의 구조에 대하여서는 더 이상 설명을 하지 않겠다. 펄스는 변압기의 철이 포화되지 않는 방식으로 변압기의 1차측으로 공급되어야 한다. 비포화의 경우에는, 각 전류펄스의 다음에 역방향 극성을 가지는 전류를 공급하기에 충분한 중지시간이 있게 된다. 부가 권선이 변압기 코어의 종단에 부착될 수 있다. 도 5는 변류기(1)의 1차측 트리거링(triggering)의 일례를 나타낸다. 보조 전압원(12)이 용량(C)를 가지는 충전 캐패시터(13)에 의하여 보완된다. 전자스위치(14), 여기서 IGBT(isolated Gate Bipolar Transistor)는 전압 펄스(15)에 의하여 트리거된다. 전자식 스위치(14)의 닫힌 상태에서, 1차 전류는 변류기의 1차 권선(7)의 부분 권선(I)으로 흐르며, 회로가 간략화되면, 회로의 부분 권선(II)에는 비포화전류가 흐르게 된다. 이 스위치가 연결되지 않은 상태에서는, 비포화 전류만이 이 부분 권선(II)에 흐르게 된다. 비용을 절감하기 위하여, 이 전류를 위한 부가적인 전자식 스위치는 배제된다. 낮은 크기의 전류가 계속하여 흐르는, 보호 저항기(17) 뿐만 아니라 부분 권선(I 및 II)에서의 권선수는 변압기 철에서 포화가 발생되지 않도록 서로 조절된다. 도 5의 전류 다이어그램은 1차 전류(I_{TP})를 도시적으로 나타낸다.

도 6은, 전기도금될 제조품이 수직으로 배열된 전기도금 전해조(20)에 펄스 전류 유니트(19)를 적용한 경우를 나타내며, 전기도금될 평탄한 제조품, 예를들어, 인쇄회로기판의 전면측 및 후면측에는 2개의 베스 직류원(2)이 사용된다. 이 인쇄회로기판(21)의 각각은 이들 전류원(2)의 하나로부터 전기도금 전류를 공급받는다. 이 인쇄회로기판(21) 각각의 반대편에는 애노드(22)가 배열된다. 짧은 디플레이팅 펄스동안, 이들 애노드는 이 다음 애노드의 극성을 가지게 될 처리될 제조품에 대하여 케소드의 역할을 한다. 양 펄스 전류 유니트는 서로 비동기식 또는 동기식으로 동작한다. 인쇄회로기판의 구멍을 전기도금하기 위하여, 양 펄스 전류 유니트의 동일 주파수인 펄스 시퀀스(sequence)가 동기화되고, 동시에, 이 펄스의 위상천이가 존재하게 되면, 유리하다. 이 위상천이는, 하나의 인쇄회로기판의 일측이 전기도금되는 위상동안, 인쇄회로기판의 타측에는 디플레이팅 펄스가 발생하고, 그 다음에 정반대로 되는 방식으로 되어야 한다. 이 경우, 금속의 분산, 즉, 구멍의 전기도금이 향상된다. 그러나, 처리될 제조품의 전면측과 후면측의 전해처리를 분리하여 실시하는 경우에는, 동일한 주파수의 펄스 시퀀스가 서로 비동기적으로 진행될 수 있다.

본 발명은 모든 펄스 전기도금방식에 적용가능하다. 이는 전기도금 시스템, 담금질 시스템, 및 관통접속(feed-through) 시스템에 수직 및 수평으로 사용될 수 있다. 이 관통접속 시스템에서, 전기도금될 플레이트형 제조품은 처리시수평 또는 수직으로 유지된다. 본 명세서에서 언급된 시간 및 진폭은 실제의 적용상 넓은 범위로 변경이 가능하다.

명세서에서 사용된 용어들

U_G : 전기도금 전압

U_{GR} : 정류기 전압

U_C : 캐패시터 전압

U_{TP} : 1차 변압기 펄스전압

U_{TS} : 2차 변압기 펄스전압

U_F : 순방향 전압

I_G : 전기도금 전류

I_E : 디플레이팅 전류

I_K : 보상 전류

P_V : 전력 손실

\ddot{U} : 변류기 감소비

도면부호의 리스트

1 : 변류기

2 : 배스 직류원

3 : 전기 도체

4 : 전해조 저항기 (R_B)

5 : 고전류회로

6 : 변류기의 2차 권선

7 : 변류기의 1차 권선

8 : 전력 펄스 전자기기

9 : 메인 서플라이

10 : 용량 (C)을 가지는 캐패시터

11 : 쇼크

12 : 보조 전압원

13 : 용량 (C_L)을 가지는 충전 캐패시터

14 : 전자식 스위치

15 : 전압 펄스

16 : 전압 다이어그램

17 : 보호 저항

18 : 전류 다이어그램

19 : 펄스 전류 유니트

20 : 전기도금용 셀

21 : 처리될 제조품

22 : 애노드

(57) 청구의 범위

청구항 1.

전기도금을 위해 짧고, 주기적으로 반복하는 단극성 또는 양극성의 펄스전류 (I_G 및 I_E)를 발생시키는 방법으로서,

직류원 (2) 및 전해조 저항기 (R_B) 를 가진 전기도금용 셀 (20) 로부터 형성되는 전기도금용 직류회로 (5) 에, 상기 전기도금용 셀 (20) 과 직렬로 접속되는 구성요소 (1) 를 유도성으로 접속하여, 상기 직류원 (2) 으로부터 공급되는

배스 전류가 보상되고 또는 과보상되도록 극성의 보상 펄스전류 (I_K) 가 접속되는 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 2.

제 1 항에 있어서,

상기 구성요소 (1) 는 변압기인 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 보상 펄스전류 (I_K) 는 캐패시터 (C), 바람직하게는 콘덴서 또는 축전지로서 기능을 하는 구성요소 (10) 를 충전하는 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 4.

제 1 항 또는 제 2 항에 있어서,

캐패시터 (C) 로서 기능을 하는 회로소자 (10) 는, 상기 배스 전류가 보상되지 않거나 과보상되지 않는 시간동안 부분적으로 방전되는 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 5.

제 1 항 또는 제 2 항에 있어서,

단극성 전류펄스를 발생시키기 위하여, 상기 보상 펄스전류 (I_K) 의 진폭은 적어도 상기 직류원 (2) 으로부터 공급되는 상기 배스 전류의 진폭보다 더 크게 설정되는 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 6.

제 1 항 또는 제 2 항에 있어서,

양극성 전류 펄스를 발생시키기 위하여,

상기 보상 펄스전류 (I_K) 의 진폭은 상기 직류원 (2) 으로부터 공급되는 상기 배스 전류의 레벨보다 더 크게 설정되는 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 7.

제 1 항 또는 제 2 항에 있어서,

디플레이트용 펄스전류 (I_E) 의 진폭은 전기도금용 펄스전류 (I_G) 의 진폭보다 더 크도록 설정되고, 상기 전류 (I_E) 의 펄스폭은 상기 전류 (I_G) 의 펄스폭 보다 더 짧은 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 8.

제 1 항 또는 제 2 항에 있어서,

펄스전류로 전기도금될 제조품의 전면측과 후면측에 별도의 전해 전원이 제공되며, 상기 2 개 측면의 동일한 주파수의 펄스 시퀀스가 동기되도록 조절되는 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 9.

제 8 항에 있어서,

전기도금될 제조품의 상기 전면측 및 후면측에서의 상기 펄스전류 사이에서의 일정한 위상차이는, 상기 제조품의 디플레이팅(deplating)이 양측면에서 동시에 일어나지 않도록 설정되는 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 10.

제 1 항 또는 제 2 항에 있어서,

전기도금 셀에 직렬로 접속되는 구성요소 (1) 는 환형 변류기(toroidal current transformer)인 것을 특징으로 하는 전기도금용 펄스전류 발생방법.

청구항 11.

주기적으로 반복되며, 단극성 또는 양극성의 펄스전류 (I_G 및 I_E)를 발생시키는 전기도금용 회로배치로서,

직류원 (2) 으로부터 공급된 배스 전류를 보상 또는 과보상하는 극성의 보상 펄스전류 (I_K) 를 발생하도록, 전기도금용 셀 (20) 에 직렬로 접속된 구성요소 (1) 를 유도성으로 결합하고, 상기 직류원 (2) 및 상기 전기도금용 셀 (20) 로 형성된 전기도금용 직류회로 (5) 를 구비하는 것을 특징으로 하는 전기도금용 회로배치.

청구항 12.

제 11 항에 있어서,

상기 직류원 (2) 에 병렬로 접속된 캐패시터 (C) 를 구비하는 것을 특징으로 하는 전기도금용 회로배치.

청구항 13.

제 11 항 또는 제 12 항에 있어서,

상기 구성요소 (1) 는 1차 권선 (7) 및 2차 권선 (6) 을 갖는 변류기이며,

상기 2 차 권선은 상기 직류원 (2) 과 직렬로 접속되며, 상기 1차 권선은 상기 2차 권선의 권선수 보다 더 많은 권선수를 가지는 것을 특징으로 하는 전기도금용 회로배치.

요약

본 발명은 짧고, 주기적으로 반복되며, 단극성 또는 양극성의 전기도금용 펄스전류 (I_G 및 I_E)의 발생 및 이 펄스전류 (I_G 및 I_E)가 발생하는 전기도금용 펄스전류 발생용 회로배치에 관한 것이다. 이러한 형태의 전기도금 방법을 펄스-전기도금법이라고 한다.

본 발명에 따르면, 전류 변환기 (1)의 2차 권선 (6)은 전기도금용 직류 전류회로 (5)에 직렬로 접속되어 있으며,

이 회로는 배스 직류 전류 소오스 (2) 및 전기도금용 셀 (4)에 의하여 형성되는 전해조 저항기 (RB)를 구비한다. 이 변환기의 1차 권선 (7)은 2차 권선의 권선수보다 더 많은 권선수를 가진다. 이 1차 권선은 고전압 펄스 및 비교적 낮은 전류에 의하여 제어된다. 이 2차 권선측의 고펄스 전류는 일시적으로 전기도금용 직류 전류의 펄스를 보상한다. 이 보상은 전기도금용 전류의 배수가 되어 높은 크기의 디플레이팅 펄스가 발생할 수 있다. 캐패시터 (10)는 이 보상 전류를 충전 및 방전시킨다.

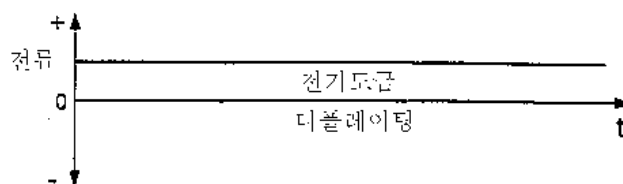
본 발명에 있어서, 펄스-전기도금법을 이용함에 있어서, 큰 전류유도 손실로 인한 비경제적으로 동작하는 공지된 고전류 스위치를 사용할 필요성이 배제된다.

대표도

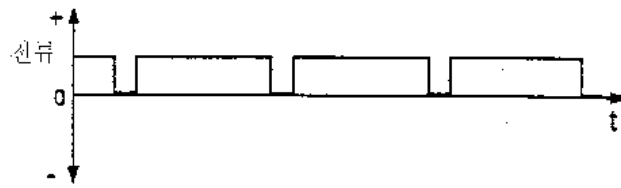
도 2a

도면

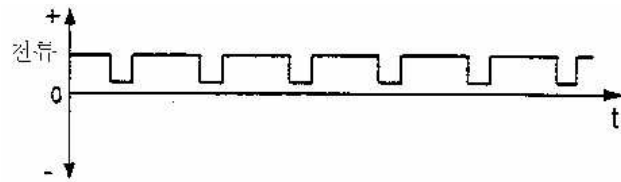
도면1a



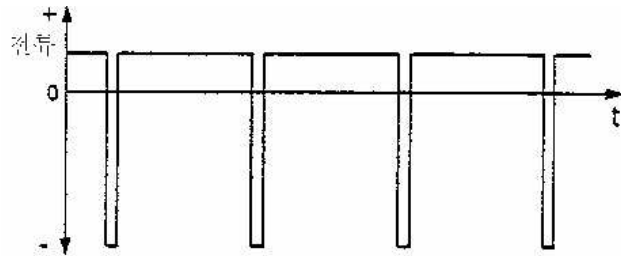
도면1b



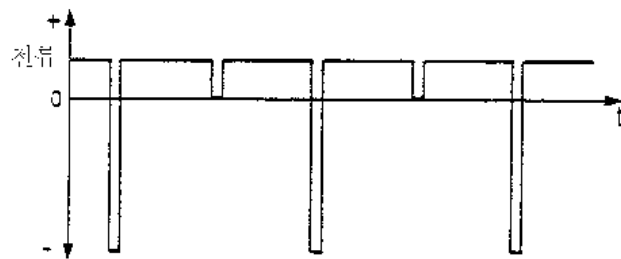
도면1c



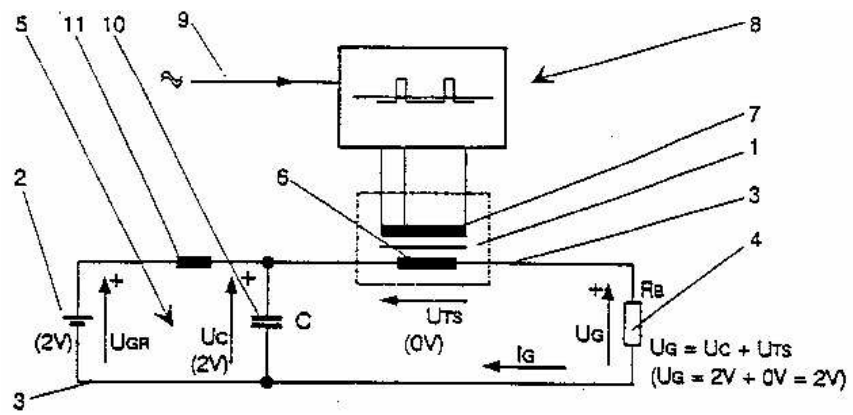
도면1d



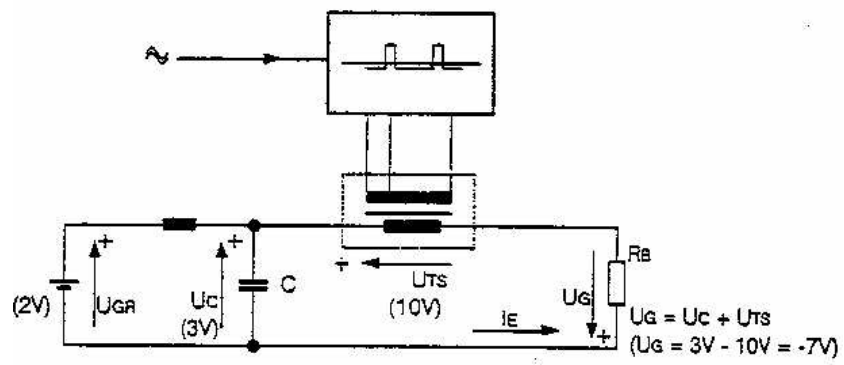
도면1e



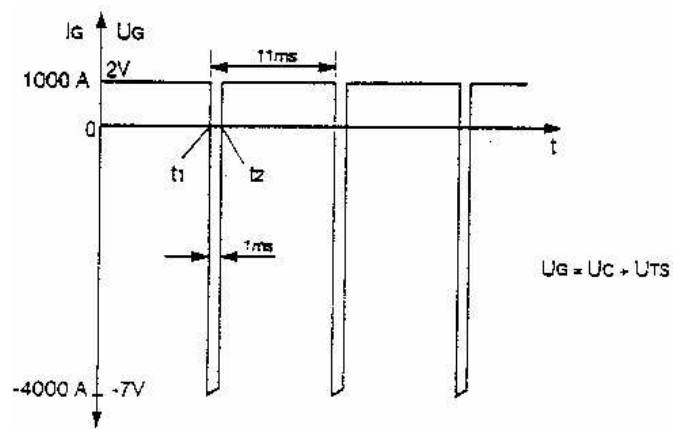
도면2a



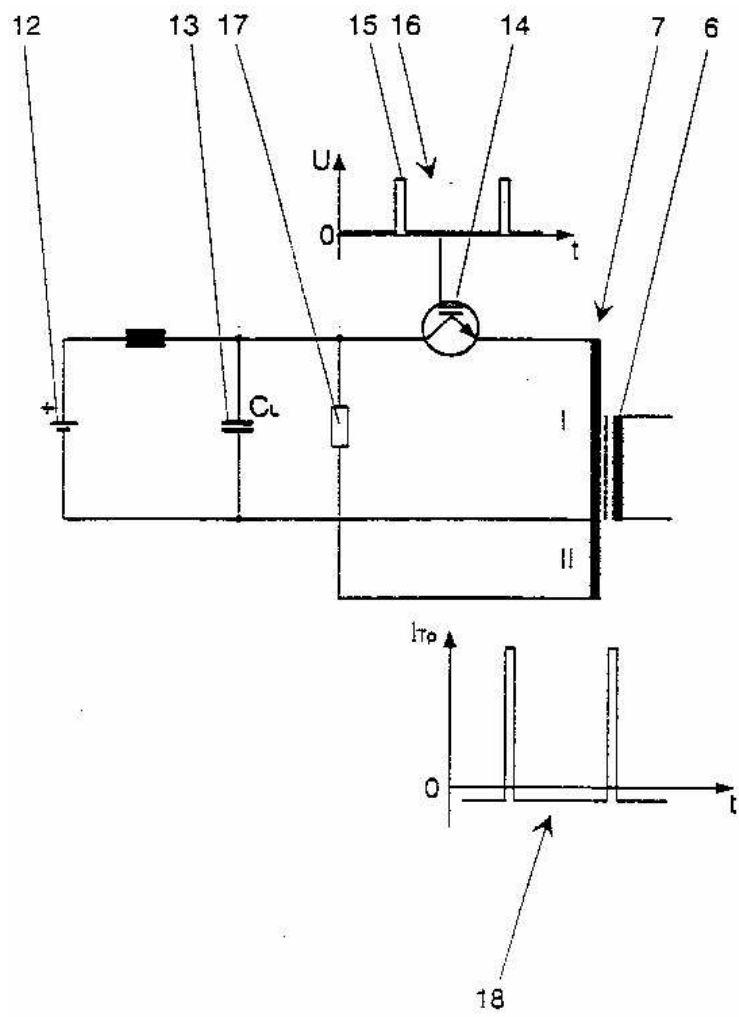
도면2b



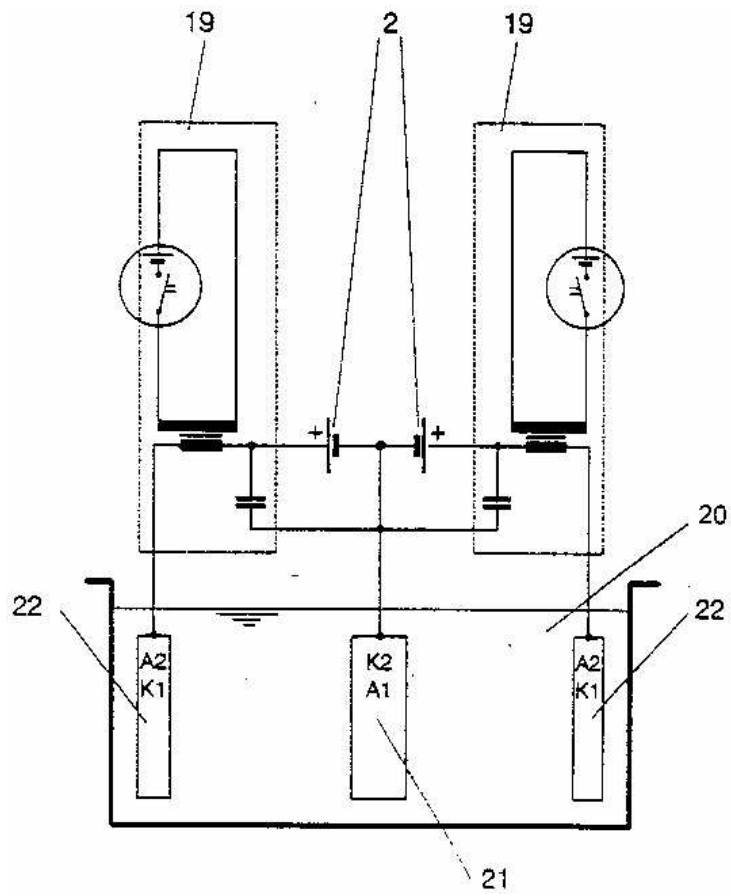
도면3



도면5



도면6



도면7

