[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01G 4/30 (2006.01)
H01G 4/005 (2006.01)
H01G 4/38 (2006.01)
H01G 4/12 (2006.01)

[12] 发明专利说明书

专利号 ZL 200610110039.4

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 100565730C

[22] 申请日 2006.7.31

[21] 申请号 200610110039.4

[30] 优先权

[32] 2005. 7.29 [33] JP [31] 2005 - 222030

[73] 专利权人 TDK 株式会社

地址 日本东京

[72] 发明人 富樫正明 安彦泰介

[56] 参考文献

US6351369B1 2002.2.26

US2004/0264103A1 2004.12.30

US6606237B1 2003.8.12

JP7 - 297077A 1995.11.10

审查员 马志勇

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 刘宗杰

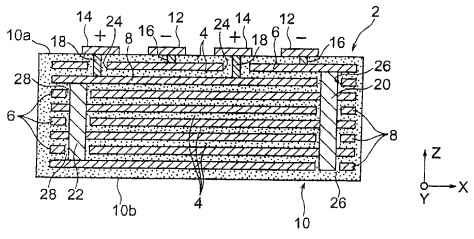
权利要求书 2 页 说明书 8 页 附图 3 页

[54] 发明名称

多层电容器

[57] 摘要

本发明是一种多层电容器(2)，在层叠电介质层(4)而形成的元件主体(10)内，一边通过电介质层隔开一边交替配置分别呈平面状形成的多个第 1 内部电极层(6)和多个第 2 内部电极层(8)。 只在元件主体(10)的第 1 端面(10a)上配置第 1 外部电极(12)和第 2 外部电极(14)。 引出用柱状电极(16、18)分别使在元件主体(10)的第 1 端面(10a)附近层叠的内部电极层(6、8)和外部电极(12、14)连接。 层间连接用柱状电极(20 或 22)使在元件主体(10)的内部层叠的内部电极层(6 或 8)相互连接。 层间连接用柱状电极(20、22)的各横截面积比引出用柱状电极(16、18)的各横截面积大。



1. 一种多层电容器，在层叠电介质层而形成的元件主体内，一边通过电介质层隔开一边交替配置分别呈平面状形成的多个第 1 内部电极层和多个第 2 内部电极层，其特征在于，具有：

第 1 外部电极和第 2 外部电极，只配置于上述元件主体在上述电介质层层叠方向的一个方向上的第 1 端面上；

第 1 引出用柱状电极，经第 1 引出通孔将在上述元件主体的第 1 端面最近处层叠的上述第 1 内部电极层和上述第 1 外部电极连接；

第 2 引出用柱状电极，经第 2 引出通孔将在上述元件主体的第 1 端面最近处层叠的上述第 2 内部电极层和上述第 2 外部电极连接；

第 1 层间连接用柱状电极，经第 1 层间通孔将在上述元件主体的内部层叠的上述第 1 内部电极层相互连接；以及

第 2 层间连接用柱状电极，经第 2 层间通孔将在上述元件主体的内部层叠的上述第 2 内部电极层相互连接，

上述第 1 和第 2 层间连接用柱状电极的各横截面积比上述第 1 和第 2 引出用柱状电极的各横截面积大，并且，

所述第 1 引出用柱状电极及所述第 2 引出用柱状电极相对于所述第 1 层间连接用柱状电极及第 2 层间连接用柱状电极在内侧矩阵状地交互形成。

2. 权利要求 1 记载的多层电容器，其特征在于，

上述第 1 和第 2 层间连接用柱状电极的各横截面积比上述第 1 和第 2 引出用柱状电极的各横截面积大 2～16 倍。

3. 权利要求 1 或 2 记载的多层电容器，其特征在于，

上述第 1 和第 2 层间连接用柱状电极的各外径是 150～200 μm，

上述第 1 和第 2 引出用柱状电极的各外径是 50～80 μm。

4. 权利要求 1 或 2 记载的多层电容器，其特征在于，

从与上述元件主体的第 1 端面垂直的方向看去，上述第 1 和第 2 层间连接用柱状电极的各形成位置相对于上述第 1 和第 2 引出用柱状电极的各形成位置，形成为位置偏移。

5. 权利要求 1 或 2 记载的多层电容器，其特征在于，

上述第 1 外部电极和第 2 外部电极在上述第 1 端面以彼此相邻的方式配置成矩阵状。

6. 权利要求 1 或 2 记载的多层电容器，其特征在于，

上述第 1 层间连接用柱状电极和第 2 层间连接用柱状电极在上述元件主体内部沿元件主体的侧面交替配置。

7. 权利要求 1 或 2 记载的多层电容器，其特征在于，

在离上述第 1 端面最近的第 1 内部电极层上，形成有避免与上述第 2 引出用柱状电极的电连接的绝缘孔图形，

在离上述第 1 端面最近的第 2 内部电极层上，形成有避免与上述第 1 层间连接用柱状电极的电连接的绝缘孔图形，

在其它的第 1 内部电极层上，形成有避免与上述第 2 层间连接用柱状电极的电连接的绝缘孔图形，

在其它的第 2 内部电极层上，形成有避免与上述第 1 层间连接用柱状电极的电连接的绝缘孔图形。

多层电容器

技术领域

本发明涉及具有通孔的多层电容器（multilayer capacitor），进一步详细地说，涉及在维持低ESL的同时能够使通过通孔的层叠方向上的内部电极层相互间的接触电阻减小而不会使内部电极层的面积减小并且制造容易的多层电容器。

背景技术

近年来，信息处理装置中使用的CPU（主运算处理装置）因处理速度的提高和高集成化，而使工作频率变高并且使消耗电流显著增加。而且，伴随于此，还有因功耗的降低化而使工作电压减小的倾向。因此，在向CPU供给电力用的电源中，产生较高速且很大的电流变动，将伴随该电流变动的电压变动抑制在电源的容许值之内变得非常困难。

因此，作为平滑用电容器的多层电容器以与电源连接的形式配置在CPU的周边，频繁地使用于电源的稳定化对策中。即，利用高速且瞬时的电流变动时的快速充放电，从该多层电容器向CPU供给电流，以抑制电源的电压变动。

但是，伴随当今CPU工作频率的进一步的高频化，电流变动更高速且更大，作为平滑用电容器的多层电容器自身所具有的等效串联电感（ESL）相对增大。其结果是，包含该等效串联电感的总电感对电源的电压变动产生很大的影响。

因此，作为用于实现低ESL化的现有多层电容器的结构，已知的例如有文献1（日本专利公开2001-284170号公报）公开的结构。即，在该文献1中，公开了一种通过在呈长方体状形成的多层电容器的4个侧面分别各设置多个端子电极来实现低ESL化的结构。

此外，如下面的文献2（日本专利公开2001-148324号公报）所示那样，开发了一种多层电容器，其具有下述的结构：在多层电容器的上下表面的至少任一个表面上配置呈岛状隔离的形态的外部电极并且利用柱状通孔电极将该外部电极连接于内部电极层。

但是，如上述文献1所示那样，在分别在4个侧面各设置多个端

子电极再连接于CPU的周边这样形态的多层电容器中，不能充分实现低ESL化，限制了总电感的降低。

另一方面，如文献2所示那样，在具有岛状外部电极的结构的多层电容器中，伴随总电感的变小，就能够应对CPU的高速化。但是，在像文献2所示那样的多层电容器中，必须与外部电极的个数对应地在多层电容器内部制作许多细长的通孔，有使内部电极层的电极面积变窄、静电电容下降之虞。

此外，在细长的通孔中，有使通过通孔的层叠方向的内部电极层相互间的接触电阻增大、使等效串联电阻（ESR）增大之虞。进而，由于在多层电容器内部制作许多细长的通孔，所以就使多层电容器的制造变得困难，成为了制造成本增大的原因。

发明内容

本发明是鉴于这样的实际情况而作出的，其目的在于提供一种多层电容器，其在维持低ESL的同时，能够减小通过通孔的层叠方向的内部电极层相互间的接触电阻，而不会减小内部电极层的面积，而且容易制造。

为了达到上述目的，本发明的多层电容器是在层叠电介质层而形成的元件主体内，一边通过电介质层隔开一边交替配置分别呈平面状形成的多个第1内部电极层和多个第2内部电极层，其特征在于，具有：

第1外部电极和第2外部电极，只配置于上述元件主体在上述电介质层层叠方向的一个方向上的第1端面上；

第1引出用柱状电极，经第1引出通孔将在上述元件主体的第1端面附近层叠的上述第1内部电极层和上述第1外部电极连接；

第2引出用柱状电极，经第2引出通孔将在上述元件主体的第1端面附近层叠的上述第2内部电极层和上述第2外部电极连接；

第1层间连接用柱状电极，经第1层间通孔将在上述元件主体的内部层叠的上述第1内部电极层相互连接；以及

第2层间连接用柱状电极，经第2层间通孔将在上述元件主体的内部层叠的上述第2内部电极层相互连接，

上述第1和第2层间连接用柱状电极的各横截面积比上述第1和第2引出用柱状电极的各横截面积大。

在本发明的多层电容器中，第 1 外部电极和第 2 外部电极在第 1 端面上呈岛状配置，所以，可以实现低 ESL 化并使总电感减小。因此，可应对 CPU 的高速化，特别是可以减小 CPU 用电源的电压变动。即，本发明的多层电容器能够很适合作为能应对 CPU 高速化的平滑用电容器使用。

此外，在本发明的多层电容器中，分别形成用来与外部电极连接的引出用柱状电极和将存在于电介质层的层间的内部电极层相互间连接起来的层间连接用柱状电极。因此，层间连接用柱状电极的各横截面积可以设定得比引出用柱状电极的各横截面积大。其结果是，可以减小通过通孔的层叠方向的内部电极层相互之间的接触电阻。此外，即使为了提高静电电容而使内部电极层的层数增加的情况下，也可以较可靠地确保多个内部电极层相互之间的导通，可以可靠地发挥作为多层电容器的功能。

此外，由于可以将层间连接用柱状电极的各横截面积设定得比引出用柱状电极的各横截面积大，所以，还可以使层间连接用柱状电极的个数与引出用柱状电极的个数相比减少。因此，内部电极层的面积不会因许多的层间连接用柱状电极而减少，可以确保足够的静电电容。

此外，在本发明的多层电容器中，由于分别形成了引出用柱状电极和层间连接用柱状电极，所以就不需要形成从外部电极延伸的细长的通孔，多层电容器的制造也容易。因此，可以降低多层电容器的制造成本。

上述第 1 和第 2 层间连接用柱状电极的各横截面积最好是比上述第 1 和第 2 引出用柱状电极的各横截面积大 2～16 倍，理想的是大 4～8 倍。当该倍数太小时，本发明的作用效果变小，当该倍数太大时，内部电极的面积减小，难以得到高的静电电容，因而不优选。

上述第 1 和第 2 层间连接用柱状电极的各外径最好是 150～200μm，上述第 1 和第 2 引出用柱状电极的各外径最好是 50～80μm。若层间连接用柱状电极的外径太小，则本发明的作用效果变小，若太大，则内部电极的面积减小，难以得到高的静电电容，因而不优选。此外，若引出用柱状电极的外径太小，则接触电阻变得太大，不优选，若外径太大，则窄间距的外部电极的配置会变得困难起来。

从与上述元件主体的第 1 端面垂直的方向看去，上述第 1 和第 2

层间连接用柱状电极的各形成位置最好相对于上述第 1 和第 2 引出用柱状电极的各形成位置，形成为位置偏移。通过形成为位置偏移，可以使引出用柱状电极的外径和层间连接用柱状电极的外径不同。

上述第 1 外部电极和第 2 外部电极最好在上述第 1 端面以彼此相邻的方式呈矩阵状配置。通过这样呈矩阵状配置外部电极，可以产生在第 1 外部电极和第 2 外部电极上相互反向流动的高频电流，使磁场相互抵消，进而，可以实现低 ESL 化。

上述第 1 层间连接用柱状电极和第 2 层间连接用柱状电极最好在上述元件主体内部沿元件主体的侧面交替配置。通过沿元件主体的侧面配置层间连接用柱状电极，从而在大部分的内部电极层中，无需在内部电极层的中央部形成通孔，可以取得较宽的成为电容的电极层的面积。此外，与内部电极层的中央部相比，在其周边部，即使加大层间连接用柱状电极的外径，也容易将这些电极间的间隔取得足够大。

最好在离上述第 1 端面最近的第 1 内部电极层上形成有避免与上述第 2 引出用柱状电极的电连接的绝缘孔图形，在离上述第 1 端面最近的第 2 内部电极层上形成有避免与上述第 1 层间连接用柱状电极的电连接的绝缘孔图形，在其它的第 1 内部电极层上形成有避免与上述第 2 层间连接用柱状电极的电连接的绝缘孔图形，在其它的第 2 内部电极层上形成有避免与上述第 1 层间连接用柱状电极的电连接的绝缘孔图形。通过形成这样的绝缘孔图形，可以防止不同极性的电极之间的短路。

附图说明

下面，基于附图所示的实施方式来说明本发明。

图 1 是本申请发明的第 1 实施方式的多层电容器的主要部分的剖面图。

图 2 是图 1 所示的多层电容器的分解立体图。

图 3 是图 1 所示的多层电容器的概略立体图。

具体实施方式

如图 1～图 3 所示，本发明的一个实施方式的多层电容器 2 具有元件主体 10，只在元件主体 10 在电介质层 4 的层叠方向（Z 轴方向）的

一个方向上的第 1 端面 10a 上，呈矩阵状排列第 1 外部端子 12 和第 2 外部端子 14。在元件主体 10 的另一个方向上的第 2 端面 10b 和 4 个侧面 10c 上不形成外部端子 12 或 14。

在元件主体 10 的内部，第 1 内部电极层 6 和第 2 内部电极层 8 通过电介质层 4 而交替层叠。元件主体 10 是长方体形状，可以通过将成为电介质层 4 的陶瓷生片（green sheet）与成为内部电极层 6 和 8 的电极糊层一起进行多片层叠后进行烧制来得到。

在本实施方式中，图 3 所示的元件主体 10 的纵横尺寸 L1、L2 例如分别是 10mm，此外，高度尺寸 H 例如是 0.85mm。在元件主体 10 内，如图 1 和图 2 所示，在规定的高度（Z 轴方向）位置上配置呈平面状形成的第 1 内部电极层 6。

在第 1 内部电极层 6 的下方，经由电介质层 4，形成有与第 1 内部电极层 6 同样地呈平面状形成的第 2 内部电极层 8。在第 2 内部电极层 8 的下方，经由电介质层 4，形成有第 1 内部电极层 6。这样，在元件主体 2 的内部，经由电介质层 4 交替层叠有许多第 1 内部电极层 6 和第 2 内部电极层 8 。

这些第 1 内部电极层 6 和第 2 内部电极层 8 的中心配置在与元件主体 10 中 XY 平面的中心大致相同的位置上，此外，内部电极层 6 和内部电极层 8 的纵横尺寸比对应的元件主体 10 的边的长度小一些。因此，这些内部电极层 6 和内部电极层 8 的周边部成为不从元件主体 10 的侧面 10c 露出的结构。

如图 1 和图 2 所示，在与这些内部电极层 6、8 正交交叉而延伸的方向（Z 轴方向）上，在第 1 端面 10a 的附近，与第 1 外部电极 12 和第 2 外部电极 14 相对应地具有圆柱状的第 1 引出用柱状电极 16 和第 2 引出用柱状电极 18。第 1 外部电极 12 和第 2 外部电极 14 如图 3 所示，在 X 轴和 Y 轴方向上呈矩阵状配置，这些外部电极 12 和 14 配置成在 X 轴和 Y 轴方向上相互相邻。

如图 2 所示，在位于元件主体 10 的 Z 轴方向上最上部的电介质层 4 中，形成与图 3 所示的外部电极 12 和 14 的个数相对应的通孔，并在其内部形成第 1 和第 2 引出用柱状电极 16 和 18。如图 1 和图 2 所示，第 1 引出用柱状电极 16 是用来将配置在元件主体 10 的第 1 端面 10c 的第 1 外部电极 12 和配置在第 1 端面 10c 最近处的单一的第 1 内部电

极层 6 连接起来的通孔电极。

第 2 引出用柱状电极 18 是用来将配置在元件主体 10 的第 1 端面 10c 的第 2 外部电极 14 和配置在第 1 端面 10c 最近处的单一的第 2 内部电极层 8 连接起来的通孔电极。为了防止第 2 引出用柱状电极 18 与位于第 1 端面 10a 的最近处的第 1 内部电极层 6 短路，如图 2 所示，在该第 1 内部电极层 6 上形成避免与第 2 引出用柱状电极 18 的电连接的绝缘孔图形 24。

在最接近第 1 端面 10a 的第 1 内部电极层 6 的 Z 轴方向下面，沿着其周围，连接多个第 1 层间连接用柱状电极 20 的顶部。为了防止和第 1 层间连接用柱状电极 20 短路，如图 2 所示，在最接近第 1 端面 10a 的第 2 内部电极层 8 上形成绝缘孔图形 26。

第 1 层间连接用柱状电极 20 经第 1 层间通孔使元件主体 10 的内部层叠的所有第 1 内部电极层 6 相互之间连接，并通过分别在第 2 内部电极层 8 形成的绝缘孔图形 26，使第 1 层间连接用柱状电极 20 不连接到第 2 内部电极层 8 上。

在本实施方式中，第 1 层间连接用柱状电极 20 从最接近第 1 端面 10a 的第 1 内部电极层 6 的 Z 轴方向下面，延伸到最接近第 2 端面 10b 的第 2 内部电极层 8 的 Z 轴方向的下面，不在第 2 端面 10b 露出。但是，在本发明中，因第 1 层间连接用柱状电极 20 不需要连接到第 2 内部电极层 8 上，故延伸到最接近第 2 端面 10b 的第 1 内部电极层 6 即可，不一定非要延长到位于 Z 轴方向的最下端的第 2 内部电极层 8。若位于 Z 轴方向的最下端的层为第 1 内部电极层 6，则第 1 层间连接用柱状电极 20 的下端就要延伸到该位置。

在最接近第 1 端面 10a 的第 2 内部电极层 8 的 Z 轴方向的下面，沿着其周围，连接有多个第 2 层间连接用柱状电极 22 的顶部。第 2 层间连接用柱状电极 22 经第 2 层间通孔使元件主体 10 的内部层叠的所有第 2 内部电极层 8 相互之间连接，并通过分别在第 1 内部电极层 6 形成的绝缘孔图形 28，使第 2 层间连接用柱状电极 22 不连接到第 1 内部电极层 6 上。

在本实施方式中，第 2 层间连接用柱状电极 22 从最接近第 1 端面 10a 的第 2 内部电极层 8 的 Z 轴方向下面，延伸到最接近第 2 端面 10b 的第 2 内部电极层 8，不在第 2 端面 10b 露出。但是，若在元件主体 10

中位于Z轴方向的最下端的层是第2内部电极层8，则第2层间连接用柱状电极22的下端就不必延伸到该位置。

第1层间连接用柱状电极20的横截面积和第2层间连接用柱状电极22的横截面积差不多相同，第1引出用柱状电极16的横截面积和第2引出用柱状电极18的横截面积差不多相同。而且，第1和第2层间连接用柱状电极20、22的各横截面积比第1和第2引出用柱状电极16、18的各横截面积大2～16倍左右。

第1和第2层间连接用柱状电极20、22的各外径在150～200μm的范围内决定，第1和第2引出用柱状电极16、18的各外径在50～80μm的范围内决定。

在本实施方式中，从与元件主体10的第1端面10a垂直的方向（Z方向）看去，第1和第2层间连接用柱状电极20、22的各形成位置相对于第1和第2引出用柱状电极16、18的各形成位置，形成为位置偏移。

在本实施方式中，第1和第2引出用柱状电极16、18在第1端面10a附近的第1内部电极层6的中央部呈矩阵状配置。此外，第1层间连接用柱状电极20和第2层间连接用柱状电极22在元件主体10的内部沿元件主体10的侧面10c交替配置。

这些柱状电极16、18、20、22可以在利用电极糊印刷等形成内部电极层6和8时，与内部电极层6和8同样地形成。

在本实施方式的多层电容器2中，第1外部电极12和第2外部电极14在第1端面10a上呈岛状配置，所以，可以实现低ESL化并减小总电感。因此，可应对CPU的高速化，特别是可以减小CPU用电源的电压变动。即，本实施方式的多层电容器2能够很适合作为能应对CPU的高速化的平滑用电容器使用。

此外，在本实施方式的多层电容器2中，分别形成用来与外部电极12、14连接的引出用柱状电极16、18和将存在于电介质层4的层间的内部电极层6、8相互间连接起来的层间连接用柱状电极20、22。因此，层间连接用柱状电极20、22的各横截面积可以设定得比引出用柱状电极16、18的各横截面积大。其结果是，可以减小通过通孔的层叠方向的内部电极层6、8相互之间的接触电阻。此外，即使在为了提高静电电容而使内部电极层6、8的层数增加的情况下，也可以更可靠地确保多个内部电极层6、8相互之间的导通，可以可靠地发挥作为多层

电容器 2 的功能。

此外，由于将层间连接用柱状电极 20、22 的各横截面积设定得比引出用柱状电极 16、18 的各横截面积大，所以，还可以使层间连接用柱状电极 20、22 的个数与引出用柱状电极 16、18 的个数相比减少。因此，内部电极层 6、8 的面积不会因多个层间连接用柱状电极 20、22 而减小，可以确保足够的静电电容。

再有，虽然在图示的实施方式中，层间连接用柱状电极 20、22 的总数是 20，比引出用柱状电极 16、18 的总数 16 多，但是，本发明不限于图示的例子，可以减小。例如，层间连接用柱状电极 20、22 可以按 4 个角各配置 1 个，合计共 4 个。或者，按 4 个角各配置 1 个，按每一边的中央各配置 1 个，合计共 8 个层间连接用柱状电极 20、22，或者，也可以是按 4 个角各配置 1 个，按每一边各配置 2 个，合计共 12 个层间连接用柱状电极 20、22。

此外，在本实施方式的多层电容器 2 中，由于分别形成了引出用柱状电极 16、18 和层间连接用柱状电极 20、22，所以就不需要形成从外部电极 12、14 延伸的细长的通孔，多层电容器 2 的制造也容易。因此，可以降低多层电容器 2 的制造成本。

进而，由于在本实施方式中，第 1 外部电极 12 和第 2 外部电极 14 在第 1 端面 10a 上以彼此相邻的方式呈矩阵状配置，所以，可以产生在第 1 外部电极 12 和第 2 外部电极 14 上相互反向流动的高频电流，使磁场相互抵消，进而，可以实现低 ESL 化。

进而，第 1 层间连接用柱状电极 20 和第 2 层间连接用柱状电极 22 在元件主体 10 内部沿元件主体 10 的侧面 10c 交替配置。因此，在除了位于第 1 端面 10a 附近的内部电极层之外的所有内部电极层 6、8 中，无需在内部电极层 6、8 的中央部形成通孔，可以取得较宽的成为电容的电极层 6、8 的面积。此外，与内部电极层 6、8 的中央部相比，在其周边部，即使加大层间连接用柱状电极 20、22 的外径，也容易将这些电极间的间隔取得足够大。

再有，本发明不限于上述实施方式，可以在本发明的范围内进行各种各样的改变。

例如，外部电极 12、14 的形成个数没有特别限定，也可以是呈矩阵状的 8 × 8、合计 64 个等。

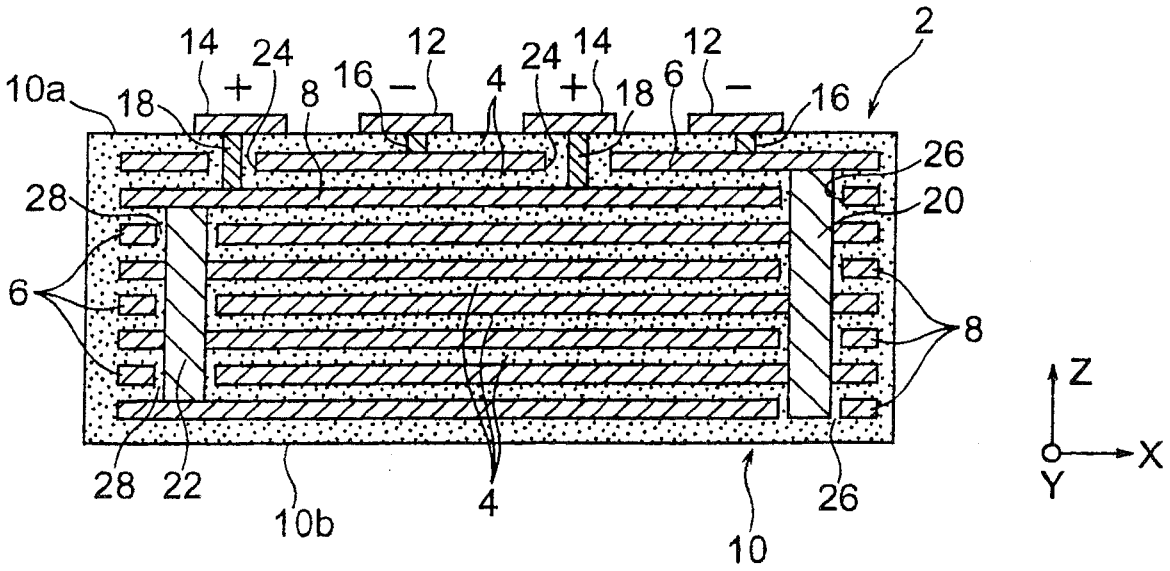

2
14
24
12
16
4
24
14
12
6
10a
18
8
18
16
26
28
20
6
8
28
22
10b
4
10
26
Z
X
Y

图 1

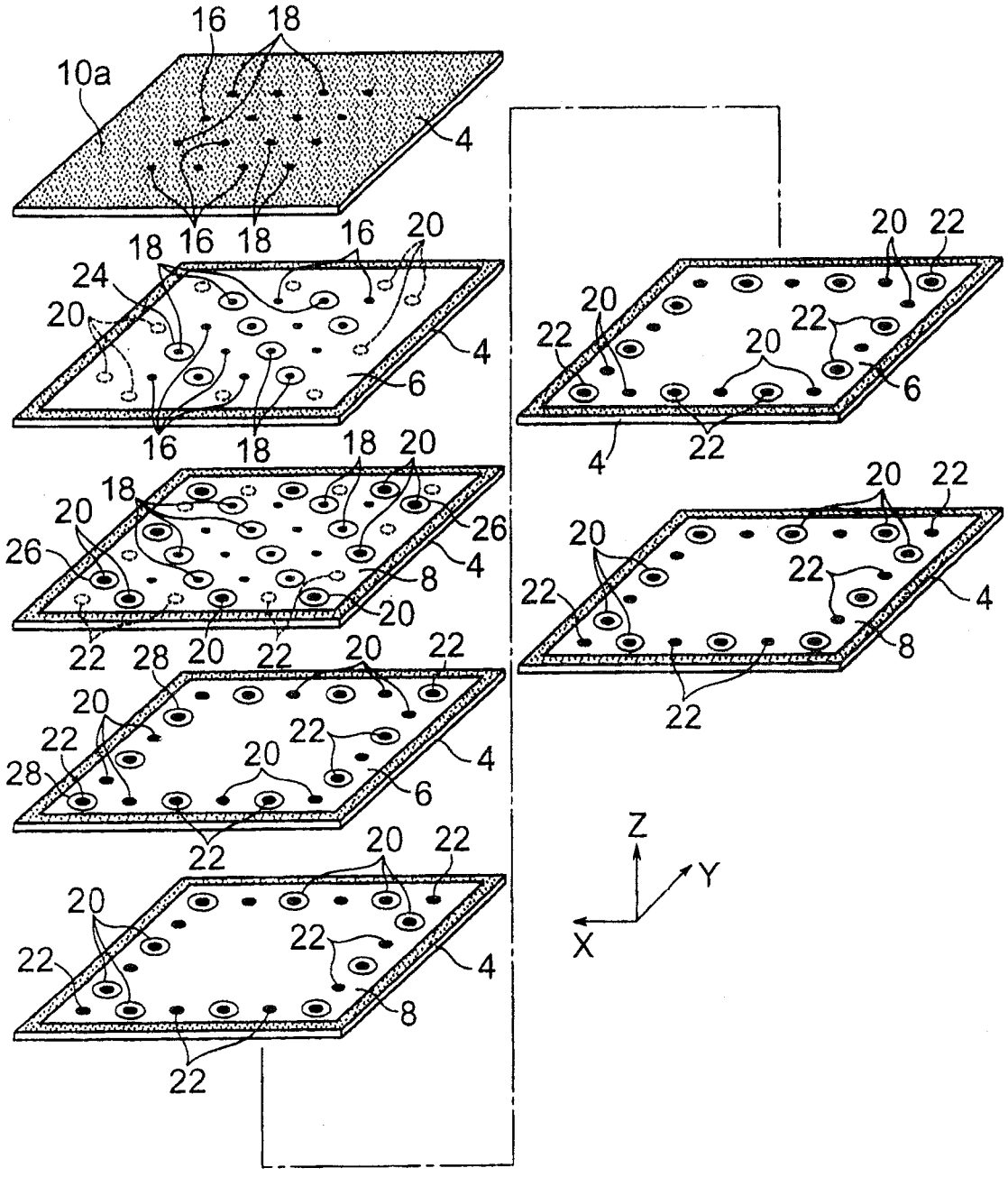


图 2

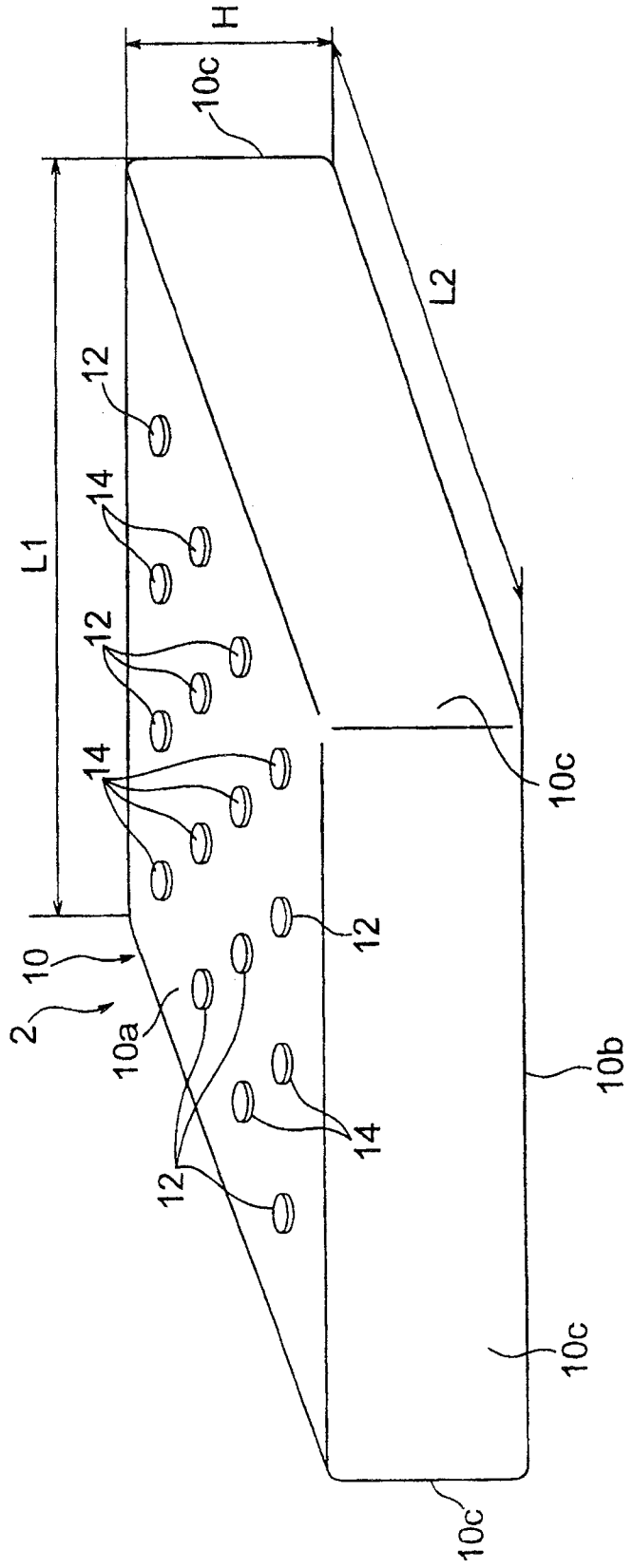


图 3