

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 4 月 7 日 (07.04.2022)



(10) 国际公布号
WO 2022/068263 A1

(51) 国际专利分类号:
G11C 29/42 (2006.01)

(21) 国际申请号: PCT/CN2021/099988

(22) 国际申请日: 2021 年 6 月 15 日 (15.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202011058602.4 2020 年 9 月 30 日 (30.09.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 王佳(WANG, Jia); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 孙圆圆(SUN, Yuanyuan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: MEMORY AND MEMORY TESTING METHOD

(54) 发明名称: 存储器和存储器的测试方法

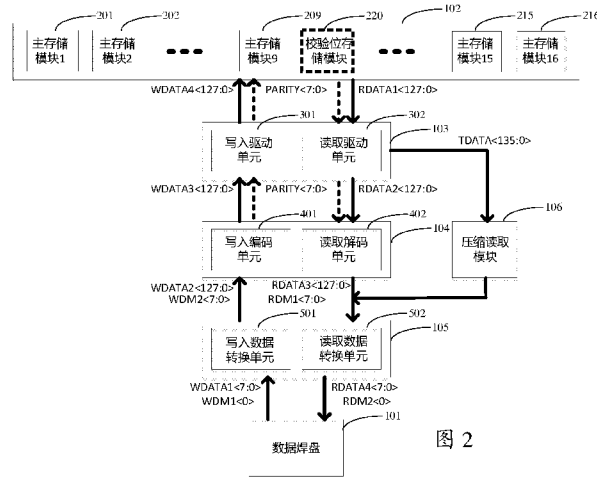


图 2

101	Data pad
106	Compression read module
201, 202, 209, 215, 216	Main storage module
220	Check bit storage module
301	Write driving unit
302	Read driving unit
401	Write encoding unit
402	Read decoding unit
501	Write data conversion unit
502	Read data conversion unit

(57) Abstract: Provided are a memory and a memory testing method. The memory comprises: a storage module, which is used for storing data information, the storage module comprising a main storage module and a check bit storage module, the main storage module being used for storing valid data, and the check bit storage module being used for storing check bit data; a read-write driving module, which is connected to the storage module and is used for reading the data information from the storage module or writing the data information into the storage module; and a data processing module, which is connected to the read-write driving module and is

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

used for performing a decoding operation, for error checking and correcting, on the data information which is output by the read-write driving module, or performing an encoding operation, for error checking and correcting, on the data information which is input into the read-write driving module.

(57) 摘要: 本申请实施例提供一种存储器和存储器的测试方法, 其中, 存储器包括: 存储模块, 用于存储数据信息, 存储模块包括主存储模块和校验位存储模块, 主存储模块用于存储有效数据, 校验位存储模块用于存储校验位数据; 读写驱动模块, 与存储模块连接, 用于从存储模块中读取数据信息, 或将数据信息写入存储模块; 数据处理模块, 与读写驱动模块连接, 用于对读写驱动模块输出的数据信息进行检错纠错的解码操作, 或用于对输入到读写驱动模块的数据信息进行检错纠错的编码操作。

存储器和存储器的测试方法

相关申请的交叉引用

本申请基于申请号为 202011058602.4、申请日为 2020 年 09 月 30 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的
5 全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体领域，特别涉及一种存储器和存储器的测试方法。

背景技术

目前对存储器的应用中，通过引入错误检查和纠正技术 (Error checking
10 and correcting, ECC) 能够检测并纠正存储器的存储数据出现的一比特错误。

引入 ECC 的存储器中需要在存储区域额外设置一存储区域用于存储 ECC 校验位数据，因此在对存储器的存储区域进行测试时，存储 ECC 校验位数据的存储区域也需要进行测试，以防止存储器制造过程中存储 ECC 校验位数据的存储区域也出现错误。

15 然而，相关技术中对存储器中用来存储有效数据的存储区域（即存储器外部输入的数据）和用来存储 ECC 校验位数据的存储区域的测试是分开的，即分别测试有效数据的存储区域和 ECC 校验位数据的存储区域，现有测试流程复杂，测试效率低。

发明内容

20 本申请实施例提供一种存储器和存储器的测试方法，实现高效测试存储器中用来存储有效数据的存储区域和用来存储 ECC 校验位数据的存储区

域。

为解决上述技术问题，本申请的实施例提供了一种存储器，包括：存储模块，用于存储数据信息，存储模块包括主存储模块和校验位存储模块，主存储模块用于存储有效数据，校验位存储模块用于存储校验位数据；读写驱动模块，与存储模块连接，用于从存储模块中读取数据信息，或将数据信息写入存储模块；数据处理模块，与读写驱动模块连接，用于对读写驱动模块输出的数据信息进行检错纠错的解码操作，或用于对输入到读写驱动模块的数据信息进行检错纠错的编码操作。

在本申请的一种可选实施例中，存储器还包括：数据焊盘，与外部控制器交互第一写有效数据和第四读有效数据；写入数据转换单元，与数据焊盘和数据处理模块均连接，用于将第一写有效数据进行串并转换，并输出第二写有效数据至数据处理模块；读取数据转换单元，与数据焊盘和数据处理模块均连接，用于将数据处理模块输出的第三读有效数据进行并串转换，并输出第四读有效数据至数据焊盘。

在本申请的一种可选实施例中，数据处理模块包括：写入编码单元，与读写驱动模块和写入数据转换单元均连接，用于对第二写有效数据执行检错纠错的编码操作，写入编码单元输出第三写有效数据和第一写校验位数据；读取解码单元，与读写驱动模块和读取数据转换单元均连接，用于对读写驱动模块输出的第二读有效数据和第二读校验位数据执行检错纠错的解码操作，读取解码单元输出第三读有效数据。

在本申请的一种可选实施例中，读写驱动模块包括：写入驱动单元，用于将第三写有效数据和第一写校验位数据的驱动能力进行增强，输出第四写有效数据和第二写校验位数据，并分别将第四写有效数据和第二写校验位数据写入主存储模块和校验位存储模块；读取驱动单元，用于将存储模块输出的第一读有效数据和第一读校验位数据的驱动能力进行增强，输

出第二读有效数据和第二读校验位数据。

在本申请的一种可选实施例中，存储器还包括：压缩读取模块，与读取驱动单元和读取数据转换单元均连接，用于在测试模式将数据信息进行压缩处理，以输出压缩处理数据至读取数据转换单元。

5 在本申请的一种可选实施例中，当检错纠错的解码操作没有发现错误时，第一写有效数据等于第四读有效数据；当检错纠错的解码操作发现一比特错误时，第一写有效数据等于第四读有效数据；当检错纠错的解码操作发现多比特错误时，第一写有效数据不等于第四读有效数据。

10 在本申请的一种可选实施例中，当进入测试模式时，关闭读取解码单元，开启压缩读取模块，读取驱动单元将第二读有效数据和第二读校验位数据送入压缩读取模块，压缩处理数据经过读取数据转换单元输出到数据焊盘。

15 在本申请的一种可选实施例中，读写驱动模块与数据处理模块通过有效数据总线和校验位总线进行数据信息的交互；读写驱动模块与压缩读取模块通过有效数据总线和屏蔽数据总线进行数据信息的交互。

在本申请的一种可选实施例中，有效数据总线具有 128 位宽度，校验位总线具有 8 位宽度，屏蔽数据总线具有 8 位宽度。

在本申请的一种可选实施例中，存储器还包括：测试用例寄存器，用于存储测试数据，与写入驱动单元连接。

20 在本申请的一种可选实施例中，测试用例寄存器与读写驱动模块通过有效数据总线和校验位总线进行数据信息的交互。

在本申请的一种可选实施例中，有效数据总线具有 128 位宽度，校验位总线具有 8 位宽度。

25 在本申请的一种可选实施例中，在进入测试模式之前，将测试数据存入测试用例寄存器；在进入测试模式时，关闭写入编码单元，开启测试用

例寄存器，测试用例寄存器输出测试数据，用于对主存储模块和校验位存储模块进行测试。

本申请实施例还提供了一种存储器的测试方法，应用于上述存储器，包括：基于数据焊盘向存储器中输入测试数据；将测试数据写入主存储模
5 块和校验位存储模块；通过压缩读取模块读取主存储模块和校验位存储模块储存的测试数据，并输出压缩处理数据；基于压缩处理数据判断存储模块是否处于正常工作状态。

本申请实施例还提供了一种存储器的测试方法，应用于上述存储器，包括：将测试数据存入测试用例寄存器；将测试用例寄存器输出的测试数
10 据写入主存储模块和校验位存储模块；通过压缩读取模块读取主存储模块和校验位存储模块储存的测试数据，并输出压缩处理数据；基于压缩处理数据判断存储模块是否处于正常工作状态。

本申请实施例具有以下优点：在测试模式时，关闭存储器的数据读取通道，通过额外设置的压缩处理单元对存储器存储的有效数据和校验位数
15 据进行压缩处理，以获取压缩处理数据，并通过压缩处理数据判断所述存储器的主存储模块和校验位存储模块是否出现错误，通过对存储数据和校验位数据同时测试，提高了存储器测试的效率；且通过压缩处理数据获取测试结果，进一步提到了存储器测试的效率。

另外，通过测试用例寄存器存储测试数据，在存储器进行测试时，直
20 接通过测试用例寄存器输出的测试数据完成对存储器中主存储模块和校验位存储模块的写入，加快了测试数据写入速度，从而进一步提高存储器的测试效率。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，除
25 非有特别申明，附图中的图不构成比例限制。

图 1 和图 2 为本申请第一实施例提供的存储器的结构示意图；

图 3 和图 4 为本申请第二实施例提供的存储器的结构示意图；

图 5 和图 6 为本申请第三实施例提供的存储器的测试方法的流程图。

5 具体实施方式

目前对存储器的应用中，通过引入错误检查和纠正技术 (Error checking and correcting, ECC) 能够检测并纠正存储器的存储数据出现的一比特错误。

引入 ECC 的存储器中需要在存储区域额外设置一存储区域用于存储 ECC 校验位数据，因此在对存储器的存储区域进行测试时，存储 ECC 校验位数据的存储区域也需要进行测试，以防止存储器制造过程中存储 ECC 校验位数据的存储区域也出现错误。

然而，用于测试存储器中有效数据的存储区域和 ECC 校验位数据的存储区域的测试流程复杂，测试效率低。

为解决上述问题，本申请第一实施例提供了一种存储器，包括：存储模块，用于存储数据信息，存储模块包括主存储模块和校验位存储模块，主存储模块用于存储有效数据，校验位存储模块用于存储校验位数据；读写驱动模块，与存储模块连接，用于从存储模块中读取数据信息，或将数据信息写入存储模块；数据处理模块，与读写驱动模块连接，用于对读写驱动模块输出的数据信息进行检错纠错的解码操作，或用于对输入到读写驱动模块的数据信息进行检错纠错的编码操作。

为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。以下各个实施例的

划分是为了描述方便，不应对本申请的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

图 1 和图 2 为本申请实施例提供的存储器的结构示意图，下面对本实施例的存储器进行具体说明。需要说明的是，本实施例中对各存储数据的二进制位数介绍，目的在于让本领域技术人员清楚本实施例的技术手段，并不构成对本申请的限定。

参考图 1 和图 2，存储器，包括：

存储模块 102，用于存储数据信息，数据信息包括：有效数据和校验位数据，有效数据即外部输入的需要存储在存储模块 102 中的数据；校验位数据即对有效数据进行 ECC 检测而获取的数据。

具体地，存储模块 102 包括：主存储模块和校验位存储模块 220。主存储模块用于存储有效数据，校验位存储模块 220 用于存储校验位数据。

在本实施例中，主存储模块包括：主存储模块 1 (201)、主存储模块 2 (202)、主存储模块 3 (203)、主存储模块 4 (204)、主存储模块 5 (205) ... 主存储模块 15 (215) 和主存储模块 16 (216)；需要说明的是，本实施例以 16 个主存储模块为例对存储模块 102 进行详细介绍，目的在于让本领域技术人员清楚本实施例的技术手段，并不构成对本申请的限定。

在本实施例中，存储器还包括：数据焊盘 101 和读写数据转换模块 105，具体地，读写数据转换模块 105 包括：写入数据转换单元 501 和读取数据转换单元 502。

数据焊盘 101，与外部控制器交互第一写有效数据 $WDATA1<127:0>$ 以及通过屏蔽数据总线传输的对应于第一写有效数据 $WDATA1<127:0>$ 的第一写屏蔽数据 $WDM1<7:0>$ ，和第四读有效数据 $RDATA4<127:0>$ ，以及通过屏蔽数据总线传输的对应于第四读有效数据 $RDATA4<7:0>$ 的第二读屏蔽数据 $RDM2<7:0>$ 。

WDATA1<127:0>表征第一写有效数据是一个 128 位二进制数，WDM1<7:0>根据其结果用于表征第一写有效数据是否有效；在一个例子中，当 WDM1<7:0>中某一位为 0 时，用于表征 WDATA1<127:0>中对应的 8 位二进制数无效。

5 RDATA4<127:0>表征第四读有效数据是一个 128 位二进制数，RDM2<7:0>根据其结果用于表征第四读有效数据是否有效，在一个例子中，当 RDM2<7:0>中某一位为 0 时，用于表征 RDATA4<127:0>中对应的 8 位二进制数无效。

具体地，数据焊盘 101 用于获取外部待存储的第一写有效数据
10 WDATA1<127:0>，以及将存储器存储的第四读有效数据 RDATA4<127:0>输出到外部。

写入数据转换单元 501，与数据焊盘 101 和数据处理模块 104 均连接，用于将第一写有效数据 WDATA1<127:0>进行串并转换，并输出第二写有效数据 WDATA2<127:0>至数据处理模块 104，第二写有效数据
15 WDATA2<127:0>为并行的 16 个 8 位二进制数。具体地，写入数据转换单元 501 用于将串行的第一写有效数据 WDATA1<127:0>转换成多个并行的第二写有效数据 WDATA2<127:0>，以提高后续将数据信息存入存储模块 102 的效率。

需要说明的是，写入数据转换单元 501 还用于将第一写 WDM1<7:0>
20 进行串并转换，并输出第二写屏蔽数据 WDM2<7:0>至数据处理模块 104，第二写屏蔽数据 WDM2<7:0>为并行的 8 个 1 位二进制数。

读取数据转换单元 502，与数据焊盘 101 和数据处理模块 104 均连接，用于将数据处理模块 104 输出的第三读有效数据 RDATA3<127:0>进行并串转换，并输出第四读有效数据 RDATA4<127:0>至数据焊盘 101，第三读有
25 效数据 RDATA3<127:0>为并行的 16 个 8 位二进制数。

具体地，读取数据转换单元 502 用于将并行的多个第三读有效数据 RDATA3<127:0> 转换成一个串行的第四读有效数据 RDATA4<127:0>，用于存储器输出一个完成的存储数据，从而避免输出数据的丢失。

需要说明的是，读取数据转换单元 502 还用于将第一读屏蔽数据 RDM1<7:0> 进行并串转换，并输出第二读屏蔽数据 RDM2<7:0> 至数据处理模块 104，第二读屏蔽数据 RDM2<7:0> 为串行的 1 个 8 位二进制数。

数据处理模块 104，与读写驱动模块 103 连接，用于对读写驱动模块 103 输出的数据信息进行检测纠错的解码操作，或用于对输入到读写驱动模块 103 的数据信息进行检错纠错的编码操作。

10 在本实施例中，数据处理模块 104 包括：写入编码单元 401 和读取解码单元 402。

写入编码单元 401，与读写驱动模块 103 和写入数据转换单元 501 均连接，用于对第二写有效数据 WDATA2<127:0> 执行检错纠错的编码操作，写入编码单元 401 输出第三写有效数据 WDATA3<127:0> 和第一写校验位数据 WPARITY1<7:0>，第三写有效数据 WDATA3<127:0> 为并行的 16 个 8 位二进制数，第一写校验位数据 WPARITY1<7:0> 为 1 个 8 位二进制数。

具体地，写入编码单元 401 用于对接收的第二写有效数据 WDATA2<127:0> 进行 ECC 检测，以获取第二写有效数据 WDATA2<127:0> 的第一写校验位数据 WPARITY1<7:0>，经过 ECC 检测后的第二写有效数据 WDATA2<127:0> 变更为第三写有效数据 WDATA3<127:0> 与第一写校验位数据 WPARITY1<7:0> 一同被传送至读写驱动模块 103。

读取解码单元 402，与读写驱动模块 103 和读取数据转换单元 502 均连接，用于对读写驱动模块 103 输出的第二读有效数据 RDATA2<127:0> 和第二读校验位数据 RPARITY2<7:0> 执行检错纠错的解码操作，读取解码单元 402 输出第三读有效数据 RDATA3<127:0>。

具体地，读取解码单元 402 用于根据第二读校验位数据 RPARITY2<7:0>对第二读有效数据 RDATA2<127:0>进行 ECC 检测解码，以获取第二读校验位数据 RPARITY2<7:0>解码后对应的第三读有效数据 RDATA3<127:0>，并将第三读有效数据 RDATA3<127:0>传输至读取数据转换单元 502，第二读有效数据 RDATA2<127:0>为并行的 16 个 8 位二进制数，第二读校验位数据 RPARITY2<7:0>为 1 个 8 位二进制数。

读写驱动模块 103，与存储模块 102 连接，用于从存储模块 102 中读取数据信息，或将数据信息写入存储模块 102。

在本实施例中，读写驱动模块 103 包括：读取驱动单元 302 和写入驱动单元 301。

写入驱动单元 301，用于将第三写有效数据 WDATA3<127:0>和第一写校验位数据 WPARITY1<7:0>的驱动能力进行增强，输出第四写有效数据 WDATA4<127:0>和第二写校验位数据 WPARITY2<7:0>，并分别将第四写有效数据 WDATA4<127:0>和第二写校验位数据 WPARITY2<7:0>写入主存储模块和校验位存储模块 220，第四写有效数据 WDATA4<127:0>为并行的 16 个 8 位二进制数，第二写校验位数据 WPARITY2<7:0>为 1 个 8 位二进制数。

具体地，写入驱动单元 301 用于放大第三写有效数据 WDATA3<127:0>和第一写校验位数据 WPARITY1<7:0>，以增强第三写有效数据 WDATA3<127:0>和第一写校验位数据 WPARITY1<7:0>的驱动能力，用于导通或关断相应存储单元的开关三极管，放大后的第三写有效数据 WDATA3<127:0>作为第四写有效数据 WDATA4<127:0>存入主存储模块，放大后的第一写校验数据 WPARITY1<7:0>作为第二写校验位数据 WPARITY2<7:0>存入校验位存储模块 220。

读取驱动单元 302，用于将存储模块 102 输出的第一读有效数据

RDATA1<127:0>和第一读校验位数据 RPARITY1<7:0>的驱动能力进行增强，输出第二读有效数据 RDATA2<127:0>和第二读校验位数据 RPARITY2<7:0>，第一读校验位数据 RPARITY1<7:0>为第一读有效数据 RDATA1<127:0>的 ECC 检测数据，第一读有效数据 RDATA1<127:0>为并行的 16 个 8 位二进制数，第一读校验位数据 RPARITY1<7:0>为 1 个 8 位二进制数。

具体地，读取驱动单元 302 用于放大第一读有效数据 RDATA1<127:0>和第一读校验位 RPARITY1<7:0>数据，以增强第一读有效数据 RDATA1<127:0>和第一读校验位数据 RPARITY1<7:0>的驱动能力，用于导通或关断相应存储单元的开关三极管，保证第一读有效数据 RDATA1<127:0>和第一读校验位数据 RPARITY1<7:0>可以从存储模块 102 中读出，放大后的第一读有效数据 RDATA1<127:0>作为第二读有效数据 RDATA2<127:0>，和放大后的第一读校验位数据 RPARITY1<7:0>作为第二校验位数据 RPARITY2<7:0>一同被传输至读写驱动模块 103。

在一个具体的例子中，当存储器处于正常工作状态下通过数据写入通道进行写入操作时，数据焊盘 101 与外部控制器进行数据交互，获取第一写有效数据 WDATA1<127:0>，第一写有效数据 WDATA1<127:0>即外部输入的待存入存储器的数据；数据焊盘 101 将获取的第一写有效数据 WDATA1<127:0>传输至写入数据转换单元 501，写入数据转换单元 501 对第一写有效数据 WDATA1<127:0>进行串并转换，以将串行的第一写有效数据 WDATA1<127:0>转换成多个并行的第二写有效数据 WDATA2<127:0>，并将第二写有效数据 WDATA2<127:0>传输至写入编码单元 401；写入编码单元 401 对第二写有效数据 WDATA2<127:0>进行 ECC 检测，以获取第二写有效数据 WDATA2<127:0>的第一写校验位数据 WPARITY1<7:0>，进行 ECC 检测后的第二写有效数据 WDATA2<127:0>作为第三写有效数据

WDATA3<127:0>与第一写校验位数据 WPARITY1<7:0>一同被传输至写入驱动单元 301；写入驱动单元 301，用于放大第三写有效数据 WDATA3<127:0>和第一写校验位数据 WPARITY1<7:0>，以提高第三写有效数据 WDATA3<127:0>和第一写校验位数据 WPARITY1<7:0>的驱动能力，第三写有效数据 WDATA3<127:0>放大后作为第四写有效数据 WDATA4<127:0>写入主存储模块中，第一写校验位数据 WPARITY1<7:0>放大后作为第二写校验位数据 WPARITY2<7:0>写入校验位存储模块 220。

在另一个具体的例子中，当存储器处于正常工作状态下通过数据读取通道进行读取操作时，存储模块 102 存储有第一读有效数据 RDATA1<127:0>和第一读校验位数据 RPARITY1<7:0>，第一读校验位数据 RPARITY1<7:0>为第一读有效数据 RDATA1<127:0>的 ECC 检测数据。读取驱动单元 302 用于放大第一读有效数据 RDATA1<127:0>和第一读校验位数据 RPARITY1<7:0>，以提高第一读有效数据 RDATA1<127:0>和第一读校验位数据 RPARITY1<7:0>的驱动能力，保证第一读有效数据 RDATA1<127:0>和第一读校验位数据 RPARITY1<7:0>可以从存储模块 102 中读出，放大后的第一读有效数据 RDATA1<127:0>作为第二读有效数据 RDATA2<127:0>，和放大后的第一读校验位数据 RPARITY1<7:0>作为第二读校验位数据 RPARITY2<7:0>一同被传输至读取解码单元 402；读取解码单元 402 根据第二读校验位数据 RPARITY2<7:0>对第二读有效数据 RDATA2<127:0>进行 ECC 检测解码，以获取第二读校验位数据 RPARITY2<7:0>解码后的第三读有效数据 RDATA3<127:0>，并将第三读有效数据 RDATA3<127:0>传输至读取数据转换单元；读取数据转换单元对第三读有效数据 RDATA3<127:0>进行并串转换，已经并行的多个第三读有效数据 RDATA3<127:0>转换成一个串行的第四读有效数据 RDATA4<127:0>，并将第四读有效数据 RDATA4<127:0>传输至数据焊盘 101，数据焊盘 101

与外部控制器进行数据交互，以输出读取的第四读有效数据 RDATA4<127:0>。

在本实施例中，存储器还包括压缩读取模块 106，与读取驱动单元 302 和读取数据转换单元 502 均连接，用于在测试模式将数据信息进行压缩处理，以输出压缩处理数据至读取数据转换单元 502。

测试模式即对存储模块 102 中的每一个存储单元进行测试，通过向所有的存储单元写入高电平，并根据从存储模块 102 中读取的数据判断，存储模块 102 中是否存在有问题的存储单元。关闭读取解码单元 402 即关闭存储器的数据读取通道，相应的，开启压缩读取模块 106，使数据通过压缩读取模块 106 进行检验。向所述存储单元写入高电平的目的在于判断存储模块 102 中的每一个存储单元是否能够正常存储高电平数据。

参考图 1，对于写操作，对存储模块 102 进行测试时，数据处理模块 104 将数据焊盘 101 上的串行数据转化成并行数据，然后将并行数据分配的 Data<127:0>并传输至读写驱动模块 103，相应的 ECC 检测数据分配到 Dm<7:0>，写入存储模块 102 的校验位存储模块 220 中；读写驱动模块 103 对接收到的 Data<127:0>，依次存储到主存储模块 1（201）、主存储模块 2（202）……主存储模块 15（215）和主存储模块 16（216）中，每个主存储模块中存储一个 8 位的并行数据，并将 Dm<7:0>写入校验位存储模块 220 中；对于读操作，数据处理模块 104 对数据进行压缩处理，获取压缩处理数据，通过压缩处理数据检测存储模块 102 是否处于正常工作状态，然后将并行的压缩处理数据由并行数据转换成串行数据后，通过数据焊盘 101 输出到外部；读写驱动模块 103 将各个主存储模块中的数据和校验位存储模块 220 中的数据依次读取到 Data<127:0>和 Dm<7:0>中。

具体地，参考图 2，当进入测试模式时，关闭读取解码单元 402，开启压缩读取模块 106，向存储模块 102 中的每一个存储单元中写入高电平，读

取驱动单元 302 将第二读有效数据 RDATA2<127:0>和第二读校验位数据 RPARITY2<7:0>作为测试数据 TDATA<135:0>送入压缩读取模块 106, 压缩读取模块 106 对接收的测试数据 TDATA<135:0>进行压缩处理, 生成压缩处理数据, 并将压缩处理数据经过读取数据转换单元 502 输出到数据焊盘 101, 从而实现将压缩处理数据输出到外部。

当检错纠错的解码操作没有发现错误时, 第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>; 当检错纠错的解码操作发现一比特错误时, 第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>; 当检错纠错的解码操作发现多比特错误时, 第一写有效数据 WDATA1<127:0>不等于第四读有效数据 RDATA4<127:0>。

具体地, 存储模块 102 中每一个存储单元都用于存储一比特的数据, 一比特的数据错误表征存储模块 102 中存在一个有问题的存储电容。而检错纠错操作用于对读取的存储数据进行错误检验, 且当错误数据为一比特的数据时, 检错纠错操作还用于调整错误数据, 即当检错纠错的解码操作没有发现错误时, 第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>, 当检错纠错的解码操作发现一比特错误时, 第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>; 但当错误数据为多比特的数据时, 检错纠错操作无法调整错误数据, 即当检错纠错的解码操作发现多比特错误时, 第一写有效数据 WDATA1<127:0>不等于第四读有效数据 RDATA4<127:0>。

在本实施例中, 读写驱动模块 103 与数据处理模块 104 通过有效数据总线和校验位总线进行数据信息的交互。有效数据总线用于传输有效数据, 有效数据包括第三写有效数据 WDATA3<127:0>和第二读有效数据 RDATA2<127:0>; 校验位总线用于传输校验位数据, 校验位数据包括第一写校验位数据 WPARITY1<7:0>和第二读校验位数据 RPARITY2<7:0>。

在一个例子中，有效数据总线具有 128 位宽度，检验位总线具有 8 位宽度。即有效数据总线用于传输 128 位的有效数据，而 128 位的有效数据经过检错纠错操作产生 8 位的校验位数据，校验位总线用于传输这 8 位的校验位数据。

5 需要说明的是，在其他实施例中，有效数据总线用于传输任意位宽的数据，在 128 位的基础上，有效数据的宽度每增加一倍，相应检验位总线的位宽需要增加一位，有效数据总线的位宽和校验位总线的位宽可以根据具体传输数据的位宽进行具体设置。

在本实施例中，读写驱动模块 103 与压缩读取模块 106 通过有效数据
10 总线和屏蔽数据总线进行数据信息的交互。有效数据总线用于传输第二读有效数据 $RDATA2<127:0>$ ，屏蔽数据总线用于传输第二读校验位数据 $RPARITY2<7:0>$ 。屏蔽数据总线为存储器正常工作时使用的总线，本实施例设计的存储器在测试模式时通过屏蔽数据总线进行部分数据的传输，从而避免了引入外部总线，提高了存储器的测试模式的稳定性。

15 在一个例子中，有效数据总线具有 128 位宽度，屏蔽数据总线具有 8 位宽度。写入驱动单元 301 将 128 位的第二读有效数据和 8 位的第二读校验位数据结合后一个 136 位的数据发送至压缩读取模块 106，此时 128 位的有效数据总线和 8 位的屏蔽数据总线一起用于传输该 136 位的数据。

需要说明的是，在其他实施例中，有效数据总线用于传输任意位宽的
20 数据，在 128 位的基础上，有效数据的宽度每增加一倍，相应检验位总线的位宽需要增加一位，相应地屏蔽数据总线的位宽也需要增加一位，有效数据总线的位宽和屏蔽数据总线的位宽可以根据具体传输数据的位宽进行具体设置。

相对于相关技术而言，在测试模式时，关闭存储器的数据读取通道，
25 通过额外设置的压缩处理单元对存储器存储的有效数据和校验位数据进行

压缩处理，以获取压缩处理数据，并通过压缩处理数据判断所述存储器的主存储模块和校验位存储模块是否出现错误，通过对存储数据和校验位数据同时测试，提高了存储器测试的效率；且通过压缩处理数据获取测试结果，进一步提到了存储器测试的效率。

5 值得一提的是，本实施例中所涉及到的各模块均为逻辑模块，在实际应用中，一个逻辑单元可以是一个物理单元，也可以是一个物理单元的一部分，还可以以多个物理单元的组合实现。此外，为了突出本申请的创新部分，本实施例中并没有将与解决本申请所提出的技术问题关系不太密切的单元引入，但这并不表明本实施例中不存在其它的单元。

10 本申请第二实施例涉及一种存储器，相比于第一实施例而言，第二实施例通过新增测试用例寄存器来完成对存储模块的数据写入，加快了存储器的测试数据写入速度，从而提高存储器的测试效率。

图 3 和图 4 为本申请实施例提供的存储器的结构示意图，下面对本实施例的存储器进行具体说明，与第一实施例相同或相应的部分，以下将不做详细赘述。

15 参考图 3 和图 4，存储器，还包括：

测试用例寄存器 107，用于存储测试数据，与写入驱动单元 301 连接。

测试用例(Test Case)是指对一项特定的软件产品进行测试任务的描述，体现测试方案、方法、技术和策略。其内容包括测试目标、测试环境、输入数据、测试步骤、预期结果、测试脚本等，最终形成文档。

20 在本实施例中，测试用例用于输出测试数据指示存储模块的每一个存储单元存储高电平。

在进行测试模式之前，将测试用例存储在测试用例寄存器 107；在进入测试模式时，关闭写入编码单元，开启测试用例寄存器 107，测试用例寄存器 107 输出测试数据，用于对主存储模块和校验位存储模块 220 进行测试。

参考图 1, 对于写操作, 对存储模块 102 进行测试时, 数据处理模块 104 关断与读写驱动模块 103 的数据写入通道; 测试用例寄存器 107 输出测试数据, 测试数据包括 Data<127:0>和 Dm<7:0>; 读写驱动模块 103 对接收到的 Data<127:0>, 依次存储到主存储模块 1(201)、主存储模块 2(202).... 主存储模块 15(215) 和主存储模块 16(216) 中, 每个主存储模块中存储一个 8 位的并行数据, 并将 Dm<7:0>写入校验位存储模块 220 中; 对于读操作, 数据处理模块 104 对数据进行压缩处理, 获取压缩处理数据, 通过压缩处理数据检测存储模块 102 是否处于正常工作状态, 然后将并行的压缩处理数据由并行数据转换成串行数据后, 通过数据焊盘 101 输出到外部; 读写驱动模块 103 将各个主存储模块中的数据和校验位存储模块 220 中的数据依次读取到 Data<127:0>和 Dm<7:0>中。

具体地, 参考图 2, 在进行测试模式之前, 将测试用例存储测试用例寄存器 107, 测试用例用于输出测试数据指示向主存储模块和校验位存储模块 220 存入高电平; 向所述存储单元写入高电平的目的在于判断存储模块中的每一个存储单元是否能够正常存储高电平数据。在进入测试模式时, 关闭写入编码单元, 即关闭存储器的数据写入通道, 并开启测试用例寄存器 107, 测试用例寄存器 107 输出预先存储的测试数据, 通过测试数据完成对主存储模块和校验位存储模块 220 的数据写入, 从而实现对主存储模块和校验位存储模块 220 的测试。

在本实施例中, 测试用例寄存器 107 与读写驱动模块通过有效数据总线 and 校验位总线进行数据信息的交互。

在一个例子中, 有效数据总线具有 128 位宽度, 校验位总线具有 8 位宽度。即有效数据总线用于传输 128 位的有效数据, 而 128 位的有效数据经过检错纠错操作产生 8 位的校验位数据, 校验位总线用于传输这 8 位的校验位数据。

具体地，有效数据和校验位数据的通过测试用例保存，在进入测试模式时，测试用例寄存器 107 基于测试用例，通过有效数据总线向存储模块输入 128 为有效数据，并通过校验位总线向存储模块输入 8 为校验位数据，有效数据存储器在存储模块的主存储模块中，8 位校验位数据存储在存储模块的校验位存储模块 220 中。

需要说明的是，在其他实施例中，有效数据总线用于传输任意位宽的数据，在 128 位的基础上，有效数据的宽度每增加一倍，相应校验位总线的位宽需要增加一位，有效数据总线的位宽和校验位总线的位宽可以根据具体传输数据的位宽进行具体设置。

相对于相关技术而言，在测试模式时，关闭存储器的数据读取通道，通过额外设置的压缩处理单元对存储器存储的有效数据和校验位数据进行压缩处理，以获取压缩处理数据，并通过压缩处理数据判断所述存储器的主存储模块和校验位存储模块是否出现错误，通过对存储数据和校验位数据同时测试，提高了存储器测试的效率；且通过压缩处理数据获取测试结果，进一步提到了存储器测试的效率。另外，通过测试用例寄存器存储测试数据，在存储器进行测试时，直接通过测试用例寄存器输出的测试数据完成对存储器中主存储模块和校验位存储模块的写入，加快了测试数据写入速度，从而进一步提高存储器的测试效率。

值得一提的是，本实施例中所涉及到的各模块均为逻辑模块，在实际应用中，一个逻辑单元可以是一个物理单元，也可以是一个物理单元的一部分，还可以以多个物理单元的组合实现。此外，为了突出本申请的创新部分，本实施例中并没有将与解决本申请所提出的技术问题关系不太密切的单元引入，但这并不表明本实施例中不存在其它的单元。

本申请第三实施例涉及一种存储器的测试方法。

以下将结合附图对本实施例提供的存储器的测试方法进行详细说明，

与第一实施例和第二实施例相同或相应的部分，以下将不做详细赘述。

存储器的测试方法，应用于第一实施例的存储器，包括：基于数据焊盘向存储器中输入测试数据；将测试数据写入主存储模块和校验位存储模块；通过压缩读取模块读取主存储模块和校验位存储模块储存的测试数据，
5 并输出压缩处理数据；基于压缩处理数据判断存储模块是否处于正常工作状态。

参考图 5，存储器的测试方法包括：

步骤 601，通过存储器的数据写入通道向存储器的存储模块中写入数据。

10 具体地，参考图 2，通过数据写入通道进行写入操作时，数据焊盘 101 与外部控制器进行数据交互，获取第一写有效数据 $WDATA1<127:0>$ ，第一写有效数据 $WDATA1<127:0>$ 即外部输入的待存入存储器的数据。

数据焊盘 101 将获取的第一写有效数据 $WDATA1<127:0>$ 传输至写入数据转换单元 501，写入数据转换单元 501 对第一写有效数据
15 $WDATA1<127:0>$ 进行串并转换，以将串行的第一写有效数据 $WDATA1<127:0>$ 转换成多个并行的第二写有效数据 $WDATA2<127:0>$ ，并将第二写有效数据 $WDATA2<127:0>$ 传输至写入编码单元 401。

写入编码单元 401 对第二写有效数据 $WDATA2<127:0>$ 进行 ECC 检测，以获取第二写有效数据 $WDATA2<127:0>$ 的第一写校验位数据
20 $WPARITY1<7:0>$ ，进行 ECC 检测后的第二写有效数据 $WDATA2<127:0>$ 作为第三写有效数据 $WDATA3<127:0>$ 和第一写校验位数据 $WPARITY1<7:0>$ 一同被传输至写入驱动单元 301。

写入驱动单元 301，用于放大第三写有效数据 $WDATA3<127:0>$ 和第一写校验位数据，以提高第三写有效数据 $WDATA3<127:0>$ 和第一写校验位数据
25 数据 $WPARITY1<7:0>$ 的驱动能力，第三写有效数据 $WDATA3<127:0>$ 放大后

作为第四写有效数据 WDATA4<127:0>写入主存储模块，第一写校验位数据 WPARITY1<7:0>放大后作为第二写校验位数据 WPARITY2<7:0>写入校验位存储模块。

继续参考图 5，步骤 602，关闭存储器的数据读取通道，开启存储器的压缩读取模块；步骤 603，基于压缩读取模块获取压缩处理数据；步骤 604，将压缩处理数据输出至存储器的数据焊盘。

参考图 2，具体地，读取驱动单元 302 将第二读有效数据 RDATA2<127:0>和第二读校验位数据 WPARITY2<7:0>作为测试数据 TDATA<135:0>送入压缩读取模块 106，压缩读取模块 106 对接收的测试数据 TDATA<135:0>进行压缩处理，生成压缩处理数据，并将压缩处理数据经过读取数据转换单元 502 输出到数据焊盘 101，从而实现将压缩处理数据输出到外部。

继续参考图 5，步骤 105，基于压缩处理数据判断存储器的存储模块是否处于正常工作状态。

参考图 2，具体地，存储模块 102 中每一个存储单元都用于存储一比特的高电平数据，一比特的数据错误表征存储模块 102 中存在一个有问题的存储电容。而检错纠错操作用于对读取的存储数据 102 进行错误检验，且当错误数据为一比特的数据时，检错纠错操作还用于调整错误数据，即当检错纠错的解码操作没有发现错误时，第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>，当检错纠错的解码操作发现一比特错误时，第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>；但当错误数据为多比特的数据时，检错纠错操作无法调整错误数据，即当检错纠错的解码操作发现多比特错误时，第一写有效数据 WDATA1<127:0>不等于第四读有效数据 RDATA4<127:0>。

存储器的测试方法，应用于第二实施例的存储器，包括：将测试数据

存入测试用例寄存器；将测试用例寄存器输出的测试数据写入主存储模块和校验位存储模块；通过压缩读取模块读取主存储模块和校验位存储模块储存的测试数据，并输出压缩处理数据；基于压缩处理数据判断存储模块是否处于正常工作状态。

5 参考图 6，存储器的测试方法包括：

步骤 701，关闭存储器的数据写入通道，通过测试用例寄存器向存储器的存储模块中写入数据。

参考图 4，将测试数据存入存储器的测试用例寄存器 107，测试数据用于对存储器的存储模块 102 进行测试，开启测试用例寄存器 107，测试用例寄存器 107 向存储模块 102 输出测试数据。

具体地，在进行测试模式之前，将测试数据存入测试用例寄存器 107，测试数据用于指示向主存储模块和校验位存储模块 220 存入高电平；向主存储模块和校验位存储模块 220 写入高电平的目的在于判断存储模块 102 是否能够正常存储高电平数据。在进入测试模式时，关闭写入编码单元 401，即关闭存储器的数据写入通道，并开启测试用例寄存器 107，测试用例寄存器 107 输出预先存储的测试数据，通过测试数据完成对主存储模块和校验位存储模块 220 的数据写入，从而实现对存储模块 102 的测试。

继续参考图 6，步骤 702，关闭存储器的数据读取通道，开启存储器的压缩读取模块；步骤 703，基于压缩读取模块获取压缩处理数据；步骤 704，将压缩处理数据输出至存储器的数据焊盘。

参考图 5，具体地，读取驱动单元 302 将第二读有效数据 RDATA2<127:0> 和第二读校验位数据 WPARITY2<7:0> 作为测试数据 TDATA<135:0> 送入压缩读取模块 106，压缩读取模块 106 对接收的测试数据 TDATA<135:0> 进行压缩处理，生成压缩处理数据，并将压缩处理数据经过读取数据转换单元 502 输出到数据焊盘 101，从而实现将压缩处理数据输

出到外部。

继续参考图 6，步骤 705，基于压缩处理数据判断存储器的存储模块是否处于正常工作状态。

参考图 5，具体地，存储模块 102 中每一个存储单元都用于存储一比特的高电平数据，一比特的数据错误表征存储模块 102 中存在一个有问题的存储电容。而检错纠错操作用于对读取的存储数据进行错误检验，且当错误数据为一比特的数据时，检错纠错操作还用于调整错误数据，即当检错纠错的解码操作没有发现错误时，第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>，当检错纠错的解码操作发现一比特错误时，
5 第一写有效数据 WDATA1<127:0>等于第四读有效数据 RDATA4<127:0>；
10 但当错误数据为多比特的数据时，检错纠错操作无法调整错误数据，即当检错纠错的解码操作发现多比特错误时，第一写有效数据 WDATA1<127:0>不等于第四读有效数据 RDATA4<127:0>。

与相关技术相比，

15 在测试模式时，关闭存储器的数据读取通道，通过额外设置的压缩处理单元对存储器存储的有效数据和校验位数据进行压缩处理，以获取压缩处理数据，并通过压缩处理数据判断所述存储器的主存储模块和校验位存储模块是否出现错误，通过对存储数据和校验位数据同时测试，提高了存储器测试的效率；且通过压缩处理数据获取测试结果，进一步提到了存储器测试的效率。
20 另外，通过测试用例寄存器 107 存储测试数据，在存储器进行测试时，直接通过测试用例寄存器 107 输出的测试数据完成对存储器中主存储模块和校验位存储模块的写入，加快了测试数据写入速度，从而进一步提高存储器的测试效率。

上面各种步骤划分，只是为了描述清楚，实现时可以合并为一个步骤
25 或者对某些步骤进行拆分，分解为多个步骤，只要包括相同的逻辑关系，

都在本专利的保护范围内；对流程中添加无关紧要的修改或者引入无关紧要的设计，但不改变其流程的核心设计都在该专利的保护范围内。

由于第一实施例和第二实施例与本实施例相互对应，因此本实施例可与第一实施例和第二实施例互相配合实施。第一实施例和第二实施例中提到的相关技术细节在本实施例中依然有效，在第一实施例和第二实施例中所能达到的技术效果在本实施例中也同样可以实现，为了减少重复，这里不再赘述。相应地，本实施例中提到的相关技术细节也可应用在第一实施例和第二实施例中。

本领域的普通技术人员可以理解，上述各实施例是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。

权利要求书

1、一种存储器，包括：

存储模块，用于存储数据信息，所述存储模块包括主存储模块和校验位存储模块，所述主存储模块用于存储有效数据，所述校验位存储模块用于存储校验位数据；

读写驱动模块，与所述存储模块连接，用于从所述存储模块中读取所述数据信息，或将所述数据信息写入所述存储模块；

数据处理模块，与所述读写驱动模块连接，用于对所述读写驱动模块输出的所述数据信息进行检错纠错的解码操作，或用于对输入到所述读写驱动模块的所述数据信息进行检错纠错的编码操作。

2、根据权利要求1所述的存储器，其中，还包括：

数据焊盘，与外部控制器交互第一写有效数据和第四读有效数据；

写入数据转换单元，与所述数据焊盘和所述数据处理模块均连接，用于将所述第一写有效数据进行串并转换，并输出第二写有效数据至所述数据处理模块；

读取数据转换单元，与所述数据焊盘和所述数据处理模块均连接，用于将所述数据处理模块输出的第三读有效数据进行并串转换，并输出所述第四读有效数据至所述数据焊盘。

3、根据权利要求2所述的存储器，其中，所述数据处理模块包括：

写入编码单元，与所述读写驱动模块和所述写入数据转换单元均连接，用于对所述第二写有效数据执行所述检错纠错的编码操作，所述写入编码单元输出第三写有效数据和第一写校验位数据；

读取解码单元，与所述读写驱动模块和所述读取数据转换单元均连接，用于对所述读写驱动模块输出的第二读有效数据和第二读校验位数据执行所述检错纠错的解码操作，所述读取解码单元输出所述第三读有

效数据。

4、根据权利要求3所述的存储器，其中，所述读写驱动模块包括：

写入驱动单元，用于将所述第三写有效数据和所述第一写校验位数据的驱动能力进行增强，输出第四写有效数据和第二写校验位数据，并
5 分别将所述第四写有效数据和第二写校验位数据写入所述主存储模块和校验位存储模块；

读取驱动单元，用于将所述存储模块输出的第一读有效数据和第一读校验位数据的驱动能力进行增强，输出所述第二读有效数据和所述第二读校验位数据。

10 5、根据权利要求4所述的存储器，其中，还包括：

压缩读取模块，与所述读取驱动单元和所述读取数据转换单元均连接，用于在测试模式将所述数据信息进行压缩处理，以输出压缩处理数据至所述读取数据转换单元。

6、根据权利要求5所述的存储器，其中，当所述检错纠错的解码操作没有发现错误时，所述第一写有效数据等于所述第四读有效数据；当
15 所述检错纠错的解码操作发现一比特错误时，所述第一写有效数据等于所述第四读有效数据；当所述检错纠错的解码操作发现多比特错误时，所述第一写有效数据不等于所述第四读有效数据。

7、根据权利要求5所述的存储器，其中，当进入所述测试模式时，
20 关闭所述读取解码单元，开启所述压缩读取模块，所述读取驱动单元将所述第二读有效数据和所述第二读校验位数据送入所述压缩读取模块，所述压缩处理数据经过所述读取数据转换单元输出到所述数据焊盘。

8、根据权利要求5所述的存储器，其中，所述读写驱动模块与所述数据处理模块通过有效数据总线和校验位总线进行所述数据信息的交互；所述读写驱动模块与所述压缩读取模块通过所述有效数据总线和屏
25

蔽数据总线进行所述数据信息的交互。

9、根据权利要求 8 所述的存储器，其中，所述有效数据总线具有 128 位宽度，所述校验位总线具有 8 位宽度，所述屏蔽数据总线具有 8 位宽度。

5 10、根据权利要求 5 至 9 任一所述的存储器，其中，还包括：测试用例寄存器，用于存储测试数据，与所述写入驱动单元连接。

11、根据权利要求 10 所述的存储器，其中，所述测试用例寄存器与所述读写驱动模块通过有效数据总线和校验位总线进行所述数据信息的交互。

10 12、根据权利要求 11 所述的存储器，其中，所述有效数据总线具有 128 位宽度，所述校验位总线具有 8 位宽度。

13、根据权利要求 10 所述的存储器，其中，在进入所述测试模式之前，将所述测试数据存入所述测试用例寄存器；在进入所述测试模式时，关闭写入编码单元，开启测试用例寄存器，所述测试用例寄存器输出测试数据，用于对所述主存储模块和所述校验位存储模块进行测试。

14、一种存储器的测试方法，应用于权利要求 5~9 任一项所述的存储器，包括：

基于数据焊盘向存储器中输入测试数据；

将所述测试数据写入所述主存储模块和校验位存储模块；

20 通过所述压缩读取模块读取所述主存储模块和校验位存储模块储存的测试数据，并输出所述压缩处理数据；

基于所述压缩处理数据判断所述存储模块是否处于正常工作状态。

15、一种存储器的测试方法，应用于权利要求 10~13 任一项所述的存储器，包括：

25 将测试数据存入测试用例寄存器；

将所述测试用例寄存器输出的所述测试数据写入所述主存储模块和校验位存储模块；

通过所述压缩读取模块读取所述主存储模块和校验位存储模块储存的测试数据，并输出所述压缩处理数据；

5 基于所述压缩处理数据判断所述存储模块是否处于正常工作状态。

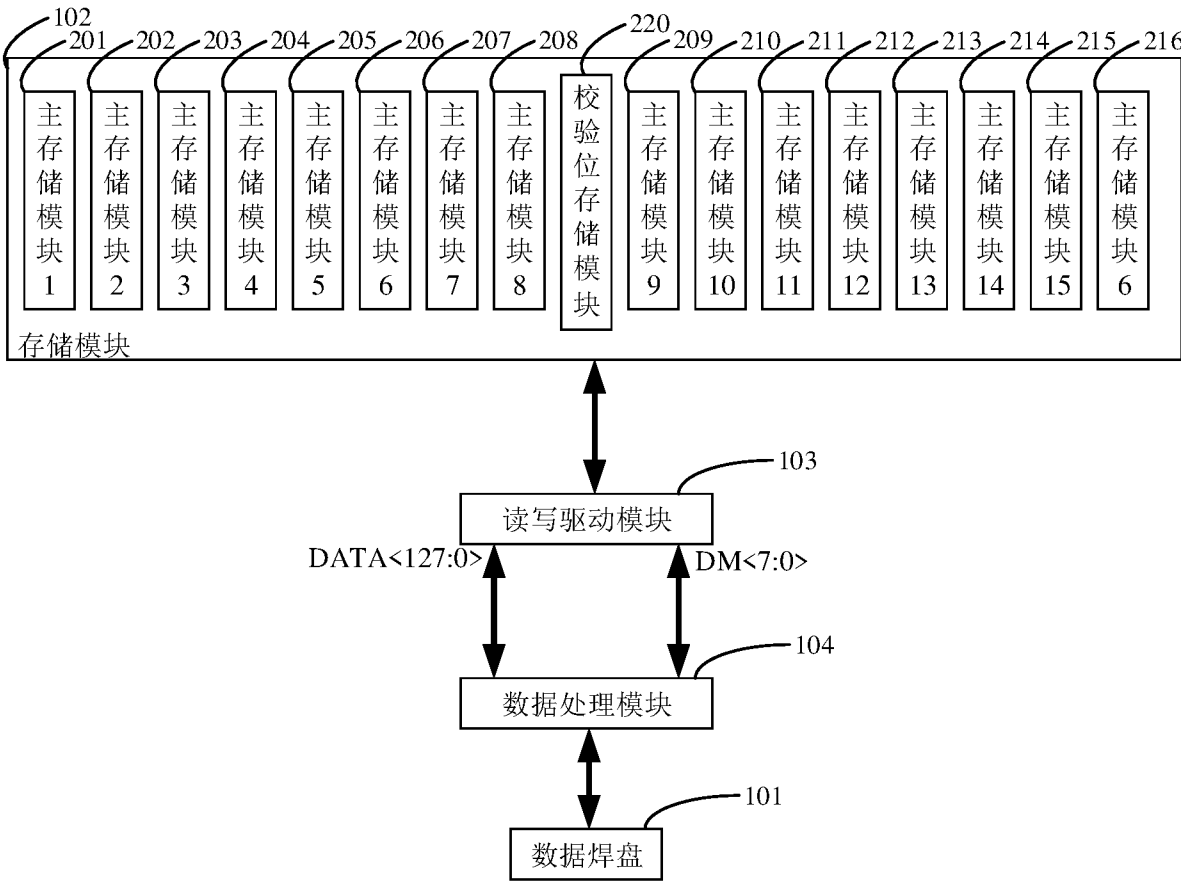


图 1

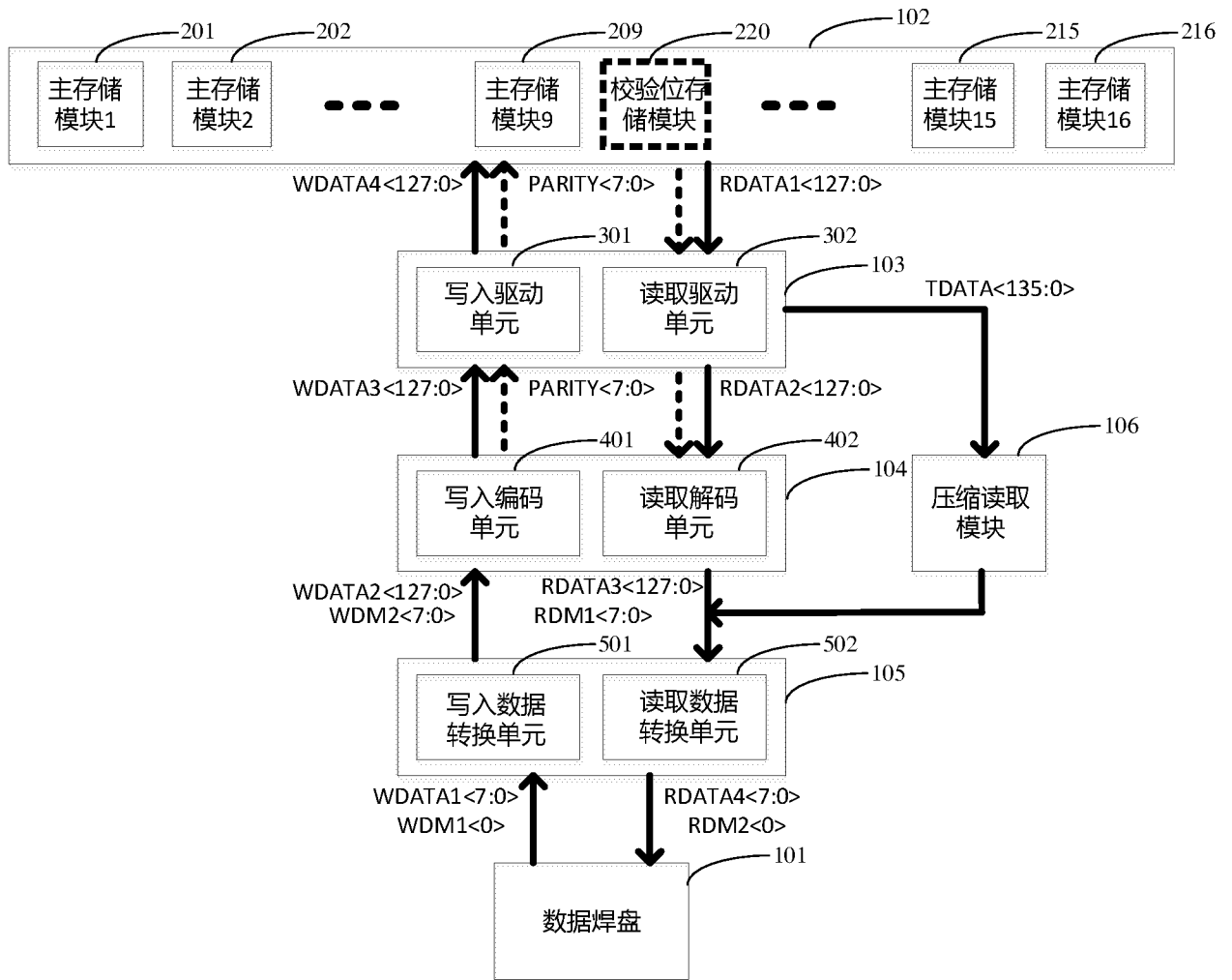


图 2

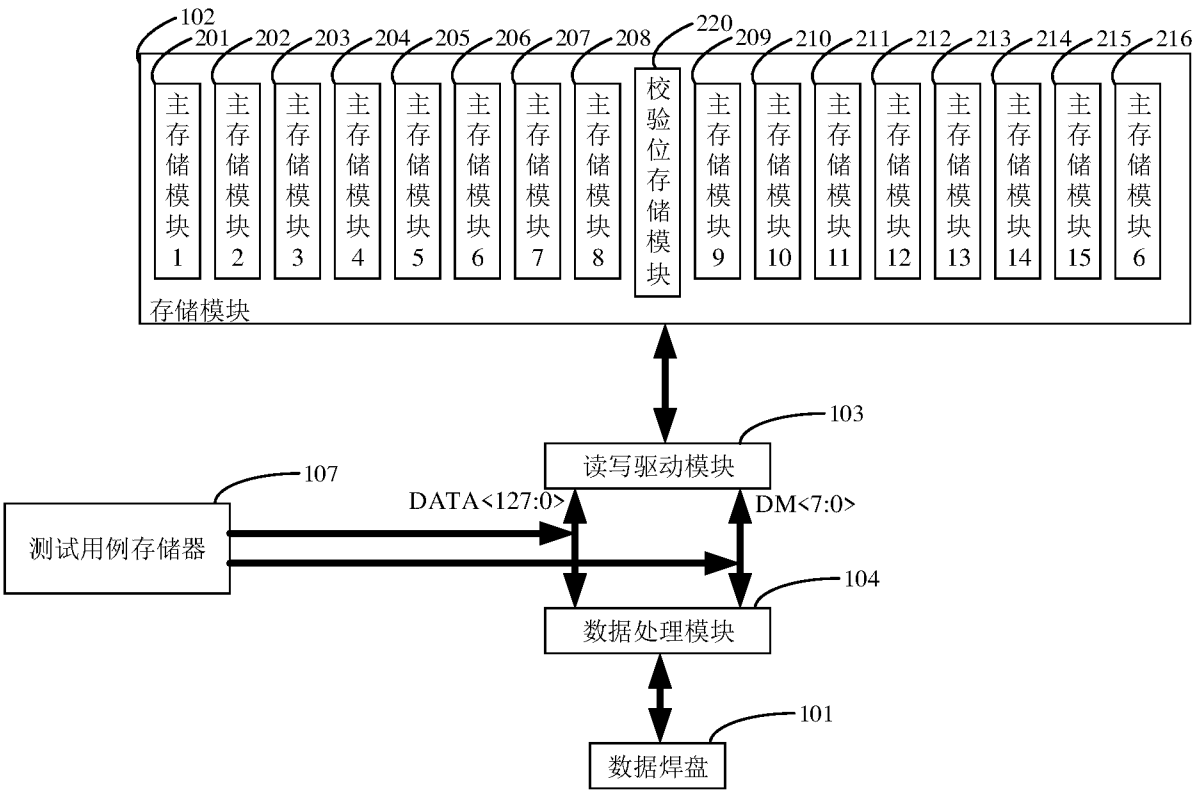


图 3

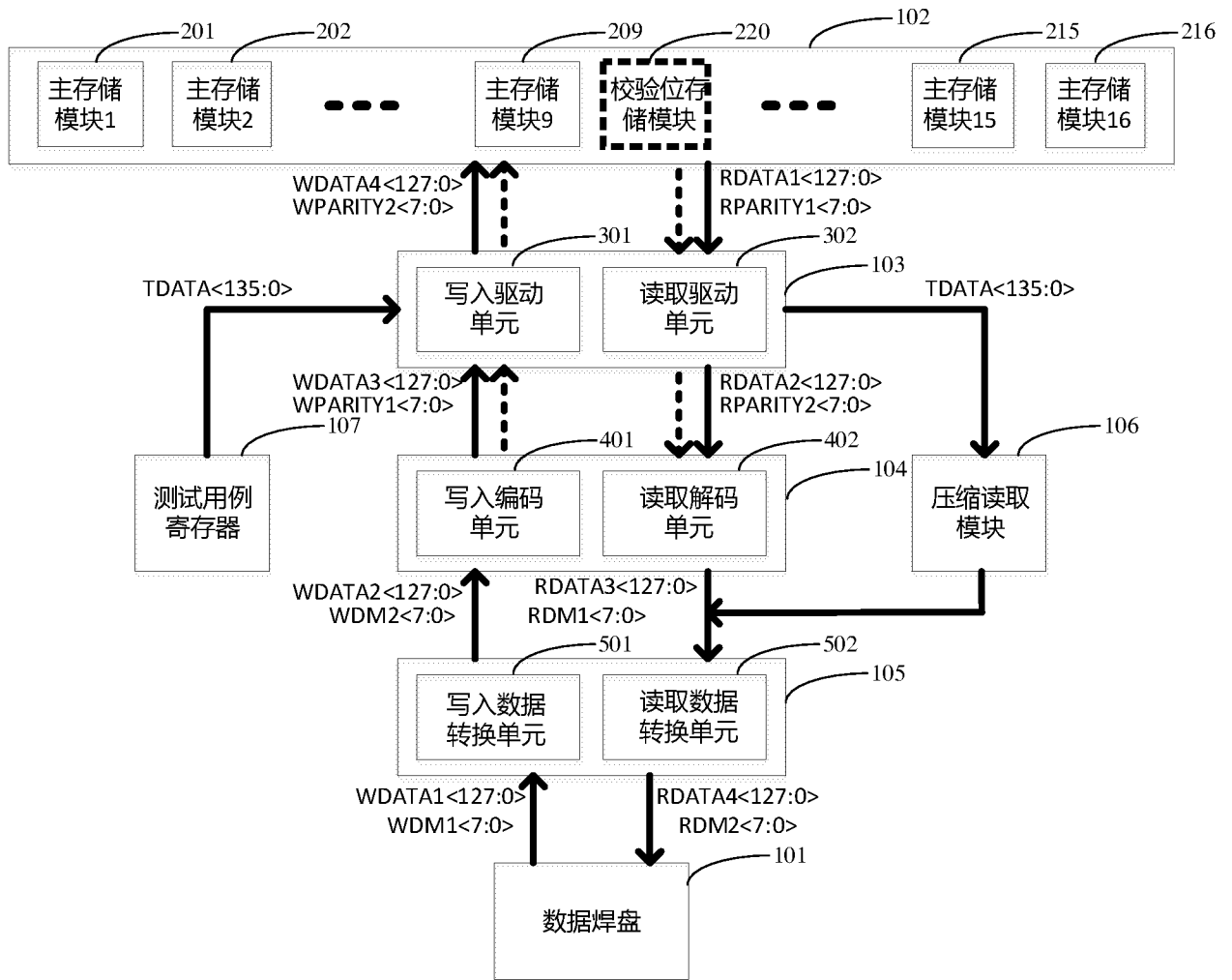


图 4

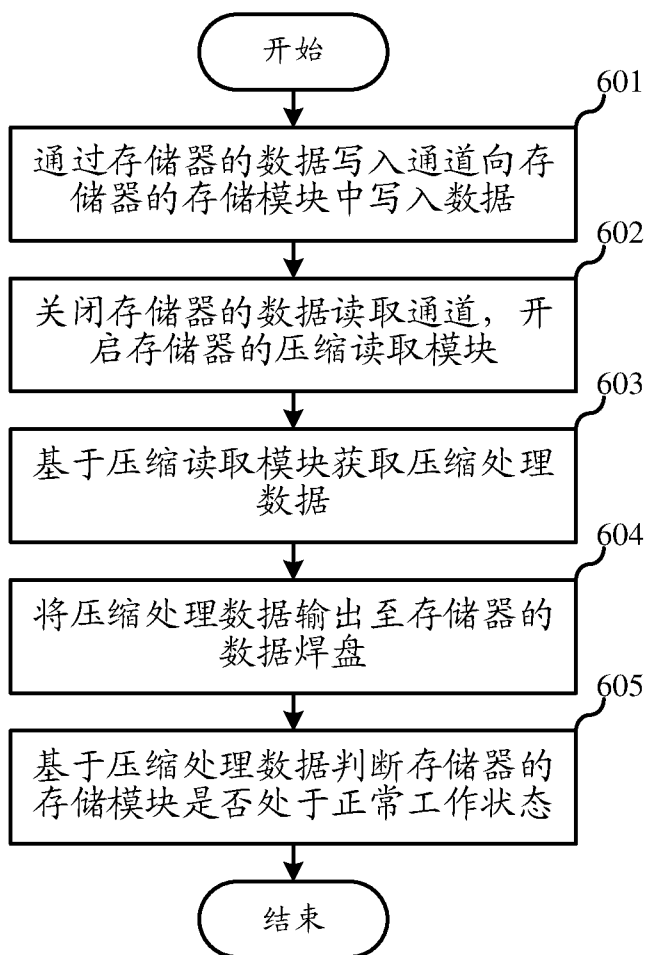


图 5

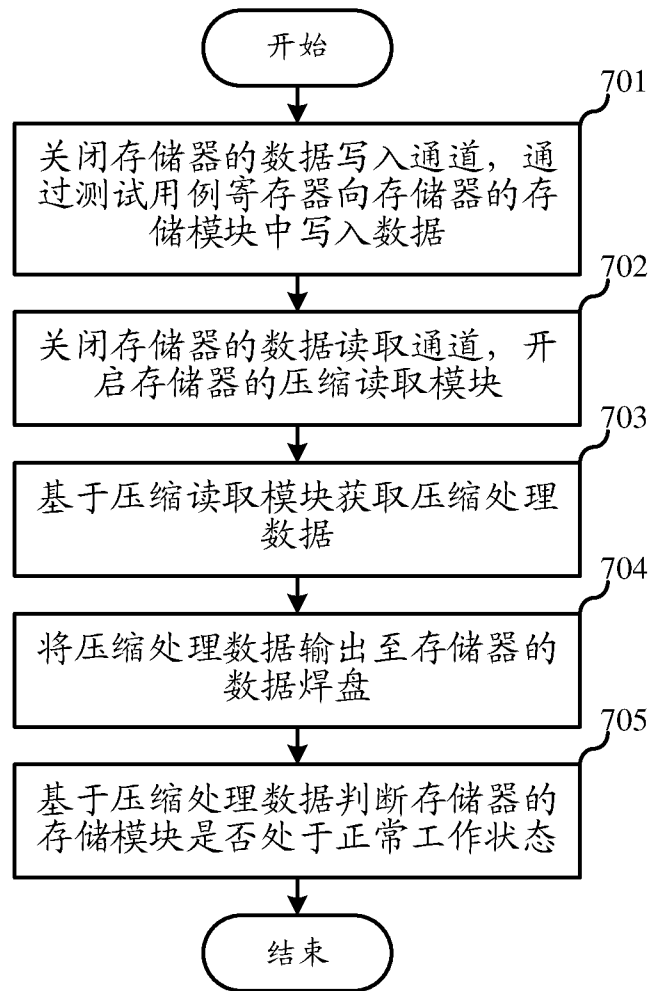


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/099988

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/42(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, CNKI: 长鑫, 王佳, 孙圆圆, 存储, 测试, 数据, 校验, 检错, 纠错, 位, 读, 写, 驱动, 编码, 解码, 压缩, 同时, 并行, 寄存器, memory, storage, test+, data, check+, error, detect+, correct+, bit, read+, writ+, driv+, cod+, decod+, compress+, at the same time, parallel, register

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 111078459 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 28 April 2020 (2020-04-28) description, paragraphs [0006]-[0142], and figures 1-9	1-15
A	US 2005246594 A1 (KINGSTON TECHNOLOGY CORP.) 03 November 2005 (2005-11-03) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 September 2021

Date of mailing of the international search report

15 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/099988

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)	
CN	111078459	A	28 April 2020	None			
US	2005246594	A1	03 November 2005	US	7272774	B2	18 September 2007

国际检索报告

国际申请号

PCT/CN2021/099988

A. 主题的分类

G11C 29/42 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, DWPI, SIPOABS, CNKI:长鑫, 王佳, 孙圆圆, 存储, 测试, 数据, 校验, 检错, 纠错, 位, 读, 写, 驱动, 编码, 解码, 压缩, 同时, 并行, 寄存器, memory, storage, test+, data, check+, error, detect+, correct+, bit, read+, writ+, driv+, cod+, decod+, compress+, at the same time, parallel, register

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 111078459 A (长鑫存储技术有限公司) 2020年 4月 28日 (2020 - 04 - 28) 说明书第[0006]-[0142]段, 图1-9	1-15
A	US 2005246594 A1 (KINGSTON TECHNOLOGY CORP) 2005年 11月 3日 (2005 - 11 - 03) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 9月 9日

国际检索报告邮寄日期

2021年 9月 15日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王昆

电话号码 (86-10) 62412187

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/099988

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	111078459	A	2020年 4月 28日	无	
US	2005246594	A1	2005年 11月 3日	US 7272774 B2	2007年 9月 18日