

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 4 月 18 日 (18.04.2024)



(10) 国际公布号
WO 2024/077803 A1

(51) 国际专利分类号:
H01L 21/8238 (2006.01)

(21) 国际申请号: PCT/CN2023/070660

(22) 国际申请日: 2023 年 1 月 5 日 (05.01.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211258047.9 2022 年 10 月 13 日 (13.10.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

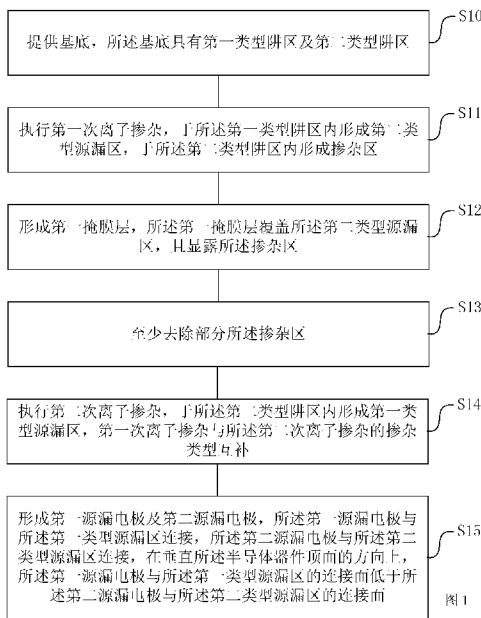
(72) 发明人: 胡建城 (HU, Jiancheng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 曹奎锡 (CHO, Gyuseog); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海盈盛知识产权代理事务所 (普通合伙) (SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY); 中国上海市静安区恒丰路 218 号东座 1612 室, Shanghai 200070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) Title: SEMICONDUCTOR DEVICE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体器件及其制备方法



S10 Provide a substrate, wherein the substrate is provided with a first-type well region and a second-type well region
S11 Perform first ion doping, forming a second-type source-drain region in the first-type well region, and forming a doped region in the second-type well region
S12 Form a first mask layer, wherein the first mask layer covers the second-type source-drain region and exposes the doped region
S13 At least remove part of the doped region
S14 Perform second ion doping, forming a first-type source-drain region in the second-type well region, wherein the doping types of the first ion doping and the second ion doping are complementary
S15 Form a first source-drain electrode and a second source-drain electrode, wherein the first source-drain electrode is connected to the first-type source-drain region, the second source-drain electrode is connected to the second-type source-drain region, and in a direction perpendicular to a top surface of the semiconductor device, the connecting interface between the first source-drain electrode and the first-type source-drain region is lower than the connecting interface between the second source-drain electrode and the second-type source-drain region

图 1

(57) Abstract: A method for preparing a semiconductor device. The method comprises: providing a substrate, wherein the substrate is provided with a first-type well region and a second-type well region; performing first ion doping, forming a second-type source-drain region in the first-type well region, and forming a doped region in the second-type well region; forming a first mask layer, wherein the first mask layer covers the second type source-drain region and exposes the doped region; at least removing part of the doped region; performing second ion doping, forming a first-type source-drain region in the second-type well region, wherein the doping types of

[见续页]

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,
SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则
4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

the first ion doping and the second ion doping are complementary; and forming a first source-drain contact and a second source-drain contact, wherein the first source-drain contact is connected to the first-type source-drain region, the second source-drain contact is connected to the second-type source-drain region, and in a direction perpendicular to a top surface of the semiconductor device, the connecting interface between the first source-drain contact and the first-type source-drain region is lower than the connecting interface between the second source-drain contact and the second-type source-drain region. The method can achieve the purpose of forming a CMOS transistor only by using one photomask, and also ensure that the performance of the CMOS transistor is not compromised.

(57) 摘要: 一种半导体器件的制备方法, 包括: 提供基底, 基底具有第一类型阱区及第二类型阱区; 执行第一次离子掺杂, 于第一类型阱区内形成第二类型源漏区, 于第二类型阱区内形成掺杂区; 形成第一掩膜层, 第一掩膜层覆盖第二类型源漏区, 且显露掺杂区; 至少去除部分掺杂区; 执行第二次离子掺杂, 于第二类型阱区内形成第一类型源漏区, 第一次离子掺杂与第二次离子掺杂的掺杂类型互补; 形成第一源漏接触及第二源漏接触, 第一源漏接触与第一类型源漏区连接, 第二源漏接触与第二类型源漏区连接, 在垂直半导体器件顶面的方向上, 第一源漏接触与第一类型源漏区的连接面低于第二源漏接触与第二类型源漏区的连接面。所述方法仅采用一道光罩就能实现形成CMOS晶体管的目的, 也保证了CMOS晶体管的性能不受损失。

半导体器件及其制备方法

相关申请引用说明

本申请要求于 2022 年 10 月 13 日递交的中国专利申请号 202211258047.9、申请名为“半导体器件及其制备方法”的优先权，其全部内容以引用的形式附录于此。

技术领域

本公开涉及集成电路领域，尤其涉及一种半导体器件及其制备方法。

背景技术

CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 由绝缘场效应晶体管组成，由于只有一种载流子，因而是一种单极型晶体管集成电路，其基本结构是一个 N 沟道 MOS 管和一个 P 沟道 MOS 管。

CMOS 被广泛应用在各种类型的半导体器件中，例如，存储器、图像传感器等。随着科技的发展，半导体器件的需求量及应用范围越来越大，提高 CMOS 的生产效率，降低生产成本成为目前研究的重点项目之一。

发明内容

本公开实施例所要解决的技术问题是，提供一种半导体器件及其制备方法，其能够提供生产效率，降低生产成本。

为了解决上述问题，本公开实施例提供了一种半导体器件的制备方法，包括：提供基底，所述基底具有第一类型阱区及第二类型阱区；执行第一次离子掺杂，于所述第一类型阱区内形成第二类型源漏区，于所述第二类型阱区内形成掺杂区；形成第一掩膜层，所述第一掩膜层覆盖所述第二类型源漏区，且显露所述掺杂区；至少去除部分所述掺杂区；执行第二次离子掺杂，于所述第二类型阱区内形成第一类型源漏区，所述第一次离子掺杂与所述第二次离子掺杂的掺杂类型互补；形成第一源漏接触及第二源漏接触，所述第一源漏接触与所述第一类型源漏区连接，所述第二源漏接触与所述第二类型源漏区连接，在垂直所述半导体器件顶面的方向上，所述第一源漏接触与所述第一类型源漏区的连接面低于所述第二源漏接触与所述第二类型源漏区的连接面。

在一实施例中，所述第一类型阱区为 N 型阱区，所述第二类型阱区为 P 型阱区，所述执行第一次离子掺杂的步骤包括执行 P 型杂质掺杂，所述执行第二次离子掺杂包括执行 N 型杂质掺杂。

在一实施例中，所述执行 P 型杂质掺杂的步骤中或者之前包括：执行锗离子和/或碳离子掺杂。

在一实施例中，所述第一类型阱区为 P 型阱区，所述第二类型阱区为 N 型阱区，所述执行第一次离子掺杂的步骤包括执行 N 型杂质掺杂，所述执行第二次离子掺杂包括执行 P 型杂质掺杂。

在一实施例中，至少去除部分所述掺杂区的步骤：采用干法刻蚀工艺去除所述掺杂区。

在一实施例中，至少去除部分所述掺杂区的步骤中，去除深度为 3~5 纳米。

在一实施例中，在所述执行第一次离子掺杂的步骤之前包括：形成第一介质层，所述第一介质层覆盖所述基底表面；图案化所述第一介质层，形成第一过孔及第二过孔，所述第一过孔暴露出部分所述第一类型阱区，所述第二过孔暴露出部分所述第二类型阱区；在所述执行第一次离子掺杂的步骤中，沿所述第一过孔及第二过孔执行所述第一次离子掺杂；在所述去除所述掺杂区的步骤中，沿所述第二过孔去除所述掺杂区；在所述执行第二次离子掺杂的步骤中，沿所述第二过孔执行第二次离子掺杂。

在一实施例中，在图案化所述第一介质层，形成第一过孔及第二过孔的步骤中，过刻蚀所述基底，使所述第一过孔及所述第二过孔均延伸至所述基底内。

在一实施例中，所述形成第一掩膜层的步骤包括：形成掩膜材料层，所述掩膜材料层覆盖所述第一介质层，且填充所述第一过孔及第二过孔；去除所述第二过孔内的掩膜材料层，形成所述第一掩膜层。

在一实施例中，在所述形成第一介质层之前还包括如下步骤：在所述基底上形成第一栅极结构及第二栅极结构，所述第一栅极结构设置在所述第二类型阱区表面，所述第二栅极结构设置在所述第一类型阱区表面。

在一实施例中，所述执行第二次离子掺杂的步骤之后包括：去除所述第一掩膜层，显露所述第二类型源漏区；形成源漏接触，所述源漏接触与所述第二类型源漏区及所述第一类型源漏区连接。

在一实施例中，所述去除所述第一掩膜层的步骤之后包括：对所述第一类型源漏区及所述第二类型源漏区进行退火处理。

本公开实施例还提供一种半导体器件，其包括：第一类型晶体管，具有第一类型源漏区；第二类型晶体管，具有第二类型源漏区，所述第一类型晶体管与所述第二类型晶体管为互补晶体管；第一源漏接触，与所述第一类型源漏区连接；第二源漏接触，与所述第二类型源漏区连接，在垂直所述半导体器件顶面的方向上，所述第一源漏接触与所述第一类型源漏区的连接面低于所述第二源漏接触与所述第二类型源漏区的连接面。

在一实施例中，所述第一源漏接触与所述第一类型源漏区的连接面与所述第二源漏接

触，和所述第二类型源漏区的连接面之间的高度差为 3~5 纳米。

在一实施例中，所述第一类型源漏区具有 P 型杂质及 N 型杂质，所述 N 型杂质浓度大于所述 P 型杂质浓度。

在一实施例中，所述第一类型晶体管为 N 型晶体管，所述第二类型晶体管为 P 型晶体管，或者所述第一类型晶体管为 P 型晶体管，所述第二类型晶体管为 N 型晶体管。

在一实施例中，所述半导体器件还包括：基底，具有第一类型阱区及第二类型阱区，所述第一类型源漏区位于所述第二类型阱区内，所述第二类型源漏区位于所述第一类型阱区内；第一介质层，覆盖所述基底，所述第一源漏接触贯穿所述第一介质层与所述第一类型源漏区连接，所述第二源漏接触贯穿所述第一介质层与所述第二类型源漏区连接，所述第一源漏接触与所述第一类型源漏区的连接面低于所述基底与所述第一介质层的接触面，且所述第二源漏接触与所述第二类型源漏区的连接面低于所述基底与所述第一介质层的接触面。

在一实施例中，所述第一类型晶体管具有第一栅极结构，所述第一栅极结构设置在所述第二类型阱区表面，所述第一栅极结构对应的第二类型阱区作为所述第一类型晶体管的沟道区，所述第二类型晶体管具有第二栅极结构，所述第二栅极结构设置在所述第一类型阱区表面，所述第二栅极结构对应的第一类型阱区作为所述第二类型晶体管的沟道区。

本公开实施例提供的半导体器件的制备方法在执行第一次离子掺杂时不使用光罩，形成第二类型源漏区及掺杂区，然后去除所述掺杂区，再采用光罩进行第二次离子掺杂，形成第一类型源漏区，从而实现仅采用一道光罩就能形成具有 NMOS 晶体管与 PMOS 晶体管的 CMOS 晶体管的目的，大大提供了生产效率，降低了生产成本，同时也能够使 NMOS 晶体管或者 PMOS 晶体管保持较低的阻值，保证了 CMOS 晶体管的性能不受损失。

附图说明

图 1 是本公开实施例提供的半导体器件的制备方法的步骤示意图；

图 2A-图 2I 是本公开实施例提供的制备方法的主要步骤形成的半导体结构的示意图；

图 3 是图 2I 中虚线框 A 所圈示区域的放大示意图。

具体实施方式

下面结合附图对本公开提供的半导体器件及其制备方法的具体实施方式做详细说明。本具体实施方式中所述的半导体器件可以是但不限于 DRAM。

图 1 是本公开实施例提供的半导体器件的制备方法的步骤示意图。请参阅图 1，所述制备方法包括：步骤 S10，提供基底，所述基底具有第一类型阱区及第二类型阱区；步骤 S11，

执行第一次离子掺杂，于所述第一类型阱区内形成第二类型源漏区，于所述第二类型阱区内形成掺杂区；步骤 S12，形成第一掩膜层，所述第一掩膜层覆盖所述第二类型源漏区，且显露所述掺杂区；步骤 S13，至少去除部分所述掺杂区；步骤 S14，执行第二次离子掺杂，于所述第二类型阱区内形成第一类型源漏区，第一次离子掺杂与所述第二次离子掺杂的掺杂类型互补；步骤 S15，形成第一源漏接触及第二源漏接触，所述第一源漏接触与所述第一类型源漏区连接，所述第二源漏接触与所述第二类型源漏区连接，在垂直所述半导体器件顶面的方向上，所述第一源漏接触与所述第一类型源漏区的连接面低于所述第二源漏接触与所述第二类型源漏区的连接面。

图 2A-图 2I 是本公开实施例提供的制备方法的主要步骤形成的半导体结构的示意图。

请参阅图 1 及图 2A，步骤 S10，提供基底 200，所述基底 200 具有第一类型阱区 W1 及第二类型阱区 W2。

在本实施例中，所述基底 200 包括衬底 201 及设置在所述衬底 201 内的浅沟槽隔离结构 202 (Shallow Trench Isolation, STI)，所述浅沟槽隔离结构 202 将所述衬底 201 分隔为多个彼此独立的有源区，在一些实施例中，对所述有源区进行第一类型掺杂及第二类型掺杂，形成所述第一类型阱区 W1 及所述第二类型阱区 W2。

所述衬底 201 可以包括硅衬底、锗(Ge)衬底、锗化硅(SiGe)衬底、SOI 衬底或 GOI(Germanium-on-Insulator, 绝缘体上锗)衬底等；所述衬底 201 还可以为包括其他元素半导体或化合物半导体的衬底，例如砷化镓、磷化铟或碳化硅等，所述衬底 201 还可以为叠层结构，例如硅/锗硅叠层等。另外，所述衬底 201 还可以为进行离子掺杂后的衬底，可以进行 P 型掺杂，也可以进行 N 型掺杂；所述衬底 201 中还可以形成有多个外围器件，如场效应晶体管、电容、电感和/或二极管等。在本实施例中，以所述衬底 201 为硅衬底为例进行说明。衬底 201 内部还可以包括其他器件结构，例如金属布线结构等，但由于与本公开实施例无关，所以不绘示。

所述浅沟槽隔离结构 202 可为单层或者多层复合结构，例如，在一些实施例中，浅沟槽隔离结构 202 为氧化物隔离结构，在另一些实施例中，浅沟槽隔离结构 202 为氧化硅隔离结构与氮化物隔离结构的复合结构。

所述第一类型阱区 W1 与所述第二类型阱区 W2 为掺杂类型不同的阱区。例如，在本实施例中，所述第一类型阱区 W1 为 N 型阱区，所述第二类型阱区 W2 为 P 型阱区，在另一些实施例中，所述第一类型阱区 W1 为 P 型阱区，所述第二类型阱区 W2 为 N 型阱区。所述 P 型阱区是指衬底 201 内掺杂有 P 型杂的区域，P 型杂质包括但不限于硼(B)或镓(Ga)。

所述 N 型阱区是指衬底 201 内掺杂有 N 型杂质的区域，N 型杂质包括但不限于磷（P）或砷（As）。

作为示例，本公开实施例提供一种形成所述基底 200 的方法。所述方法包括：

提供衬底 201，并在所述衬底 201 内形成浅沟槽。例如，在一些实施例中，于所述衬底 201 表面形成图案化的掩膜层，利用所述掩膜层作为遮挡，刻蚀所述衬底 201，以在所述衬底 201 内形成浅沟槽。所述浅沟槽将所述衬底 201 分隔为多个独立的区域，所述区域为所述有源区。

在所述浅沟槽内填充隔离材料，形成所述浅沟槽隔离结构 202。填充隔离材料的方法包括但不限于化学气相沉积、原子层沉积等。

对所述有源区进行掺杂，形成所述第一类型阱区 W1 及所述第二类型阱区 W2。在一些实施例中，可采用离子注入工艺对所述有源区进行掺杂。例如，采用离子注入工艺在所述有源区的预设区域注入磷离子形成所述第一类型阱区 W1，所述第一类型阱区 W1 为 N 型阱区，采用离子注入工艺在所述有源区的预设区域注入硼离子形成所述第二类型阱区 W2，所述第二类型阱区 W2 为 P 型阱区。

请继续参阅图 2A，在一些实施例中，在所述基底 200 上还形成第一栅极结构 210 及第二栅极结构 220。所述第一栅极结构 210 设置在所述第二类型阱区 W2 表面，所述第二栅极结构 220 设置在所述第一类型阱区 W1 表面。所述第一栅极结构 210 与所述第二栅极结构 220 均包括栅介质层及设置在所述栅介质层表面的栅线，所述栅介质层设置在所述有源区表面，作为所述栅线与所述有源区之间的隔离结构。所述栅介质层包括但不限于氧化硅层或高 K 介质层，所述栅线包括但不限于多晶硅栅线、金属氮化钛层与钨层构成的复合栅线。

在一些实施例中，所述第一栅极结构 210 及所述第二栅极结构 220 的侧壁还设置有侧墙，以保护所述第一栅极结构 210 及第二栅极结构 220、以及所述第一栅极结构 210 及所述第二栅极结构 220 覆盖的所述第二类型阱区 W2 及所述第一类型阱区 W1。

在一些实施例中，在形成所述第一栅极结构 210 及所述第二栅极结构 220 之后，所述方法还包括如下步骤：

请参阅图 2B，形成第一介质层 230，所述第一介质层 230 覆盖所述基底 200 表面。在本实施例中，所述第一介质层 230 还覆盖所述第一栅极结构 210 及所述第二栅极结构 220。在该步骤中，可采用化学气相沉积等工艺沉积介质材料形成所述第一介质层 230。所述第一介质层 230 可为单层结构或者多层复合结构，例如，在一些实施例中，所述第一介质层 230 为氮化硅单层结构，在另一些实施例中，所述第一介质层 230 为氧化硅层与氮化硅层构成

的双层复合结构。在本实施例中，以所述第一介质层 230 为氧化硅层与氮化硅层构成的双层复合结构为例进行说明。所述氧化硅层覆盖所述基底 200 表面及所述第一栅极结构 210 与第二栅极结构 220，所述氮化硅层覆盖所述氧化硅层表面。

请参阅图 2C，图案化所述第一介质层 230，形成第一过孔 231 及第二过孔 232，所述第一过孔 231 暴露出部分所述第一类型阱区 W1，所述第二过孔 232 暴露出部分所述第二类型阱区 W2。所述第一过孔 231 包括两个过孔，分别作为源极过孔及漏极过孔，设置在所述第二栅极结构 220 的两侧，且分别暴露出所述第一类型阱区 W1，所述第二过孔 232 包括两个过孔，分别作为源极过孔及漏极过孔，设置在所述第一栅极结构 210 的两侧，且分别暴露出所述第二类型阱区 W2。

在该步骤中，可在所述第一介质层 230 表面形成图案化的掩膜层（附图中未绘示）及光刻胶层（附图中未绘示），通过刻蚀工艺将所述掩膜层上的图案转移到所述第一介质层 230 上，形成所述第一过孔 231 及所述第二过孔 232。形成所述第一过孔 231 及所述第二过孔 232 后，去除所述掩膜层及所述光刻胶层，即形成图 2C 所示结构。

为了增大源漏区与源漏接触的接触面积，降低源漏接触与源漏区之间接触电阻，在本实施例中，在形成所述第一过孔 231 及所述第二过孔 232 的步骤中，过刻蚀所述基底 200，使所述第一过孔 231 及所述第二过孔 232 均延伸至所述基底 200 内，以增大所述第一类型阱区 W1 及所述第二类型阱区 W2 暴露于所述第一过孔 231 及所述第二过孔 232 的表面积，进而增大后续形成的源漏接触与源漏区的接触面积。

请一并参阅图 1 及图 2D，步骤 S11，执行第一次离子掺杂，于所述第一类型阱区 W1 内形成第二类型源漏区 240，于所述第二类型阱区 W2 内形成掺杂区 241。

在本实施例中，沿所述第一过孔 231 及第二过孔 232 执行所述第一次离子掺杂。由于所述第一类型阱区 W1 暴露于所述第一过孔 231，所述第二类型阱区 W2 暴露于所述第二过孔 232，所述基底 200 的其他区域被所述第一介质层 230 遮挡，则执行本步骤之后，在所述第一过孔 231 对应的所述第一类型阱区 W1 内形成第二类型源漏区 240，在所述第二过孔 232 对应的所述第二类型阱区 W2 内形成所述掺杂区 241。

在本实施例中，所述第一类型阱区 W1 为 N 型阱区，则在步骤 S11 中，执行 P 型杂质掺杂，在所述第一类型阱区 W1 内形成的所述第二类型源漏区 240 为 P 型区域。所述 P 型杂质包括但不限于硼（B）或镓（Ga）。在本实施例中，采用离子注入工艺对所述第一类型阱区 W1 及所述第二类型阱区 W2 进行 P 型杂质注入，形成所述第二类型源漏区 240 及所述掺杂区 241。其中，可通过控制所述离子注入工艺时的注入剂量及能量来控制形成的第二

类型源漏区 240 及掺杂区 241 的掺杂浓度及掺杂深度。

在另一些实施例中，所述第一类型阱区 W1 为 P 型阱区，则在步骤 S11 中，执行 N 型杂质掺杂，在所述第一类型阱区 W1 内形成的所述第二类型源漏区 240 为 N 型区域。则在该步骤中，执行 N 型杂质掺杂，在所述第一类型阱区 W1 内形成的所述第二类型源漏区 240 为 N 型区域。所述 N 型杂质包括但不限于磷 (P) 或砷 (As)。其中，可采用离子注入工艺对所述第一类型阱区 W1 及所述第二类型阱区 W2 进行 N 型杂质注入，形成所述第二类型源漏区 240 及所述掺杂区 241。

进一步，在执行 P 型杂质掺杂的步骤中或者之前包括：执行锗离子和/或碳离子掺杂。在一些实施例中，在执行 P 型杂质掺杂之前仅进行锗离子或者碳离子其中之一掺杂。在另一些实施例中，在执行 P 型杂质掺杂之前进行锗离子掺与碳离子两种离子的掺杂，例如，先进行锗离子掺杂，再进行碳离子掺杂，或者先进行碳离子掺杂，再进行锗离子掺杂，或者锗离子与碳离子同时进行掺杂。在另一些实施例中，锗离子和/或碳离子的掺杂与硼离子掺杂在同一步骤中进行。

进行锗离子与碳离子掺杂的方法包括但不限于离子注入工艺。锗离子注入可使硅晶体非晶化，趋于不定形非晶硅，以抑制硼离子的贯穿，从而达到抑制硼离子的扩散的目的；碳离子注入可使碳离子填隙在硅晶体内的缺陷，以抑制硼离子的扩散。

请一并参阅图 1 及图 2E，步骤 S12，形成第一掩膜层 250，所述第一掩膜层 250 覆盖所述第二类型源漏区 240，且显露所述掺杂区 241。

在该步骤中，所述第一掩膜层 250 不仅填充所述第一过孔 231 并覆盖所述第一过孔 231 底部的所述第二类型源漏区 240 的表面，还覆盖所述第一介质层 230 表面，而由于后续步骤需要通过所述第二过孔 232 对所述掺杂区 241 进行处理，因此，所述第一掩膜层 250 并未填充所述第二过孔 232，所述第二过孔 232 及所述第二过孔 232 底部的掺杂区 241 显露。

作为示例，本公开实施例提供一种形成所述第一掩膜层 250 的方法，所述方法包括：

形成掩膜材料层，所述掩膜材料层覆盖所述第一介质层 230，且填充所述第一过孔 231 及第二过孔 232。在该步骤中，可采用化学气相沉积工艺、原子层沉积工艺等沉积所述掩膜材料层。在一些实施例中，所述掩膜材料层包括但不限于光刻胶层。

去除所述第二过孔 232 内的掩膜材料层，形成所述第一掩膜层 250。在该步骤中，可利用光罩去除所述第二过孔 232 内的掩膜材料层，仅保留位于所述第一过孔 231 内的掩膜材料层作为所述第一掩膜层 250。可以理解的是，在一些实施例中，所述第一介质层 230 部分表面的掩膜材料层也被保留，例如，所述第一介质层 230 与所述第一类型阱区 W1 所在的

有源区对应的表面上的所述掩膜材料层也被保留。

请一并参阅图 1 及图 2F，步骤 S13，至少去除部分所述掺杂区 241。在该步骤中，以所述第一掩膜层 250 作为遮挡，采用干法刻蚀工艺经所述第二过孔 232 至少去除部分所述掺杂区 241。鉴于所述干法刻蚀工艺各项异性的特性，在该步骤中，仅所述第二过孔 232 底部的掺杂区 241 被刻蚀，所述第二过孔 232 侧壁暴露的第一介质层 230 及所述基底 200 并未被刻蚀，不会影响后续形成的晶体管的性能。

所述掺杂区 241 为在执行第一次离子掺杂时形成的区域，其掺杂类型与第二类型源漏区 240 的掺杂类型相同，而在后续步骤中，需要在掺杂区 241 所在的第二类型阱区 W2 中形成第一类型源漏区 260，所述第一类型源漏区 260 与第二类型源漏区 240 互补，也就是说，所述掺杂区 241 的掺杂类型与后续形成的所述第一类型源漏区 260 的掺杂类型互补，这使得后续在所述第二类型阱区 W2 中形成的晶体管的电阻较高，不利于提高晶体管的性能。而在本公开实施例中，在所述第二类型阱区 W2 中形成第一类型源漏区 260 之前先至少去除部分所述掺杂区 241，从而避免因掺杂区 241 的存在而提高晶体管的电阻。

举例说明，在本实施例中，执行第一次离子掺杂时掺杂杂质的掺杂类型为 P 型，即所述掺杂区 241 的掺杂类型为 P 型，在后续步骤执行第二次离子掺杂形成第一类型源漏区 260 时，掺杂杂质的掺杂类型为 N 型，所述掺杂区 241 的掺杂类型与所述第一类型源漏区 260 的掺杂类型互补，若在形成所述第一类型源漏区 260 之前不去除所述掺杂区 241 会导致形成的 NMOS 晶体管的电阻较高，影响晶体管的性能。因此，该步骤至少去除部分所述掺杂区 241，避免因掺杂区 241 的存在而增大 NMOS 晶体管的电阻。

在本实施例中，执行刻蚀工艺直至所述掺杂区 241 被完全去除，而在另外一些实施例中，执行刻蚀工艺直至去除设定深度，即刻蚀设定深度后不论所述掺杂区 241 是否被完全去除，均停止刻蚀。例如，在一实施例中，去除深度为 3~5 纳米，也就是说，刻蚀 3~5 纳米后不论所述掺杂区 241 是否被完全去除均停止刻蚀。在停止刻蚀后，所述掺杂区 241 可能被完全去除、可能被部分去除。

去除深度限定为 3~5 纳米的原因在于，一方面是，若刻蚀深度太小可能造成掺杂区 241 残留较多，不利于降低后续形成的晶体管电阻；另一方面是，若刻蚀深度太大，使得第一类型源漏区 260 表面处于较深的位置，可能导致后续形成的源漏接触与第一类型源漏区 260 具有不良的欧姆接触，影响晶体管的性能。

请一并参阅图 1 及图 2G，步骤 S14，执行第二次离子掺杂，于所述第二类型阱区 W2 内形成第一类型源漏区 260，第一次离子掺杂与所述第二次离子掺杂的掺杂类型互补。

在本实施例中，以所述第一掩膜层 250 作为遮挡，沿所述第二过孔 232 执行所述第二次离子掺杂。由于所述第二类型阱区 W2 暴露于所述第二过孔 232，所述第二类型源漏区 240 被所述第一掩膜层 250 遮挡，则执行本步骤之后，仅在所述第二过孔 232 对应的所述第二类型阱区 W2 内形成第一类型源漏区 260。

其中，第一次离子掺杂与所述第二次离子掺杂的掺杂类型互补，即所述第二类型源漏区 240 与所述第一类型源漏区 260 的掺杂类型互补。例如，第一次离子掺杂的掺杂杂质的类型为 P 型，第二类型源漏区 240 的掺杂类型为 P 型，则第二次离子掺杂的掺杂杂质的类型为 N 型，第一类型源漏区 260 的掺杂类型为 N 型；再例如，第一次离子掺杂的掺杂杂质的类型为 N 型，第二类型源漏区 240 的掺杂类型为 N 型，则第二次离子掺杂的掺杂杂质的类型为 P 型，第一类型源漏区 260 的掺杂类型为 P 型。

举例说明，在本实施例中，所述第二类型阱区 W2 为 P 型阱区，则在步骤 S14 中，执行 N 型杂质掺杂，在所述第二类型阱区 W2 内形成的所述第一类型源漏区 260 为 N 型区域。所述 N 型杂质包括但不限于磷（P）或砷（As）。在本实施例中，采用离子注入工艺对所述第二类型阱区 W2 进行 N 型杂质注入，形成所述第一类型源漏区 260。其中，可通过控制所述离子注入工艺时的注入剂量及能量来控制形成的第一类型源漏区 260 的掺杂浓度及掺杂深度。

举例说明，在另一些实施例中，所述第二类型阱区 W2 为 N 型阱区，则在步骤 S14 中，执行 P 型杂质掺杂，在所述第二类型阱区 W2 内形成的所述第一类型源漏区 260 为 P 型区域。所述 P 型杂质包括但不限于硼（B）或镓（Ga）。其中，可采用离子注入工艺对所述第二类型阱区 W2 进行 P 型杂质注入，形成所述第一类型源漏区 260。

在一些实施例中，若所述掺杂区 241 并未被完全去除，则需要在执行第二次离子掺杂时提高掺杂离子的浓度，以避免掺杂区 241 的反型离子对所述第一类型源漏区 260 的可靠性产生影响。

请参阅图 2H，去除所述第一掩膜层 250，暴露出所述第一类型源漏区 260 及第二类型源漏区 240。在该步骤中，可采用灰化工艺去除所述第一掩膜层 250。在去除所述第一掩膜层 250 之后执行清洗步骤，以去除杂质。

在执行清洗步骤之后还包括：对所述第一类型源漏区 260 及所述第二类型源漏区 240 进行退火处理，激活掺杂杂质，并恢复因离子注入而变化的晶体结构，消除因离子注入而引起的缺陷，提高半导体器件性能。其中，所述退火处理包括但不限于快速热退火处理（Rapid Thermal Processing, RTP）。

请参阅图 1 及图 2I, 在执行退火处理后, 所述方法还包括形成第一源漏接触 270 及第二源漏接触 280 的步骤。具体地说, 步骤 S15, 形成第一源漏接触 270 及第二源漏接触 280, 所述第一源漏接触 270 与所述第一类型源漏区 260 连接, 所述第二源漏接触 280 与所述第二类型源漏区 240 连接, 在垂直所述半导体器件顶面的方向上, 所述第一源漏接触 270 与所述第一类型源漏区 260 的连接面低于所述第二源漏接触 280 与所述第二类型源漏区 240 的连接面。

在本实施例中, 在所述第一类型阱区 W1 形成第二类型晶体管 2, 所述第二类型晶体管 2 为 P 型晶体管, 所述第二类型源漏区 240 作为所述 P 型晶体管的源漏区, 所述第二栅极结构 220 作为所述 P 型晶体管的栅极, 所述第二源漏接触 280 与所述第二类型源漏区 240 连接, 作为所述 P 型晶体管源漏区的引出结构; 在所述第二类型阱区 W2 形成第一类型晶体管 1, 所述第一类型晶体管 1 为 N 型晶体管, 所述第一类型源漏区 260 作为所述 N 型晶体管的源漏区, 所述第一栅极结构 210 作为所述 N 型晶体管的栅极, 所述第一源漏接触 270 与所述第一类型源漏区 260 连接, 作为所述 N 型晶体管源漏区的引出结构。可以理解的是, 在一些实施例中, 所述第一栅极结构 210 可与所述第二栅极结构 220 连接, 所述第一源漏接触 270 中的漏电极与所述第二源漏接触 280 中的漏电极连接, 以形成 CMOS 晶体管, 所述 CMOS 晶体管可作为反相器使用。

作为示例, 本公开实施例提供一种形成所述第一源漏接触 270 及第二源漏接触 280 的方法, 所述方法包括: 退火处理后, 对所述第一类型源漏区 260 及第二类型源漏区 240 进行金属化处理及退火处理, 形成金属硅化物层 290, 以提高第一源漏接触 270 与第一类型源漏区 260 及第二源漏接触 280 与第二类型源漏区 240 的接触性能, 有利于降低接触电阻, 提升半导体器件的性能。所述金属硅化物包括但不限于钴层或硅镍层。在金属化处理后, 在所述第一过孔 231 及第二过孔 232 内填充金属, 形成所述第一源漏接触 270 及第二源漏接触 280。所述源漏接触的材料包括但不限于钴(Co)、镍(Ni)、钛(Ti)、钨(W)、钽(Ta)、钛化钽(TaTi)、氮化钛(TiN)、氮化钨(WN)、铜(Cu)及铝(Al)等金属材料中的一种或几种。

本公开实施例提供的制备方法在执行第一次离子掺杂时不使用光罩, 在第一类型阱区 W1 形成第二类型源漏区 240 及在第二类型阱区 W2 形成掺杂区 241, 然后去除所述掺杂区 241, 再采用光罩进行第二次离子掺杂, 在第二类型阱区 W2 形成第一类型源漏区 260, 从而实现仅采用一道光罩就能形成具有 NMOS 晶体管与 PMOS 晶体管的 CMOS 晶体的目的, 大大降低了生产成本, 同时也能够使 NMOS 晶体管或者 PMOS 晶体管保持较低的阻值, 保证了 CMOS 晶体的性能不受损失。

本公开实施例还提供一种采用上述制备方法制备的半导体器件。请参阅图 2A~图 2I，所述半导体器件包括第一类型晶体管 1、第二类型晶体管 2、第一源漏接触 270 及第二源漏接触 280。所述第一类型晶体管 1 与所述第二类型晶体管 2 为互补晶体管，在本实施例中，以所述第一类型晶体管 1 为 N 型晶体管，所述第二类型晶体管 2 为 P 型晶体管进行说明，在另一些实施例中，所述第一类型晶体管 1 为 P 型晶体管，所述第二类型晶体管 2 为 N 型晶体管。

所述第一类型晶体管 1 具有第一类型源漏区 260，所述第二类型晶体管 2 具有第二类型源漏区 240，所述第一类型源漏区 260 与所述第二类型源漏区 240 的掺杂类型互补。例如，在本实施例中，所述第一类型源漏区 260 为 N 型，所述第二类型源漏区 240 为 P 型。

所述第一源漏接触 270 与所述第一类型源漏区 260 连接，作为所述第一类型晶体管 1 源漏区的引出结构，所述第二源漏接触 280 与所述第二类型源漏区 240 连接，作为所述第二类型晶体管 2 源漏区的引出结构。

请参阅图 3，其为图 2I 中虚线框 A 所圈示区域的放大图，在垂直所述半导体器件顶面的方向上（如图 2I 中的 D 方向），所述第一源漏接触 270 与所述第一类型源漏区 260 的连接面低于所述第二源漏接触 280 与所述第二类型源漏区 240 的连接面。在本实施例中，由于所述第一源漏接触 270 与所述第一类型源漏区 260 之间、所述第二源漏接触 280 与所述第二类型源漏区 240 之间存在金属硅化物层 290，则在垂直所述半导体器件顶面的方向上，所述金属硅化物层 290 与第一类型源漏区 260 的交界面 C1 低于所述金属硅化物层 290 与第二类型源漏区 240 的交界面 C2。

在一些实施例中，所述第一类型源漏区 260 具有 P 型杂质及 N 型杂质，所述 N 型杂质浓度大于所述 P 型杂质浓度，以避免 P 型杂质对所述第一类型源漏区 260 的可靠性产生影响。

在一些实施例中，所述第一源漏接触 270 与所述第一类型源漏区 260 的连接面，和所述第二源漏接触 280 与所述第二类型源漏区 240 的连接面之间的高度差为 3~5 纳米。具体说，在本实施例中，所述金属硅化物层 290 与第一类型源漏区 260 的交界面 C1 与所述金属硅化物层 290 与第二类型源漏区 240 的交界面 C2 的高度差 H1 为 3~5 纳米。

在一些实施例中，所述半导体器件还包括基底 200 及第一介质层 230。

所述基底 200 具有第一类型阱区 W1 及第二类型阱区 W2，所述第一类型源漏区 260 位于所述第二类型阱区 W2 内，所述第二类型源漏区 240 位于所述第一类型阱区 W1 内。其中，所述第一类型源漏区 260 与所述第二类型阱区 W2 的掺杂类型互补，所述第二类型源

漏区 240 与所述第二类型阱区 W2 的掺杂类型互补。

所述基底 200 包括衬底 201 及浅沟槽隔离结构 202, 所述浅沟槽隔离结构 202 将所述衬底 201 分隔为多个彼此独立的有源区, 对所述有源区进行第一类型掺杂及第二类型掺杂, 形成所述第一类型阱区 W1 及所述第二类型阱区 W2, 在所述第一类型阱区 W1 及所述第二类型阱区 W2 内进行重掺杂形成所述第一类型源漏区 260 及所述第二类型源漏区 240。

所述第一介质层 230 覆盖所述基底 200, 所述第一源漏接触 270 贯穿所述第一介质层 230 与所述第一类型源漏区 260 连接, 所述第二源漏接触 280 贯穿所述第一介质层 230 与所述第二类型源漏区 240 连接。其中, 在一些实施例中, 请参阅图 3, 所述第一源漏接触 270 与所述第一类型源漏区 260 的连接面 E1 低于所述基底 200 与所述第一介质层 230 的接触面 E2, 且所述第二源漏接触 280 与所述第二类型源漏区 240 的连接面 E3 低于所述基底 200 与所述第一介质层 230 的接触面 E2。也就是说, 所述第一源漏接触 270 及所述第二源漏接触 280 延伸至所述基底 200 内。

在本实施例中, 所述第一类型晶体管 1 具有第一栅极结构 210, 所述第一栅极结构 210 设置在所述第二类型阱区 W2 表面, 所述第一栅极结构 210 对应的第二类型阱区 W2 作为所述第一类型晶体管 1 的沟道区, 所述第二类型晶体管 2 具有第二栅极结构 220, 所述第二栅极结构 220 设置在所述第一类型阱区 W1 表面, 所述第二栅极结构 220 对应的第一类型阱区 W1 作为所述第二类型晶体管 2 的沟道区。

所述第一栅极结构 210 与所述第二栅极结构 220 均包括栅介质层及设置在所述栅介质层表面的栅线, 所述栅介质层设置在所述有源区表面, 作为所述栅线与所述有源区之间的隔离结构。所述栅介质层包括但不限于氧化硅层或高 K 介质层, 所述栅线包括但不限于多晶硅栅线、金属氮化钛层与钨层构成的复合栅线。在一些实施例中, 所述第一栅极结构 210 可与所述第二栅极结构 220 连接, 所述第一源漏接触 270 中的漏电极与所述第二源漏接触 280 中的漏电极连接, 以形成 CMOS 晶体管, 所述 CMOS 晶体管可作为反相器使用。

本公开实施例提供的半导体器件制造成本低, 且同时也能够使 NMOS 晶体管或者 PMOS 晶体管保持较低的阻值, 保证了 CMOS 晶体的性能不受损失。

以上所述仅是本发明的优选实施方式, 应当指出, 对于本技术领域的普通技术人员, 在不脱离本发明原理的前提下, 还可以做出若干改进和润饰, 这些改进和润饰也应视为本发明的保护范围。

权利要求书

13

1. 一种半导体器件的制备方法，包括：
提供基底，所述基底具有第一类型阱区及第二类型阱区；
执行第一次离子掺杂，于所述第一类型阱区内形成第二类型源漏区，于所述第二类型阱区内形成掺杂区；
形成第一掩膜层，所述第一掩膜层覆盖所述第二类型源漏区，且显露所述掺杂区；
至少去除部分所述掺杂区；
执行第二次离子掺杂，于所述第二类型阱区内形成第一类型源漏区，所述第一次离子掺杂与所述第二次离子掺杂的掺杂类型互补；
形成第一源漏接触及第二源漏接触，所述第一源漏接触与所述第一类型源漏区连接，所述第二源漏接触与所述第二类型源漏区连接，在垂直所述半导体器件顶面的方向上，所述第一源漏接触与所述第一类型源漏区的连接面低于所述第二源漏接触与所述第二类型源漏区的连接面。
2. 如权利要求 1 所述的半导体器件的制备方法，其中，所述第一类型阱区为 N 型阱区，所述第二类型阱区为 P 型阱区，所述执行第一次离子掺杂的步骤包括执行 P 型杂质掺杂，所述执行第二次离子掺杂包括执行 N 型杂质掺杂。
3. 如权利要求 2 所述的半导体器件的制备方法，其中，所述执行 P 型杂质掺杂的步骤中或者之前包括：执行锗离子和/或碳离子掺杂。
4. 如权利要求 1 所述的半导体器件的制备方法，其中，所述第一类型阱区为 P 型阱区，所述第二类型阱区为 N 型阱区，所述执行第一次离子掺杂的步骤包括执行 N 型杂质掺杂，所述执行第二次离子掺杂包括执行 P 型杂质掺杂。
5. 如权利要求 1 所述的半导体器件的制备方法，其中，至少去除部分所述掺杂区的步骤包括：
采用干法刻蚀工艺至少去除部分所述掺杂区。
6. 如权利要求 1 所述的半导体器件的制备方法，其中，至少去除部分所述掺杂区的步骤中，去除深度为 3~5 纳米。
7. 如权利要求 1 所述的半导体器件的制备方法，其中，在所述执行第一次离子掺杂的步骤之前包括：
形成第一介质层，所述第一介质层覆盖所述基底表面；
图案化所述第一介质层，形成第一过孔及第二过孔，所述第一过孔暴露出部分所述第一类型阱区，所述第二过孔暴露出部分所述第二类型阱区；

在所述执行第一次离子掺杂的步骤中,沿所述第一过孔及第二过孔执行所述第一次离子掺杂;

在所述去除所述掺杂区的步骤中,沿所述第二过孔去除所述掺杂区;

在所述执行第二次离子掺杂的步骤中,沿所述第二过孔执行第二次离子掺杂。

8. 如权利要求 7 所述的半导体器件的制备方法,其中,在图案化所述第一介质层,形成第一过孔及第二过孔的步骤中,过刻蚀所述基底,使所述第一过孔及所述第二过孔均延伸至所述基底内。

9. 如权利要求 7 所述的半导体器件的制备方法,其中,所述形成第一掩膜层的步骤包括:形成掩膜材料层,所述掩膜材料层覆盖所述第一介质层,且填充所述第一过孔及第二过孔;

去除所述第二过孔内的掩膜材料层,形成所述第一掩膜层。

10. 如权利要求 7 所述的半导体器件的制备方法,其中,在所述形成第一介质层之前还包括如下步骤:在所述基底上形成第一栅极结构及第二栅极结构,所述第一栅极结构设置在所述第二类型阱区表面,所述第二栅极结构设置在所述第一类型阱区表面。

11. 如权利要求 1 所述的半导体器件的制备方法,其中,所述执行第二次离子掺杂的步骤之后包括:

去除所述第一掩膜层,显露所述第二类型源漏区;

形成第一源漏接触及第二源漏接触,所述第一源漏接触与所述第一类型源漏区连接,所述第二源漏接触与所述第二类型源漏区连接。

12. 如权利要求 11 所述的半导体器件的制备方法,其中,所述去除所述第一掩膜层的步骤之后包括:对所述第一类型源漏区及所述第二类型源漏区进行退火处理。

13. 一种半导体器件,包括:

第一类型晶体管,具有第一类型源漏区;

第二类型晶体管,具有第二类型源漏区,所述第一类型晶体管与所述第二类型晶体管为互补晶体管;

第一源漏接触,与所述第一类型源漏区连接;

第二源漏接触,与所述第二类型源漏区连接,在垂直所述半导体器件顶面的方向上,所述第一源漏接触与所述第一类型源漏区的连接面低于所述第二源漏接触与所述第二类型源漏区的连接面。

14. 如权利要求 13 所述的半导体器件,其中,所述第一源漏接触与所述第一类型源漏区的

连接面,和所述第二源漏接触与所述第二类型源漏区的连接面之间的高度差为3~5 纳米。

15. 如权利要求 13 所述的半导体器件,其中,所述第一类型源漏区具有 P 型杂质及 N 型杂质,所述 N 型杂质浓度大于所述 P 型杂质浓度。
16. 如权利要求 13 所述的半导体器件,其中,所述第一类型晶体管为 N 型晶体管,所述第二类型晶体管为 P 型晶体管,或者所述第一类型晶体管为 P 型晶体管,所述第二类型晶体管为 N 型晶体管。
17. 如权利要求 13 所述的半导体器件,其中,所述半导体器件还包括:基底,具有第一类型阱区及第二类型阱区,所述第一类型源漏区位于所述第二类型阱区内,所述第二类型源漏区位于所述第一类型阱区内;
第一介质层,覆盖所述基底,所述第一源漏接触贯穿所述第一介质层与所述第一类型源漏区连接,所述第二源漏接触贯穿所述第一介质层与所述第二类型源漏区连接,所述第一源漏接触与所述第一类型源漏区的连接面低于所述基底与所述第一介质层的接触面,且所述第二源漏接触与所述第二类型源漏区的连接面低于所述基底与所述第一介质层的接触面。
18. 如权利要求 13 所述的半导体器件,其中,所述第一类型晶体管具有第一栅极结构,所述第一栅极结构设置在所述第二类型阱区表面,所述第一栅极结构对应的第二类型阱区作为所述第一类型晶体管的沟道区,所述第二类型晶体管具有第二栅极结构,所述第二栅极结构设置在所述第一类型阱区表面,所述第二栅极结构对应的第一类型阱区作为所述第二类型晶体管的沟道区。

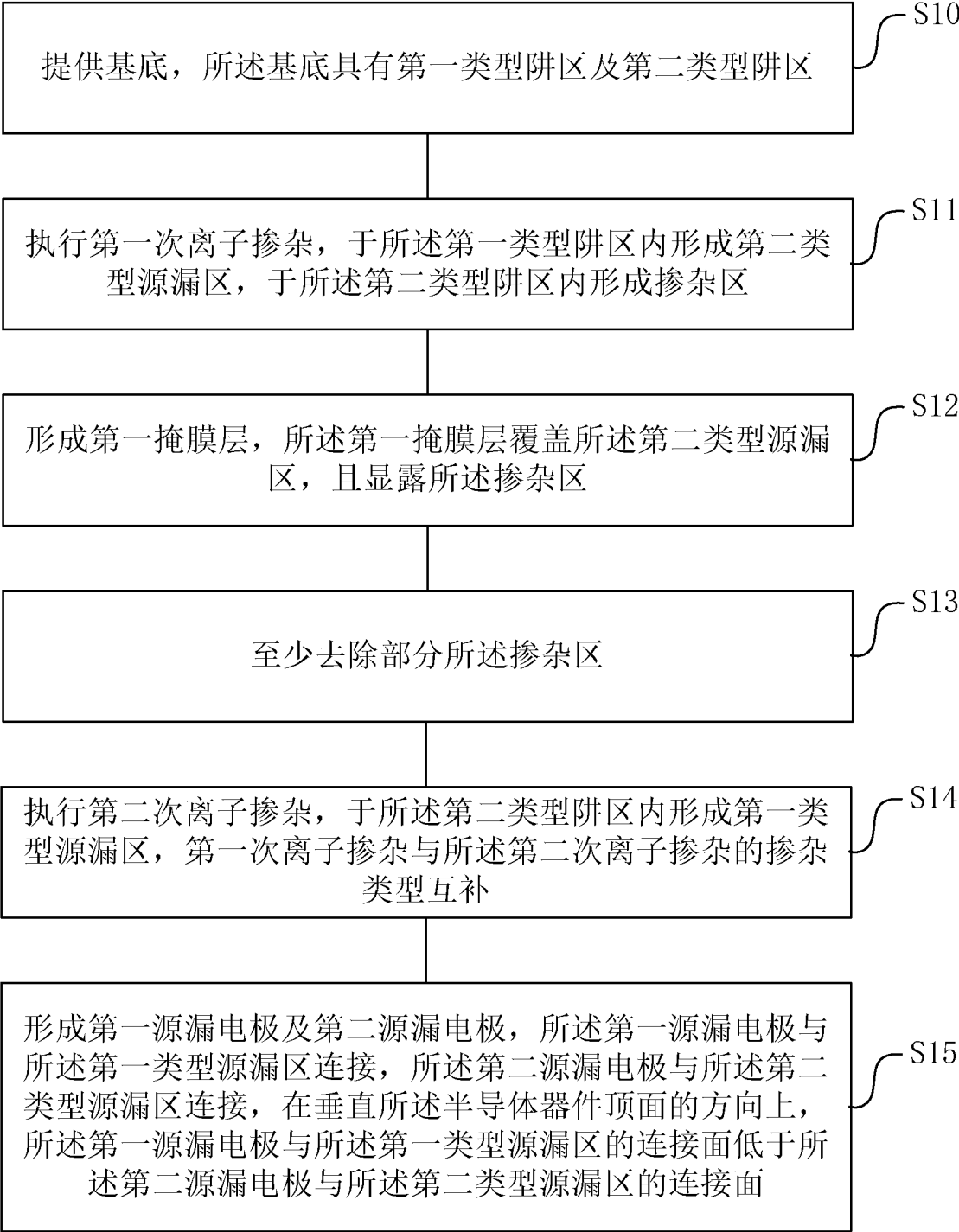


图 1

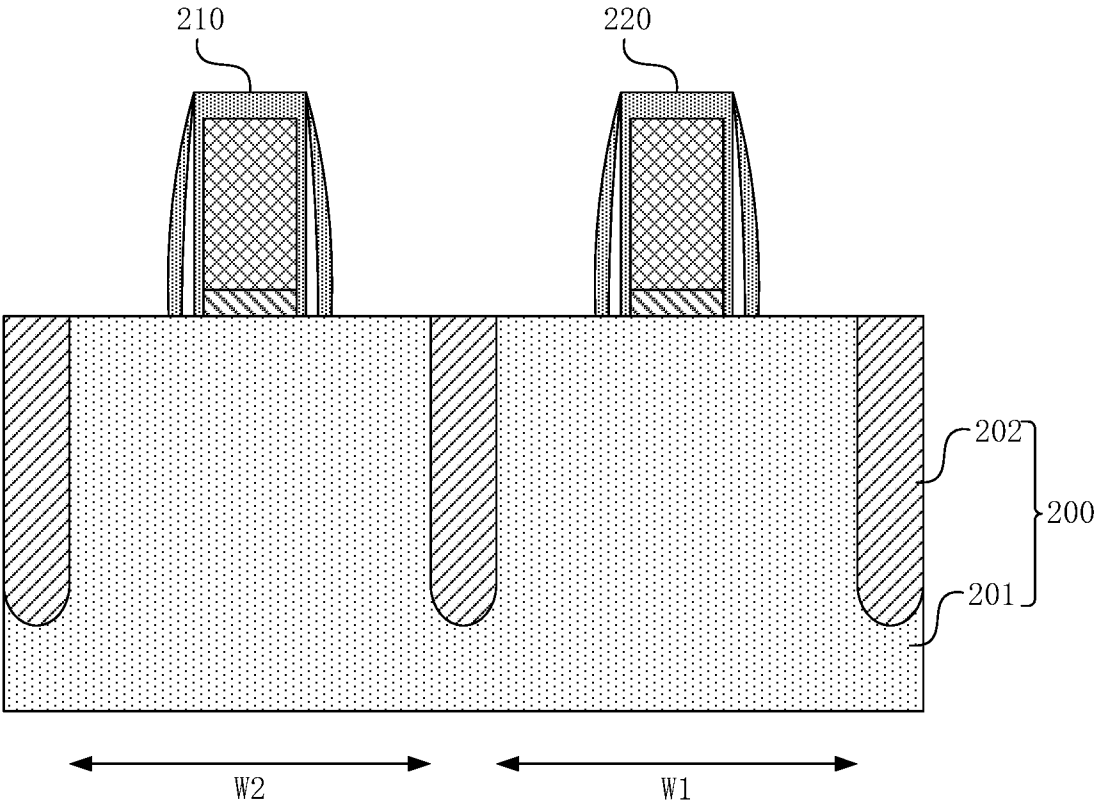


图 2A

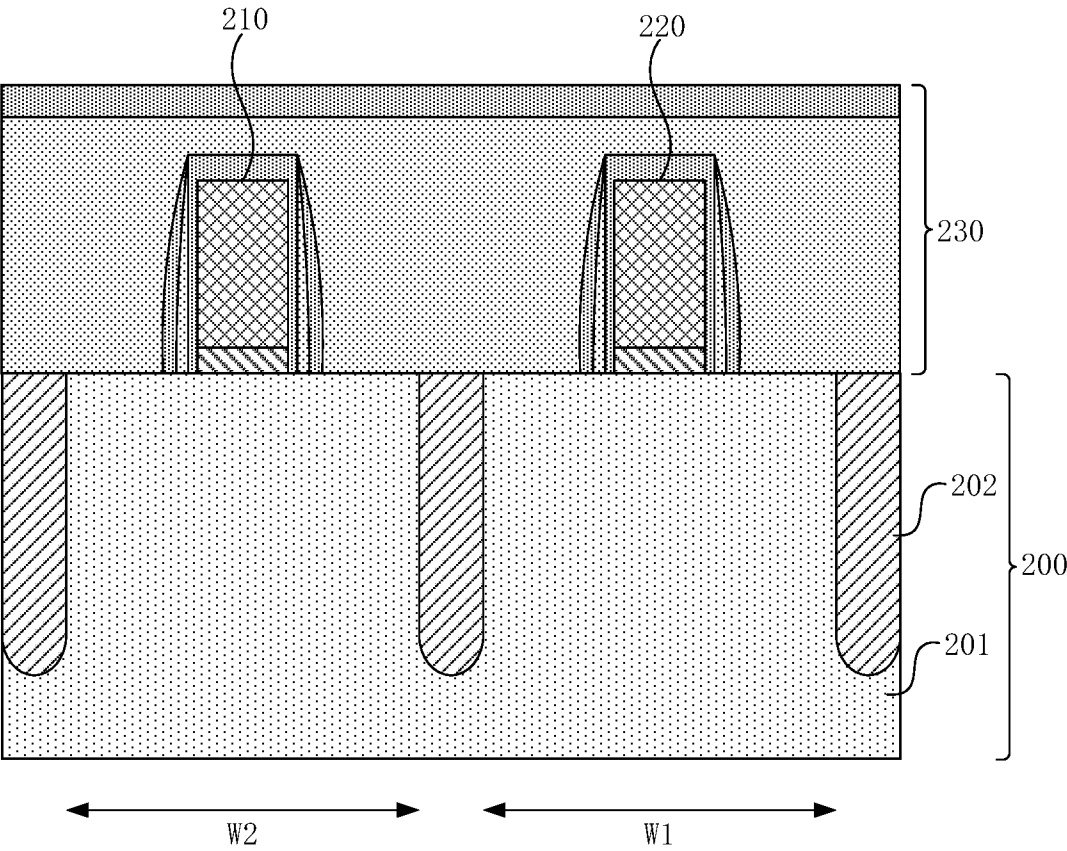


图 2B

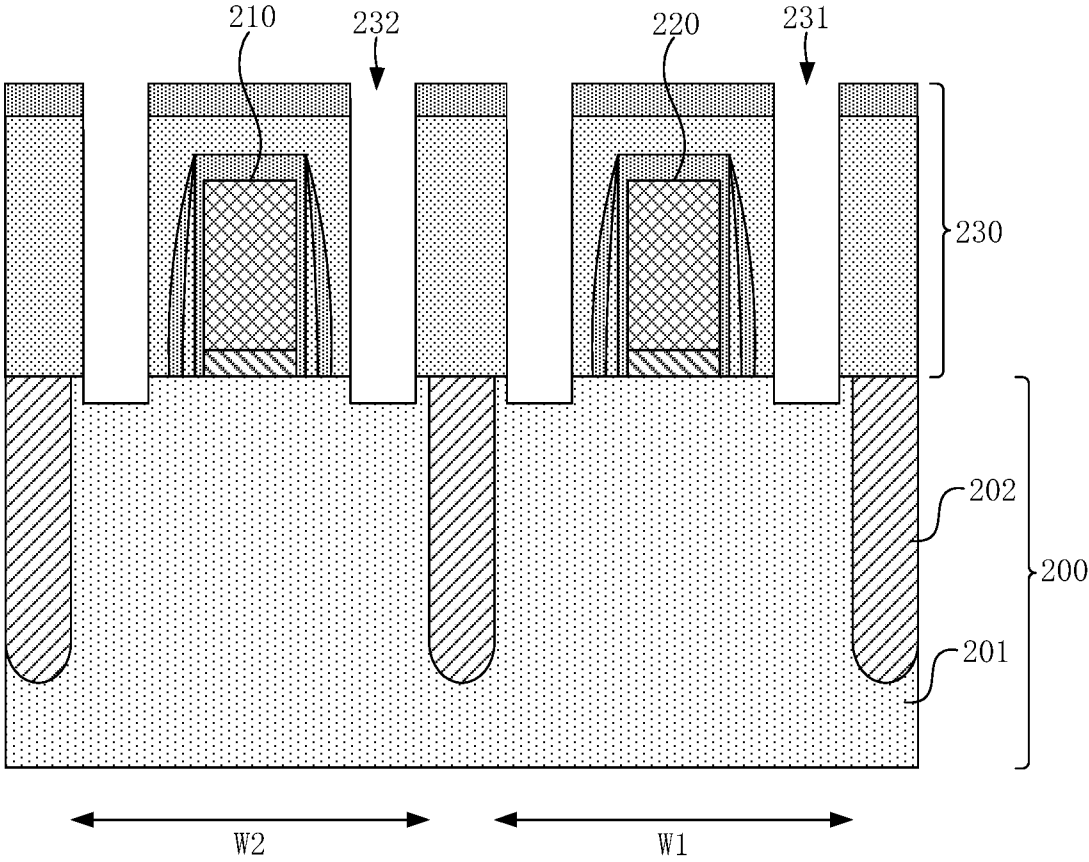


图 2C

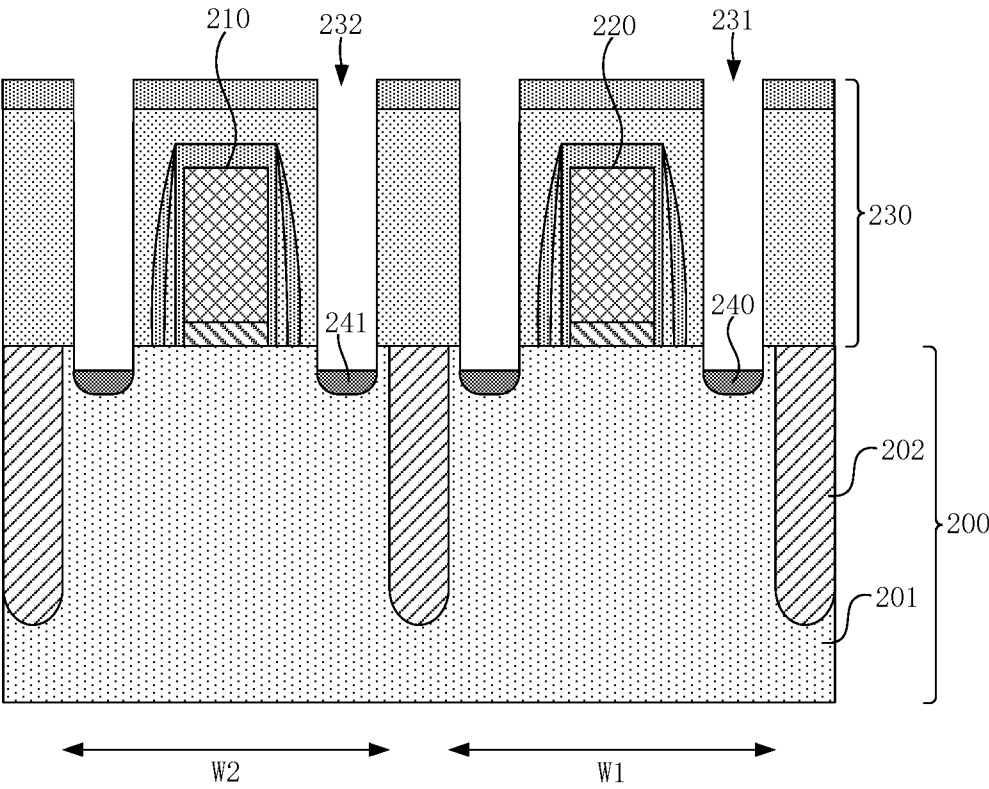


图 2D

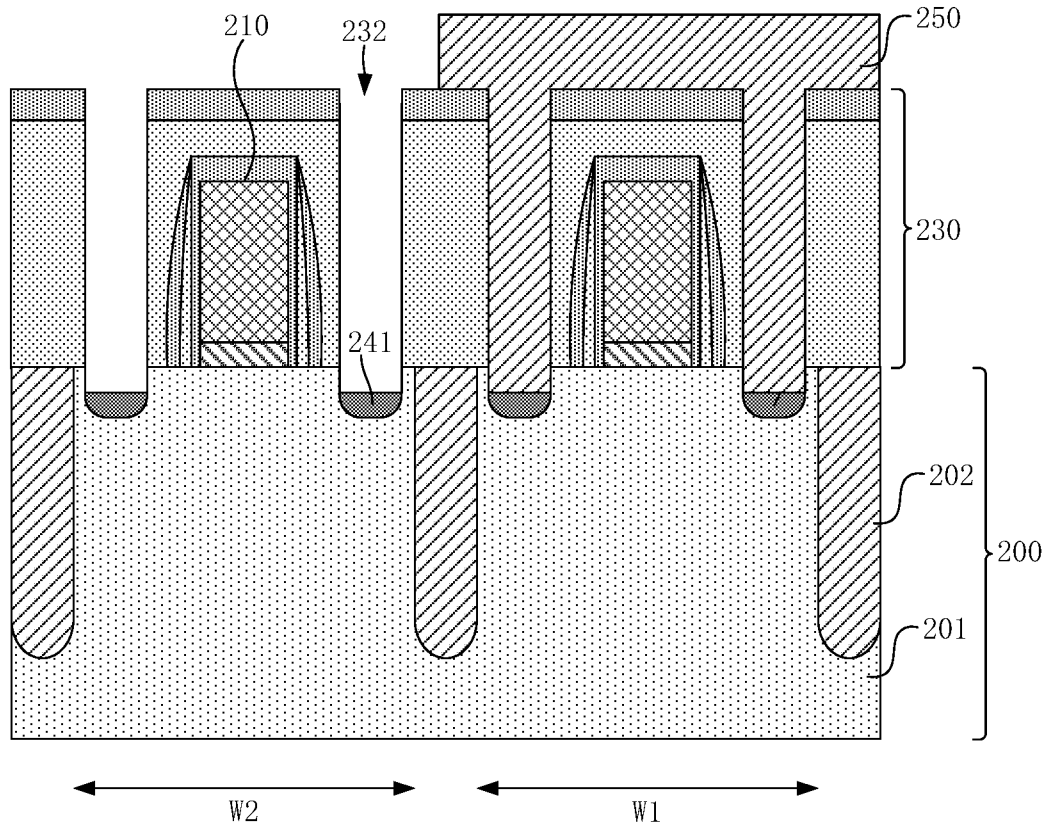


图 2E

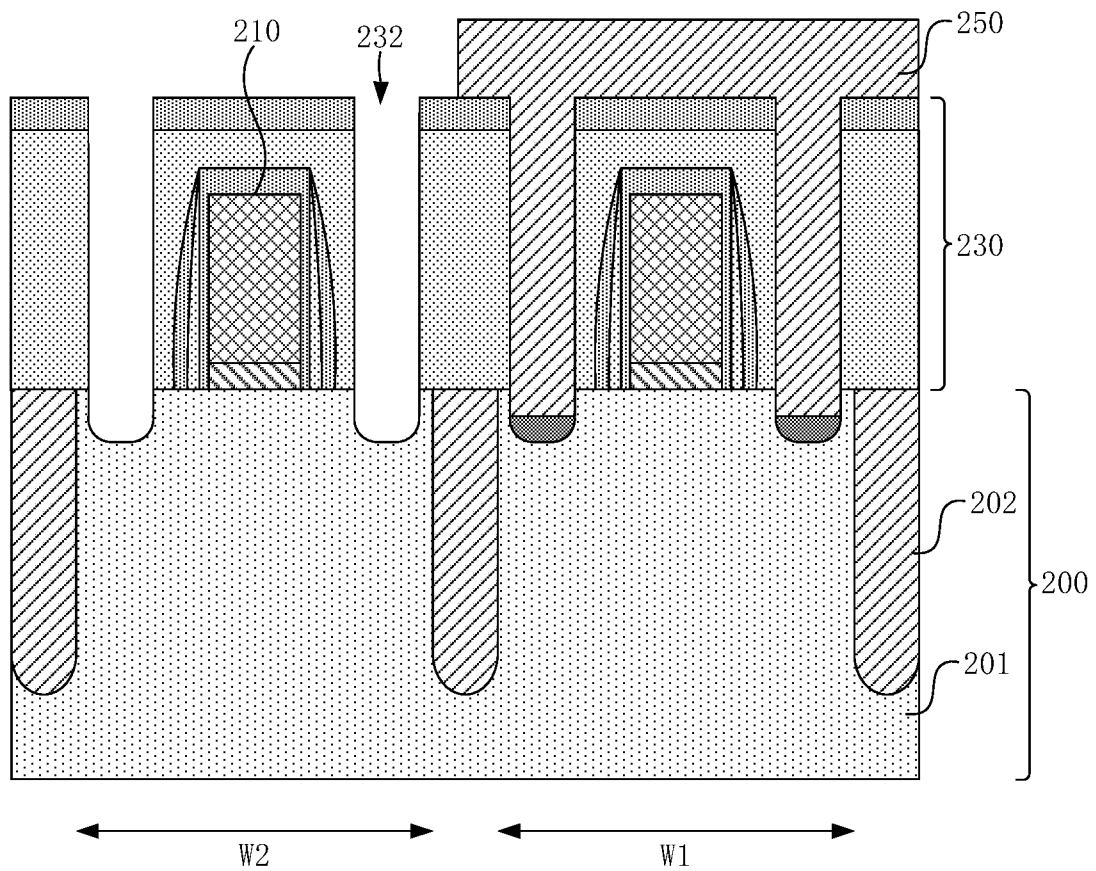


图 2F

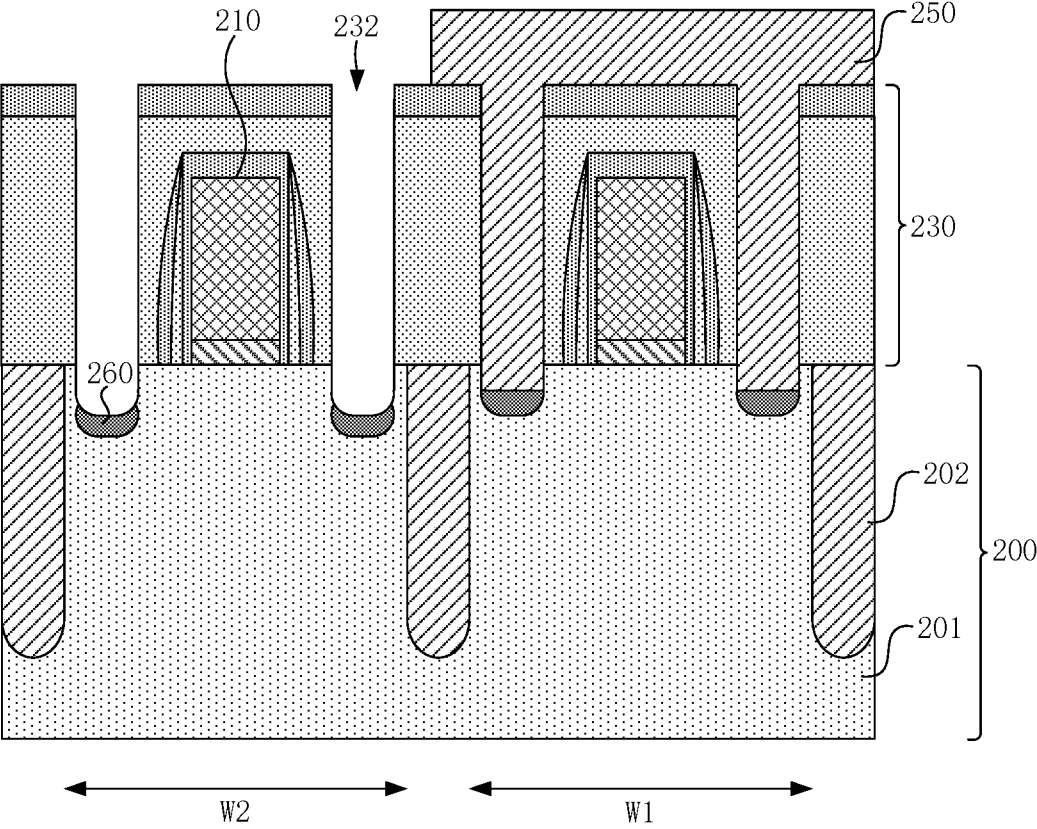


图 2G

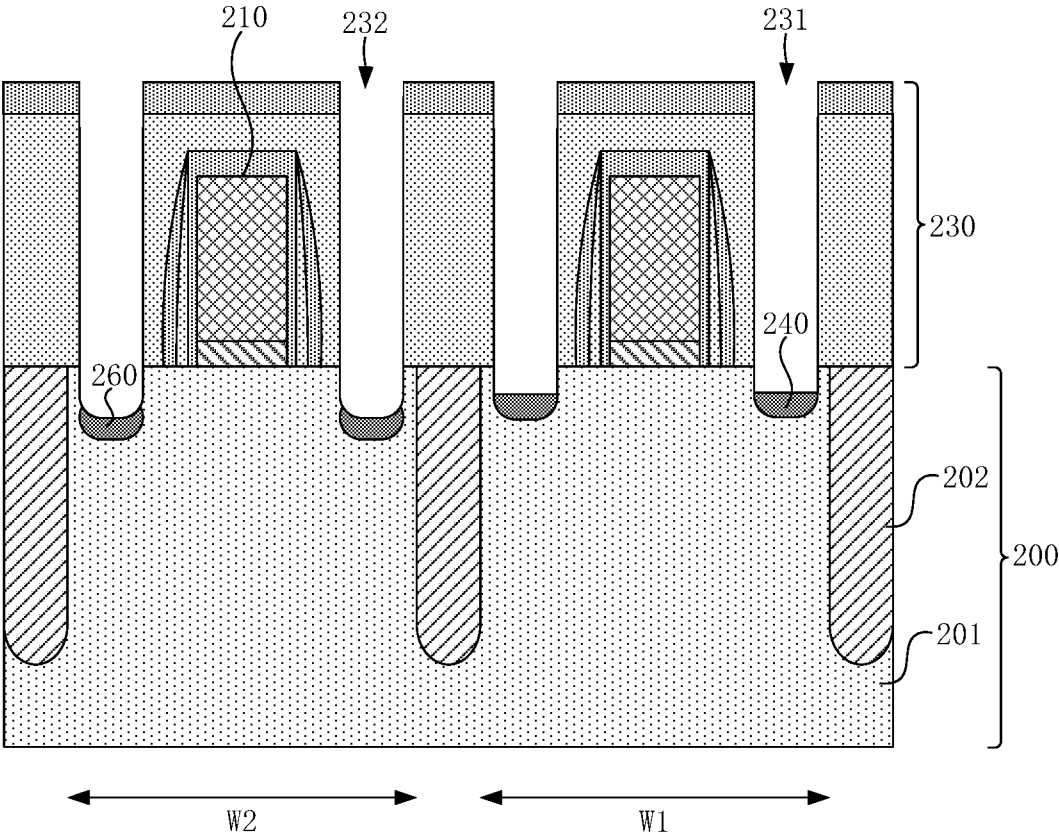


图 2H

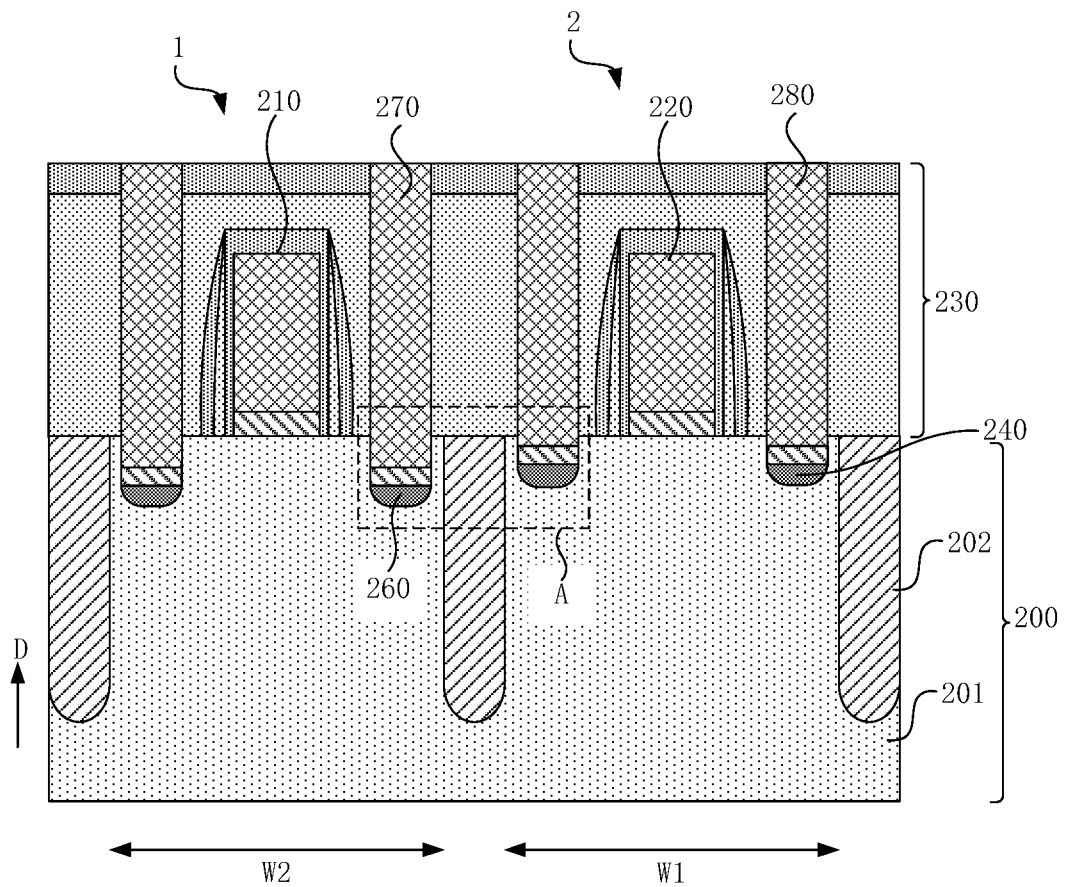


图 2I

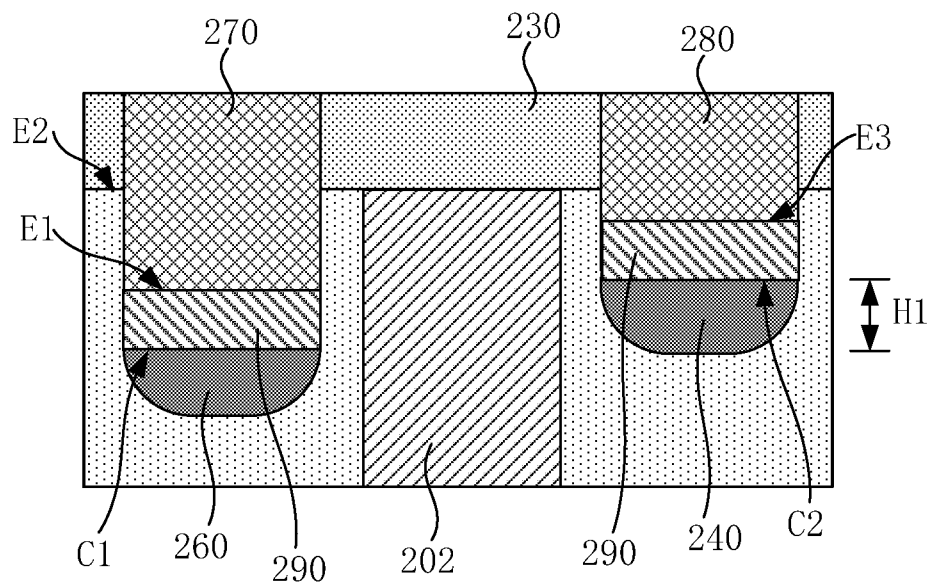


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/070660

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXTC, ENTXT, VEN, CNKI, IEEE: 掺杂, 注入, 掩膜, 晶体管, 互补, 去除, 刻蚀, 低于, dope, implant, mask, transistor, CMOS, remove, etch, lower

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5795800 A (SGS-THOMSON MICROELECTRONICS, INC.) 18 August 1998 (1998-08-18) description, column 2, line 45 to column 7, line 60, and figures 1-3	13-18
A	CN 112289686 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 January 2021 (2021-01-29) entire document	1-18
A	CN 113540243 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 22 October 2021 (2021-10-22) entire document	1-18
A	US 5338960 A (HARRIS CORPORATION) 16 August 1994 (1994-08-16) entire document	1-18
A	CN 103346085 A (JIANGSU BROADWAVE ELECTRONICS TECHNOLOGY CO., LTD.) 09 October 2013 (2013-10-09) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 April 2023

Date of mailing of the international search report

06 May 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/070660

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	5795800	A	18 August 1998	JPH	0922951	A	21 January 1997
				US	5795800	B1	28 March 2000
				EP	0747961	A2	11 December 1996
				EP	0747961	A3	11 November 1998
CN	112289686	A	29 January 2021	CN	112289686	B	04 March 2022
CN	113540243	A	22 October 2021	US	2022052153	A1	17 February 2022
				US	11437466	B2	06 September 2022
				TW	202220207	A	16 May 2022
				US	2022367614	A1	17 November 2022
US	5338960	A	16 August 1994	None			
CN	103346085	A	09 October 2013	CN	103346085	B	24 February 2016

国际检索报告

国际申请号

PCT/CN2023/070660

A. 主题的分类

H01L21/8238(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT, ENTXTC, ENTXT, VEN, CNKI, IEEE:掺杂, 注入, 掩膜, 晶体管, 互补, 去除, 刻蚀, 低于, dope, implant, mask, transistor, CMOS, remove, etch, lower

C. 相关文件

类型*

引用文件, 必要时, 指明相关段落

相关的权利要求

X

US 5795800 A (SGS THOMSON MICROELECTRONICS) 1998年8月18日 (1998 - 08 - 18)
说明书第2栏第45行-第7栏第60行, 图1-3

13-18

A

CN 112289686 A (长鑫存储技术有限公司) 2021年1月29日 (2021 - 01 - 29)
全文

1-18

A

CN 113540243 A (台湾积体电路制造股份有限公司) 2021年10月22日 (2021 - 10 - 22)
全文

1-18

A

US 5338960 A (HARRIS CORP) 1994年8月16日 (1994 - 08 - 16)
全文

1-18

A

CN 103346085 A (江苏博普电子科技有限责任公司) 2013年10月9日 (2013 - 10 - 09)
全文

1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年4月21日

国际检索报告邮寄日期

2023年5月6日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

齐哲

电话号码 (+86) 62411673

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/070660

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	5795800	A	1998年8月18日	JPH	0922951	A	1997年1月21日
				US	5795800	B1	2000年3月28日
				EP	0747961	A2	1996年12月11日
				EP	0747961	A3	1998年11月11日
CN	112289686	A	2021年1月29日	CN	112289686	B	2022年3月4日
CN	113540243	A	2021年10月22日	US	2022052153	A1	2022年2月17日
				US	11437466	B2	2022年9月6日
				TW	202220207	A	2022年5月16日
				US	2022367614	A1	2022年11月17日
US	5338960	A	1994年8月16日	无			
CN	103346085	A	2013年10月9日	CN	103346085	B	2016年2月24日