(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0048542
(43) 공개일자 2025년04월09일

(51) 국제특허분류(Int. Cl.)
H10D 84/85 (2025.01) *H03K 19/0948* (2006.01)
H10D 30/01 (2025.01) *H10D 30/43* (2025.01)
H10D 30/67 (2025.01) *H10D 62/10* (2025.01)
H10D 84/01 (2025.01) *H10D 84/03* (2025.01)
H10D 84/83 (2025.01)
(52) CPC특허분류
H10D 84/85 (2025.01)
H10D 30/43 (2025.01)
(21) 출원번호 10-2025-7003147
(22) 출원일자(국제) 2023년05월31일
심사청구일자 없음
(85) 번역문제출일자 2025년01월31일
(86) 국제출원번호 PCT/US2023/023981
(87) 국제공개번호 WO 2024/035471
국제공개일자 2024년02월15일
(30) 우선권주장
17/818,048 2022년08월08일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
리, 샤
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
양, 빈
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인(유)남아이피그룹

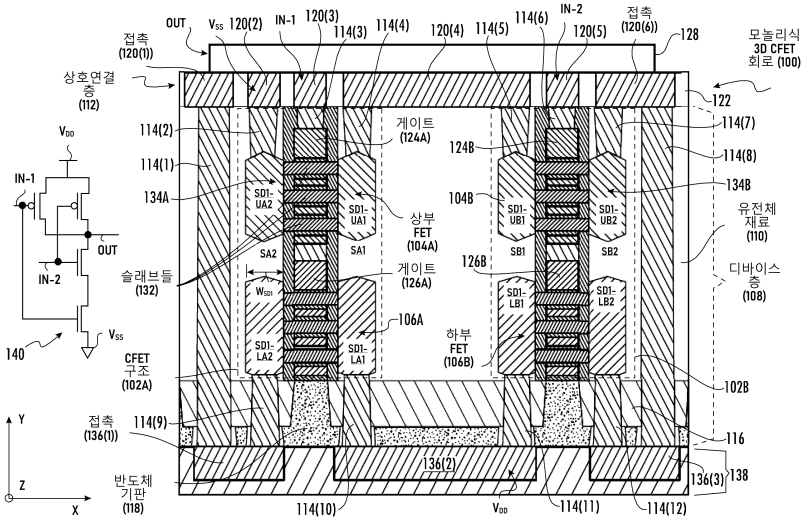
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **모놀리식 3차원(3D) 상보적 전계 효과 트랜지스터(CFET) 회로들 및 제조 방법**

(57) 요 약

모놀리식 3D 상보적 전계 효과 트랜지스터(FET)(CFET) 회로는 디바이스 층(108) 내의 로직 회로에서 제1 CFET 구조(102A) 및 제2 CFET 구조(102B)를 포함한다. 디바이스 층 상에 배치된 제1 상호연결 층(112)은 로직 회로의 제1 및 제2 입력 접촉들(IN-1, IN-2) 및 출력 접촉들(120-1, 120-6)을 제공한다. 각각의 CFET 구조는 제2 유형(예를 들어, N-형 또는 P-형)을 갖는 하부 FET 상의 제1 유형(예를 들어, P-형 또는 N-형)을 갖는 상부 FET를 포함한다. 모놀리식 3D CFET 회로 내의 FET들은 2-입력 NOR 회로 또는 2-입력 NAND 회로를 형성하기 위해 상호연결될 수 있다. 수직 액세스 상호연결부들(비아들)은 FET들을 외부적으로 그리고 서로 상호연결하기 위해 디바이스 층 내에 형성될 수 있다. FET들은 벌크 유형(bulk-type) 트랜지스터들 또는 SOI 트랜지스터들로 형성될 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H10D 30/6735 (2025.01)
H10D 30/6757 (2025.01)
H10D 62/121 (2025.01)
H10D 84/0167 (2025.01)
H10D 84/017 (2025.01)
H10D 84/0186 (2025.01)
H10D 84/038 (2025.01)
H10D 84/8311 (2025.01)
H10D 84/8312 (2025.01)

명 세 서

청구범위

청구항 1

상보적 전계 효과 트랜지스터(CFET) 회로로서,

디바이스 층 - 상기 디바이스 층은,

제2 유형의 제2 FET 상의 제1 유형의 제1 FET를 포함하는 제1 모놀리식 CFET 구조; 및

상기 제2 유형의 제4 FET 상의 상기 제1 유형의 제3 FET를 포함하는 제2 모놀리식 CFET 구조를 포함함 -; 및

상기 디바이스 층 상에 배치된 제1 상호연결 층을 포함하며, 상기 제1 상호연결 층은,

제1 입력 신호를 상기 제1 FET의 게이트에 그리고 상기 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉;

제2 입력 신호를 상기 제3 FET의 게이트에 그리고 상기 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉; 및

상기 제1 입력 신호 및 상기 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함하는, CFET 회로.

청구항 2

제1항에 있어서, 상기 제1 모놀리식 CFET 구조의 제1 측면 상의 상기 제1 FET의 제1 소스/드레인을 상기 제2 모놀리식 CFET 구조의 제1 측면 상의 상기 제3 FET의 제1 소스/드레인에 커플링하기 위해 제2 방향으로 상기 제1 상호연결 층에서 연장되는 제1 상호연결부를 더 포함하고, 상기 제1 모놀리식 CFET 구조의 상기 제1 측면과 상기 제2 모놀리식 CFET 구조의 상기 제1 측면은 상기 제1 모놀리식 CFET 구조와 상기 제2 모놀리식 CFET 구조 사이에 있는, CFET 회로.

청구항 3

제2항에 있어서, 2-입력 NOR(Not-OR) 회로를 더 포함하는, CFET 회로.

청구항 4

제2항에 있어서, 2-입력 NAND(Not-AND) 회로를 더 포함하는, CFET 회로.

청구항 5

제2항에 있어서, 상기 디바이스 층은,

상기 제1 FET의 상기 제1 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제1 상호연결 층까지 연장되는 제1 상부 비아;

상기 제3 FET의 상기 제1 소스/드레인으로부터 상기 제2 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제1 상호연결 층까지 연장되는 제2 상부 비아;

상기 제1 FET의 제2 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 제2 측면 상의 상기 제1 상호연결 층까지 연장되는 제3 상부 비아;

상기 제3 FET의 제2 소스/드레인으로부터 상기 제2 모놀리식 CFET 구조의 제2 측면 상의 상기 제1 상호연결 층까지 연장되는 제4 상부 비아;

상기 제1 FET의 상기 게이트 및 상기 제2 FET의 상기 게이트를 상기 제1 상호연결 층에 커플링하는 제5 상부 비아; 및

상기 제3 FET의 게이트 및 상기 제4 FET의 게이트를 상기 제1 상호연결 층에 커플링하는 제6 상부 비아를 더 포

함하는, CFET 회로.

청구항 6

제5항에 있어서, 상기 디바이스 층은,

상기 제2 FET의 제1 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제1 상호연결 층까지 연장되는 제1 하부 비아;

상기 제4 FET의 제1 소스/드레인으로부터 상기 제2 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제1 상호연결 층까지 연장되는 제2 하부 비아;

상기 제2 FET의 제2 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제1 상호연결 층까지 연장되는 제3 하부 비아; 및

상기 제4 FET의 제1 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제1 상호연결 층까지 연장되는 제4 하부 비아를 더 포함하는, CFET 회로.

청구항 7

제5항에 있어서,

상기 제1 FET의 상기 제1 소스/드레인은 상기 제1 FET의 상기 제1 측면 상의 제1 채널 영역에 커플링되고, 상기 제1 FET의 상기 제2 소스/드레인은 상기 제1 FET의 상기 제2 측면 상의 상기 제1 채널 영역에 커플링되고,

상기 제2 FET의 상기 제1 소스/드레인은 상기 제2 FET의 상기 제1 측면 상의 제2 채널 영역에 커플링되고, 상기 제2 FET의 상기 제2 소스/드레인은 상기 제2 FET의 상기 제2 측면 상의 상기 제2 채널 영역에 커플링되고,

상기 제1 FET의 상기 제1 소스/드레인은 상기 제2 방향으로의 제1 소스/드레인 폭을 포함하고,

상기 제2 FET의 상기 제1 소스/드레인은 상기 제2 방향으로의 제2 소스/드레인 폭을 포함하고, 상기 제2 소스/드레인 폭은 상기 제1 소스/드레인 폭을 초과하고,

상기 디바이스 층은 상기 제2 FET의 제1 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제1 상호연결 층까지 연장되는 제7 상부 비아를 더 포함하는, CFET 회로.

청구항 8

제7항에 있어서,

상기 제1 FET의 상기 제2 소스/드레인은 상기 제1 소스/드레인 폭을 포함하고,

상기 제3 FET의 상기 제1 소스/드레인은 상기 제1 소스/드레인 폭을 포함하고,

상기 제3 FET의 상기 제2 소스/드레인은 상기 제1 소스/드레인 폭을 포함하고,

상기 제2 FET의 상기 제2 소스/드레인은 상기 제2 소스/드레인 폭을 포함하고,

상기 제4 FET의 상기 제1 소스/드레인은 상기 제2 소스/드레인 폭을 포함하고,

상기 제4 FET의 상기 제2 소스/드레인은 상기 제2 소스/드레인 폭을 포함하고,

제8 상부 비아가 상기 제2 FET의 상기 제2 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제1 상호연결 층까지 연장되고,

제9 상부 비아가 상기 제4 FET의 상기 제1 소스/드레인으로부터 상기 제2 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제1 상호연결 층까지 연장되고,

제10 상부 비아가 상기 제4 FET의 상기 제2 소스/드레인으로부터 상기 제2 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제1 상호연결 층까지 연장되는, CFET 회로.

청구항 9

제5항에 있어서, 상기 디바이스 층 아래에 배치된 제2 상호연결 층을 더 포함하며,

상기 디바이스 층은,

상기 제2 FET의 제1 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제2 상호연결 층까지 연장되는 제1 하부 비아;

상기 제4 FET의 제1 소스/드레인으로부터 상기 제2 모놀리식 CFET 구조의 상기 제1 측면 상의 상기 제2 상호연결 층까지 연장되는 제2 하부 비아;

상기 제2 FET의 제2 소스/드레인으로부터 상기 제1 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제2 상호연결 층까지 연장되는 제3 하부 비아;

상기 제4 FET의 제2 소스/드레인으로부터 상기 제2 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제2 상호연결 층까지 연장되는 제4 하부 비아;

상기 제2 상호연결 층을 통해 상기 제3 하부 비아에 커플링되고 상기 제1 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제2 상호연결 층과 상기 제1 상호연결 층 사이에서 연장되는 제5 비아; 및

상기 제2 상호연결 층을 통해 상기 제4 하부 비아에 커플링되고 상기 제2 모놀리식 CFET 구조의 상기 제2 측면 상의 상기 제2 상호연결 층과 상기 제1 상호연결 층 사이에서 연장되는 제6 비아를 더 포함하고,

상기 제2 상호연결 층은 상기 제1 하부 비아 및 상기 제2 하부 비아에 커플링된 하부 상호연결부를 더 포함하는, CFET 회로.

청구항 10

제2항에 있어서, 반도체 기판을 더 포함하며,

상기 제1 FET, 상기 제2 FET, 상기 제3 FET, 및 상기 제4 FET는 상기 반도체 기판 상에 형성된 벌크 유형(bulk-type) 트랜지스터들을 포함하는, CFET 회로.

청구항 11

제2항에 있어서, 산화물 층을 더 포함하며,

상기 제1 FET, 상기 제2 FET, 상기 제3 FET, 및 상기 제4 FET는 상기 산화물 층 상에 형성된 실리콘-온-인슐레이터(SOI) 유형 트랜지스터들을 더 포함하는, CFET 회로.

청구항 12

제5항에 있어서, 상기 제3 FET의 상기 제2 소스/드레인을 상기 제2 FET의 상기 제2 소스/드레인에 그리고 상기 제4 FET의 상기 제2 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

청구항 13

제5항에 있어서, 상기 제3 FET의 상기 제2 소스/드레인을 상기 제1 FET의 상기 제2 소스/드레인에 그리고 상기 제4 FET의 상기 제2 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

청구항 14

제5항에 있어서, 상기 제1 FET의 상기 제1 소스/드레인을 상기 제3 FET의 상기 제1 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

청구항 15

제5항에 있어서, 상기 제1 FET의 상기 제1 소스/드레인을 상기 제4 FET의 상기 제2 소스/드레인 및 상기 제3 FET의 상기 제2 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

청구항 16

제1항에 있어서, 상기 제1 FET, 상기 제2 FET, 상기 제3 FET, 및 상기 제4 FET 각각은 적어도 하나의 나노 슬래브 또는 나노와이어를 포함하는 채널 영역을 포함하는, CFET 회로.

청구항 17

제1항에 있어서, 셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(SIP) 폰; 태블릿; 패블릿; 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인용 정보 단말기(PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 컴포넌트; 항공 전자 시스템들; 드론; 및 멀티콥터로 이루어진 그룹으로부터 선택된 디바이스 내에 통합되는, CFET 회로.

청구항 18

집적 회로(IC)로서,

프로세서;

프로세서에 커플링된 상보적 전계 효과 트랜지스터(CFET) 회로를 포함하고, 상기 CFET 회로는,

디바이스 층 -

제2 유형의 제2 FET 위의 제1 유형의 제1 FET를 포함하는 제1 모놀리식 CFET 구조; 및

상기 제2 유형의 제4 FET 위의 상기 제1 유형의 제3 FET를 포함하는 제2 모놀리식 CFET 구조 -; 및

상기 디바이스 층 상에 배치된 제1 상호연결 층을 포함하며, 상기 제1 상호연결 층은,

제1 입력 신호를 상기 제1 FET의 게이트에 그리고 상기 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉;

제2 입력 신호를 상기 제3 FET의 게이트에 그리고 상기 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉; 및

상기 제1 입력 신호 및 상기 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함하는, 집적 회로(IC).

청구항 19

상보적 전계 효과 트랜지스터(CFET) 회로를 형성하는 방법으로서,

디바이스 층을 형성하는 단계 - 상기 디바이스 층은,

제2 유형의 제2 FET 위의 제1 유형의 제1 FET를 포함하는 제1 모놀리식 CFET 구조; 및

상기 제2 유형의 제4 FET 위의 상기 제1 유형의 제3 FET를 포함하는 제2 모놀리식 CFET 구조를 포함함 -; 및

상기 디바이스 층 상에 배치된 제1 상호연결 층을 형성하는 단계를 포함하며, 상기 제1 상호연결 층은,

제1 입력 신호를 상기 제1 FET의 게이트에 그리고 상기 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉;

제2 입력 신호를 상기 제3 FET의 게이트에 그리고 상기 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉; 및

상기 제1 입력 신호 및 상기 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함하는, 방법.

청구항 20

제19항에 있어서, 상기 제1 모놀리식 CFET 구조 내의 상기 제1 유형의 FET의 제1 소스/드레인을 상기 제2 모놀리식 CFET 구조 내의 상기 제1 유형의 FET의 제1 소스/드레인에 커플링하기 위해 제2 방향으로 상기 제1 상호연결 층에서 연장되는 제1 상호연결부를 형성하는 단계를 더 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] **우선권 출원**

[0002] 본 출원은 2022년 8월 8일자로 출원되고 발명의 명칭이 "MONOLITHIC THREE-DIMENSIONAL (3D) COMPLEMENTARY FIELD EFFECT TRANSISTOR (CFET) CIRCUITS AND METHOD OF MANUFACTURE"인 미국 특허 출원 제17/818,048호에 대한 우선권을 주장하며, 이는 본 명세서에 참조로서 전체적으로 포함된다.

배 경 기 술

[0003] **I. 개시내용의 분야**

[0004] 개시내용의 기술은 일반적으로 상보적 금속-산화물-반도체(CMOS) 전계 효과 트랜지스터들(FET)(CFET)에 관한 것이며, 특히 모놀리식 3차원(3D) CFET 회로들에 관한 것이다.

[0005] **II.배경기술**

[0006] 상보적 금속-산화물-반도체(CMOS) 기술은 N-형 MOS(NMOS) 또는 P-형 MOS(PMOS) 기술만을 포함하는 회로들에 비해 전력 효율, 성능 및 잡음 내성을 위해 집적 회로들(IC)의 디지털 로직에서 일반적으로 채용된다. CMOS 로직 회로는 적어도 하나의 PMOS 트랜지스터 및 적어도 하나의 NMOS 트랜지스터를 포함한다. 따라서, CMOS 전계 효과 트랜지스터(FET)(CFET) 회로는 적어도 하나의 PMOS FET(PFET) 및 적어도 하나의 NMOS FET(NFET)를 포함한다. IC는 수백만 개의 상호연결된 CFET들로 제조된 로직 회로들을 포함할 수 있다. 따라서, CFET 회로들이 차지하는 IC의 면적은 FET들을 3차원(3D) 구조들로 적층함으로써 상당히 감소될 수 있다. 일 유형(예를 들어, N-형 또는 P-형)의 FET가 다른 유형(예를 들어, P-형 또는 N-형)의 FET의 상부 상에(예를 들어, 위에) 있는 IC들을 제조하기 위해, 웨이퍼-대-웨이퍼 층 전사 방법들이 채용되었다. 그러나, 전사 방법들과 연관된 프로세스 문제점들에 더하여, 기존의 방법들은 CFET 로직 회로들에서 FET들을 상호연결하기 위해 상당한 영역을 소모한다.

발명의 내용

[0007] 발명을 실시하기 위한 구체적인 내용에 개시된 양태들은 모놀리식 3차원(3D) 상보적 전계 효과 트랜지스터(FET)(CFET) 회로들을 포함한다. 모놀리식 3D CFET 회로들을 제조하는 관련 방법들이 또한 개시된다. 로직 회로들로서 구성된 3D CFET 회로들은 집적 회로(IC)의 디바이스 층 내의 제1 및 제2 모놀리식 CFET 구조들을 포함한다. 각각의 모놀리식 CFET 구조는 제2 유형(예를 들어, N-형 또는 P-형)의 하부 FET 상의 제1 유형(예를 들어, P-형 또는 N-형)의 상부 FET를 포함한다. CFET 회로들은 또한, 로직 회로들의 입력들 및 출력(들)에 커플링하기 위해 외부 회로들을 위한 접촉들을 제공하기 위해 디바이스 층 상에 배치된 상호연결 층들을 포함한다. 특히, 제1 입력 접촉은 제1 CFET 구조 내의 FET들의 게이트들에 커플링되고, 제2 입력 접촉은 제2 CFET 구조 내의 FET들의 게이트들에 커플링된다. 출력 접촉은 CFET 회로의 출력에 커플링된다. 일부 예들에서, CFET 회로는 FET들을 서로 그리고 접촉 층에 상호연결시키기 위해 디바이스 층 내의 수직 액세스 상호연결부들(비아들)을 포함한다. 일부 예들에서, 제1 및 제2 모놀리식 CFET 구조들은 2-입력 NOR 회로를 형성하기 위해 상호연결된다. 일부 예들에서, 제1 및 제2 모놀리식 CFET 구조들은 2-입력 NAND(Not-AND) 회로를 형성하기 위해 상호연결된다.

[0008] 예시적인 양태에서, 디바이스 층 및 디바이스 층 상에 배치된 제1 상호연결 층을 포함하는 모놀리식 상보적 전계 효과 트랜지스터(CFET) 로직 회로가 개시된다. 디바이스 층은 제2 유형의 제2 FET 상의 제1 유형의 제1 FET를 포함하는 제1 CFET 구조 및 제2 유형의 제4 FET 상의 제1 유형의 제3 FET를 포함하는 제2 CFET 구조를 포함한다. 제1 상호연결 층은, 제1 입력 신호를 제1 FET의 게이트에 그리고 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉; 제2 입력 신호를 제3 FET의 게이트에 그리고 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉, 및 제1 입력 신호 및 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함한다.

[0009] 다른 예시적인 양태에서, 모놀리식 상보적 전계 효과 트랜지스터(CFET) 로직 회로를 포함하는 집적 회로(IC)가 개시된다. 모놀리식 3D CFET 회로는 디바이스 층 및 디바이스 층 상에 배치된 제1 상호연결 층을 포함하는 모놀리식 상보적 전계 효과 트랜지스터(CFET) 로직 회로를 포함한다. 디바이스 층은 제2 유형의 제2 FET 위의 제1 유형의 제1 FET를 포함하는 제1 CFET 구조 및 제2 유형의 제4 FET 상의 제1 유형의 제3 FET를 포함하는 제2 CFET 구조를 포함한다. 제1 상호연결 층은 제1 입력을 커플링하도록 구성된 제1 입력 접촉을 포함한다. 제1

상호연결 층은, 제1 입력 신호를 제1 FET의 게이트에 그리고 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉; 제2 입력 신호를 제3 FET의 게이트에 그리고 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉, 및 제1 입력 신호 및 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함한다.

[0010] 다른 예시적인 양태에서, 모놀리식 상보적 전계 효과 트랜지스터(CFET) 로직 회로를 형성하는 방법이 개시된다. 방법은 디바이스 층을 형성하는 단계를 포함하며, 이는, 제2 유형의 제2 FET 상의 제1 유형의 제1 FET를 포함하는 제1 CFET 구조를 형성하는 단계, 및 제2 유형의 제4 FET 상의 제1 유형의 제3 FET를 포함하는 제2 CFET 구조를 형성하는 단계를 포함한다. 방법은 디바이스 층 상에 배치된 제1 상호연결 층을 형성하는 단계를 포함하며, 제1 상호연결 층은, 제1 입력 신호를 제1 FET의 게이트에 그리고 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉, 제2 입력 신호를 제3 FET의 게이트에 그리고 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉; 및 제1 입력 신호 및 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함한다.

도면의 간단한 설명

[0011] 도 1은 로직 회로의 제1 구성에서 반도체 기판 상의 상호연결된 CFET 구조들을 포함하는 모놀리식 3D 상보적 전계 효과 트랜지스터(FET)(CFET) 회로의 측단면도이다.

도 2는 도 1의 모놀리식 3D CFET 회로를 제조하는 방법의 흐름도이다.

도 3은 NAND 회로의 제2 구성에서 반도체 기판 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 4는 NAND 회로의 제3 구성에서 반도체 기판 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 5는 NAND 회로의 제4 구성에서 반도체 기판 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 6은 NAND 회로의 제5 구성에서 절연체 층 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 7은 NAND 회로의 제6 구성에서 절연체 층 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 8은 NOR 회로의 제1 구성에서 반도체 기판 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 9는 NOR 회로의 제2 구성에서 반도체 기판 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 10은 NOR 회로의 제3 구성에서 반도체 기판 상에 형성된 CFET 구조들을 포함하는 모놀리식 CFET 회로의 측단면도이다.

도 11은 NOR 회로의 제4 구성에서 반도체 기판 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 12는 NOR 회로의 제5 구성에서 절연체 층 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 13은 NOR 회로의 제6 구성에서 절연체 층 상에 형성된 CFET 구조들을 포함하는 모놀리식 3D CFET 회로의 측단면도이다.

도 14는 도 1과 도 3 내지 도 13 중 어느 하나의 모놀리식 3D CFET 회로를 포함할 수 있는 예시적인 무선 통신 디바이스의 블록도이다.

도 15는 도 1과 도 3 내지 도 13 중 어느 하나의 모놀리식 3D CFET 회로를 포함할 수 있는 예시적인 프로세서 기반 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이제 도시된 도면들을 참조하여 본 개시내용의 몇몇 예시적인 양태들이 설명된다. "예시적인"이라는 단어는, "예, 예증 또는 예시로서 역할을 하는" 것을 의미하도록 본 명세서에서 사용된다. 본 명세서에서 "예시적인"으로 설명되는 임의의 양태는 반드시 다른 양태들에 비해 유리하거나 선호된 것으로 해석될 필요는 없다.

[0013] 발명을 실시하기 위한 구체적인 내용에 개시된 양태들은 모놀리식 3차원(3D) 상보적 전계 효과 트랜지스터(FET)(CFET) 회로들을 포함한다. 모놀리식 3D CFET 회로들을 제조하는 관련 방법들이 또한 개시된다. 로직 회로들로서 구성된 3D CFET 회로들은 집적 회로(IC)의 디바이스 층 내의 제1 및 제2 모놀리식 CFET 구조들을 포함한다. 각각의 모놀리식 CFET 구조는 제2 유형(예를 들어, N-형 또는 P-형)의 하부 FET 상의 제1 유형(예를 들어, P-형 또는 N-형)의 상부 FET를 포함한다. CFET 회로들은 또한, 로직 회로들의 입력들 및 출력(들)에 커플링하기 위해 외부 회로들을 위한 접촉들을 제공하기 위해 디바이스 층 상에 배치된 상호연결 층들을 포함한다. 특히, 제1 입력 접촉은 제1 CFET 구조 내의 FET들의 게이트들에 커플링되고, 제2 입력 접촉은 제2 CFET 구조 내의 FET들의 게이트들에 커플링된다. 출력 접촉은 CFET 회로의 출력에 커플링된다. 일부 예들에서, CFET 회로는 FET들을 서로 그리고 접촉 층에 상호연결시키기 위해 디바이스 층 내의 수직 액세스 상호연결부들(비아들)을 포함한다. 일부 예들에서, 제1 및 제2 모놀리식 CFET 구조들은 2-입력 NOR 회로를 형성하기 위해 상호연결된다. 일부 예들에서, 제1 및 제2 모놀리식 CFET 구조들은 2-입력 NAND(Not-AND) 회로를 형성하기 위해 상호연결된다.

[0014] CMOS 회로들은 단지 하나의 유형의 FET를 갖는 회로들보다 증가된 성능, 감소된 전력 소비, 및 더 양호한 잡음 내성을 제공한다. CMOS 회로들은 양호한 기준 전압 소스(예를 들어, 접지 또는 V_{SS})를 제공하는 적어도 하나의 N-형 FET, 및 양호한 공급 전압 소스(예를 들어, 1.8 볼트 또는 V_{DD})를 제공하는 적어도 하나의 P-형 FET를 포함한다. 본 명세서에서 사용되는 바와 같은, "제1 유형"이라는 용어는 N-형 또는 P-형 중 하나를 지칭할 수 있고, "제2 유형"이라는 용어는 N-형 및 P-형 중 다른 하나를 지칭한다. N-형 및 P-형 FET들은 또한 각각 N-채널 및 P-채널 FET들 또는 NFET들 및 PFET들로 지칭할 수 있다. N-형 디바이스에서, 반도체 소스 및 드레인은 5가 도펀트로 도핑되고, 채널 영역의 게이트에 인가된 공급 전압은 전자가 다수 캐리어(majority carrier)인 N-채널을 생성한다. P-형 또는 P-채널 디바이스에서, 반도체 소스 및 드레인은 3가 도펀트로 도핑되고, 게이트에 인가된 기준 전압(예를 들어, 접지)은 채널 영역에서 정공이 다수 캐리어인 P-채널을 생성한다.

[0015] 도 1 내지 도 12에 도시된 예들은 게이트-올-어라운드(gate-all-around, GAA) FET들이지만, 다른 채널 구조들을 갖는 FET들을 갖는 CFET 구조들이 본 개시내용의 범주 내에 있다.

[0016] 도 1은 각각 하부 FET들(106A, 106B) 상에 (예를 들어, Y-축 방향으로 위에) 각각 배치된 상부 FET들(104A, 104B)을 포함하는 CFET 구조들(102A, 102B)을 포함하는 모놀리식 3D CFET 회로(100)의 측단면도이다. CFET 구조들(102A, 102B)은 CFET 구조들(102A, 102B)이 유전체 재료(110) 내에 배치되는 디바이스 층(108) 내의 모놀리식 CFET 구조들이다. 유전체 재료(110)의 두께(T_{110})는 디바이스 층(108)의 두께로 고려될 수 있다. 본 명세서에서 사용되는 용어로서, 모놀리식 CFET 구조들은 프로세스 흐름에서 기판 상에 제 위치에 형성(예를 들어, 구축)되는 구조들을 나타내며, 개별적으로 제조되어 결합되거나, 적층되거나, 또는 달리 서로 상에 배치되는 부분들로 구성되지 않는다.

[0017] 아래에서 더 설명되는 바와 같이, 상부 FET들(104A, 104B) 및 하부 FET들(106A, 106B)은 서로 상호연결되고, 또한 디바이스 층(108) 상에 배치된 상호연결 층(112)을 통해 외부 회로들(미도시)에 커플링된다. 상부 FET들(104A, 104B) 및 하부 FET들(106A, 106B)은 상호연결 층(112)에 대한 수직 상호연결 액세스들(비아들)(114)에 의해 외부 회로들에 그리고 서로 커플링된다. 비아들(114)은 비아들(114(1) 내지 114(12))로서 개별적으로 논의될 것이지만, 본 명세서에서 집합적으로 비아들(114)로 지칭된다. 도 1 내지 도 12의 각각의 구성들에서 아래에 도시된 바와 같이, 비아들(114)과 같은 비아들은 디바이스 층(108) 내의 유전체 재료(110) 내에 배치될 수 있고, 또한

[0018] 절연 층(116) 및 반도체 기판(118)을 통해 연장될 수 있으며, 이는 상부 FET들(104A, 104B) 및 하부 FET들(106A, 106B)을 상호연결 층(112)에 간접적으로 연결하기 위해 도 1의 CFET 구조들(102A, 102B)을 지지한다.

[0019] 예를 들어, 절연 층(116)은 STI(Shallow Trench Isolation)에 사용되는 산화물 재료일 수 있다. 반도체 기판(118)은 상부 FET들(104A, 104B) 및 하부 FET들(106A, 106B)이 형성되는 실리콘, 실리콘 합금, 또는 다른 반도체 재료일 수 있다.

[0020] 상호연결 층(112)은 디바이스 층(108) 상의 절연 또는 유전체 재료(122) 내에 배치된 전기 전도성(예를 들어, 금속) 접촉들인 접촉들(120(1) 내지 120(6))을 포함한다. 모놀리식 3D CFET 회로(100)에서와 같이, 본 명세서에 개시된 라우팅 구성들에서, CMOS 로직 회로들이 컴팩트한 영역들로 통합될 수 있고, 상부 FET들(104A, 104B) 및 하부 FET들(106A, 106B)에 대한 외부 액세스를 제공할 수 있다.

[0021] 각각의 CFET 구조(102A, 102B)는 그의 상보적 동작 특성들을 위해 P-형 FET 및 N-형 FET를 포함한다. 상부 FET들(104A, 104B)은 제1 유형의 FET이고, 이는 제1 CFET 구조(102A)의 상부 FET(104A) 및 제2 CFET 구조(102B)의 상부 FET(104B) 둘 모두가 동일한 도핑(예를 들어, P-형 또는 N-형)을 갖는 반도체 재료로 형성된다는 것을 의미한다. 하부 FET들(106A, 106B)은 둘 모두 제1 유형과 반대인 제2 유형(예를 들어, N-형 또는 P-형)의 도핑을 갖는 반도체 재료로 형성된다. 다시 말해서, 상부 FET들(104A, 104B)이 PFET들인 경우, 하부 FET들(106A, 106B)은 NFET들이며, 그 반대도 마찬가지이다.

[0022] 제1 CFET 구조(102A) 내의 상부 FET(104A)의 게이트(124A)는, 예를 들어, 하부 FET(106A)의 게이트(126A)에 커플링된다. 유사하게, 제2 CFET 구조(102B) 내의 상부 FET(104B)의 게이트(124B)는 하부 FET(106B)의 게이트(126B)에 커플링된다. 이 구성에서, 접촉(120(3)) 상에서 수신된 제1 입력 신호(IN-1)는 게이트들(124A, 126A) 둘 모두에 커플링된다. 제1 입력 신호(IN-1)는 공급 전압(V_{DD})을 제공할 수 있으며, 이는 상부 FET(104A) 및 하부 FET(106A) 중 하나인 N-형 FET를 턴 온시키는 반면, 상부 FET(104A) 및 하부 FET(106A) 중 다른 하나인 P-형 FET를 턴 오프시킬것이다. 제1 입력 신호(IN-1)는 대안적으로 기준 전압(V_{SS})(예를 들어, 접지 또는 0V)을 제공할 수 있으며, 이는 상부 FET(104A) 및 하부 FET(106A) 중 하나인 P-형 FET를 턴 온 시키는 반면, 다른 하나(예를 들어, N-형 FET인)를 턴 오프 시킨다. 접촉(120(5)) 상에서 수신된 제2 입력 신호(IN-2)는 상부 FET(104B) 및 하부 FET(106B)의 동작을 제어(예를 들어, 턴 온 및 턴 오프)하기 위해 게이트들(124B, 126B)에 커플링되고 공급 전압(V_{DD}) 또는 기준 전압(V_{SS})을 제공할 수 있다.

[0023] 언급된 바와 같이, 제1 입력 신호(IN-1) 및 제2 입력 신호(IN-2)는 각각 외부 회로로부터 접촉(120(3)) 및 접촉(120(5))에서 수신될 수 있다. 상호연결 층(112)은 또한 출력 접촉들(120(1), 120(6))을 포함하며, 이들은 외부 상호연결부(128)에 의해 서로 커플링된다. 모놀리식 3D CFET 회로(100)는 출력 접촉들(120(1) 및 120(6)) 중 하나 상에서 출력 신호(OUT)를 생성하고, 외부 상호연결부(128)에 의해 외부 회로(미도시)에 제공될 수 있다. 출력 신호(OUT)의 상태는 입력 신호들(IN-1, IN-2)의 논리 연산에 기초한다. 상부 FET들(104A, 104B) 및 하부 FET들(106A, 106B)은 이진 NAND(Not-AND) 동작을 수행하기 위해 디지털 로직 회로로서 상호연결된다. 이진 동작에서, 제1 전압(예를 들어, V_{SS})은 "0"에 대응할 수 있고, 제2 전압(예를 들어, V_{DD})은 "1"에 대응할 수 있다. NAND 동작에서, 출력 신호(OUT)는 단지 제1 입력 신호(IN-1) 및 제2 입력 신호(IN-2) - 둘 모두가 "1"에 대응하는 전압(예를 들어, V_{DD})임 -에 응답하여 "0" 상태에 대응하는 전압(예를 들어, V_{SS})으로 생성된다. 그렇지 않으면, 출력 신호(OUT)는 "1" 상태에 있다. 본 기술에서 이해되는 바와 같이, 일부 예들에서, 제2 전압(V_{DD})은 "0"에 대응할 수 있고, 제1 전압(V_{SS})은 "1"에 대응할 수 있으며, 이는 또한 입력 신호(IN-1) 및 입력 신호(IN-2) 둘 모두에 의해 표시된 "1"에 응답하여 출력 신호(OUT)의 전압을 반전시킬 것이다.

[0024] 구조적으로, 상부 FET(104A)는 상이한 유형의 FET임에도 불구하고 하부 FET(106A)와 유사할 수 있다. 또한, 상부 FET(104B) 및 하부 FET(106B)의 구조들은 상부 FET(104A) 및 하부 FET(106A)와 유사하다. 따라서, 아래에 제공된 상부 FET(104A)에 대한 상세한 설명은 상부 FET(104B), 하부 FET(106A), 및 하부 FET(106B)에 대해서도 설명하는 것이며, 필요한 경우를 제외하고는 그러한 FET들에 대한 추가 세부 사항들은 제공되지 않는다.

[0025] 이 예에서 상부 FET(104A)는 집합적으로 슬래브들(132)로 지칭되고 채널 영역(134A)을 형성하는 반도체 슬래브들(132(1), 132(2), 132(3))을 포함하는 게이트-올-어라운드(GAA) FET이다. P-형 디바이스들에서 슬래브들(132)은 예를 들어, 실리콘(Si), 실리콘 게르마늄(SiGe), 게르마늄(Ge), 갈륨 비소(GaAs) 또는 이들의 화합물을 포함할 수 있다. 예를 들어, N-형 디바이스들에서 슬래브들(132)은 Si, GaAs, 또는 이들의 화합물을 포함할 수 있다. 언급된 바와 같이, CFET 구조들(102A, 102B)은 절연 층(116) 및 반도체 기판(118) 상에 배치된다. CFET들(104A, 104B, 106A, 106B)은 반도체 기판(118) 상에 벌크 유형(bulk-type) 트랜지스터들로서 형성된다.

[0026] 제1 CFET 구조(102A)의 제1 측면(SA1) 상에서, 제1 소스/드레인(SD1-UA1)은 슬래브들(132)의 제1 단부에 커플링되고, 제2 소스/드레인(SD1-UA2)은 제1 CFET 구조(102A)의 제2 측면(SA2) 상에서 슬래브들(132)의 제2 단부에 커플링된다. 제1 및 제2 소스/드레인들(SD1-UA1, SD1-UA2)은 슬래브들(132)의 반도체 재료 상에 에피택셜하게(epitaxially) 성장될 수 있다. 채널 영역(134A)을 통한 전류의 방향은 소스/드레인들(SD1-UA1, SD1-UA2) 사이에 인가된 전압에 따라, 도 1의 X-축 방향일 것이며, 좌측에서 우측 또는 우측에서 좌측일 수 있으며, 이는

소스/드레인들(SD1-UA1, SD1-UA2) 중 어느 것이 소스로서 기능하고 어느 것이 드레인으로서 기능하는지를 결정할 것이다.

[0027] 소스/드레인(SD1-UB1)은 제2 CFET 구조(102B)의 제1 측면(SB1) 상에 있고, 소스/드레인(SD1-UB2)은 제2 CFET 구조(102B)의 제2 측면(SB2) 상에 있다. 소스/드레인들(SD1-UB1, SD1-UB2)은 상부 FET(104B) 내의 채널 영역(134B)의 대향 단부들에 커플링된다. CFET 구조(102A)의 제1 측면들(SA1) 및 제2 CFET 구조(102B)의 SB1은 CFET 구조들(102A, 102B) 사이에 있다는 점에 유의한다. 제2 측면들(SA2, SB2)은 CFET 구조들(102A, 102B) 외부에 있다(예를 들어, CFET 구조들(102A, 102B) 사이에 있지 않다).

[0028] 하부 FET(106A)에서, 소스/드레인(SD1-LA1)은 제1 측면(SA1) 상에 있고, 소스/드레인(SD1-LA2)은 제2 CFET 구조(102B)의 제2 측면(SA2) 상에 있다. 하부 FET(106B)에서, 소스/드레인(SD1-LB1)은 제1 측면(SB1) 상에 있고, 소스/드레인(SD1-LB2)은 제2 측면(SB2) 상에 있다.

[0029] CFET 구조들(102A, 102B)에 커플링된 비아들(114)은 외부 회로들에 대한 액세스를 모놀리식 3D CFET 회로(100)에 제공하고, 모놀리식 3D CFET 회로(100)가 차지하는 총 면적을 감소시킨다. 비아들(114)은 도 1에서 수직 방향인 Y축 방향으로 연장된다. 비아들(114)은 비아들(114(1) 내지 114(12))을 포함한다. 비아들(114(2) 내지 114(7))은 또한 제1 및 제2 CFET 구조들(102A, 102B)을 상호연결 층(112)에 연결하기 때문에 본 명세서에서 상부 비아들로서 지칭된다.

[0030] 비아들(114(1) 내지 114(12))은 개별적으로 설명된다. 비아(114(4))는 상부 FET(104A)의 제1 소스/드레인(SD1-UA1)으로부터 제1 CFET 구조(102A)의 제1 측면(SA1) 상의 상호연결 층(112) 내의 접촉(120(4))까지 연장된다. 비아(114(5))는 상부 FET(104B)의 제1 소스/드레인(SD1-UB1)으로부터 제2 CFET 구조(102B)의 제1 측면(SB1) 상의 상호연결 층(112) 내의 접촉(120(4))까지 연장된다. 비아(114(2))는 상부 FET(104A)의 제2 소스/드레인(SD1-UA2)으로부터 제1 CFET 구조(102A)의 제2 측면(SA2) 상의 접촉(120(2))까지 연장된다. 비아(114(7))는 상부 FET(104B)의 제2 소스/드레인(SD1-UB2)으로부터 제2 CFET 구조(102B)의 제2 측면(SB2) 상의 접촉(120(6))까지 연장된다. 비아(114(3))는 상부 FET(104A)의 게이트(124A) 및 하부 FET(106A)의 게이트(126A)를 상호연결 층(112)에 커플링한다. 비아(114(6))는 상부 FET(104B)의 게이트(124B) 및 하부 FET(106B)의 게이트(126B)를 상호연결 층(112)에 커플링한다.

[0031] 상부 FET(104A)의 제1 소스/드레인(SD1-UA1) 및 제2 소스/드레인(SD1-UA2)은 X-축 방향으로 소스/드레인 폭 치수(W_{SD1})를 갖는다. 제1 소스/드레인(SD1-LA1) 및 제2 소스/드레인(SD1-LA2)은 또한 소스/드레인 폭(W_{SD1})을 갖는다. 따라서, 상부 FET(104A)의 제1 소스/드레인(SD1-UA1)은 Y-축 방향으로 하부 FET(106A)의 제1 소스/드레인(SD1-LA1)과 상호연결 층(112) 사이에 직접 있고, 이에 의해 제1 소스/드레인(SD1-LA1)으로부터 상호연결 층(112)까지 수직 방향으로 비아의 경로를 차단한다.

[0032] 제1 소스/드레인(SD1-LA1)을 상호연결 층(112)에 커플링하기 위해, 모놀리식 3D CFET 회로(100)는 또한 하부 FET(106A)의 제1 소스/드레인(SD1-LA1)으로부터 제1 CFET 구조(102A)의 제1 측면(SA1) 상의 하부 상호연결 층(138) 내의 상호연결부(136(2))로 연장되는 비아(114(10))를 포함한다. 하부 상호연결 층(138)은 수평(예를 들어, X-축 방향) 상호연결부들(136(1) 내지 136(3))을 제공하기 위해 반도체 기판(118) 아래에 배치된다. 비아들(114(1), 114(8) 내지 114(12))은 하부 상호연결 층(138)에 커플링되기 때문에 본 명세서에서 하부 비아들로 지칭된다. 비아(114(9))는 하부 FET(106A)의 제2 소스/드레인(SD1-LA2)으로부터 제1 CFET 구조(102A)의 제2 측면(SA2) 상의 하부 상호연결 층(138) 내의 상호연결부(136(1))로 연장된다. 비아(114(11))는 하부 FET(106B)의 제1 소스/드레인(SD1-LB)으로부터 제2 CFET 구조(102B)의 제1 측면(SB1) 상의 하부 상호연결 층(138) 내의 상호연결부(136(2))로 연장된다. 비아(114(12))는 하부 FET(106B)의 제2 소스/드레인(SD1-LB2)으로부터 제2 CFET 구조(102B)의 제2 측면(SB2) 상의 하부 상호연결 층(138) 내의 상호연결부(136(3))로 연장된다.

[0033] 소스/드레인들(SD1-LA1, SD1-LA2, SD1-LB1, SD1-LB2)이 소스/드레인들(SD1-UA1, SD1-UA2, SD1-UB1, SD1-UB2)과 동일한 폭 치수(W_{SD1})를 갖기 때문에, 비아들(114(9) 내지 114(12))은 소스/드레인들(SD1-LA1, SD1-LA2, SD1-LB1, SD1-LB2)을 하부 상호연결 층(138)에 커플링하기 위해 필요하다. 소스/드레인들(SD1-UA1, SD1-UA2, SD1-UB1, SD1-UB2)은 소스/드레인들(SD1-LA1, SD1-LA2, SD1-LB1, SD1-LB2)로부터 상호연결 층(112)까지 상부로 연장되는 비아들에 대한 수직 방향의 직접 경로들을 차단한다.

[0034] 도 1에 도시된 바와 같이, 상호연결부(136(2))는 비아들(114(10), 114(11))을 통해 하부 FET(106A)의 제1 소스/드레인(SD1-LA1)을 하부 FET(106B)의 제1 소스/드레인(SD1-LB1)에 커플링한다. 하부 FET(106A)의 제2 소스/

드레인(SD1-LA2)은 비아(114(9)), 상호연결부(136(1)), 및 비아(114(1))를 통해 상호연결 층(112) 내의 접촉(120(1))에 커플링된다. 하부 FET(106B)의 제2 소스/드레인(SD1-LB2)은 비아(114(12), 상호연결부(136(3)), 및 비아(114(8))를 통해 상호연결 층(112) 내의 접촉(120(8))에 커플링된다.

[0035] 모놀리식 3D CFET 회로(100)의 NAND 회로로서의 동작이 도 1의 개략도(140)를 참조하여 당업자에 의해 용이하게 이해된다. 이 예에서, 상부 FET들(104A, 104B)은 N-형 FET들이고, 하부 FET들(106A, 106B)은 P-형 FET들이며,

[0036] 접촉들(120(1) 내지 120(6))은 개략도(140)에 도시된 바와 같이 그리고 아래에 상세히 설명되는 바와 같이 외부적으로 커플링된다.

[0037] 다음과 같이 외부 회로를 커플링함으로써 모놀리식 3D CFET 회로(100)에 의해 논리 연산이 제공된다. 입력 신호(IN-1)는 접촉(120(3)) 상에서 수신된다. 입력 신호(IN-2)는 접촉(120(5)) 상에서 수신된다. 출력 신호(OUT)는 접촉(120(1)) 및 접촉(120(8)) 중 하나로부터 외부 상호연결부(128) 상에서 생성된다. 접촉(120(2))은 기준 전압(V_{SS})에 커플링된다. 접촉(120(4))은 비아들(114(4) 및 114(5))을 통해 상부 FET(104A)의 제1 소스/드레인(SD1-UA1)을 상부 FET(104B)의 제1 소스/드레인(SD1-UB1)에 커플링한다. 상호연결부(136(2))는 공급 전압(V_{DD})에 커플링된다. 입력 신호(IN-1) 및 입력 신호(IN-2) 각각 상의 이진 "1"은 출력 신호(OUT) 상에서 이진 "0"을 생성한다.

[0038] 도 2는 모놀리식 3D CFET 회로(100)를 제조하는 방법(200)의 흐름도이다. 방법은 디바이스 층(108)을 형성하는 단계(블록 202)를 포함하며, 이 단계는, 제1 유형의 제1 FET(104A)를 포함하는 제1 CFET 구조(102A)를 제2 유형의 제2 FET(106A) 상에 형성하는 단계(블록 204), 및 제1 유형의 제3 FET(104B)를 포함하는 제2 CFET 구조(102B)를 제2 유형의 제4 FET(106B) 상에 형성하는 단계(블록 206)를 포함한다. 방법은 디바이스 층(108) 상에 상호연결 층(112)을 형성하는 단계(블록 208)를 더 포함하며, 이 단계는 제1 입력 신호(IN-1)를 제1 FET(104A)의 게이트(124A) 및 제2 FET(106A)의 게이트(126A)에 커플링하도록 구성된 제1 입력 접촉(120(3))을 형성하는 단계(블록 210)를 더 포함한다. 상호연결 층(112)을 형성하는 단계는 또한 제2 입력 신호(IN-2)를 제3 FET(104B)의 게이트(124B) 및 제4 FET(106B)의 게이트(126B)에 커플링하도록 구성된 제2 입력 접촉(120(5))을 형성하는 단계(블록 212); 및 제1 입력 신호(IN-1) 및 제2 입력 신호(IN-2)의 논리 연산에 기초하여 출력 신호(OUT)를 생성하도록 구성된 출력 접촉(120(1), 120(6))을 형성하는 단계(블록 214)를 포함한다.

[0039] 도 3 내지 도 7은 본 명세서에 개시된 바와 같은 NAND 회로들의 다른 예들인 모놀리식 3D CFET 회로들(300 내지 700)의 측단면도들이다. 모놀리식 3D CFET 회로들(300 내지 700) 각각은 도 1의 제1 및 제2 CFET 구조들(102A, 102B)에 대응하고 이와 유사한 각자의 제1 및 제2 CFET 구조들을 포함한다.

[0040] 도 3은 제1 및 제2 CFET 구조들(302A, 302B)을 포함하는 모놀리식 3D CFET 회로(300)의 측단면도이다. CFET 구조(302A)는 하부 FET(306A) 상의 상부 FET(304A)를 포함하고, CFET 구조(302B)는 하부 FET(306B) 상의 상부 FET(304B)를 포함한다. 상부 FET(304A)는 제1 CFET 구조(302A)의 제1 측면(SA1) 상의 제1 소스/드레인(SD3-UA1) 및 제1 CFET 구조(302A)의 제2 측면(SA2) 상의 제2 소스/드레인(SD3-UA2)을 포함한다. 하부 FET(306A)는 제1 CFET 구조(302A)의 제1 측면(SA1) 상의 제1 소스/드레인(SD3-LA1) 및 제1 CFET 구조(302A)의 제2 측면(SA2) 상의 제2 소스/드레인(SD3-LA2)을 포함한다. 제1 및 제2 CFET 구조들(302A, 302B)은 디바이스 층(308)에 형성된다.

[0041] 상부 FET(304B)는 제2 CFET 구조(302B)의 제1 측면(SB1) 상의 제1 소스/드레인(SD3-UB1) 및 제2 CFET 구조(302B)의 제2 측면(SB2) 상의 제2 소스/드레인(SD3-UB2)을 포함한다. 하부 FET(306B)는 제1 측면(SB1) 상의 제1 소스/드레인(SD3-LB1) 및 제2 측면(SB2) 상의 제2 소스/드레인(SD3-LB2)을 포함한다.

[0042] 도 1에서와 같이, 모놀리식 3D CFET 회로(300)는 상호연결 층(312), 절연체 층(316), 및 반도체 기판(318)을 포함한다. 상부 FET들(304A, 304B) 및 하부 FET들(306A, 306B)은 반도체 기판(318) 상에 벌크 유형 트랜지스터들로서 형성된다. 상호연결 층(312)은 접촉들(320(1) 내지 320(8))을 포함한다. 모놀리식 3D CFET 회로(300)의 NAND 동작은 개략도(140)에 대응하는 개략도(340)의 분석을 통해 이해될 수 있다.

[0043] CFET 구조(302A)의 제1 및 제2 소스/드레인들(SD3-UA1, SD3-UA2), 및 CFET 구조(30B)의 제1 및 제2 소스/드레인들(SD3-UB1, SD3-UB2) 각각은 X-축 방향으로 제1 소스/드레인 폭(W_{SD1})을 갖는다. 모놀리식 3D CFET 회로(300)의 비아들(314(2) 내지 314(4), 314(7) 내지 314(9))은 도 1의 비아들(114(2) 내지 114(7))에 대응한다. 이와 관련하여, 비아들(314(2) 내지 314(4), 314(7) 내지 314(9))은 상부 비아들로 지칭될 수 있다. FET들(304A, 304B)과 상호연결 층(312) 사이의 상부 비아들은 상부 FET들(104A, 104B)과 상호연결 층(112) 사이의

도 1의 상부 비아들(114)과 유사하거나 또는 동일하다.

[0044] 그러나, 모놀리식 3D CFET 회로(100)와 달리, 모놀리식 3D CFET 회로(300)에서, 하부 FET(306A)의 제1 및 제2 소스/드레인들(SD3-LA1, SD3-LA2), 및 하부 FET(306B)의 제1 및 제2 소스/드레인들(SD3-LB1, SD3-LB2)은 X-축 방향으로 소스/드레인 폭 치수(W_{SD1})보다 더 큰 소스/드레인 폭 치수(W_{SD2})를 갖는다. 결과적으로, 제1 소스/드레인(SD3-LA1)은, 예를 들어, X-축 방향으로 제1 측면(SA1) 상의 하부 FET(306A)로부터 제1 소스/드레인(SD3-UA1)보다 더 멀리 연장되고, 제2 소스/드레인(SD3-LA2)은 X-축 방향으로 제2 측면(SA2) 상의 하부 FET(306A)로부터 제2 소스/드레인(SD3-UA2)보다 더 멀리 연장된다. 따라서, 상부 FET(304A)의 제1 소스/드레인(SD3-UA1)은 Y-축 방향으로 제1 소스/드레인(SD3-LA1)의 일부와 상호연결 층(312) 사이에 배치되지 않고, 상부 FET(304A)의 제2 소스/드레인(SD3-UA2)은 Y-축 방향으로 제2 소스/드레인(SD3-LA2)의 일부와 상호연결 층(312) 사이에 배치되지 않는다. 결과적으로, 비아들(314) 중 일부는 하부 FET들(306A, 306B)의 제1 및 제2 소스/드레인들(SD3-LA1, SD3-LA2, SD3-LB1, SD3-LB2)을 상호연결 층(312)에 커플링하기 위해 Y-축 방향으로 방해받지 않게 연장될 수 있다. 제1 및 제2 소스/드레인들(SD3-UA1, SD3-UA2, SD3-UB1, SD3-UB2)이 Y-축 방향으로 비아 경로를 방해하지 않기 때문에, X-축 방향으로 오프셋을 제공하기 위해 제2 상호연결 층(예를 들어, 도 1의 상호연결 층(138))이 필요하지 않고, 비아들(314)의 총 수가 도 1에 비해 감소되며, 이는 모놀리식 3D CFET 회로(300)가 차지하는 총 면적을 추가로 감소시킨다.

[0045] CFET 구조들(302A, 302B)은 다음과 같이 상호연결 층(312)에 커플링된다. 비아(314(1))는 접촉(320(1))을 하부 FET(306A)의 제2 소스/드레인(SD3-LA2)에 커플링한다. 비아(314(2))는 접촉(320(2))과 상부 FET(304A)의 제2 소스/드레인(SD3-UA2) 사이에 커플링된다. 비아(314(3))는 접촉(320(3))을 상부 FET(304A)의 게이트(324A)에 그리고 하부 FET(306A)의 게이트(326A)에 커플링한다. 비아(314(4))는 접촉(320(4))을 상부 FET(304)의 제1 소스/드레인(SD3-UA1)에 커플링한다. 접촉(320(5))은 비아(314(5))에 의해 하부 FET(306A)의 제1 소스/드레인(SD3-LA1)에 커플링된다. 접촉(320(5))은 또한 비아(314(6))에 의해 하부 FET(306B)의 제1 소스/드레인(SD3-LB1)에 커플링된다. 따라서, 비아(314(5)), 접촉(320(5)) 및 비아(314(6))는 하부 FET(306A)의 제1 소스/드레인(SD3-LA1)을 하부 FET(306B)의 제1 소스/드레인(SD3-LB1)에 커플링한다.

[0046] 비아(314(7))는 접촉(320(6))을 상부 FET(304B)의 제1 소스/드레인(SD3-UB1)에 커플링한다. 외부 상호연결부(342)는 상부 FET(304A)의 제1 소스/드레인(SD3-UA1)을 상부 FET(304B)의 제1 소스/드레인(SD3-UB1)에 커플링하기 위해 접촉(320(4))을 접촉(320(6))에 커플링한다. 비아(314(8))는 접촉(320(7))을 상부 FET(304B)의 게이트(324B)에 그리고 하부 FET(306B)의 게이트(326B)에 커플링한다. 접촉(320(8))은 비아(314(9))에 의해 상부 FET(304B)의 제2 소스/드레인(SD3-UB2)에 커플링된다. 접촉(320(8))은 또한 하부 FET(306B)의 제2 소스/드레인(SD3-LB2)에 커플링된다. 따라서, 비아(314(9)), 접촉(320(8)), 및 비아(314(10))는 상부 FET(304B)의 제2 소스/드레인(SD3-UB1)을 하부 FET(306B)의 제2 소스/드레인(SD3-LB2)에 커플링한다.

[0047] NAND 로직 회로로서의 동작을 위해, 제1 입력 신호(IN-1)는 접촉(320(3)) 상에서 외부 회로로부터 수신되고, 제2 입력 신호(IN-2)는 접촉(320(7)) 상에서 수신된다. 외부 상호연결부(328)는 접촉(320(1))을 접촉(320(8))에 커플링하고 출력 신호(OUT)가 외부 회로에 연결될 수 있는 연결을 제공한다. 접촉(320(2))은 기준 전압(V_{SS})(예를 들어, 접지, 0 볼트)을 수신하고, 접촉(320(5))은 공급 전압(V_{DD})을 수신하여 NAND 로직 회로에 전원을 공급한다.

[0048] 도 4는 NAND 로직 회로의 다른 예에서의 모놀리식 3D CFET 회로(400)의 측단면도이다. 모놀리식 3D CFET 회로(400)는 아래에 표시된 것을 제외하고, 도 1의 모놀리식 3D CFET 회로(100)와 구조적으로 동일하다.

[0049] 모놀리식 3D CFET 회로(400)는 CFET 구조들(402A, 402B)을 포함하고, 상부 FET들(404A, 404B)은 도 1에서와 같이 제1 유형의 FET이고 하부 FET들(406B)은 제2 유형의 FET이다. 그러나, 도 1의 구성은 상부 FET들(104A, 104B)이 N-형 FET들인것에 그리고 하부 FET들(106A, 106B)이 P-형 FET들인 것에 기초한다. 도 4의 구성에서, 상부 FET들(404A, 404B)은 P-형 FET들이고, 하부 FET들(406A, 406B)은 N-형 FET들이다. 이러한 차이에 따라, 모놀리식 3D CFET 회로(400)는 다음의 방식으로 NAND 로직 회로로서 구성된다.

[0050] 모놀리식 3D CFET 회로(400)는 상호연결 층(412) 내의 접촉들(420(1) 내지 420(6)) 및 상호연결 층(438) 내의 상호연결부들(436(1) 내지 436(3))을 포함한다. 도 1의 외부 상호연결부(128) 대신에, 외부 상호연결부(428)는 상부 FET(404A)의 제2 소스/드레인(SD4-UA2)을 상부 FET(404B)의 제2 소스/드레인(SD4-UB2) 및 하부 FET(406B)의 제2 소스/드레인(SD4-LB2)과 전기적으로 커플링하기 위해 접촉(420(2), (420(6))을 커플링한다. 출력 신호(OUT)는 외부 회로(미도시)에 제공하기 위해 외부 상호연결부(428) 상에서 생성된다. 기준 전압(V_{SS})이 접촉

(420(1))에 제공된다. 제1 입력 신호(IN-1) 및 제2 입력 신호(IN-2)는 각각 접촉들(420(3), 420(5))에서 수신된다. 전력 공급 전압(V_{DD})은 접촉(420(4))에서 수신된다.

[0051] 도 5는 NAND 로직 회로의 다른 예에서의 모놀리식 3D CFET 회로(500)의 측단면도이다. 모놀리식 3D CFET 회로(500)는 CFET 구조들(502A, 502B)이 도 3의 구성과 반대인 N-형 FET들인 하부 FET들(506A, 506B) 상에 배치된 P-형 FET들인 상부 FET들(504A, 504B)을 갖는 것을 제외하고는 도 3의 모놀리식 3D CFET 회로(300)와 구조적으로 동일하다.

[0052] 모놀리식 3D CFET 회로(500)는 상호연결 층(512) 내의 접촉들(520(1) 내지 520(8))을 포함한다. 외부 상호연결부(528)는 상부 FET(504A)의 제2 소스/드레인(SD5-UA2)을 상부 FET(504B)의 제2 소스/드레인(SD5-UB2)과, 그리고 또한 하부 FET(506B)의 제2 소스/드레인(SD5-LB2)과 전기적으로 커플링하기 위해 접촉(520(2), 520(8))을 커플링한다. 출력 신호(OUT)는 외부 회로(미도시)에 제공하기 위해 외부 상호연결부(528) 상에서 생성된다. 기준 전압(V_{SS})은 접촉(520(1))에 제공된다. 제1 입력 신호(IN-1) 및 제2 입력 신호(IN-2)는 각각 접촉들(520(3), 520(7))에서 수신된다. 전력 공급 전압(V_{DD})은 접촉(520(4))에서 수신된다. 제2 외부 상호연결부(542)는 접촉(520(4))과 접촉(520(6))을 커플링한다. 접촉(520(5))은 하부 FET(506A)의 제1 소스/드레인(SD5-LA1)과 하부 FET(506B)의 제1 소스/드레인(SD5-LB1)을 커플링한다.

[0053] 도 6 및 도 7은 각각 모놀리식 3D CFET 회로들(600, 700)의 측단면도들이며, 각각은 NAND 로직 회로들의 예이다. 모놀리식 3D CFET 회로들(600, 700)의 구조들 및 NAND 로직 회로로서 동작을 구성하기 위한 외부 상호연결부들은, 모놀리식 3D CFET 회로들(600, 700)이 반도체 기판을 포함하지 않는다는 것을 제외하고는, 모놀리식 3D CFET 회로들(100, 300)의 구조들과 동일하다. 대신에, 모놀리식 3D CFET 회로들(600, 700)은 절연체 기판들 상에 형성된다.

[0054] 구체적으로, 모놀리식 3D CFET 회로(600)는 CFET 구조들(602A, 602B)을 포함하며 상부 FET들(604A, 604B)이 하부 FET들(606A, 606B) 위에 배치된다. 모놀리식 3D CFET 회로(700)는 CFET 구조들(702A, 702B)을 포함하며 상부 FET들(704A, 704B)이 하부 FET들(706A, 706B) 위에 배치된다. CFET 구조들(602A, 602B) 및 CFET 구조들(702A, 702B) 내의 FET들은 각각 절연체 층들(616 및 716) 상에 실리콘-온-인슐레이터(SOI) 트랜지스터들로서 형성된다. 모놀리식 3D CFET 회로(600)는 상호연결 층(638)을 포함하며, 이는 절연체 층(616)에 대한 추가적인 구조적 지지를 제공할 수 있다. 절연체 층(716)은 지지 기판(750) 상에 배치될 수 있다.

[0055] 본 명세서에 도시되지 않았지만, 각자의 CFET 구조들에서 PFET들이 NFET들 상에 배치되는 모놀리식 3D CFET 회로들(400, 500)은 대안적으로, 도 6 및 도 7의 예들에서와 같이, SOI 트랜지스터들을 갖는 절연체 층들 상에 제조될 수 있다.

[0056] 도 1과 도 3 내지 도 13에 예시된 특징부들의 치수들은 실제 크기와 일치하지 않는다는 점에 유의해야 한다.

[0057] 도 8 내지 도 13은 모놀리식 3D CFET 회로들(800 내지 1300)의 측단면도들로서, 이는 그 특징부들이 각각 도 1과 도 3 내지 도 7에 도시된 모놀리식 3D CFET 회로들(100, 300 내지 700)과 동일한 구조들이다. 그러나, 모놀리식 3D CFET 회로들(800 내지 1300)은 다음과 같이 NOR(Not-OR) 로직 회로들로서 기능하기 위해 외부 상호연결부들 및 접촉들에 의해 구성된다.

[0058] 도 8의 모놀리식 3D CFET 회로(800)는, 도 1의 디바이스 층(108) 및 상호연결 층들(112, 138)과 도 8의 디바이스 층(808) 및 상호연결 층들(812, 838)의 비교에서 도 1의 모놀리식 3D CFET 회로(100)와 구조적으로 동일하다. 모놀리식 3D CFET 회로(800)는 각각 제2 유형의 하부 FET들(806A, 806B) 상에 (예를 들어, 그 위에) 배치된 제1 유형의 상부 FET들(804A, 804B)을 갖는 CFET 구조들(802A, 802B)을 포함한다. 상부 FET(804)는 CFET 구조(802A)의 제1 측면(SA1) 상의 제1 소스/드레인(SD8-UA1) 및 CFET 구조(802A)의 제2 측면(SA2) 상의 제2 소스/드레인(SD8_UA2)을 포함한다. 상부 FET(804B) 및 하부 FET들(806A, 806B)은 또한 도 1에 따른 제1 및 제2 소스/드레인들을 갖는다.

[0059] 모놀리식 3D CFET 회로(800)는, 아래와 같이, 개략도(840)에 도시된 바와 같이, NOR 로직 회로로서 구성된다. 상호연결 층(812)은 접촉들(820(1) 내지 820(6))을 포함하고, 상호연결 층(838)은 상호연결부들(836(1) 내지 836(3))을 포함한다. 접촉(820(1))은 전력 공급 전압(V_{DD})을 수신하며, 이는 하부 FET(806A)의 제2 소스/드레인(SD8-LA2)에 커플링된다.

[0060] 접촉(820(2))은 외부 회로로 출력 신호(OUT)가 생성될 수 있는 외부 상호연결부(828)에 의해 접촉(820(6))에 커플링된다. 이러한 방식으로, 외부 상호연결부(828)는 상부 FET(804A)의 제2 소스/드레인(SD8-UA2), 상부

FET(804B)의 제2 소스/드레인(SD8-UB2), 및 하부 FET(806B)의 제2 소스/드레인(SD8-LB2)에 커플링된다. 출력 신호(OUT)는 입력 신호들(IN-1, IN-2)에 기초한다. 제1 입력 신호(IN-1)는 접촉(820(3))에서 수신되고, 제2 입력 신호(IN-2)는 접촉(820(5))에서 수신된다. 접촉(820(4))은 상부 FET(804A)의 제1 소스/드레인(SD8-UA1)을 상부 FET(804B)의 제1 소스/드레인(SD8-UB1)에 커플링한다. 접촉(820(4))은 기준 전압(V_{SS})을 수신하기 위해 접지에 커플링된다. 상호연결부(836(2))는 하부 FET(806A)의 제1 소스/드레인(SD8-LA1)을 하부 FET(806B)의 제1 소스/드레인(SD8-LB1)에 커플링한다.

[0061] 도 9는 모놀리식 3D CFET 회로(300)와 동일한 구조를 갖지만 다음과 같이 NOR 로직 회로로서 기능하도록 외부적으로 구성된 모놀리식 3D CFET 회로(900)의 측단면도이다.

[0062] 접촉(920(1))은 전력 공급 전압(V_{DD})을 수신하며, 이는 하부 FET(906A)의 제2 소스/드레인(SD9-LA2)에 제공된다. 제2 소스/드레인(SD9-LA2)은 더 큰 소스/드레인 폭(W_{SD2})을 가지며, 따라서, 비아(914(1))에 의해 접촉(920(1))에 직접 커플링된다. 접촉(920(2))은 기준 전압(V_{SS})을 수신하며, 이는 상부 FET(904A)의 제2 소스/드레인(SD9-UA2)에 제공된다. 기준 전압(V_{SS})은 또한 접촉(920(6))에서 수신되고 상부 FET(904B)의 제1 소스/드레인(SD9-UB1)에 제공된다. 접촉(920(3))은 상부 FET(904A) 및 하부 FET(906A)를 제어하기 위해 제1 입력 신호(IN-1)를 수신한다. 접촉(920(7))은 상부 FET(904B) 및 하부 FET(906B)를 제어하기 위해 제2 입력 신호(IN-2)를 수신한다.

[0063] 접촉(920(4))은 외부 상호연결부(928)에 의해 접촉(920(8))에 커플링되고, 이는 또한 출력 신호(OUT)를 외부 회로들에 제공할 수 있다. 접촉(920(4))은 상부 FET(904A)의 제1 소스/드레인(SD9-UA1)에 커플링된다. 접촉(920(7))은 상부 FET(904B)의 제2 소스/드레인(SD9-UB2)에 그리고 하부 FET(906B)의 제2 소스/드레인(SD9-LB2)에 커플링된다. 접촉(920(5))은 하부 FET(906A)의 제1 소스/드레인(SD9-LA1) 및 하부 FET(906B)의 제1 소스/드레인(SD9-LB1)에 커플링된다.

[0064] 도 10은 모놀리식 3D CFET 회로(400)와 구조적으로 동일하지만, NOR 로직 회로로서 기능하도록 외부적으로 구성된 모놀리식 3D CFET 회로(1000)의 측단면도이다. 모놀리식 3D CFET 회로(1000)는 또한, 모놀리식 3D CFET 회로(1000)에서, 상부 FET들(1004A, 1004B)이 P-형 FET들이고 하부 FET들(1006A, 1006B)이 N-형 FET들이라는 점을 제외하고는 모놀리식 3D CFET 회로(800)와 구조적으로 유사하다.

[0065] NOR 로직 회로로서 기능하기 위한 구성은 다음을 포함한다. 접촉(1020(1))은 접촉(1020(6))에 커플링되고, 출력 신호(OUT)를 외부 회로들에 제공할 수 있다. 접촉(1020(1))은 하부 FET(1006A)의 제2 소스/드레인(SD10-LB2)에 커플링된다. 접촉(1020(6))은 상부 FET(1004B)의 제2 소스/드레인(SD10-UB2)에 그리고 하부 FET(1006B)의 제2 소스/드레인(SD10-LB2)에 커플링된다. 접촉(1020(2))은 전력 공급 전압(V_{DD})을 수신하며, 이는 상부 FET(1004A)의 제2 소스/드레인(SD10-UA2)에 제공된다.

[0066] 접촉(1020(3))은 제1 입력 신호(IN-1)를 수신하며, 이는 상부 FET(1004A) 및 하부 FET(1006A)를 제어하기 위해 CFET 구조(1002A)의 게이트들(1024A, 1026A)에 제공된다. 접촉(1020(5))은 제2 입력 신호(IN-2)를 수신하며, 이는 상부 FET(1004B) 및 하부 FET(1006B)를 제어하기 위해 CFET 구조(1002B)의 게이트들(1024B, 1026B)에 제공된다. 접촉(1020(4))은 상부 FET(1004A)의 제1 소스/드레인(SD10-UA1) 및 상부 FET(1004B)의 제1 소스/드레인(SD10-UB1)에 커플링된다. 하부 FET(1006A)의 제1 소스/드레인(SD10-LA1)은 상호연결부(1036(2))에 의해 하부 FET(1006B)의 제1 소스/드레인(SD10-LB1)에 커플링된다.

[0067] 도 11은 모놀리식 3D CFET 회로(500)와 구조적으로 동일하고 NOR 로직 회로로서 기능하도록 외부적으로 구성된 모놀리식 3D CFET 회로(1100)의 단면도이다. 접촉(1120(1)) 및 접촉(1120(8))은 기준 전압(V_{SS})을 수신한다. 접촉(1120(2))은 전력 공급 전압(V_{DD})을 수신한다. 제1 입력 신호(IN-1)는 접촉(1120(3))에서 수신되고, 제2 입력 신호(IN-2)는 접촉(1120(6))에서 수신된다. 접촉(1120(4))은 외부 상호연결부(1128)에 의해 접촉(1120(7))에 커플링된다. 접촉(1120(5))은 제1 소스/드레인(SD11-LA1), 제1 소스/드레인(SD11-UB1), 및 제1 소스/드레인(SD11-LB1)을 커플링한다.

[0068] 모놀리식 3D CFET 회로들 각각은 반도체 기판들 상에 벌크 유형 트랜지스터들로 형성된다. 도 12 및 도 13의 모놀리식 3D CFET 회로들(1200, 1300)은, 모놀리식 3D CFET 회로들(1200, 1300)이 SOI 트랜지스터들로 각각 절연체 층들(1216, 1316) 상에 형성되는 것을 제외하고는, 도 8 및 도 9의 모놀리식 3D CFET 회로들(800 및 900)과 모든 양태들에서 동일하다. 대안적으로, 모놀리식 3D CFET 회로들(1000, 1100)은 또한 절연체 층들 상

에 SOI 트랜지스터들로 형성될 수 있지만, 그러한 예들은 본 명세서에서 도시되지 않는다.

[0069] 본 명세서에 개시된 양태들에 따르면, 모놀리식 3D CFET 회로는 임의의 프로세서-기반 디바이스 내에 제공되거나 그에 통합될 수 있다. 예들은, 제한 없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정식 위치 데이터 유닛, 모바일 위치 데이터 유닛, 글로벌 포지셔닝 시스템(global positioning system, GPS) 디바이스, 모바일 폰, 셀룰러 폰, 스마트 폰, 세션 개시 프로토콜(session initiation protocol, SIP) 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(예를 들어, 스마트 워치, 건강관리 또는 피트니스 추적기, 안경 등), 데스크톱 컴퓨터, 개인용 정보 단말기(personal digital assistant, PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(digital video disc, DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 컴포넌트, 항공전자 시스템, 드론 및 멀티콥터를 포함한다.

[0070] 도 14는 하나 이상의 집적 회로들(IC들)(1402)로부터 형성된 무선 주파수(RF) 컴포넌트들을 포함하는 예시적인 무선 통신 디바이스(1400)를 예시하며, 이는, 도 1과 도 2 내지 도 13에 예시된 바와 같이, 그리고 본 명세서에 개시된 임의의 양태들에 따라, NAND 또는 NOR 회로들 중 어느 하나로서 구성되고 제2 유형의 하부 FET들 위의 제1 유형의 상부 FET들을 갖는 CFET 구조들을 포함하는 예시적인 모놀리식 3D CFET 회로를 포함할 수 있다. 무선 통신 디바이스(1400)는, 예들로서, 앞서 참조된 디바이스들 중 임의의 디바이스를 포함하거나 그에 제공될 수 있다. 도 14에 도시된 바와 같이, 무선 통신 디바이스(1400)는 트랜시버(1404) 및 데이터 프로세서(1406)를 포함한다. 데이터 프로세서(1406)는 데이터 및 프로그램 코드들을 저장하기 위한 메모리를 포함할 수 있다. 트랜시버(1404)는 양방향 통신들을 지원하는 송신기(1408) 및 수신기(1410)를 포함한다. 일반적으로, 무선 통신 디바이스(1400)는 임의의 수의 통신 시스템들 및 주파수 대역들에 대한 임의의 수의 송신기들(1408) 및/또는 수신기들(1410)을 포함할 수 있다. 트랜시버(1404)의 전부 또는 일부는 하나 이상의 아날로그 IC들, RFIC들, 혼합 신호 IC들 등 상에서 구현될 수 있다.

[0071] 송신기(1408) 또는 수신기(1410)는 수퍼 헤테로다인(super-heterodyne) 아키텍처 또는 직접 변환 아키텍처로 구현될 수 있다. 수퍼-헤테로다인 아키텍처에서, 신호는 여러 스테이지들에서 RF와 기저대역 간에, 예컨대 한 스테이지에서 RF에서 IF(intermediate frequency)로, 그리고 다음에 다른 스테이지에서 IF에서 기저대역으로 주파수 변환된다. 직접 변환 아키텍처에서, 신호는 하나의 스테이지에서 RF와 기저대역 사이에 주파수 변환된다. 수퍼-헤테로다인 및 직접 변환 아키텍처들은 상이한 회로 블록들을 사용하고/하거나 상이한 요건들을 가질 수 있다. 도 14의 무선 통신 디바이스(1400)에서, 송신기(1408) 및 수신기(1410)는 직접 변환 아키텍처로 구현된다.

[0072] 송신 경로에서, 데이터 프로세서(1406)는 송신될 데이터를 프로세싱하고, I 및 Q 아날로그 출력 신호들을 송신기(1408)에 제공한다. 예시적인 무선 통신 디바이스(1400)에서, 데이터 프로세서(1406)는 추가 프로세싱을 위해, 데이터 프로세서(1406)에 의해 생성된 디지털 신호들을 I 및 Q 아날로그 출력 신호들, 예컨대 I 및 Q 출력 전류들로 변환하기 위한 디지털-아날로그 변환기(digital-to-analog converter, DAC)들(1412(1), 1412(2))을 포함한다.

[0073] 송신기(1408) 내에서, 저역 통과 필터들(1414(1), 1414(2))은 각각 I 및 Q 아날로그 출력 신호들을 필터링하여, 이전의 디지털-아날로그 변환에 의해 야기된 원치 않는 신호들을 제거한다. AMP(amplifier)들(1416(1), 1416(2))은 저역 통과 필터들(1414(1), 1414(2))로부터의 신호들을 각각 증폭하여 I 및 Q 기저대역 신호들을 제공한다. 업변환기(upconverter)(1418)는 믹서(1420(1), 1420(2))를 통해 송신(TX) 국부 발진기(LO) 신호 생성기(1422)로부터의 I 및 Q TX LO 신호들을 이용하여 I 및 Q 기저대역 신호들을 업변환하여 업변환된 신호(1424)를 제공한다. 필터(1426)는 업변환된 신호(1424)를 필터링하여 수신 주파수 대역에서의 잡음뿐만 아니라 주파수 업변환에 의해 야기되는 원치 않는 신호들을 제거한다. 전력 증폭기(PA)(1428)는 필터(1426)로부터의 업변환된 신호(1424)를 증폭하여 원하는 출력 전력 레벨을 획득하고 송신 RF 신호를 제공한다. 송신 RF 신호는 듀플렉서 또는 스위치(1430)를 통해 라우팅되고 안테나(1432)를 통해 송신된다.

[0074] 수신 경로에서, 안테나(1432)는 기지국들에 의해 송신된 신호들을 수신하고 수신된 RF 신호를 제공하는데, 이는 듀플렉서 또는 스위치(1430)를 통해 라우팅되고 저잡음 증폭기(LNA)(1434)에 제공된다. 듀플렉서 또는 스위치(830)는 특정 수신(RX)-TX 듀플렉서 주파수 분리에 따라 동작하여, RX 신호들이 TX 신호들로부터 분리되도록 설계된다. 수신된 RF 신호는 LNA(1434)에 의해 증폭되고 필터(1436)에 의해 필터링되어 원하는 RF 입력 신호를 획득한다. 다운변환(downconversion) 믹서들(1438(1), 1438(2))은 필터(1436)의 출력을 RX LO 신호 생성기

(1440)로부터의 I 및 Q RX LO 신호들(즉, LO_I, LO_Q)과 혼합하여 I 및 Q 기저대역 신호들을 발생시킨다. I 및 Q 기저대역 신호들은 AMP들(1442(1), 1442(2))에 의해 증폭되고 저역 통과 필터들(1444(1), 1444(2))에 의해 추가로 필터링되어 I 및 Q 아날로그 입력 신호들을 획득하고, 이 신호들은 데이터 프로세서(1406)에 제공된다. 이 예에서, 데이터 프로세서(1406)는 데이터 프로세서(1406)에 의해 추가 프로세싱되도록 아날로그 입력 신호들을 디지털 신호들로 변환하기 위한 아날로그-디지털 변환기(ADC)들(1446(1), 1446(2))을 포함한다.

[0075] 도 14의 무선 통신 디바이스(1400)에서, TX LO 신호 생성기(1422)는 주파수 업변환을 위해 사용되는 I 및 Q TX LO 신호들을 생성하는 반면, RX LO 신호 생성기(1440)는 주파수 다운변환을 위해 사용되는 I 및 Q RX LO 신호들을 생성한다. 각각의 LO 신호는 특정 기본 주파수를 갖는 주기적 신호이다. TX 위상 고정 루프(PLL) 회로(1448)는 데이터 프로세서(1406)로부터 타이밍 정보를 수신하고, TX LO 신호 발생기(1422)로부터의 TX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 발생시킨다. 유사하게, RX PLL 회로(1450)는 데이터 프로세서(1406)로부터 타이밍 정보를 수신하고, RX LO 신호 발생기(1440)로부터의 RX LO 신호들의 주파수 및/또는 위상을 조정하는 데 사용되는 제어 신호를 발생시킨다.

[0076] 무선 통신 디바이스들(1400)은 도 1과 도 2 내지 도 13에 예시된 바와 같이, 그리고 본 명세서에 개시된 임의의 양태들에 따라, 제1 유형의 상부 FET들이 제2 유형의 하부 FET들 위에 있고 NAND 또는 NOR 회로들 중 어느 하나로서 구성되는 CFET 구조들을 포함하는 예시적인 모놀리식 3D CFET 회로를 포함할 수 있고, 임의의 프로세서-기반 디바이스 내에 제공되거나 그에 통합될 수 있다. 예들은, 제한 없이, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정식 위치 데이터 유닛, 모바일 위치 데이터 유닛, 글로벌 포지셔닝 시스템(GPS) 디바이스, 모바일 폰, 셀룰러 폰, 스마트 폰, 세션 개시 프로토콜(SIP) 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 모바일 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스(예를 들어, 스마트 워치, 건강관리 또는 피트니스 추적기, 안경 등), 데스크톱 컴퓨터, 개인용 정보 단말기(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 자동차, 차량 컴포넌트, 항공 전자 시스템, 드론 및 멀티콥터를 포함한다.

[0077] 도 15는, 도 1과 도 2 내지 도 13에 도시된 바와 같이, 그리고 본 명세서에 개시된 임의의 양태들에 따라, 제1 유형의 상부 FET들이 제2 유형의 하부 FET들 위에 있고 NAND 또는 NOR 회로들 중 어느 하나로서 구성되는 CFET 구조들을 포함하는 예시적인 모놀리식 3D CFET 회로를 포함하는 회로들을 포함하는 프로세서-기반 시스템(1500)의 예를 도시한다. 이 예에서, 프로세서 기반 시스템(1500)은 하나 이상의 프로세서들(1504)을 각각 포함하는, CPU 또는 프로세서 코어들로 또한 지칭될 수 있는 하나 이상의 중앙 프로세서 장치(CPU)들(1502)을 포함한다. CPU(들)(1502)는 일시적으로 저장된 데이터에 대한 신속한 액세스를 위해 프로세서(들)(1504)에 커플링되는 캐시 메모리(1506)를 가질 수 있다. CPU(들)(1502)는 시스템 버스(1508)에 커플링되고, 프로세서 기반 시스템(1500)에 포함된 마스터 및 슬레이브 디바이스들을 상호커플링할 수 있다. 널리 공지된 바와 같이, CPU(들)(1502)는 시스템 버스(1508)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이들 다른 디바이스와 통신한다. 예를 들어, CPU(들)(1502)는 버스 트랜잭션 요청을 슬레이브 디바이스의 일 예인 메모리 컨트롤러(1510)에 통신할 수 있다. 도 15에 예시되지 않았지만, 다수의 시스템 버스들(1508)이 제공될 수 있다; 여기서 각각의 시스템 버스(1508)는 상이한 패브릭을 구성한다.

[0078] 다른 마스터 및 슬레이브 디바이스들은 시스템 버스(1508)에 연결될 수 있다. 도 15에 예시된 바와 같이, 이러한 디바이스들은, 예들로서, 메모리 컨트롤러(1510) 및 하나 이상의 메모리 어레이들(1514)을 포함하는 메모리 시스템(1512), 하나 이상의 입력 디바이스들(1516), 하나 이상의 출력 디바이스들(1518), 하나 이상의 네트워크 인터페이스 디바이스들(1520) 및 하나 이상의 디스플레이 컨트롤러들(1522)을 포함할 수 있다. 입력 디바이스(들)(1516)는, 이에 제한되는 것은 아니나, 입력 키, 스위치, 음성 프로세서 등을 포함하는 임의의 유형의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(1518)는, 이에 제한되는 것은 아니나, 오디오, 비디오, 기타 시각적 표시기 등을 포함하는 임의의 유형의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(1520)는 네트워크(1524)에 그리고 네트워크(1524)로부터 데이터 교환을 허용하도록 구성된 임의의 디바이스일 수 있다. 네트워크(1524)는 유선 또는 무선 네트워크, 사설 또는 공공 네트워크, LAN(local area network), WLAN(wireless local area network), WAN(wide area network), BLUETOOTH™ 네트워크 및 인터넷을 포함하지만 이로 제한되지 않는 임의의 유형의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(1520)는 임의의 유형의 원하는 통신 프로토콜을 지원하도록 구성될 수 있다.

[0079] CPU(들)(1502)는 또한 하나 이상의 디스플레이들(1526)에 전송되는 정보를 제어하기 위해 시스템 버스(1508)를 통해 디스플레이 컨트롤러(들)(1522)에 액세스하도록 구성될 수 있다. 디스플레이 컨트롤러(들)(1522)는 디스

플레이(들)(1526)에 적합한 포맷으로 디스플레이될 정보를 프로세싱하는 하나 이상의 비디오 프로세서들(1528)을 통해 디스플레이될 정보를 디스플레이(들)(1526)에 전송한다. 디스플레이(들)(1526)는 음극선관(CRT), 액정 디스플레이(LCD), 플라즈마 디스플레이, 또는 발광 다이오드(LED) 디스플레이 등을 포함하지만 이로 제한되지 않는 임의의 유형의 디스플레이를 포함할 수 있다.

[0080] 당업자들은, 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터 판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령어들, 또는 둘 모두의 조합들로 구현될 수 있음을 추가로 인식할 것이다. 예들로서, 본 명세서에서 설명된 마스터 및 슬레이브 디바이스들은 임의의 회로, 하드웨어 컴포넌트, IC 또는 IC 칩에 이용될 수 있다. 본 명세서에 개시된 메모리는 임의의 유형 및 크기의 메모리일 수 있고, 원하는 임의의 유형의 정보를 저장하도록 구성될 수 있다. 이러한 상호 호환성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들이 일반적으로 이들의 기능적 관점에서 위에서 설명되었다. 그러한 기능이 어떻게 구현되는지는, 특정 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과되는 설계 제약들에 좌우된다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범주로부터 벗어나게 하는 것으로 해석되지는 않아야 한다.

[0081] 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들 및 회로들은, 프로세서, DSP(Digital Signal Processor), ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계되는 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로 프로세서는 임의의 종래의 프로세서, 컨트롤러, 마이크로컨트롤러 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합(예를 들어 DSP 및 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성)으로서 구현될 수 있다.

[0082] 본 명세서에 개시된 양태들은, 하드웨어로 구현될 수 있고, 하드웨어에 저장되고, 예를 들어, 랜덤 액세스 메모리(RAM), 플래쉬 메모리, 판독 전용 메모리(ROM), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 레지스터들, 하드 디스크, 탈착식 디스크, CD-ROM 또는 당업계에 공지된 임의의 다른 형태의 컴퓨터 판독 가능 저장 매체에 상주할 수 있는 명령어들로 구현될 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국 또는 서버에 이산 컴포넌트들로 상주할 수 있다.

[0083] 본 명세서의 예시적인 양태들 중 임의의 양태에서 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명된 것임을 또한 주목한다. 설명된 동작들은 예시된 순서들과는 다른 다수의 상이한 순서들로 수행될 수 있다. 나아가, 단일 동작 단계에서 설명된 동작들은 실제로 몇몇 상이한 단계들에서 수행될 수 있다. 추가적으로, 예시적인 양태들에서 논의된 하나 이상의 동작 단계들은 결합될 수 있다. 흐름도 도면들에서 예시된 동작 단계들은 당업자에게 쉽게 자명할 바와 같이 다수의 상이한 변형들을 겪을 수 있음을 이해해야 한다. 정보 및 신호들은 다양한 기술들 및 기법들을 사용하여 표현될 수 있음을 당업자는 또한 이해할 것이다. 예컨대, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령어들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.

[0084] 본 개시내용의 이전 설명은 임의의 당업자가 본 개시내용을 사용하거나 실시할 수 있게 하도록 제공된다. 본 개시내용에 대한 다양한 변형들이 당업자들에게 쉽게 명백할 것이며, 본 명세서에 정의된 일반적 원리들은 다른 변형들에 적용될 수 있다. 따라서, 본 개시내용은 본 명세서에서 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본 명세서에서 개시된 원리들 및 신규한 특징들과 일치하는 가장 넓은 범주에 부합할 것이다.

[0085] 구현 예들은 다음의 번호가 매겨진 조항들에서 설명된다:

[0086] 1. 상보적 전계 효과 트랜지스터(CFET) 회로로서,

[0087] 디바이스 층 - 디바이스 층은,

[0088] 제2 유형의 제2 FET 상의 제1 유형의 제1 FET를 포함하는 제1 모놀리식 CFET 구조; 및

[0089] 제2 유형의 제4 FET 상의 제1 유형의 제3 FET를 포함하는 제2 모놀리식 CFET 구조를 포함함 -; 및

[0090] 디바이스 층 상에 배치된 제1 상호연결 층을 포함하며, 제1 상호연결 층은,

[0091] 제1 입력 신호를 제1 FET의 게이트에 그리고 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉;

[0092] 제2 입력 신호를 제3 FET의 게이트에 그리고 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉; 및

[0093] 제1 입력 신호 및 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함하는, CFET 회로.

[0094] 2. 조항 1에 있어서, 제1 모놀리식 CFET 구조의 제1 측면 상의 제1 FET의 제1 소스/드레인을 제2 모놀리식 CFET 구조의 제1 측면 상의 제3 FET의 제1 소스/드레인에 커플링하기 위해 제2 방향으로 제1 상호연결 층에서 연장되는 제1 상호연결부를 더 포함하고, 제1 모놀리식 CFET 구조의 제1 측면과 제2 모놀리식 CFET 구조의 제1 측면은 제1 모놀리식 CFET 구조와 제2 모놀리식 CFET 구조 사이에 있는, CFET 회로.

[0095] 3. 조항 1 또는 조항 2에 있어서, 2-입력 NOR(Not-OR) 회로를 더 포함하는, CFET 회로.

[0096] 4. 조항 1 또는 조항 2에 있어서, 2-입력 NAND(Not-AND) 회로를 더 포함하는, CFET 회로.

[0097] 5. 조항 1 내지 조항 4 중 어느 한 조항에 있어서, 디바이스 층은,

[0098] 제1 FET의 제1 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제1 측면 상의 제1 상호연결 층까지 연장되는 제1 상부 비아;

[0099] 제3 FET의 제1 소스/드레인으로부터 제2 모놀리식 CFET 구조의 제1 측면 상의 제1 상호연결 층까지 연장되는 제2 상부 비아;

[0100] 제1 FET의 제2 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제2 측면 상의 제1 상호연결 층까지 연장되는 제3 상부 비아;

[0101] 제3 FET의 제2 소스/드레인으로부터 제2 모놀리식 CFET 구조의 제2 측면 상의 제1 상호연결 층까지 연장되는 제4 상부 비아;

[0102] 제1 FET의 게이트 및 제2 FET의 게이트를 제1 상호연결 층에 커플링하는 제5 상부 비아; 및

[0103] 제3 FET의 게이트 및 제4 FET의 게이트를 제1 상호연결 층에 커플링하는 제6 상부 비아를 더 포함하는, CFET 회로.

[0104] 6. 조항 1 내지 조항 5 중 어느 한 조항에 있어서, 디바이스 층은,

[0105] 제2 FET의 제1 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제1 측면 상의 제1 상호연결 층까지 연장되는 제1 하부 비아;

[0106] 제4 FET의 제1 소스/드레인으로부터 제2 모놀리식 CFET 구조의 제1 측면 상의 제1 상호연결 층까지 연장되는 제2 하부 비아;

[0107] 제2 FET의 제2 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제2 측면 상의 제1 상호연결 층까지 연장되는 제3 하부 비아; 및

[0108] 제4 FET의 제1 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제2 측면 상의 제1 상호연결 층까지 연장되는 제4 하부 비아를 더 포함하는, CFET 회로.

[0109] 7. 조항 1 내지 조항 5 중 어느 한 조항에 있어서,

[0110] 제1 FET의 제1 소스/드레인은 제1 FET의 제1 측면 상의 제1 채널 영역에 커플링되고, 제1 FET의 제2 소스/드레인은 제1 FET의 제2 측면 상의 제1 채널 영역에 커플링되고,

[0111] 제2 FET의 제1 소스/드레인은 제2 FET의 제1 측면 상의 제2 채널 영역에 커플링되고, 제2 FET의 제2 소스/드레인은 제2 FET의 제2 측면 상의 제2 채널 영역에 커플링되고,

[0112] 제1 FET의 제1 소스/드레인은 제2 방향으로의 제1 소스/드레인 폭을 포함하고,

[0113] 제2 FET의 제1 소스/드레인은 제2 방향으로의 제2 소스/드레인 폭을 포함하고, 제2 소스/드레인 폭은 제1 소스/

드레인 폭을 초과하고,

[0114] 디바이스 층은 제2 FET의 제1 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제1 측면 상의 제1 상호연결 층까지 연장되는 제7 상부 비아를 더 포함하는, CFET 회로.

[0115] 8. 조항 7에 있어서,

[0116] 제1 FET의 제2 소스/드레인은 제1 소스/드레인 폭을 포함하고,

[0117] 제3 FET의 제1 소스/드레인은 제1 소스/드레인 폭을 포함하고,

[0118] 제3 FET의 제2 소스/드레인은 제1 소스/드레인 폭을 포함하고,

[0119] 제2 FET의 제2 소스/드레인은 제2 소스/드레인 폭을 포함하고,

[0120] 제4 FET의 제1 소스/드레인은 제2 소스/드레인 폭을 포함하고,

[0121] 제4 FET의 제2 소스/드레인은 제2 소스/드레인 폭을 포함하고,

[0122] 제8 상부 비아가 제2 FET의 제2 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제2 측면 상의 제1 상호연결 층까지 연장되고,

[0123] 제9 상부 비아가 제4 FET의 제1 소스/드레인으로부터 제2 모놀리식 CFET 구조의 제1 측면 상의 제1 상호연결 층까지 연장되고,

[0124] 제10 상부 비아가 제4 FET의 제2 소스/드레인으로부터 제2 모놀리식 CFET 구조의 제2 측면 상의 제1 상호연결 층까지 연장되는, CFET 회로.

[0125] 9. 조항 5에 있어서, 디바이스 층 아래에 배치된 제2 상호연결 층을 더 포함하며,

[0126] 디바이스 층은,

[0127] 제2 FET의 제1 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제1 측면 상의 제2 상호연결 층까지 연장되는 제1 하부 비아;

[0128] 제4 FET의 제1 소스/드레인으로부터 제2 모놀리식 CFET 구조의 제1 측면 상의 제2 상호연결 층까지 연장되는 제2 하부 비아;

[0129] 제2 FET의 제2 소스/드레인으로부터 제1 모놀리식 CFET 구조의 제2 측면 상의 제2 상호연결 층까지 연장되는 제3 하부 비아;

[0130] 제4 FET의 제2 소스/드레인으로부터 제2 모놀리식 CFET 구조의 제2 측면 상의 제2 상호연결 층까지 연장되는 제4 하부 비아;

[0131] 제2 상호연결 층을 통해 제3 하부 비아에 커플링되고 제1 모놀리식 CFET 구조의 제2 측면 상의 제2 상호연결 층과 제1 상호연결 층 사이에서 연장되는 제5 비아; 및

[0132] 제2 상호연결 층을 통해 제4 하부 비아에 커플링되고 제2 모놀리식 CFET 구조의 제2 측면 상의 제2 상호연결 층과 제1 상호연결 층 사이에서 연장되는 제6 비아를 더 포함하고,

[0133] 제2 상호연결 층은 제1 하부 비아 및 제2 하부 비아에 커플링된 하부 상호연결부를 더 포함하는, CFET 회로.

[0134] 10. 조항 1 내지 조항 9 중 어느 한 조항에 있어서, 반도체 기판을 더 포함하며,

[0135] 제1 FET, 제2 FET, 제3 FET, 및 제4 FET는 반도체 기판 상에 형성된 벌크 유형 트랜지스터들을 포함하는, CFET 회로.

[0136] 11. 조항 1 내지 조항 9 중 어느 한 조항에 있어서, 산화물 층을 더 포함하며,

[0137] 제1 FET, 제2 FET, 제3 FET, 및 제4 FET는 산화물 층 상에 형성된 실리콘-온-인슐레이터(SOI) 유형 트랜지스터들을 더 포함하는, CFET 회로.

[0138] 12. 조항 2 내지 조항 11 중 어느 한 조항에 있어서, 제3 FET의 제2 소스/드레인을 제2 FET의 제2 소스/드레인에 그리고 제4 FET의 제2 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

[0139] 13. 조항 2 내지 조항 11 중 어느 한 조항에 있어서, 제3 FET의 제2 소스/드레인을 제1 FET의 제2 소스/드레인

에 그리고 제4 FET의 제2 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

[0140] 14. 조항 2 내지 조항 8, 조항 10, 및 조항 11 중 어느 한 조항에 있어서, 제1 FET의 제1 소스/드레인을 제3 FET의 제1 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

[0141] 15. 조항 2 내지 조항 8, 조항 10, 및 조항 11 중 어느 한 조항에 있어서, 제1 FET의 제1 소스/드레인을 제4 FET의 제2 소스/드레인 및 제3 FET의 제2 소스/드레인에 커플링하는 외부 상호연결부를 더 포함하는, CFET 회로.

[0142] 16. 조항 1 내지 조항 15 중 어느 한 조항에 있어서, 제1 FET, 제2 FET, 제3 FET, 및 제4 FET 각각은 적어도 하나의 나노 슬래브 또는 나노와이어를 포함하는 채널 영역을 포함하는, CFET 회로.

[0143] 17. 조항 1 내지 조항 16 중 어느 한 조항에 있어서, 셋톱 박스; 엔터테인먼트 유닛; 내비게이션 디바이스; 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 글로벌 포지셔닝 시스템(GPS) 디바이스; 모바일 폰; 셀룰러 폰; 스마트 폰; 세션 개시 프로토콜(SIP) 폰; 태블릿; 패블릿; 서버; 컴퓨터; 휴대용 컴퓨터; 모바일 컴퓨팅 디바이스; 웨어러블 컴퓨팅 디바이스; 데스크톱 컴퓨터; 개인용 정보 단말기(PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 자동차; 차량 컴포넌트; 항공 전자 시스템들; 드론; 및 멀티콥터로 이루어진 그룹으로부터 선택된 디바이스 내에 통합되는, CFET 회로.

[0144] 18. 집적 회로(IC)로서,

[0145] 프로세서;

[0146] 프로세서에 커플링된 상보적 전계 효과 트랜지스터(CFET) 회로를 포함하고, CFET 회로는,

[0147] 디바이스 층 -

[0148] 제2 유형의 제2 FET 위의 제1 유형의 제1 FET를 포함하는 제1 모놀리식 CFET 구조; 및

[0149] 제2 유형의 제4 FET 위의 제1 유형의 제3 FET를 포함하는 제2 모놀리식 CFET 구조 -; 및

[0150] 디바이스 층 상에 배치된 제1 상호연결 층을 포함하며, 제1 상호연결 층은,

[0151] 제1 입력 신호를 제1 FET의 게이트에 그리고 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉;

[0152] 제2 입력 신호를 제3 FET의 게이트에 그리고 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉; 및

[0153] 제1 입력 신호 및 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함하는, 집적 회로(IC).

[0154] 19. 상보적 전계 효과 트랜지스터(CFET) 회로를 형성하는 방법으로서, 방법은,

[0155] 디바이스 층을 형성하는 단계 - 디바이스 층은,

[0156] 제2 유형의 제2 FET 위의 제1 유형의 제1 FET를 포함하는 제1 모놀리식 CFET 구조; 및

[0157] 제2 유형의 제4 FET 위의 제1 유형의 제3 FET를 포함하는 제2 모놀리식 CFET 구조를 포함함 -; 및

[0158] 디바이스 층 상에 배치된 제1 상호연결 층을 형성하는 단계를 포함하며, 제1 상호연결 층은,

[0159] 제1 입력 신호를 제1 FET의 게이트에 그리고 제2 FET의 게이트에 커플링하도록 구성된 제1 입력 접촉;

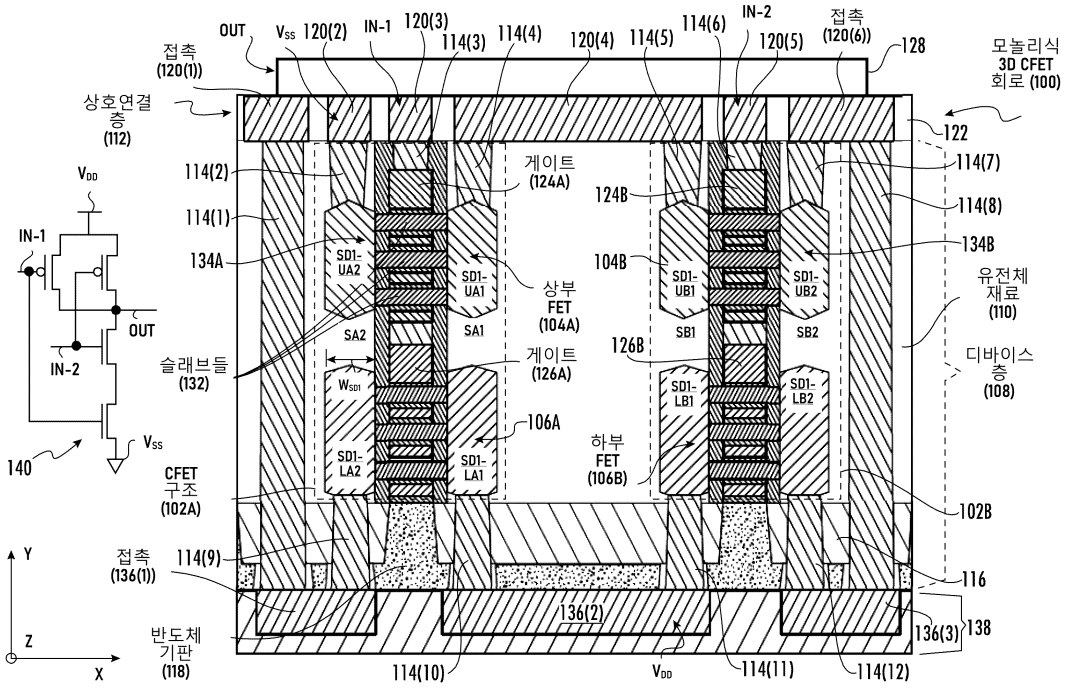
[0160] 제2 입력 신호를 제3 FET의 게이트에 그리고 제4 FET의 게이트에 커플링하도록 구성된 제2 입력 접촉; 및

[0161] 제1 입력 신호 및 제2 입력 신호의 논리 연산에 기초하여 출력 신호를 생성하도록 구성된 출력 접촉을 포함하는, 방법.

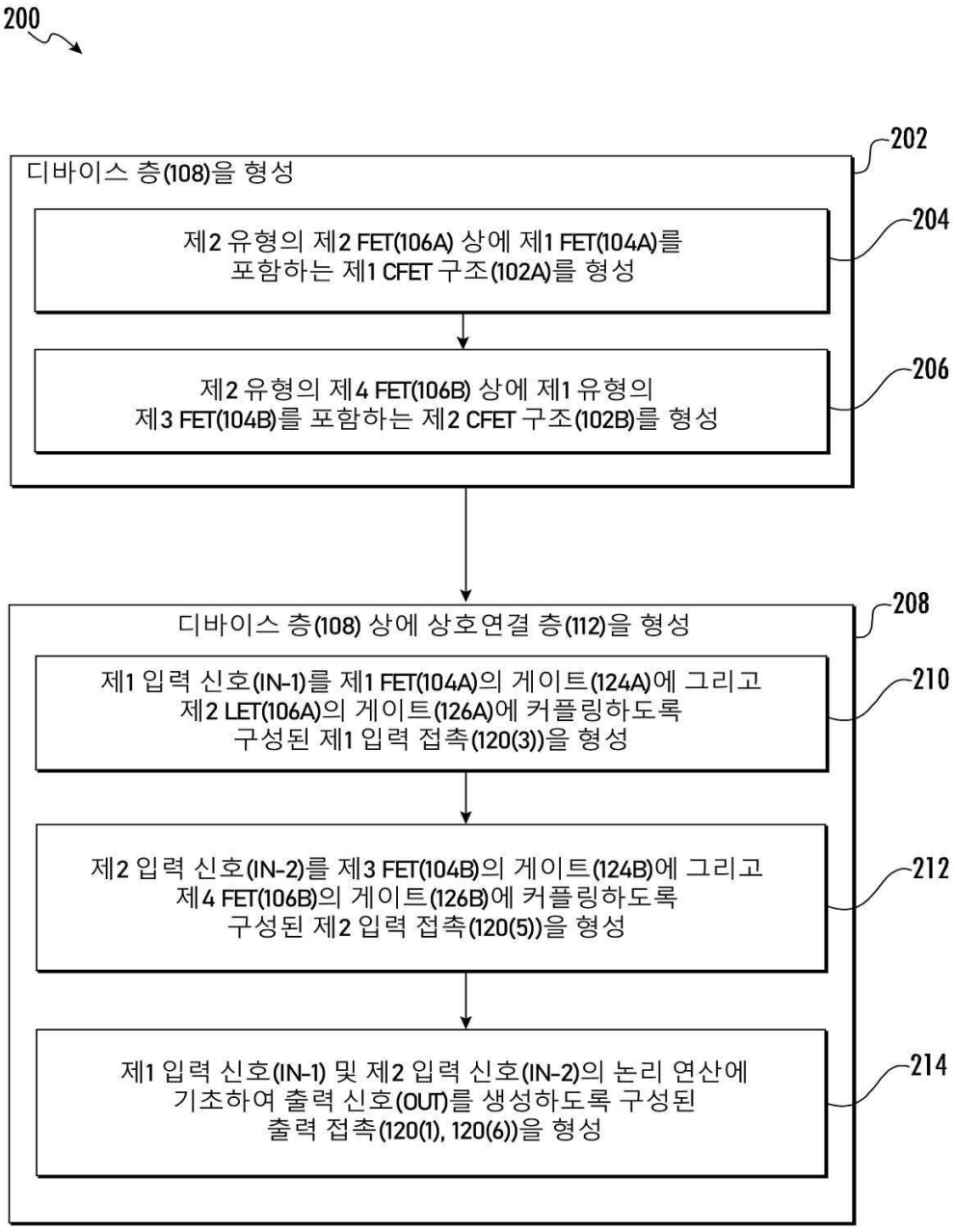
[0162] 20. 조항 19에 있어서, 제1 모놀리식 CFET 구조 내의 제1 유형의 FET의 제1 소스/드레인을 제2 모놀리식 CFET 구조 내의 제1 유형의 FET의 제1 소스/드레인에 커플링하기 위해 제2 방향으로 제1 상호연결 층에서 연장되는 제1 상호연결부를 형성하는 단계를 더 포함하는, 방법.

도면

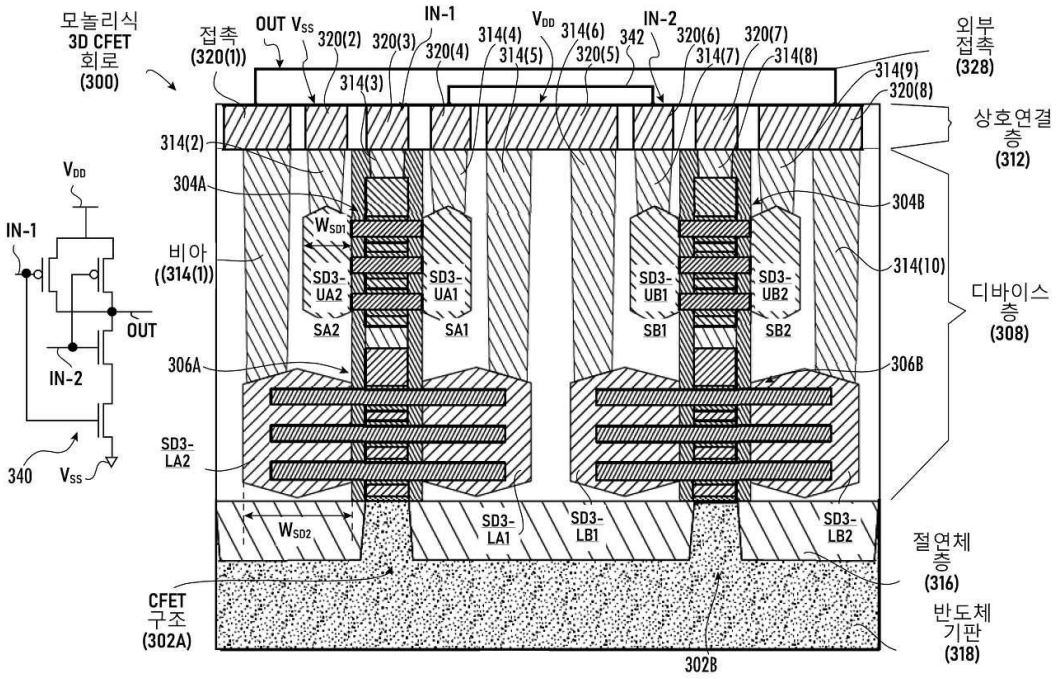
도면1


OUT
VSS
120(2)
IN-1
120(3)
114(3)
114(4)
120(4)
114(5)
114(6)
IN-2
120(5)
접촉 (120(6))
128
모놀리식 3D CFET 회로 (100)
접촉 (120(1))
상호연결 층 (112)
122
114(2)
114(7)
게이트 (124A)
124B
114(8)
114(1)
134A
134B
104B
SD1-UA2
SD1-UA1
SD1-UB1
SD1-UB2
상부 FET (104A)
유전체 재료 (110)
SA2
SA1
SB1
SB2
126B
슬래브들 (132)
게이트 (126A)
디바이스 층 (108)
WSD1
SD1-LB1
SD1-LB2
106A
하부 FET (106B)
SD1-LA2
SD1-LA1
CFET 구조 (102A)
102B
VDD
IN-1
OUT
IN-2
VSS
140
Y
Z
X
접촉 (136(1))
114(9)
116
136(2)
136(3)
138
반도체 기판 (118)
114(10)
VDD
114(11)
114(12)

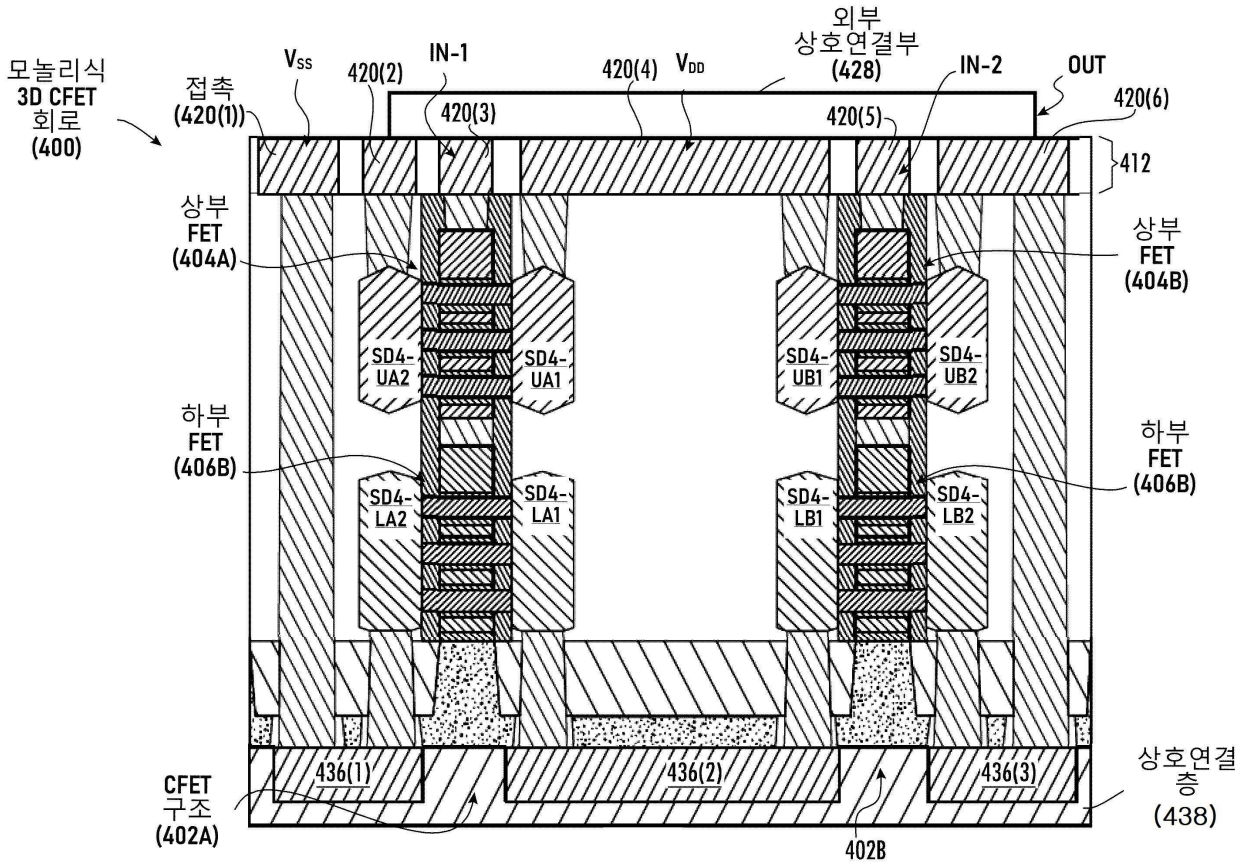
도면2


200
202
디바이스 층(108)을 형성
204
제2 유형의 제2 FET(106A) 상에 제1 FET(104A)를 포함하는 제1 CFET 구조(102A)를 형성
206
제2 유형의 제4 FET(106B) 상에 제1 유형의 제3 FET(104B)를 포함하는 제2 CFET 구조(102B)를 형성
208
디바이스 층(108) 상에 상호연결 층(112)을 형성
210
제1 입력 신호(IN-1)를 제1 FET(104A)의 게이트(124A)에 그리고 제2 LET(106A)의 게이트(126A)에 커플링하도록 구성된 제1 입력 접촉(120(3))을 형성
212
제2 입력 신호(IN-2)를 제3 FET(104B)의 게이트(124B)에 그리고 제4 FET(106B)의 게이트(126B)에 커플링하도록 구성된 제2 입력 접촉(120(5))을 형성
214
제1 입력 신호(IN-1) 및 제2 입력 신호(IN-2)의 논리 연산에 기초하여 출력 신호(OUT)를 생성하도록 구성된 출력 접촉(120(1), 120(6))을 형성

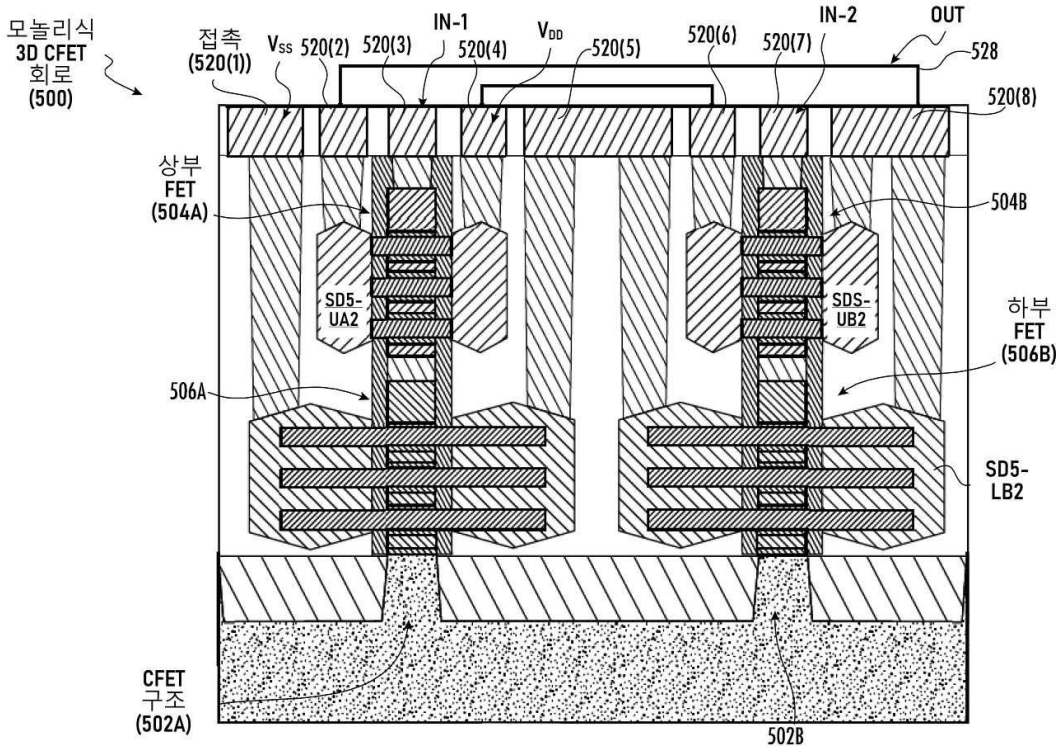
도면3


모놀리식
3D CFET
회로
(300)
접촉
(320(1))
OUT
V_{SS}
320(2)
320(3)
320(4)
IN-1
314(4)
314(5)
V_{DD}
314(6)
320(5)
342
IN-2
320(6)
320(7)
314(7)
314(8)
314(3)
314(9)
320(8)
외부
접촉
(328)
상호연결
층
(312)
314(2)
304A
304B
314(10)
디바이스
층
(308)
비아
((314(1))
W_{SD1}
SD3-
UA2
SD3-
UA1
SD3-
UB1
SD3-
UB2
SA2
SA1
SB1
SB2
306A
306B
SD3-
LA2
W_{SD2}
SD3-
LA1
SD3-
LB1
SD3-
LB2
절연체
층
(316)
CFET
구조
(302A)
반도체
기판
(318)
302B
V_{DD}
IN-1
OUT
IN-2
340
V_{SS}

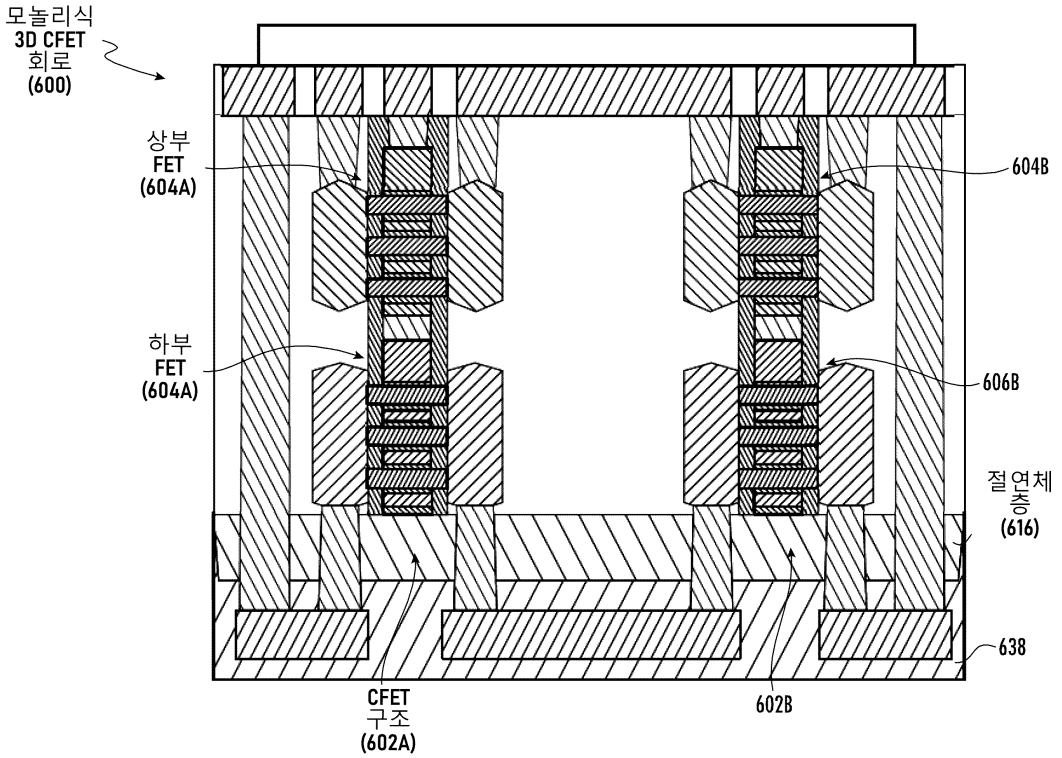
도면4


모놀리식
3D CFET
회로
(400)
접촉
(420(1))
V_{SS}
420(2)
IN-1
420(3)
420(4)
V_{DD}
외부
상호연결부
(428)
420(5)
IN-2
OUT
420(6)
412
상부
FET
(404A)
상부
FET
(404B)
SD4-
UA2
SD4-
UA1
SD4-
UB1
SD4-
UB2
하부
FET
(406B)
하부
FET
(406B)
SD4-
LA2
SD4-
LA1
SD4-
LB1
SD4-
LB2
436(1)
436(2)
436(3)
상호연결
층
(438)
CFET
구조
(402A)
402B

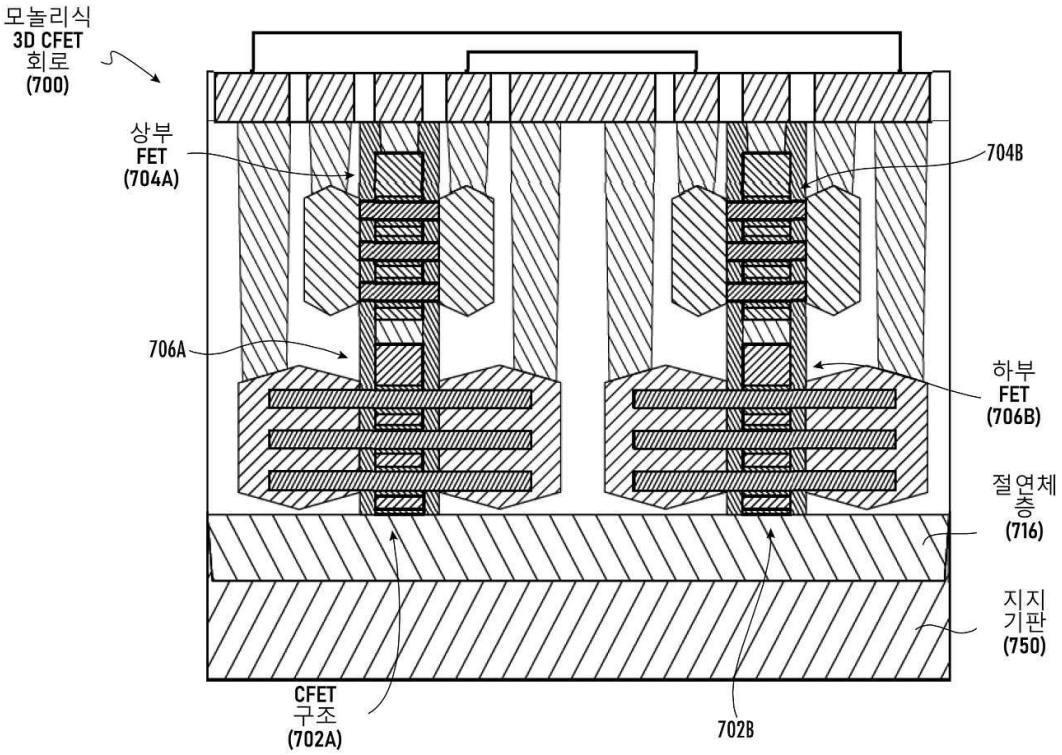
도면5


모놀리식
3D CFET
회로
(500)
접촉
(520(1))
V_{SS}
520(2)
520(3)
IN-1
520(4)
V_{DD}
520(5)
520(6)
520(7)
IN-2
OUT
528
520(8)
상부
FET
(504A)
504B
SD5-
UA2
SDS-
UB2
하부
FET
(506B)
506A
SD5-
LB2
CFET
구조
(502A)
502B

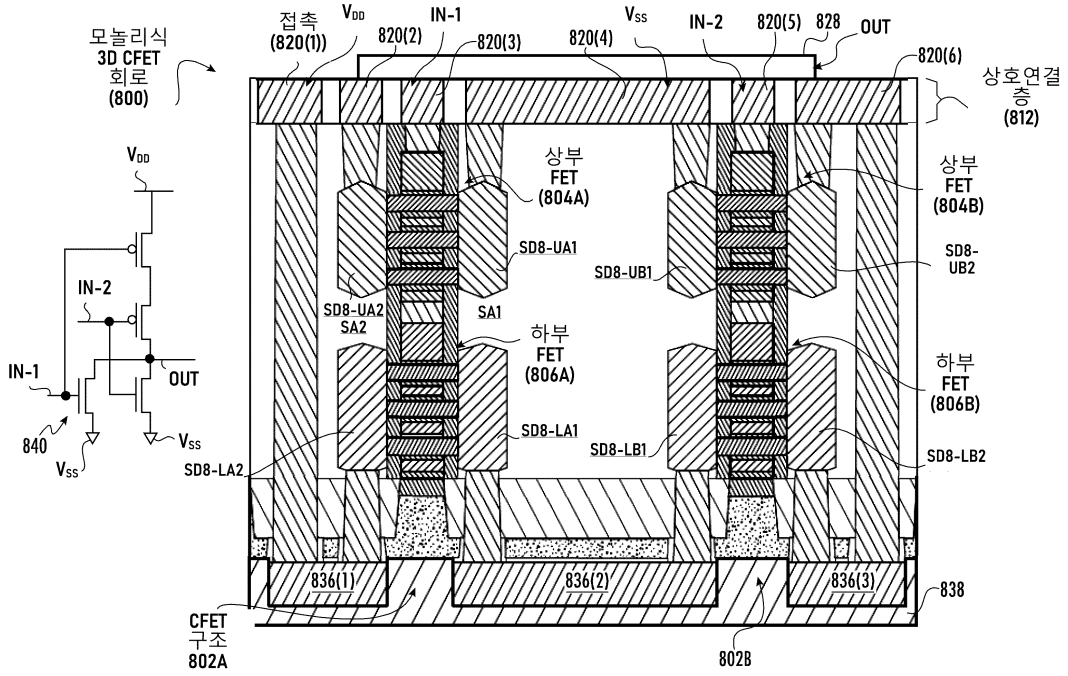
도면6


모놀리식
3D CFET
회로
(600)
상부
FET
(604A)
604B
하부
FET
(604A)
606B
절연체
층
(616)
638
CFET
구조
(602A)
602B

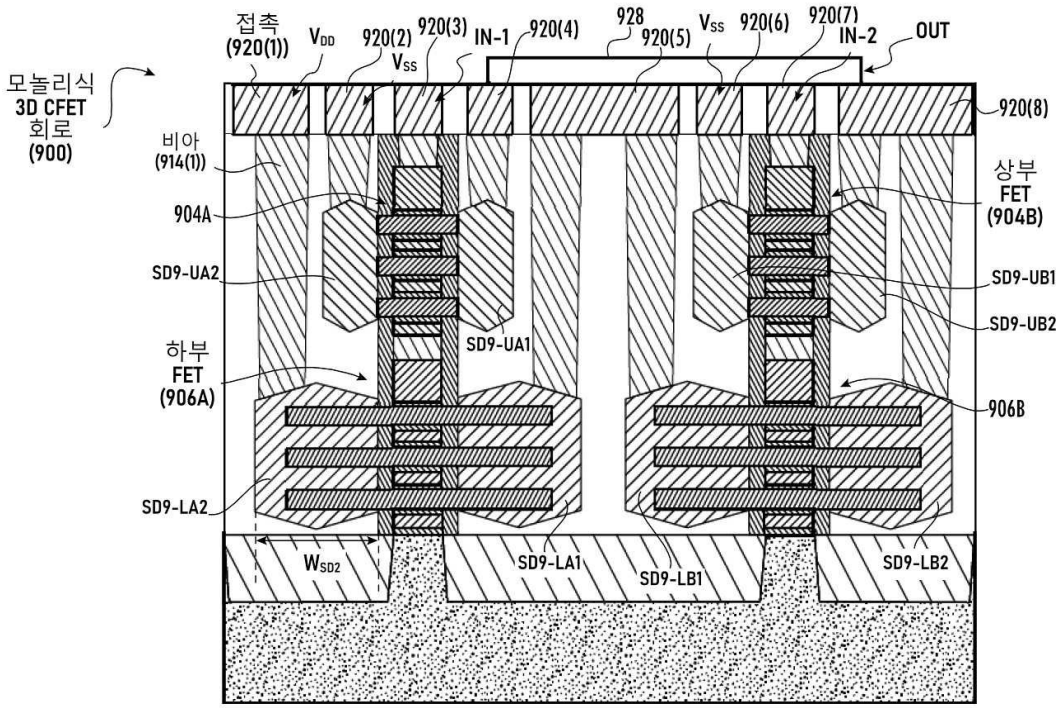
도면7


모놀리식
3D CFET
회로
(700)
상부
FET
(704A)
704B
706A
하부
FET
(706B)
절연체
층
(716)
지지
기판
(750)
CFET
구조
(702A)
702B

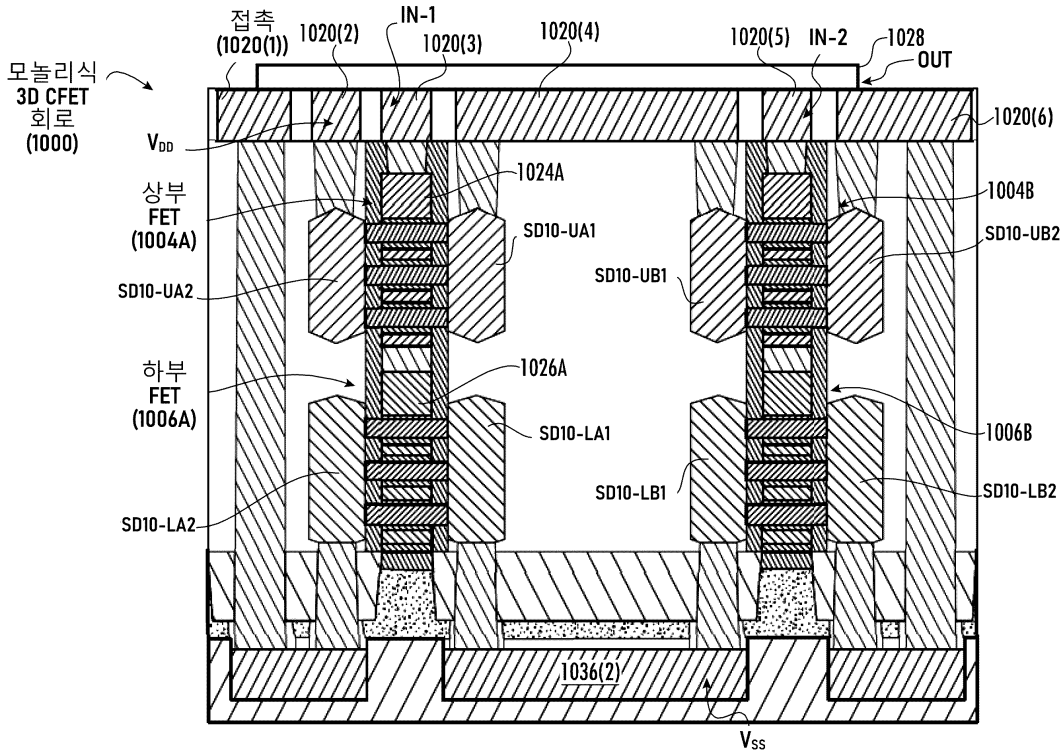
도면8


모놀리식
3D CFET
회로
(800)
접촉
(820(1))
VDD
820(2)
IN-1
820(3)
820(4)
VSS
IN-2
820(5)
828
OUT
820(6)
상호연결
층
(812)
상부
FET
(804A)
상부
FET
(804B)
SD8-UA1
SD8-UB1
SD8-
UB2
SD8-UA2
SA2
SA1
하부
FET
(806A)
하부
FET
(806B)
SD8-LA1
SD8-LB1
SD8-LB2
SD8-LA2
836(1)
836(2)
836(3)
838
CFET
구조
802A
802B
840

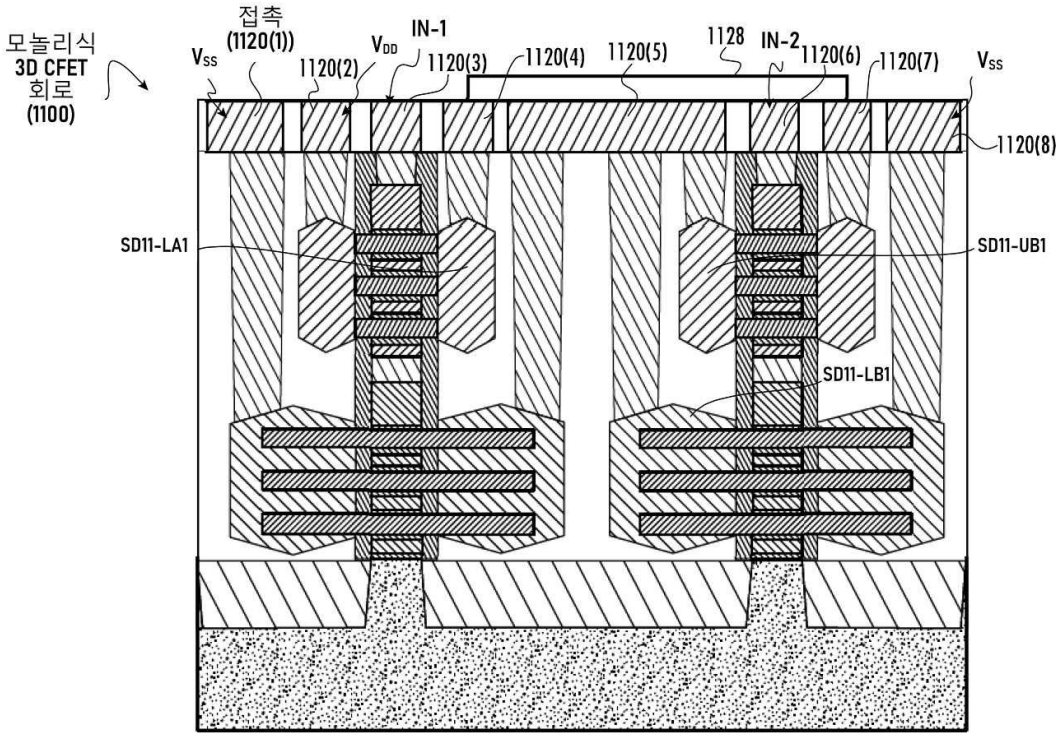
도면9


모놀리식
3D CFET
회로
(900)
접촉
(920(1))
V_{DD}
920(2)
V_{SS}
920(3)
IN-1
920(4)
928
920(5)
V_{SS}
920(6)
920(7)
IN-2
OUT
920(8)
비아
(914(1))
904A
SD9-UA2
하부
FET
(906A)
SD9-LA2
W_{SD2}
SD9-UA1
SD9-LA1
SD9-LB1
SD9-LB2
상부
FET
(904B)
SD9-UB1
SD9-UB2
906B

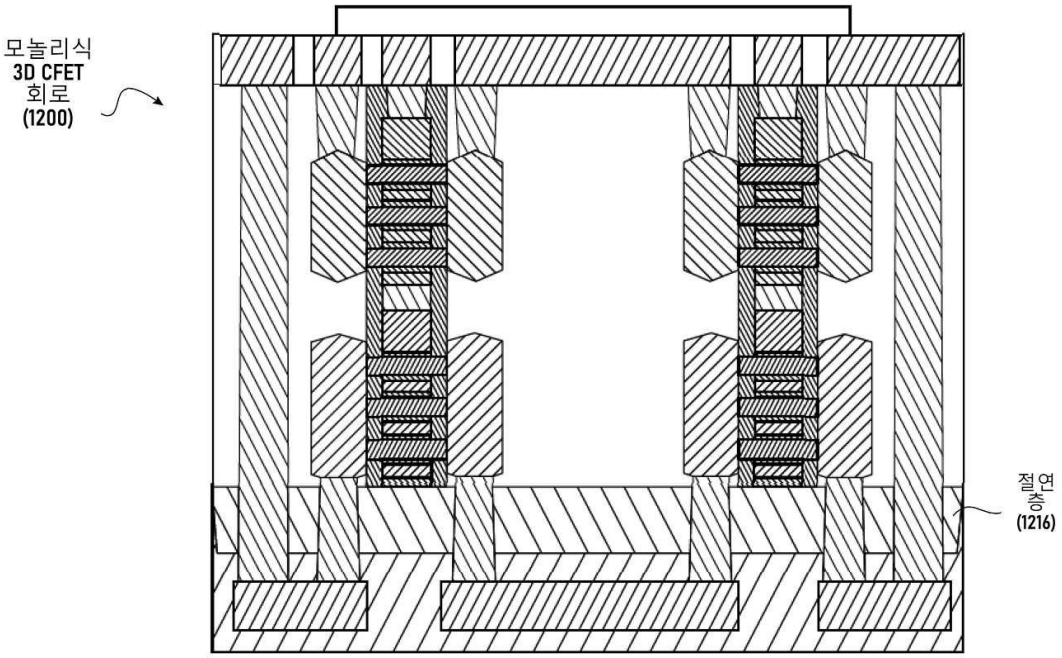
도면10


모놀리식
3D CFET
회로
(1000)
접촉
(1020(1))
1020(2)
IN-1
1020(3)
1020(4)
1020(5)
IN-2
1028
OUT
1020(6)
V_{DD}
상부
FET
(1004A)
SD10-UA2
하부
FET
(1006A)
SD10-LA2
1024A
SD10-UA1
1026A
SD10-LA1
SD10-LB1
1036(2)
V_{SS}
1004B
SD10-UB2
SD10-UB1
1006B
SD10-LB2

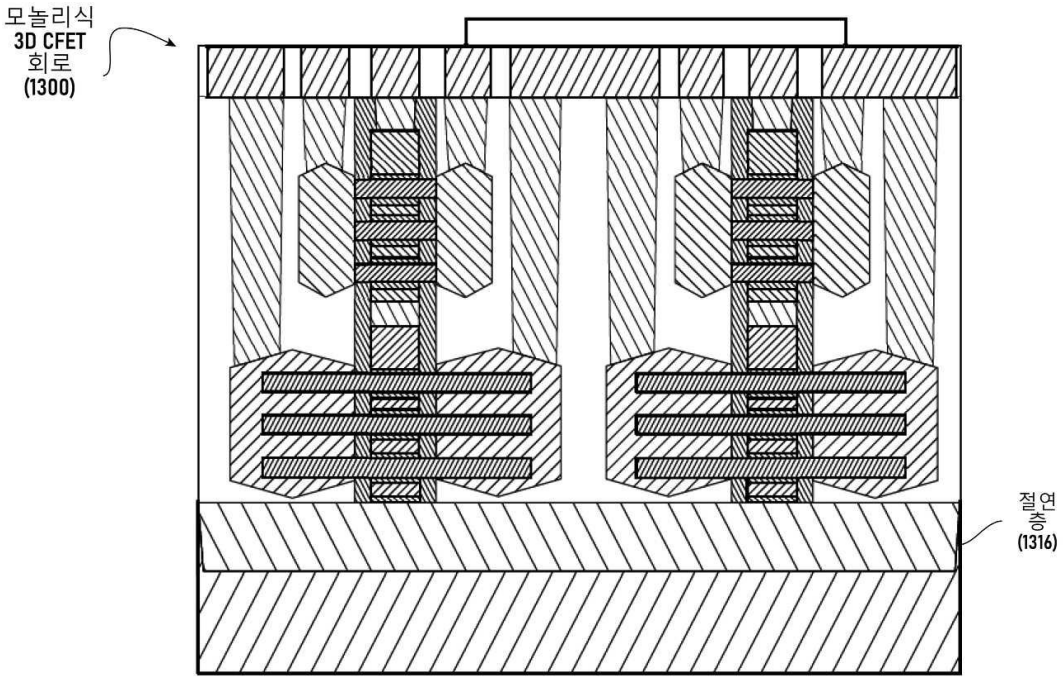
도면11


모놀리식
3D CFET
회로
(1100)
접촉
(1120(1))
VSS
1120(2)
VDD
IN-1
1120(3)
1120(4)
1120(5)
1128
IN-2
1120(6)
1120(7)
VSS
1120(8)
SD11-LA1
SD11-UB1
SD11-LB1

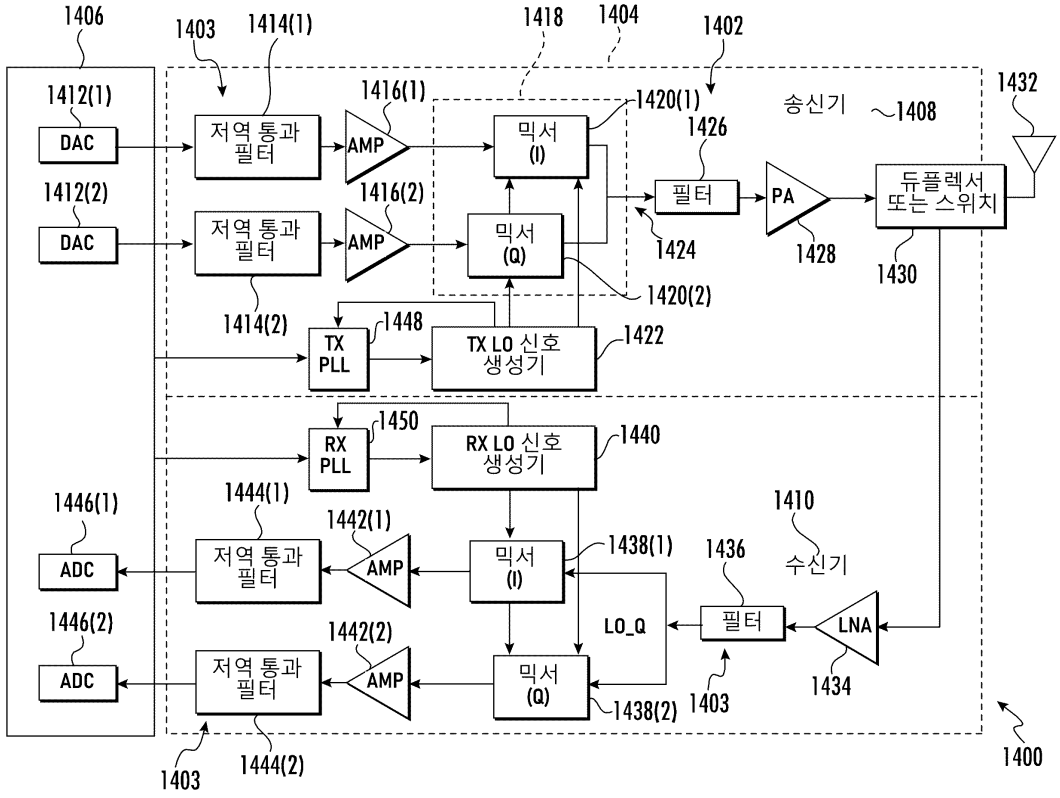
도면12


모놀리식
3D CFET
회로
(1200)
절연
층
(1216)

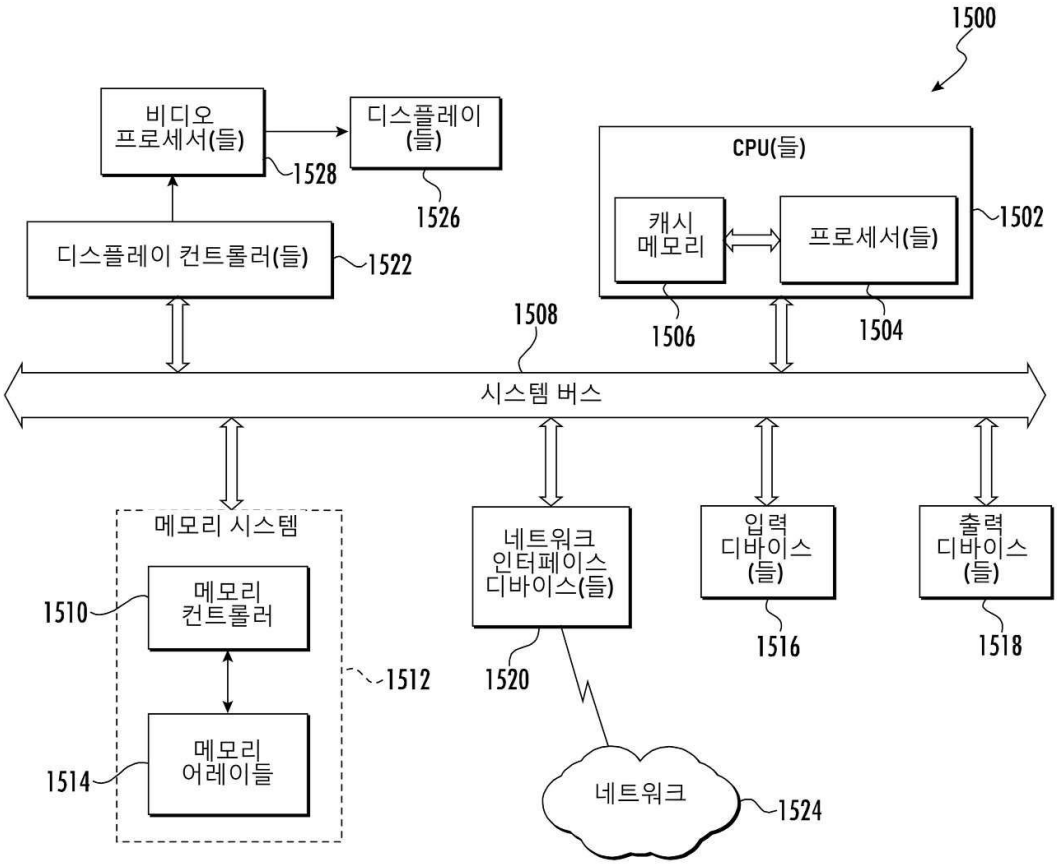
도면13


모놀리식
3D CFET
회로
(1300)
절연
층
(1316)

도면14


1406
1403
1414(1)
1418
1404
1402
1412(1)
DAC
저역 통과
필터
AMP
1416(1)
믹서
(I)
1420(1)
송신기
1408
1426
1432
1412(2)
DAC
저역 통과
필터
AMP
1416(2)
믹서
(Q)
필터
PA
듀플렉서
또는 스위치
1424
1428
1430
1420(2)
1414(2)
TX
PLL
1448
TX LO 신호
생성기
1422
RX
PLL
1450
RX LO 신호
생성기
1440
1446(1)
ADC
1444(1)
저역 통과
필터
AMP
1442(1)
믹서
(I)
1438(1)
1436
1410
수신기
1446(2)
ADC
저역 통과
필터
AMP
1442(2)
LO_Q
믹서
(Q)
1438(2)
필터
LNA
1403
1434
1403
1444(2)
1400

도면15


1500
비디오 프로세서(들)
1528
디스플레이(들)
1526
CPU(들)
캐시 메모리
프로세서(들)
1502
1506
1504
디스플레이 컨트롤러(들)
1522
1508
시스템 버스
메모리 시스템
메모리 컨트롤러
1510
1512
메모리 어레이들
1514
네트워크 인터페이스 디바이스(들)
1520
입력 디바이스(들)
1516
출력 디바이스(들)
1518
네트워크
1524