

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年11月24日(2006.11.24)

【公表番号】特表2006-507692(P2006-507692A)

【公表日】平成18年3月2日(2006.3.2)

【年通号数】公開・登録公報2006-009

【出願番号】特願2005-500333(P2005-500333)

【国際特許分類】

H 01 L	29/06	(2006.01)
B 8 2 B	1/00	(2006.01)
B 8 2 B	3/00	(2006.01)
H 01 L	21/208	(2006.01)
H 01 L	21/368	(2006.01)
H 01 L	29/26	(2006.01)
H 01 L	33/00	(2006.01)
H 01 L	35/32	(2006.01)
H 01 L	35/34	(2006.01)
H 01 L	43/00	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/861	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	41/08	(2006.01)
H 01 L	29/872	(2006.01)
H 01 L	29/47	(2006.01)

【F I】

H 01 L	29/06	6 0 1 N
B 8 2 B	1/00	
B 8 2 B	3/00	Z N M
H 01 L	21/208	Z
H 01 L	21/368	Z
H 01 L	29/26	
H 01 L	33/00	A
H 01 L	35/32	A
H 01 L	35/34	
H 01 L	43/00	
H 01 L	29/78	6 1 8 B
H 01 L	29/78	6 1 8 C
H 01 L	29/78	6 1 3 A
H 01 L	29/78	6 1 3 B
H 01 L	29/78	6 1 2 Z
H 01 L	29/91	Z
H 01 L	27/08	3 2 1 A
H 01 L	41/08	D
H 01 L	29/48	F

【手続補正書】

【提出日】平成18年9月29日(2006.9.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の半導体デバイスを有する電子基板であって、該電子基板は、
基板と、

動作電流レベルを達成するのに十分な密度のナノワイヤを備えて前記基板上に形成されたナノワイヤ薄膜であって、複数の半導体デバイス領域を画定する、ナノワイヤ薄膜と、
前記半導体デバイス領域に形成され、それによって、前記複数の半導体デバイスへの電気的な接続を提供する、コンタクトと、
を備えた電子基板。

【請求項2】

前記半導体デバイスの少なくとも一部が、トランジスタを備え、前記コンタクトが、前記ナノワイヤ薄膜の上側または下側に形成されたゲート電極、ソース電極、および、ドレイン電極を備え、前記ナノワイヤ薄膜が、前記ソース電極と前記ドレイン電極との間にチャネルを形成する請求項1に記載の半導体デバイス。

【請求項3】

前記半導体デバイスの少なくとも一部が、ダイオードを備え、前記コンタクトが、前記ナノワイヤ薄膜の上側または下側に形成されたアノード電極およびカソード電極を備えた請求項1に記載の半導体デバイス。

【請求項4】

前記ナノワイヤ薄膜が、前記アノード電極と前記カソード電極との間にpn接合を形成する請求項3に記載の半導体デバイス。

【請求項5】

前記ダイオードが、発光ダイオードを含む、請求項3に記載の半導体デバイス。

【請求項6】

前記半導体デバイスの少なくとも一部が、論理素子を備えた請求項1に記載の半導体デバイス。

【請求項7】

前記半導体デバイスの少なくとも一部が、メモリー素子を備えた請求項1に記載の半導体デバイス。

【請求項8】

前記半導体デバイスの少なくとも一部が、アクティブマトリックス駆動回路を備えた請求項1に記載の半導体デバイス。

【請求項9】

前記ナノワイヤが、それらの長軸に実質的に平行に整列させられた請求項1に記載の半導体デバイス。

【請求項10】

前記ナノワイヤが、ソース電極とドレイン電極との間の軸に実質的に平行に整列させられた請求項2に記載の半導体デバイス。

【請求項11】

前記ゲート電極が、前記基板上に形成され、前記ナノワイヤ薄膜が、前記ゲート電極上に形成され、前記ソース電極および前記ドレイン電極が、前記ナノワイヤ薄膜上に形成された請求項2に記載の半導体デバイス。

【請求項12】

前記ソース電極および前記ドレイン電極が、前記基板上に形成され、前記ナノワイヤ薄膜が、前記ソース電極および前記ドレイン電極上に形成され、前記ゲート電極が、前記ナ

ノワイヤ薄膜上に形成された請求項2に記載の半導体デバイス。

【請求項13】

前記ゲート電極、前記ソース電極、および、前記ドレイン電極が、前記基板上に形成され、前記ナノワイヤ薄膜が、前記ゲート電極、前記ソース電極、および、前記ドレイン電極上に形成された請求項2に記載の半導体デバイス。

【請求項14】

前記ゲート電極、前記ソース電極、および、前記ドレイン電極が、前記ナノワイヤ薄膜上に形成された請求項2に記載の半導体デバイス。

【請求項15】

一部の半導体デバイス間の配線をさらに含む請求項1に記載の半導体デバイス。

【請求項16】

前記基板が、可撓性のある薄膜を含む請求項1に記載の半導体デバイス。

【請求項17】

前記基板が、透明な材料を含む請求項1に記載の半導体デバイス。

【請求項18】

前記基板が、1つの透明な材料を含む請求項1に記載の半導体デバイス。

【請求項19】

前記ナノワイヤが、単結晶ナノワイヤであり、前記単結晶ナノワイヤにおいて、電気的なキャリアが、一般的なプレーナー単結晶半導体材料から形成されたデバイスにおいて輸送する電気的なキャリアの移動度に比べてもひけを取らない移動度で、輸送する請求項1に記載の半導体デバイス。

【請求項20】

前記ナノワイヤ薄膜が、チャンネルにおいて、10ナノアンペアよりも大きいオン状態電流レベルを有するのに十分な数のナノワイヤを含む請求項2に記載の半導体デバイス。

【請求項21】

前記チャンネルが、1つよりも多いナノワイヤを含む請求項2に記載の半導体デバイス。

【請求項22】

前記ゲート電極の少なくとも一部が、1つよりも多いナノワイヤ薄膜を備えた請求項2に記載の半導体デバイス。

【請求項23】

前記チャンネルの少なくとも一部が、pn接合を備え、それによって、動作中に、pn接合が、光を放射する請求項2に記載の半導体デバイス。

【請求項24】

前記ナノワイヤが、ドーピングされた請求項1に記載の半導体デバイス。

【請求項25】

前記ナノワイヤの少なくとも一部が、ドーピングされたコアを有する請求項1に記載の半導体デバイス。

【請求項26】

前記ナノワイヤの少なくとも一部が、ドーピングされたシェルを有する請求項1に記載の半導体デバイス。

【請求項27】

前記ナノワイヤの少なくとも一部が、ドーピングされたコアおよびシェルを有する請求項1に記載の半導体デバイス。

【請求項28】

前記ナノワイヤの少なくとも一部が、酸化され、それによって、ゲート誘電体を形成する請求項2に記載の半導体デバイス。

【請求項29】

前記半導体デバイスの少なくとも一部が、別の回路に電気的に結合された請求項1に記載の半導体デバイス。

【請求項 3 0】

前記回路が、論理回路である請求項 2 9 に記載の半導体デバイス。

【請求項 3 1】

前記回路が、メモリー回路である請求項 2 9 に記載の半導体デバイス。

【請求項 3 2】

前記回路が、アクティブマトリックス駆動回路である請求項 2 9 に記載の半導体デバイス。

【請求項 3 3】

前記半導体デバイスの少なくとも一部が、別の回路に物理的に結合する請求項 1 に記載の半導体デバイス。

【請求項 3 4】

前記回路が、論理回路である請求項 3 3 に記載の半導体デバイス。

【請求項 3 5】

前記回路が、メモリー回路である請求項 3 3 に記載の半導体デバイス。

【請求項 3 6】

前記回路が、アクティブマトリックス駆動回路である請求項 3 3 に記載の半導体デバイス。

【請求項 3 7】

前記ナノワイヤが、パターン化された請求項 1 に記載の半導体デバイス。

【請求項 3 8】

前記パターン化されたナノワイヤが、フォトリソグラフィーによってパターン化された請求項 3 7 に記載の半導体デバイス。

【請求項 3 9】

前記パターン化されたナノワイヤが、スクリーン印刷された請求項 3 7 に記載の半導体デバイス。

【請求項 4 0】

前記パターン化されたナノワイヤが、インクジェット印刷された請求項 3 7 に記載の半導体デバイス。

【請求項 4 1】

前記パターン化されたナノワイヤが、ミクロ密着印刷された請求項 3 7 に記載の半導体デバイス。

【請求項 4 2】

前記ナノワイヤが、回転塗布された請求項 1 に記載の半導体デバイス。

【請求項 4 3】

前記ナノワイヤが、機械的に整列させられた請求項 1 に記載の半導体デバイス。

【請求項 4 4】

前記ナノワイヤが、フロー整列させられた請求項 1 に記載の半導体デバイス。

【請求項 4 5】

前記ナノワイヤが、剪断力整列させられた請求項 1 に記載の半導体デバイス。

【請求項 4 6】

前記ナノワイヤが、基板上のどこにでもデバイスを実現することのできる統計的確率を有するのに十分な密度を備えた請求項 1 に記載の半導体デバイス。

【請求項 4 7】

前記ナノワイヤの少なくとも一部分上に成膜された酸化物の層をさらに備えた請求項 1 に記載の半導体デバイス。

【請求項 4 8】

前記ナノワイヤが、単結晶半導体材料の移動度よりも大きい移動度を有するパリスティック導体である請求項 1 に記載の半導体デバイス。

【請求項 4 9】

前記ナノワイヤが、無作為に配向された請求項 1 に記載の半導体デバイス。

【請求項 5 0】

前記ナノワイヤが、単層、二次单層、または、多層として形成された請求項 1 に記載の半導体デバイス。

【請求項 5 1】

前記チャンネルに含まれる少なくとも 1 つのチャンネルのために、前記ナノワイヤに含まれる少なくとも 2 つのナノワイヤの第 1 の端部が、前記チャンネルの第 1 のコンタクトに電気的に結合され、前記少なくとも 2 つのナノワイヤの第 2 の端部が、前記チャンネルの第 2 のコンタクトに電気的に結合された請求項 2 に記載の半導体デバイス。

【請求項 5 2】

複数の半導体デバイスを有する電子基板を製造する方法であって、

(a) 動作電流レベルを達成するのに十分なナノワイヤの密度を備えたナノワイヤ薄膜を基板上に形成するステップと、

(b) ナノワイヤ薄膜において複数の半導体デバイス領域を画定するステップと、

(c) 半導体デバイス領域においてコンタクトを形成し、それによって、前記半導体デバイスへの電気的な接続を提供するステップと、

を含む方法。

【請求項 5 3】

前記ナノワイヤをそれらの長軸に実質的に平行に整列させるステップをさらに含む請求項 5 2 に記載の方法。

【請求項 5 4】

ステップ (c) が、ソース電極およびドレイン電極を形成するステップを含み、それによって、前記ナノワイヤが、それぞれのソース電極とそれぞれのドレイン電極との間の長さを有するチャンネルを形成する請求項 5 2 に記載の方法。

【請求項 5 5】

ゲート電極を形成するステップをさらに含む請求項 5 4 に記載の方法。

【請求項 5 6】

ステップ (c) が、アノード電極およびカソード電極を形成するステップを含む請求項 5 2 に記載の方法。

【請求項 5 7】

前記ナノワイヤが、ソースコンタクトとドレインコンタクトとの間の軸にほぼ平行に整列させられる請求項 5 4 に記載の方法。

【請求項 5 8】

前記ゲート電極が、前記基板上に形成され、前記ナノワイヤ薄膜が、前記ゲート電極上に形成され、前記ソース電極および前記ドレイン電極が、前記ナノワイヤ薄膜上に形成される請求項 5 5 に記載の方法。

【請求項 5 9】

前記ソース電極および前記ドレイン電極が、前記基板上に形成され、前記ナノワイヤ薄膜が、前記ソース電極および前記ドレイン電極上に形成され、前記ゲート電極が、前記ナノワイヤ薄膜上に形成される請求項 5 5 に記載の方法。

【請求項 6 0】

前記ゲート電極、前記ソース電極、および、前記ドレイン電極が、前記基板上に形成され、前記ナノワイヤ薄膜が、前記ゲート電極、前記ソース電極、および、前記ドレイン電極上に形成される請求項 5 5 に記載の方法。

【請求項 6 1】

前記ゲート電極、前記ソース電極、および、前記ドレイン電極が、前記ナノワイヤ薄膜上に形成される請求項 5 5 に記載の方法。