

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4795264号
(P4795264)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月5日(2011.8.5)

(51) Int.Cl.

F 1

H04N 1/21 (2006.01)
H04N 1/387 (2006.01)H04N 1/21
H04N 1/387

請求項の数 7 (全 13 頁)

(21) 出願番号 特願2007-27371 (P2007-27371)
 (22) 出願日 平成19年2月6日 (2007.2.6)
 (65) 公開番号 特開2008-193529 (P2008-193529A)
 (43) 公開日 平成20年8月21日 (2008.8.21)
 審査請求日 平成22年2月2日 (2010.2.2)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (72) 発明者 高坂 三千鶯
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内

最終頁に続く

(54) 【発明の名称】走査変換装置及び走査変換方法

(57) 【特許請求の範囲】

【請求項 1】

入力画像をバンド単位で分割し、分割された入力画像のデータをメモリアクセス単位で副走査方向にバッファに格納し、該バッファに格納されたデータを画素単位で副走査方向に読み出す走査変換装置であって、

1画素のビット数をp、前記メモリアクセス単位のビット数をm、前記p及び前記mの公倍数をcとすると、主走査方向にcビットの画像データをmビットずつ副走査方向にyライン分前記バッファに格納した後に、pビットの画素データを副走査方向に前記バッファより読み出すことを特徴とする走査変換装置。

【請求項 2】

前記入力画像のデータは、点順次フォーマットのデータであることを特徴とする請求項1に記載の走査変換装置。

【請求項 3】

前記主走査方向の1ラインのデータ量は、前記メモリアクセス単位の整数倍であることを特徴とする請求項1又は2に記載の走査変換装置。

【請求項 4】

前記1画素は、RGB又はYCbCrの3色のデータで構成されていることを特徴とする請求項1乃至3の何れか1項に記載の走査変換装置。

【請求項 5】

前記バッファより画素単位で読み出す際に、読み出す画素の色を識別するための第1の

カウンタと、

前記読み出す画素の主走査方向の位置を識別するための第2のカウンタと、

前記読み出す画素の副走査方向の位置を識別するための第3のカウンタと、

前記第1及び第2のカウンタのカウント値を加算する第1の加算手段と、

前記第1の加算手段で加算された値の上位ビット及び前記主走査方向のライン数で決定されるオフセット値と前記第3のカウンタのカウント値とを加算する第2の加算手段と、

前記第1の加算手段で加算された値の下位ビットと前記第2の加算手段で加算された値とにより前記バッファの読み出しアドレスを演算するアドレス演算手段とを有することを特徴とする請求項4に記載の走査変換装置。

【請求項6】

10

入力画像をバンド単位で分割し、分割された入力画像のデータをメモリアクセス単位で副走査方向にバッファに格納し、該バッファに格納されたデータを画素単位で副走査方向に読み出す走査変換装置にて実行される走査変換方法であって、

1画素のビット数をp、前記メモリアクセス単位のビット数をm、前記p及び前記mの公倍数をcとすると、主走査方向にcビットの画像データをmビットずつ副走査方向にyライン分前記バッファに格納した後に、pビットの画素データを副走査方向に前記バッファより読み出すことを特徴とする走査変換方法。

【請求項7】

20

入力画像をバンド単位で分割し、分割された入力画像のデータをメモリアクセス単位で副走査方向にバッファに格納し、該バッファに格納されたデータを画素単位で副走査方向に読み出す走査変換手順をコンピュータに実行させるためのプログラムであって、

1画素のビット数をp、前記メモリアクセス単位のビット数をm、前記p及び前記mの公倍数をcとすると、主走査方向にcビットの画像データをmビットずつ副走査方向にyライン分前記バッファに格納した後に、pビットの画素データを副走査方向に前記バッファより読み出す手順をコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力画像をバンド単位で分割し、分割された入力画像のデータをメモリアクセス単位で副走査方向にバッファに格納し、該バッファに格納されたデータを画素単位で副走査方向に読み出す走査変換する走査変換装置及び走査変換方法に関する。

30

【背景技術】

【0002】

スキャナ、プリンタを統合的に制御してコピーを行う装置では、スキャナで読み取った画像データを印刷に適した画像データに変換する画像処理部を備えている。この画像処理部においては、フィルタ等の周囲の画素を参照する画像処理を行うための構成要件として、一般的に処理対象の画像データを数ライン分保持するバッファを備えている。しかし、画像データのサイズが増加するのに伴い、バッファのラインサイズも増加するため、画像データのサイズが増加する都度、画像処理部を作り直す必要があった。

【0003】

40

そこで、処理対象の画像データを副走査方向に所定の(バンド)単位で分割し、バンド毎に走査変換(H V変換)を行い、後段の画像処理部へ伝達する方法が開示されている(例えば、特許文献1参照)。この方法をクロスバンド方式と呼ぶ。このクロスバンド方式を用いることにより、ラインサイズに依存しない、限られたサイズのバッファを用いて任意サイズの画像データの処理が可能となる。

【0004】

一方、上述の画像処理部では、走査変換するために、内部にバッファを備えているが、そのバッファはコストとデータ転送効率の観点から、バンドのライン数×メモリアクセス単位×2のダブルバッファで構成される。

【特許文献1】特許第3733826号

50

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、メモリアクセス単位を基本とするダブルバッファにて走査変換を行った場合、以下に述べるような問題がある。

【0006】

例えば、メモリアクセス単位が128ビットであるときに、1画素が24ビットで隙間なくメモリに格納されていた場合、そのメモリアクセス単位と画素の境界は必ずしも一致しないので、バッファを跨いで格納される画素が存在する。また、1ラインのデータ量もそのメモリアクセス単位とは必ずしも一致しないので、各ラインの先頭もマチマチとなり、走査変換が非常に複雑になるという欠点があった。

10

【0007】

RGB点順次フォーマットで格納された画像データについても同様の問題が発生する。図8は、1画素48ビット(RGB各色16ビット)のRGB点順次フォーマット画像をバッファに格納した状態を示す図である。図8に示すように、RGB点順次フォーマット画像は、高さ24ラインでバンド分割されたバンド画像としてメモリアクセス単位256ビットでバッファに格納される。

【0008】

図9は、図8に示すメモリアクセス単位である256ビット幅の分割画像Aの格納状態を示す図である。また、図10は、図8に示すメモリアクセス単位である256ビット幅の分割画像Bの格納状態を示す図である。この例では、1ラインのデータ量をメモリアクセス単位(256ビット)としているので、図10に示すように、6カラム目の緑データ(G00_05~G23_05)と青データ(B00_05~B23_05)は、第2のバッファに含まれる。

20

【0009】

しかし、上述の緑データと青データは、図9に示す第1のバッファに含まれる赤データ(R00_05~R23_05)と共に処理する必要がある。そのため、第1のバッファデータを取得した際に、この赤データを入力ライン数だけ内部レジスタ等に保持しておく必要がある。

【0010】

30

即ち、点順次画像を走査変換する場合、バッファにおける先頭カラムのデータが何色から始まるのか、バッファ上の最終カラムのデータが何色まであるのかを管理し、かつ、バッファをまたぐ画素データを保持しなければならないという問題があった。

【0011】

また、一旦、点順次画像を線順次画像又は面順次画像に構成し直す操作が必要であり、そのために無駄なアクセスやバッファが更に必要になるという問題もあった。

【0012】

本発明は、上記課題を解決するためになされたもので、メモリアクセス単位に合わせてバッファを切り替えることを目的とする。

【課題を解決するための手段】

40

【0013】

本発明は、入力画像をバンド単位で分割し、分割された入力画像のデータをメモリアクセス単位で副走査方向にバッファに格納し、該バッファに格納されたデータを画素単位で副走査方向に読み出す走査変換装置であって、1画素のビット数をp、前記メモリアクセス単位のビット数をm、前記p及び前記mの公倍数をcとすると、主走査方向にcビットの画像データをmビットずつ副走査方向にyライン分前記バッファに格納した後に、pビットの画素データを副走査方向に前記バッファより読み出すことを特徴とする。

【0014】

また、本発明は、入力画像をバンド単位で分割し、分割された入力画像のデータをメモリアクセス単位で副走査方向にバッファに格納し、該バッファに格納されたデータを画素

50

単位で副走査方向に読み出す走査変換装置にて実行される走査変換方法であって、1画素のビット数をp、前記メモリアクセス単位のビット数をm、前記p及び前記mの公倍数をcとすると、主走査方向にcビットの画像データをmビットずつ副走査方向にyライン分前記バッファに格納した後に、pビットの画素データを副走査方向に前記バッファより読み出すことを特徴とする。

【発明の効果】

【0015】

本発明によれば、メモリアクセス単位に合わせてバッファを切り替えることで、1画素のビット数の整数倍がメモリアクセス単位に一致しない場合においても、簡単に走査変換が可能となる。

10

【0016】

特に、点順次画像を処理する際はバッファにおける先頭カラムのデータが何色から始まるのか、バッファにおける最終カラムのデータが何色まであるのかを管理する必要がなくなり、各点順次フォーマット特有の処理を設ける必要がなくなる。若しくは、点順次画像を線順次画像または面順次画像に構成し直す処理及び、その処理で必要なバッファが不要となる。

【発明を実施するための最良の形態】

【0017】

以下、図面を参照しながら発明を実施するための最良の形態について詳細に説明する。

20

【0018】

図1は、本実施形態における走査変換装置の構成の一例を示す図である。図1に示すように、走査変換装置は、バンド分割部101、画像データ格納部102、アドレス演算部103は、ピクセルデータ取得部104で構成されている。

【0019】

ここで、バンド分割部101は図2に示すように、入力画像を所定の高さ（バンド単位）でバンド画像に分割し、所定のメモリアクセス幅で副走査方向に画像を順次転送する。画像データ格納部102は、バンド分割部101から所定のメモリアクセス単位で転送される点順次フォーマットの画像データをバッファの先頭から所定のライン数だけ順次格納する。

【0020】

30

尚、画像データ格納部102は、効率的にデータ転送を行うために、第1のバッファと第2のバッファとを含むダブルバッファで構成されている。第1のバッファに入力される画像データを格納している間は、第2のバッファから画像データを取得して出力を行い、逆に、第2のバッファに入力される画像データを格納している間は、第1のバッファから画像データを取得して出力を行う。

【0021】

アドレス演算部103は、ピクセルデータ取得部104が画像データ格納部102から画像データを取得する際の読み出しあдресを演算によって求める。読み出しあдресの演算に関しては更に後述する。画像データ格納部102のバッファに所定のデータが格納された後、ピクセルデータ取得部104はアドレス演算部103から取得したアドレスに基づき、バッファからピクセルデータを取得する。

40

【0022】

次に、画像データ格納部102のバッファに画像データを格納する処理に関して詳しく説明する。以下の説明では、例えばメモリアクセス単位を256ビット、1画素のビット数を48ビット、RGBの3色（RGB16ビット点順次と呼ぶ）で構成されているものとするが、メモリアクセス単位や1画素のビット数を特に限定するものではない。

ここで、メモリアクセス単位の256ビットと、1画素のビット数の48ビットの公倍数として、768を用いると、図3に示す301のように、主走査方向16画素分の画素データがバッファに格納される。これにより、第1のバッファには分割画像データA～Cが格納され、第1のバッファと第2バッファとを跨いで格納される画素がなくなり、また

50

各ラインの先頭も揃う。

【0023】

このとき、図1に示すバンド分割部101は、画像データ格納部102の内部バッファが画像データに対してどのように割り当てられようとも、固定的にメモリアクセス単位のビット数を所定のバンド高さ分ずつ繰り返し転送すれば良い。したがって、バンド分割部101は1画素のビット数とメモリアクセス単位のビット数の関係によらず、一定の処理を行うように構成することができる。

【0024】

次に、バッファから画素データを画素単位で副操作方向に読み出す処理に関して詳しく説明する。

10

【0025】

図3に示す302の例は、主走査方向16画素分の画素データが格納されたバッファの模式図である。302では、1画素のデータは24ビットであり、RGB各色がそれぞれ8ビットの3色で構成されているものとする。

【0026】

尚、画素データを格納するバッファは、概念的には図3に示す301のように、1回のメモリアクセスビット数mと1画素を構成するデータのビット数pの公倍数cに相当するバッファ幅を持つように意識される。しかし、実際に、このように画像データの1画素のデータビット数に応じてメモリの扱い方を変えてしまうと、画像データフォーマット毎にアドレス計算処理を実装しなければならず、処理が煩雑になってしまう。

20

【0027】

そこで、本実施形態では、概念的には、図3に示す301のような画素格納方法を意識しながらも、実アドレスとしては、常に302のように横幅を1回のメモリアクセス単位のビット数とするメモリとして扱う。これにより、アドレス計算方法を簡素化することができる。

【0028】

図3に示す302のようにメモリを扱う場合、分割画像データAと分割画像データBの境界におけるRGBデータは連続アドレスではないことが分かる。例えば、R0_5及びG0_5とB0_5とは同じピクセルのデータであるが、アドレスが連続ではないため、通常の走査変換処理ではうまく対応できない。

30

【0029】

そのため、一般的には、分割画像データAと分割画像データBの境界であるということと取得色とを判断し、所定のオフセット値を付加するなどしてデータ取得アドレスを算出する。本実施形態では、分割画像データの境界における次色データまでのオフセット値：ADR_OFFSETを後述するアドレス演算に組み込むことにより、分割画像データの境界を意識することなくアドレス演算ができるようになる。以下に、アドレス演算方法を詳細に説明する。

【0030】

以下、[]は演算対象のビット位置を示す。例えば、Z[2:6]とあった場合は、演算対象のビットが2から6ビット目であることを示す。また、Z[1:0] & '0'とあった場合は、変数Zの0ビット目の後ろに“0”を付け加えるという意味である。例えば、Z=3は2進数で「11」と表されることから W=Z[1:0] & '0'とあった場合は、0ビット目と1ビット目の値である「11」に0を追加することで「110」となり、結果としてWの値は6となる。

40

【0031】

ADR_X[6:0] = (X[5:0])+color_count[1:0] ... (式1)

Y_OFFSET[7:0] = line_in_num[4:0] × ADR_X[6:5] ... (式2)

RAM_ADR[11:0] = (Y_OFFSET[7:0]+Y[4:0]) & ADR_X[4:0] ... (式3)

ここで、Xは水平方向出力カウンタであり、1回のカウントアップ毎に1画素のデータが占めるアドレス数だけ加算される（各色毎にカウントアップされるカウンタである）。例えば、1アドレス8ビットのメモリを実装し、ここにRGB各色8ビットで構成される

50

1画素24ビットのデータを格納して処理する場合、Xは1画素毎に3加算される。

【0032】

また、Yは垂直方向出力カウンタ、color_countは出力色数カウンタである。Y_OFFSETは分割画像データの境界における次色データまでのオフセット値である。line_in_numは設定された入力ライン数である。ADR_Xは水平方向出力カウンタ×出力色数カウンタの値を保持する変数である。RAM_ADRはRGBデータを取得する際にアクセスするアドレスである。

【0033】

上記式1～式3は、1画素がRGBやYCbCr等3つのデータで構成され、なおかつ、画素データの格納メモリが1アドレスに対して2のべき乗のビット数を割り当てるよう構成されている限り、普遍のアドレス計算式である。また、メモリが1アドレス何ビットであるかに応じて、求められたRAM_ADRを単純にシフトすることにより、メモリの実装に合わせたアドレスを得ることが可能である。

【0034】

例えば、1画素がRGB各色16ビットの3つのデータで構成され、なおかつ、メモリが1アドレス8ビットとして実装されている場合、次式によりアドレスが求められる。

【0035】

RAM_ADR16[12:0] = RAM_ADR[11:0] & '0'

次に、1画素がRGB各色16ビットのデータで構成されている点順次画像データフォーマットを処理する場合の走査変換方法を説明する。

【0036】

まず、バンド画像データをバッファに格納する処理を説明する。以下の説明では、所定のバンド画像をDMAコントローラがメモリアクセス単位256ビットで順次転送すると仮定する。メモリアクセス単位256ビットと1画素のビット数48ビットの最小公倍数は768ビットであるため、バッファには主走査方向16(768/48)画素分の画像データを格納しなければならない。そのため、画像データ格納部102は、画像データを256ビット単位で取得する際に、256ビット単位の3つのデータをメモリに格納する度に格納ラインカウンタを1づつインクリメントしていく。このようにすることで主走査方向16画素分のデータをバッファに格納する。

【0037】

図4は、本実施形態における画像データをバッファに格納する処理を示すフローチャートである。まず、ステップS401では、格納ラインカウンタstore_line_counterを0に初期化する。次に、ステップS402では、内部ラインカウンタinside_line_counterを0にリセットする。ステップS403では、画像データを格納するアドレスを示すaddrにメモリの先頭アドレスを代入する。

【0038】

次に、ステップS404では、store_line_counterが設定されたバンド分割高さライン数よりも小さいか否かを判定する。ここで、store_line_counterがバンド分割高さライン数以上であれば、この処理を終了する。

【0039】

また、store_line_counterがバンド分割高さライン数より小さければステップS405へ処理を進め、32バイトの画像データを取得する。次に、ステップS406では、取得した画像データをaddrが示すアドレスに格納する。ステップS407では、inside_line_counterを1だけインクリメントする。次に、ステップS408で、inside_line_counterが3以上か否かを判定し、3以上であればステップS409へ処理を進め、inside_line_counterを0にリセットする。

【0040】

ここで、判定条件として用いた3は、本実施形態の前提条件とした、バッファの横並び個数(c/m = 768/256 = 3)の値である。

【0041】

10

20

30

40

50

次に、ステップ S 4 1 0 では、sore_line_counterを 1だけインクリメントし、ステップ S 4 1 1 へ処理を進める。また、ステップ S 4 0 8 で、inside_line_counterが 3 未満であれば、ステップ S 4 1 1 へ処理を進め、addrにメモリアクセス単位である 3 2 バイト (256 ビット) を加え、上述のステップ S 4 0 4 に戻る。

【0042】

そして、画像データを第 1 のバッファに格納し終えた後、第 2 のバッファに対して同様の処理を行い、画像データを格納する。

【0043】

上述の処理により、RGB 16 ビット点順次画像の場合は図 5 に示すように、バッファに画像データが格納される。即ち、16カラム分のデータが格納される。また、RGB 8 ビット点順次画像の場合は図 6 に示すように、バッファに画像データが格納される。即ち、32カラム分のデータが格納される。したがって、第 1 のバッファと第 2 のバッファの境界をまたいで RGB データが格納されることがなくなる。

【0044】

次に、バッファからピクセルデータを取得する処理を説明する。ピクセルデータ取得部 104 が副走査方向に走査変換を行い、ピクセルデータを取得する。

【0045】

図 7 は、本実施形態におけるピクセルデータ取得部 104 の処理を示すフローチャートである。ここでは、RGB 16 ビット又はRGB 8 ビットの点順次画像データを扱う場合を例に挙げて説明する。また、1画素の色数を 1 とすることで、モノクロとして処理することも可能である。

【0046】

まず、ステップ S 7 0 1 では、出力カラム数をカウントする x_counter と出力ライン数をカウントする y_counter を 0 に初期化する。ステップ S 7 0 2 では、x_counter がメモリに格納されている点順次画像のカラム数よりも小さいか否かを判定する。ここで、x_counter が点順次画像のカラム数よりも小さければステップ S 7 0 3 へ処理を進めるが、点順次画像のカラム数以上であれば、この処理を終了する。

【0047】

このステップ S 7 0 3 では、y_counter がバンド高さライン数よりも小さいか否かを判定する。ここで、y_counter がバンド高さライン数よりも小さければステップ S 7 0 4 へ処理を進め、バンド高さライン数以上であればステップ S 7 1 6 へ処理を進める。

【0048】

このステップ S 7 0 4 では、出力色数を順次カウントする color_count を 1 画素の色数で初期化する。次に、ステップ S 7 0 5 では、color_count が 0 より大きいか否かを判定する。ここで、color_count が 0 より大きければステップ S 7 0 6 へ処理を進め、0 以下であればステップ S 7 1 5 へ処理を進める。

【0049】

このステップ S 7 0 6 では、ピクセルデータを取得するためにアクセスするメモリ上のアドレスを上記アドレス算出式 1 ~ 式 3 を用いて求める。次に、ステップ S 7 0 7 では、取得したアドレスにアクセスしてデータを取得する。データを取得する際は、RGB 16 ビット点順次データを扱っている場合は 2 バイトを取得し、RGB 8 ビット点順次データを扱っている場合は 1 バイトを取得する。

【0050】

次に、ステップ S 7 0 8 で、color_count が 3 か否かを判定し、3 の場合はステップ S 7 0 9 へ処理を進めるが、3 でない場合はステップ S 7 1 0 へ処理を進める。

【0051】

このステップ S 7 0 9 では、取得したデータを R データとして保持し、次のステップ S 7 1 4 へ処理を進める。また、ステップ S 7 1 0 では、color_count が 2 か否かを判定し、2 であればステップ S 7 1 1 へ処理を進めるが、2 でなければステップ S 7 1 2 へ処理を進める。

10

20

30

40

50

【0052】

このステップS711では、取得したデータをGデータとして保持し、次のステップS714へ処理を進める。また、ステップS712では、取得したデータをBデータとして保持する。そして、ステップS713では、保持しているRGBデータをピクセルデータとして出力する。

【0053】

ステップS714では、color_countを1だけデクリメントし、ステップS705に戻り、上述の処理を繰り返す。

【0054】

上述のステップS705でNOと判定された場合のステップS715では、y_counterを1だけインクリメントし、ステップS703に戻り、上述の処理を繰り返す。

10

【0055】

上述のステップS703でNOと判定された場合のステップS716では、x_counterを3インクリメントする。そして、ステップS717では、y_counterを0に初期化し、ステップS702に戻り、上述の処理を繰り返す。

【0056】

本実施形態によれば、メモリアクセス単位のビット数と1画素のビット数との公倍数に基づきバッファを設定することで、第1のバッファと第2バッファとを跨いで格納される画素がなくなる。

【0057】

20

[変形例]

本実施形態では、色(色空間)の種類をRGBの3色としたが、YCbCrの3色としても良い。また、本発明は、特に色(色空間)の種類を特定しない。

【0058】

また、上述したアドレス算出用の式1～式3の基本形は、以下に示す式4～式6であり、式4～式6において参照している各変数のビット位置やビット数はメモリアクセス単位や扱う色数によって異なる。しかし、各メモリアクセス単位及び扱う色数によって適切なビット位置及びビット数を指定することで対応可能である。

【0059】

ADR_X = X+color_count ... (式4)

30

Y_OFFSET = line_in_num × ADR_X ... (式5)

RAM_ADR = (Y_OFFSET+Y) & ADR_X ... (式6)

本実施形態においては、式1～式3はメモリアクセス単位が256ビットで扱う色数が3色の場合を例として説明したが、本発明は特にそれらを限定しているわけではない。

【0060】

例えば、メモリアクセス単位が128ビットの場合、上記式4～式6は以下に示す式7～式9のようになる。

【0061】

ADR_X[6:0] = (X[5:0])+color_count[1:0] ... (式7)

40

Y_OFFSET[7:0] = line_in_num[4:0] × ADR_X[6:4] ... (式8)

RAM_ADR[11:0] = (Y_OFFSET[7:0]+Y[4:0]) & ADR_X[3:0] ... (式9)

[他の実施形態]

上述の実施形態の機能を実現するソフトウェアのプログラムコードを記録した記録媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ(CPU又はMPU)が記録媒体に記録されたプログラムコードを読み出し実行する。これによっても、本発明の目的が達成されることは言うまでもない。この場合、記録媒体から読み出されたプログラムコード自体が上述の実施形態の機能を実現することとなり、そのプログラムコードを記録した記録媒体は本発明を構成することになる。

【0062】

プログラムコードを供給するための記録媒体としては、例えばフレキシブルディスク、

50

ハードディスク、光ディスク、光磁気ディスク、C D - R O M、C D - R、磁気テープ、不揮発性のメモリカード、R O M、D V Dなどを用いることができる。

【0063】

また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、次の場合も含まれることは言うまでもない。即ち、プログラムコードの指示に基づき、コンピュータ上で稼働しているO S (オペレーティングシステム)などが実際の処理の一部又は全部を行い、その処理により前述した実施形態の機能が実現される場合である。

【0064】

更に、記録媒体から読出されたプログラムコードがコンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込む。その後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるC P Uなどが実際の処理の一部又は全部を行い、その処理により前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

10

【図面の簡単な説明】

【0065】

【図1】本実施形態における走査変換装置の構成の一例を示す図である。

【図2】図1に示すバンド分割部101の処理を説明するための図である。

【図3】図1に示す画像データ格納部102の処理を説明するための図である。

【図4】本実施形態における画像データをバッファに格納する処理を示すフローチャートである。

20

【図5】R G B 1 6 ビット点順次画像をバッファに格納した状態を示す図である。

【図6】R G B 8 ビット点順次画像をバッファに格納した状態を示す図である。

【図7】本実施形態におけるピクセルデータ取得部104の処理を示すフローチャートである。

【図8】1画素4 8 ビット (R G B各色1 6 ビット)のR G B点順次フォーマット画像をバッファに格納した状態を示す図である。

【図9】図8に示すメモリアクセス単位である2 5 6 ビット幅の分割画像Aの格納状態を示す図である。

【図10】図8に示すメモリアクセス単位である2 5 6 ビット幅の分割画像Bの格納状態を示す図である。

30

【符号の説明】

【0066】

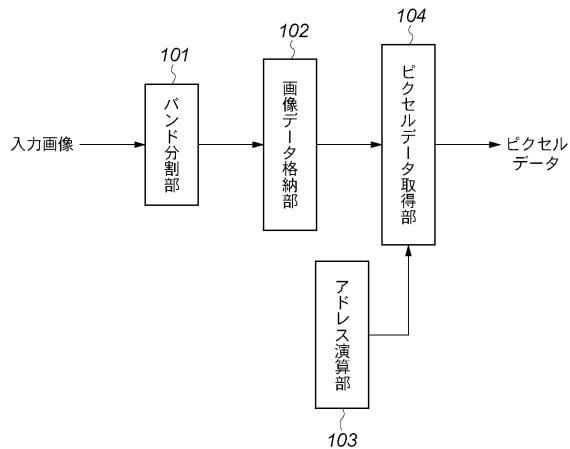
1 0 1 バンド分割部

1 0 2 画像データ格納部

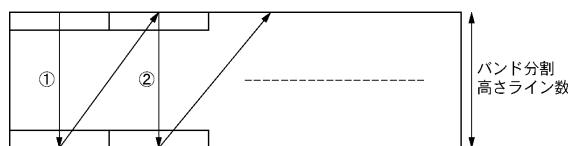
1 0 3 アドレス演算部

1 0 4 ピクセルデータ取得部

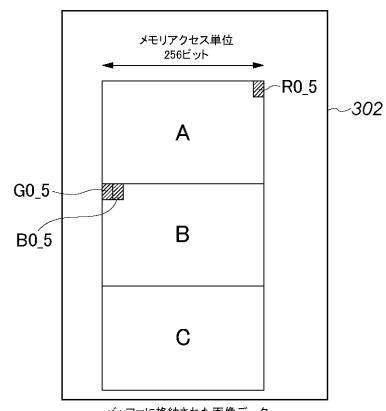
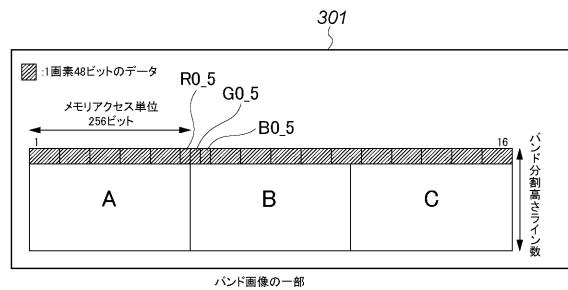
【図1】



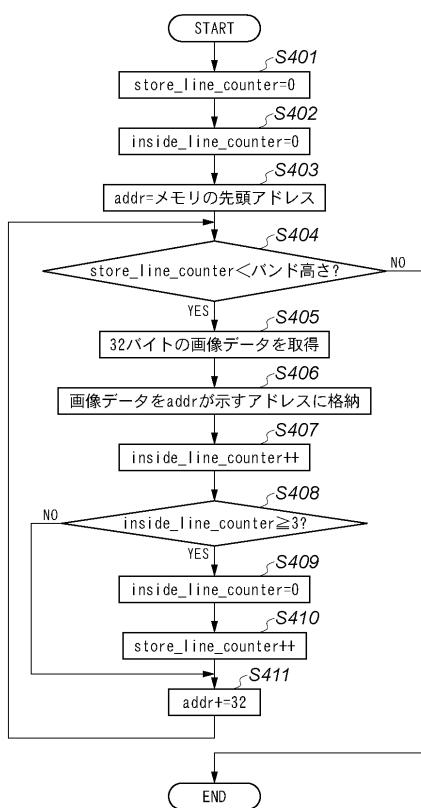
【図2】



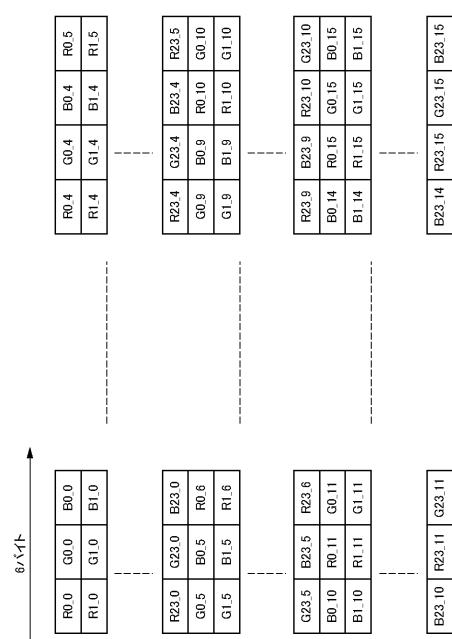
【図3】



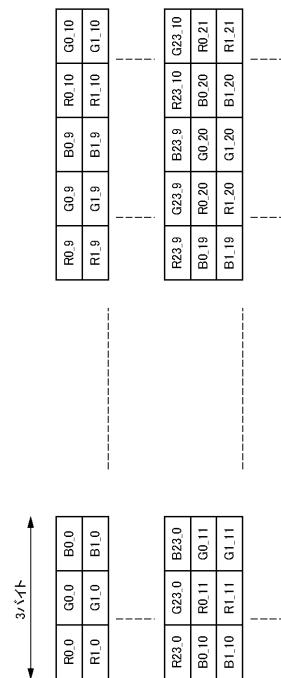
【図4】



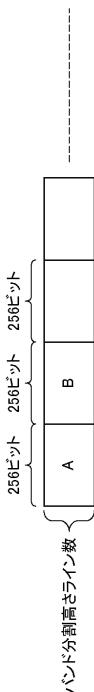
【図5】



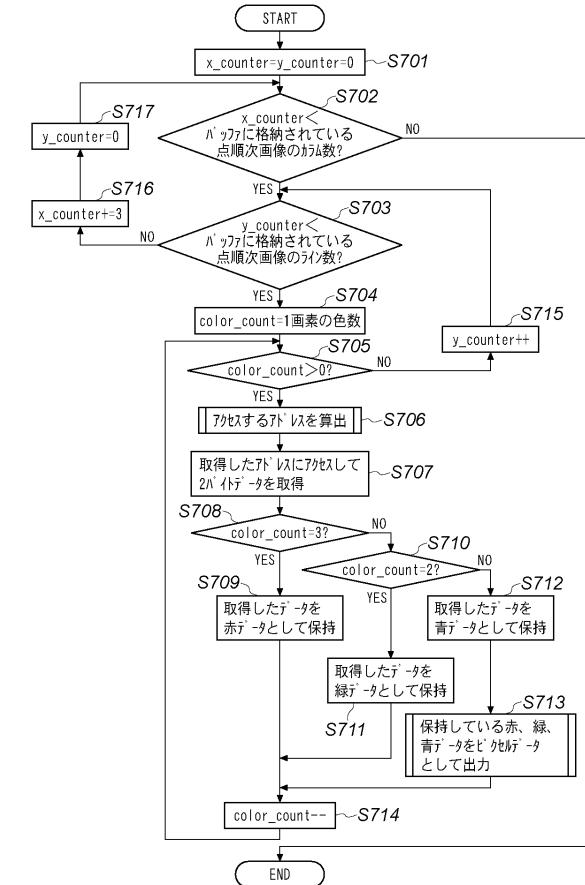
【図6】



【図8】



【図7】



【図9】

カラム目	2カラム目								3カラム目								4カラム目								5カラム目								6カラム目							
	+00	+02	+04	+06	+08	+0A	+0D	+0E	+10	+12	+14	+16	+18	+1A	+1C	+1E																								
0x0000	R00_00	G00_00	B00_00	R00_01	G00_01	B00_01	R01_00	G01_00	B01_00	R01_01	G01_01	B01_01	R01_02	G01_02	B01_02	R00_02	G00_02	B00_02	R00_03	G00_03	B00_03	R00_04	G00_04	B00_04	R00_05															
0x0020	R01_00	G01_00	B01_00	R01_00	G01_00	B01_00	R01_01	G01_01	B01_01	R01_02	G01_02	B01_02	R01_03	G01_03	B01_03	R01_03	G01_03	B01_03	R01_04	G01_04	B01_04	R01_05																		
...									
0x0200	R23_00	G23_00	B23_00	R23_01	G23_01	B23_01	R23_02	G23_02	B23_02	R23_03	G23_03	B23_03	R23_04	G23_04	B23_04	R23_04	G23_04	B23_04	R23_05	G23_05	B23_05	R23_06	G23_06	B23_06	R23_07	G23_07	B23_07	R23_08	G23_08	B23_08	R23_09	G23_09	B23_09	R23_10	G23_10	B23_10				

【図 10】

	0カラム目		1カラム目		2カラム目		3カラム目		4カラム目		5カラム目		6カラム目	
0x0000	G00.05	B00.05	R00.06	G00.06	B00.06	R00.07	G00.07	B00.07	R00.08	G00.08	B00.08	R00.09	G00.09	B00.09
0x0020	G01.05	B01.05	R01.06	G01.06	B01.06	R01.07	G01.07	B01.07	R01.08	G01.08	B01.08	R01.09	G01.09	B01.09
...
0x02E0	G23.05	B23.05	R23.06	G23.06	B23.06	R23.07	G23.07	B23.07	R23.08	G23.08	B23.08	R23.09	G23.09	B23.09

フロントページの続き

(72)発明者 石川 尚
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 松永 隆志

(56)参考文献 特開平04-252562 (JP, A)
特開2006-109374 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 1/21
H04N 1/387