

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

(11) 784816

К ПАТЕНТУ

(61) Дополнительный к патенту -

(22) Заявлено 22.10.76 (21) 2415452/18-09

(23) Приоритет - (32) 24.10.75

(31) 7532628 (33) Франция

Опубликован 30.11.80, Бюллетень № 44

Дата опубликования описания 30.11.80

(51) М. Кл.³

H 04 N 7/18

(53) УДК 621.397
(088.8)

(72) Авторы
изобретения

Иностранцы
Жан Клод Жоливе и Франсуа Ксавье Стул
(Франция)

(71) Заявитель

Иностранная фирма
"Сосьете Аноним де Телекоммуникасьон"
(Франция)

(54) УСТРОЙСТВО ДЛЯ ПЕРЕДАЧИ И ПРИЕМА
КОДИРОВАННОГО СИГНАЛА ИЗОБРАЖЕНИЯ

Изобретение относится к технике связи и может использоваться в устройствах кодирования и декодирования изображений.

Известно устройство для передачи и приема кодированного сигнала изображения, содержащее на передающей стороне последовательно соединенные первый, второй идентичные преобразователи сигнала и блок сжатия сигнала, выход которого через канал связи подключен к приемной стороне, состоящей из последовательно соединенных третьего и четвертого идентичных преобразователей сигнала.

Однако такое устройство имеет большие искажения при передаче и приеме сигнала изображения.

Цель изобретения - уменьшение искажений при передаче и приеме сигнала изображения.

Для этого в устройство для передачи и приема кодированного сигнала изображения, содержащее на передающей стороне последовательно соединенные первый, второй идентичные преобразователи сигнала и блок сжатия сигнала, выход которого через канал связи подключен к приемной стороне, состоящей из последовательно соединенных треть-

его и четвертого идентичных преобразователей сигнала, на передающей стороне первый и второй преобразователи сигналов содержат три регистра, два блока сложения, два блока вычитания и запоминающий блок, при этом вход и выход первого регистра подключены соответственно к первым и вторым входам первого блока вычитания и первого блока сложения, выход каждого из которых через соответственно второй регистр и последовательно соединенные третий регистр и второй блок вычитания подключены соответственно к первому и второму входам второго блока сложения, выход которого подключен к входу запоминающего блока, а на приемной стороне третий и четвертый преобразователи сигнала состоят из последовательно соединенных первого, второго и третьего регистров сдвига, двух блоков вычитания, двух блоков сложения и запоминающего блока, при этом вход первого регистра сдвига подсоединен к первому входу, а выход третьего регистра сдвига подключен ко второму входу блока вычитания, выход которого подключен к первому входу первого блока сложения через умножитель, ко второму входу которого под-

ключен выход первого регистра сдвига, при этом второй выход регистра сдвига подключен к первым входам соответственно второго блока сложения и второго блока вычитания, выход каждого из которых подключен соответственно к первому и второму входам запоминающего блока.

На фиг. 1 дана структурная электрическая схема предложенного устройства, на фиг. 2, 3 — матрицы.

Устройство содержит на передающей стороне преобразователи 1, 2 сигнала, блок 3 сжатия, регистры 4-6, блоки 7, 8 сложения, блоки 9, 10 вычитания, запоминающий блок 11 и блок 12 умножения, а на приемной стороне — преобразователи 13, 14 сигнала, регистры 15-17, блоки 18, 19 вычитания, блоки 20, 21 сложения, запоминающий блок 22, блок 23 умножения, разделитель 24 и канал 25 связи.

Устройство работает следующим образом.

Выборки $x_{i,2p}, x_{i,2p+1}$ частичного изображения подаются на вход регистра 4 преобразователя 1, который задерживает выборки на время τ , соответствующее интервалу между двумя последовательными выборками. Вход регистра 4 подсоединен к блокам 7 и 9, которые выполняют суммирование и вычитание двух последовательных выборок ($x_{i,2p} \pm x_{i,2p+1}$). Выходы блоков 7 и 9 подключены соответственно к регистрам 5 и 6, задержка которых составляет 2τ и 4τ . В тот момент, когда регистр 6 принимает на своем входе сигнал $U_{i,2p+2}$, он выдает на своем выходе сигнал $U_{i,2p-2}$. Эти два сигнала поступают на блок 10, который вырабатывает сигнал $(U_{i,2p+2} - U_{i,2p-2})$. Этот последний разностный сигнал подается на блок 12, который множит его на величину α .

Сигнал $(x_{i,2p} - x_{i,2p+1})$, выходящий из регистра 5, имеет задержку 2τ , что необходимо для того, чтобы он сопутствовал сигналу $\alpha/U_{i,2p+2} - U_{i,2p-2}$, который выходит из регистра 6. Эти два сигнала суммируются в блоке 8 для образования сигнала $U_{i,2p+1}$. Сигналы, представляющие коэффициенты $U_{i,2p}$ и $U_{i,2p+1}$, накапливаются в запоминающем блоке 11 так, что коэффициенты, соответствующие строке изображения, образуют строку в запоминающем блоке 11. Затем эти коэффициенты вводятся повторно в запоминающий блок 11.

Преобразователь 2 идентичен преобразователю 1 с той разницей, что регистр 5 имеет задержку на 2 строки, а регистр 6 — задержку на 4 строки. Вместо того, чтобы вырабатывать коэффициент $U_{i,j}$, он вырабатывает коэффициент $U_{i,j}$. Регистры 5, 6 этих двух преобразователей 1, 2, у которых ссылочные номера заканчиваются оди-

наковыми единицами, одинаковы, кроме той части, которая касается указанной только что задержки.

В запоминающем блоке 11 содержится такое же количество коэффициентов U сколько имеется точек в изображении. Эти коэффициенты группируются в запоминающем блоке 11 в квадраты. Если блокам 9, 10 задано должное направление вычитания, то в каждом квадрате коэффициент $U_{i,j}$ является результатом взаимодействия четырех точек изображения, коэффициент $U_{i,j+1}$ является результатом взаимодействия двенадцати точек изображения, коэффициент $U_{i+1,j}$ является результатом взаимодействия двенадцати точек изображения и коэффициент $U_{i+1,j+1}$ (фиг. 2г) является результатом взаимодействия тридцати шести точек изображения.

Сигналы U подаются на блок 3, затем они передаются по каналу 25 к разделителю 24. Блок 3 по-разному сжимает сигналы. Он может, например, передавать сигналы (см. фиг. 2 а) с помощью некоторого числа бит, несколько меньшим числом бит сигналы типа (см. фиг. 2 б, в) и еще меньшим числом бит сигналы типа (см. фиг. 2 г). Эти последние сигналы вообще не требуются передавать. В блоке 3 может использоваться процесс компрессии, известный для случая обычного преобразования Адамара.

Коэффициент α определяется экспериментально. Наилучшие результаты получаются при значениях α 0,1-0,2. Величина 0,125 кажется особенно интересной, как по даваемым ею результатам, так и из-за простоты ее цифрового кодирования.

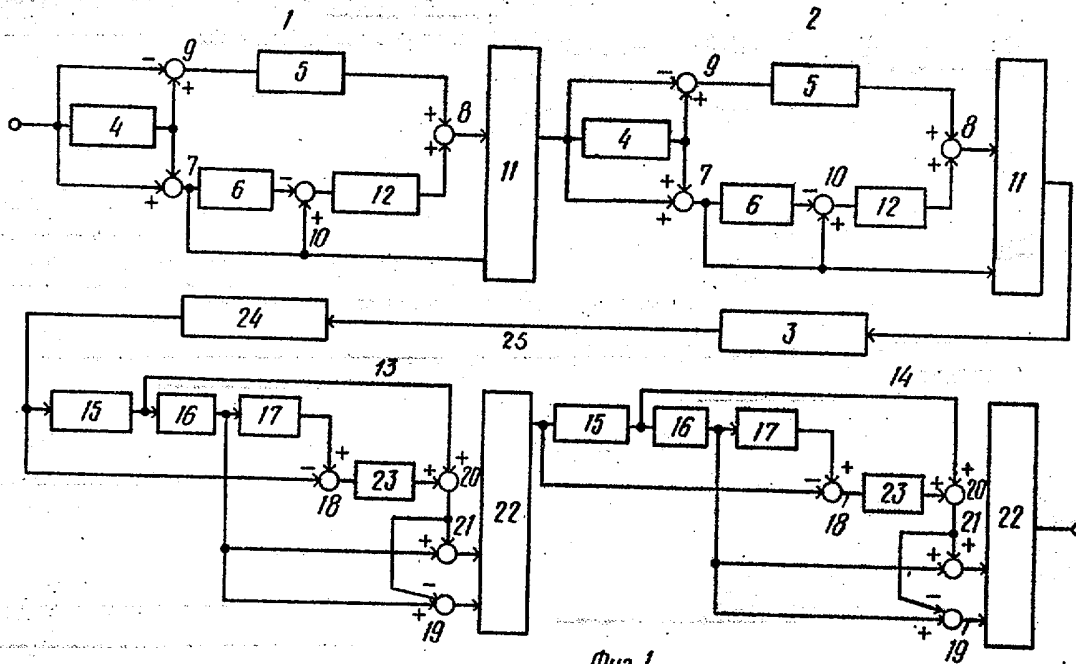
Декодирующее устройство содержит, как и кодирующее устройство, два одинаковых преобразователя 13, 14 на регистрах 15, 17, один из которых связан с декодированием строк, а второй — с декодированием колонок.

Запоминающий блок 22 первого преобразователя 13 был заполнен строками и коэффициенты вводились повторно. Сигнал $U_{i,2p+2}$ подается на регистр 15 второго преобразователя 14, в котором он задерживается на время τ , а также на блок 18. Сигнал $U_{i,2p+1}$, выходящий из регистра 15, подается на регистр 16 для задержки на время τ , а также на блок 20. Сигнал $U_{i,2p}$, выходящий из регистра 16, подается на блоки 21, 19 и на регистр 17, имеющий задержку на 2τ . Сигнал $U_{i,2p-2}$, выходящий из регистра 17, подается на блок 18, выход которого подключен к блоку 23 умножения на α . Выход блока 23 подсоединен к блоку 20, а выход последнего соединен с блоками 21 и 19. Наконец, эти две последние упомянутые схемы соединены с запоминающим блоком 11, выход которого является выходом декодирующего устройства.

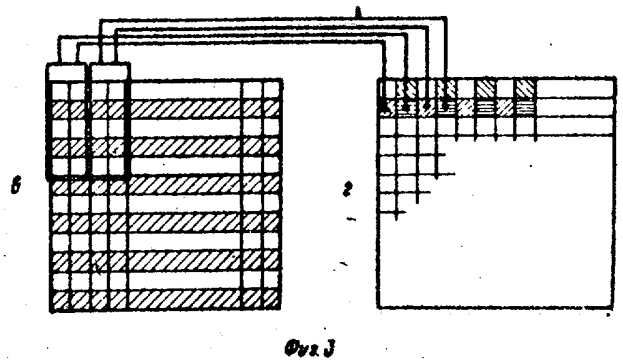
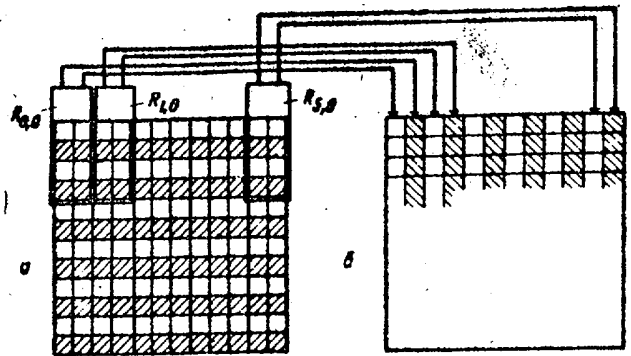
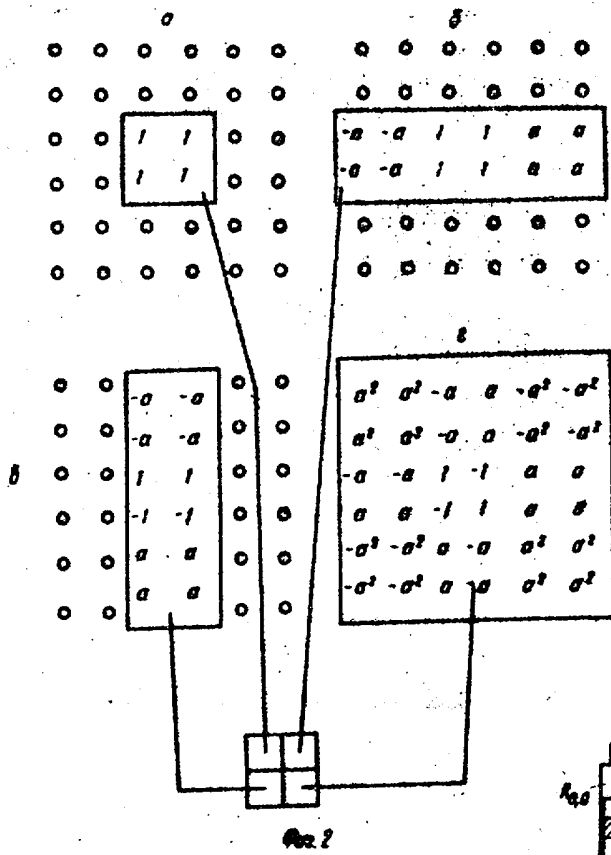
Формула изобретения

Устройство для передачи и приема кодированного сигнала изображения, содержащее на передающей стороне последовательно соединенные первый, второй идентичные преобразователи сигнала и блок сжатия сигнала, выход которого через канал связи подключен к приемной стороне, состоящей из последовательно соединенных третьего и четвертого идентичных преобразователей сигнала, отличающемся тем, что, с целью уменьшения искажений при передаче и приеме сигнала изображения, на передающей стороне первый и второй преобразователи сигналов содержат три регистра, два блока сложения, два блока вычитания и запоминающий блок, при этом вход и выход первого регистра подключены соответственно к первым и вторым входам первого блока вычитания и первого блока сложения, выход каждого из которых соответственно через второй регистр и последовательно соединенные третий регистр и второй блок

вычитания подключены соответственно к первому и второму входам второго блока сложения, выход которого подключен к входу запоминающего блока, а на приемной стороне третий и четвертый преобразователи сигнала состоят из последовательно соединенных первого, второго и третьего регистров сдвига, двух блоков вычитания, двух блоков сложения и запоминающего блока, при этом вход первого регистра сдвига подсоединен к первому входу, а выход третьего регистра сдвига подключен к второму входу блока вычитания, выход которого подключен к первому входу первого блока сложения через умножитель, к второму входу которого подключен выход первого регистра сдвига, при этом второй выход регистра сдвига подключен к первым входам соответственно второго блока сложения и второго блока вычитания, выход каждого из которых подключен соответственно к первому и второму входам запоминающего блока.



Фиг. 1



ВНИИПИ Заказ 8615/69
Тираж 729 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4