

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-60909

(P2015-60909A)

(43) 公開日 平成27年3月30日(2015.3.30)

(51) Int.Cl.		F I			テーマコード (参考)
H O 1 L 27/146 (2006.01)		H O 1 L 27/14		F	4 M 1 1 8
H O 4 N 5/369 (2011.01)		H O 4 N 5/335	6 9 0		5 C 0 2 4
H O 4 N 5/374 (2011.01)		H O 4 N 5/335	7 4 0		
H O 1 L 27/14 (2006.01)		H O 1 L 27/14	D		

審査請求 未請求 請求項の数 12 O L (全 24 頁)

(21) 出願番号	特願2013-192904 (P2013-192904)	(71) 出願人	000000376
(22) 出願日	平成25年9月18日 (2013.9.18)		オリンパス株式会社
			東京都渋谷区幡ヶ谷2丁目4番2号
		(74) 代理人	100106909
			弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100086379
			弁理士 高柴 忠夫
		(74) 代理人	100129403
			弁理士 増井 裕士
		(74) 代理人	100139686
			弁理士 鈴木 史朗

最終頁に続く

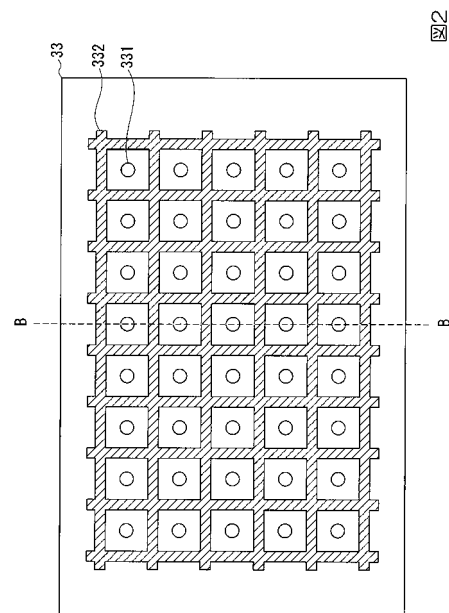
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】基板表面に形成された電極を介して送受信される信号に混入するノイズを低減することができる3次元構造の半導体装置を提供する。

【解決手段】第1の回路が形成された第1の基板と、第2の回路が形成され、第1の基板と離間して配置された第2の基板と、第1の基板と第2の基板との間に配置され、第1の回路と第2の回路とを電氣的に接続する接続部と、第1の基板と第2の基板との間で、接続部に隣接して該接続部を間に挟むような位置に配置され、該第1の基板と該第2の基板との少なくとも一方の基板内の固定された電位に接続された遮へい層と、を備える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の回路が形成された第 1 の基板と、
第 2 の回路が形成され、前記第 1 の基板と離間して配置された第 2 の基板と、
前記第 1 の基板と前記第 2 の基板との間に配置され、前記第 1 の回路と前記第 2 の回路とを電氣的に接続する接続部と、
前記第 1 の基板と前記第 2 の基板との間で、前記接続部に隣接して該接続部を間に挟むような位置に配置され、該第 1 の基板と該第 2 の基板との少なくとも一方の基板内の固定された電位に接続された遮へい層と、
を備えることを特徴とする半導体装置。

10

【請求項 2】

前記遮へい層は、
複数の単位遮へい層から構成され、
それぞれの単位遮へい層が、前記接続部を間に挟むような位置に配置される、
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記遮へい層は、
第 1 の単位遮へい層と第 2 の単位遮へい層とから構成され、
前記第 1 の単位遮へい層と前記第 2 の単位遮へい層とが、対応する前記接続部を間に挟むような位置に配置される、
ことを特徴とする請求項 2 に記載の半導体装置。

20

【請求項 4】

前記遮へい層は、さらに、
第 3 の単位遮へい層と第 4 の単位遮へい層とから構成され、
前記第 3 の単位遮へい層と前記第 4 の単位遮へい層とが、対応する前記第 1 の単位遮へい層と前記第 2 の単位遮へい層とが配置された位置を結ぶ線に直交する方向に、対応する前記接続部を間に挟むような位置に配置される、
ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記単位遮へい層は、
前記第 1 の基板および前記第 2 の基板のそれぞれに形成された前記接続部の接続面の形状と同様の形状である、
ことを特徴とする請求項 2 から請求項 4 のいずれか 1 の項に記載の半導体装置。

30

【請求項 6】

前記遮へい層は、
前記第 1 の基板または前記第 2 の基板のいずれか一方の基板に形成され、該形成された基板内の固定された電位に接続される、
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

複数の前記単位遮へい層は、
一方の前記単位遮へい層が前記第 1 の基板または前記第 2 の基板のいずれか一方の基板に形成され、
他方の前記単位遮へい層が前記第 1 の基板または前記第 2 の基板のいずれか他方の基板に形成され、
それぞれの前記単位遮へい層は、
当該単位遮へい層が形成された基板内の固定された電位に接続される、
ことを特徴とする請求項 2 から請求項 5 のいずれか 1 の項に記載の半導体装置。

40

【請求項 8】

前記第 1 の回路は、
入射光を電気信号に変換し、該変換した電気信号を画素信号として、前記接続部を介し

50

て前記第 2 の回路に送信する複数の画素を備え、

前記第 2 の回路は、

前記接続部を介してそれぞれの前記画素から送信された前記画素信号を受信し、該受信した前記画素信号に対する処理を行う処理回路を備える、

ことを特徴とする請求項 1 から請求項 7 のいずれか 1 の項に記載の半導体装置。

【請求項 9】

前記遮へい層は、

前記第 1 の基板に形成された第 1 の回路と前記第 2 の基板に形成された第 2 の回路との間でアナログの信号を送受信する前記接続部を間に挟むような位置に配置される、

ことを特徴とする請求項 8 に記載の半導体装置。

10

【請求項 10】

前記遮へい層は、

前記第 1 の基板に形成された第 1 の回路と前記第 2 の基板に形成された第 2 の回路との間で前記接続部を介して送受信される信号を、低速な動作をする信号と高速な動作をする信号とに分類した場合に、高速な動作をする信号を送受信する前記接続部を間に挟むような位置に配置される、

ことを特徴とする請求項 8 に記載の半導体装置。

【請求項 11】

前記第 1 の回路または前記第 2 の回路は、

前記画素信号をデジタルデータに変換する A/D 変換回路と、

A/D 変換後の多ビットの前記デジタルデータを 1 ビットのデジタルデータにシリアルライズするシリアルライザと、

前記シリアルライザを駆動するクロックを供給するクロック供給回路と、

を少なくとも備える、

ことを特徴とする請求項 8 から請求項 10 のいずれか 1 の項に記載の半導体装置。

20

【請求項 12】

前記遮へい層は、

前記接続部と同じ材料で形成される、

ことを特徴とする請求項 1 から請求項 11 のいずれか 1 の項に記載の半導体装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置に関し、特に 3 次元構造の半導体装置、固体撮像装置に関する。

【背景技術】

【0002】

近年、固体撮像装置として CMOS (Complementary Metal Oxide Semiconductor: 相補型金属酸化膜半導体) 型固体撮像装置 (以下、「MOS 型固体撮像装置」という) が注目され、実用化されている。この MOS 型固体撮像装置は、CCD (Charge Coupled Device: 電荷結合素子) 型固体撮像装置と異なり、単一電源で駆動することが可能である。また、CCD 型固体撮像装置では、専用の製造プロセスを必要とするのに対し、MOS 型固体撮像装置は、他の LSI と同じ製造プロセスを用いて製造することができることから SOC (System On Chip) への対応が容易であり、固体撮像装置の多機能化を可能としている。また、MOS 型固体撮像装置は、各画素に増幅回路を備えることによって画素内で信号電荷を増幅しているため、信号の伝達経路からのノイズの影響を受けづら構成になっている。さらに、各画素の信号電荷を選択して取り出す (選択方式) ことが可能であり、原理上、信号の蓄積時間や読み出し順序を画素毎に自由に制御することができるという特徴がある。

40

【0003】

また、複数の基板を 3 次元的に接続した積層型の構造 (3 次元構造) の半導体装置が、

50

半導体装置における集積度の向上を維持するための有力な構造として注目されている。この３次元構造の半導体装置は、半導体活性層を多層に積み重ねた構造に３次的に半導体素子を集積することによって、例えば、微細化におけるリソグラフィ技術の限界、配線の微細化や配線長増大による配線抵抗の増大や寄生効果の増大、またそれに伴う動作速度の飽和傾向、素子寸法の微細化による高電界効果など、２次元構造の半導体装置が直面する種々の障壁を回避することができる。

【０００４】

このことから、従来の固体撮像装置（以下、「イメージャ」ともいう）が、モノリシックな構造が主流であったのに対し、近年のイメージャでも、３次元構造のものが実用化されている。

10

【０００５】

しかし、３次元構造の半導体装置においては、集積度が増すことによって、積層した基板間を接続する配線によるノイズの影響を避けることができない。特に、３次元構造のイメージャの場合では、基板間を接続する配線に混入するノイズの影響によって、取得した画像が劣化してしまうという問題が発生する。このような問題を解決するための技術として、例えば、特許文献１で開示された技術のように、積層した基板間を接続するための貫通電極の周辺にシールド配線を設けることによって、ノイズの影響を低減する技術が提案されている。

【先行技術文献】

【特許文献】

20

【０００６】

【特許文献１】特開２０１２－０８９７３９号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかしながら、特許文献１で開示された技術のように、貫通電極を使用して積層する基板を接続する接続方法は、基板の厚さによっては採用することができない場合がある。また、基板間の接続に使用することができる領域が少ない場合にも、貫通電極の使用は困難である。このため、積層する基板の接続方法として、例えば、蒸着法やメッキ法で作製されるパンプなど、基板表面に形成された電極同士を接続することによって、基板間を接続する方法が採用されることがある。

30

【０００８】

しかしながら、パンプを使用した基板の接続は、基板間の中空の状態である部分で行われるため、特許文献１で開示された技術のように、配線層を用いてパンプの周辺をシールドすることができない。そのため、パンプを介して接続される信号にノイズが混入し、信号を劣化させてしまうという問題が発生する。特に、３次元構造のイメージャの場合では、イメージャから出力される画像信号にノイズが混入すると、得られる画像が劣化してしまうことが懸念される。

【０００９】

本発明は、上記の課題認識に基づいてなされたものであり、基板表面に形成された電極を介して送受信される信号に混入するノイズを低減することができる３次元構造の半導体装置を提供することを目的としている。

40

【課題を解決するための手段】

【００１０】

上記の課題を解決するため、本発明の半導体装置は、第１の回路が形成された第１の基板と、第２の回路が形成され、前記第１の基板と離間して配置された第２の基板と、前記第１の基板と前記第２の基板との間に配置され、前記第１の回路と前記第２の回路とを電氣的に接続する接続部と、前記第１の基板と前記第２の基板との間で、前記接続部に隣接して該接続部を間に挟むような位置に配置され、該第１の基板と該第２の基板との少なくとも一方の基板内の固定された電位に接続された遮へい層と、を備えることを特徴とする

50

。

【 0 0 1 1 】

また、本発明の前記遮へい層は、複数の単位遮へい層から構成され、それぞれの単位遮へい層が、前記接続部を間に挟むような位置に配置される、ことを特徴とする。

【 0 0 1 2 】

また、本発明の前記遮へい層は、第 1 の単位遮へい層と第 2 の単位遮へい層とから構成され、前記第 1 の単位遮へい層と前記第 2 の単位遮へい層とが、対応する前記接続部を間に挟むような位置に配置される、ことを特徴とする。

【 0 0 1 3 】

また、本発明の前記遮へい層は、さらに、第 3 の単位遮へい層と第 4 の単位遮へい層とから構成され、前記第 3 の単位遮へい層と前記第 4 の単位遮へい層とが、対応する前記第 1 の単位遮へい層と前記第 2 の単位遮へい層とが配置された位置を結ぶ線に直交する方向に、対応する前記接続部を間に挟むような位置に配置される、ことを特徴とする。

10

【 0 0 1 4 】

また、本発明の前記単位遮へい層は、前記第 1 の基板および前記第 2 の基板のそれぞれに形成された前記接続部の接続面の形状と同様の形状である、ことを特徴とする。

【 0 0 1 5 】

また、本発明の前記遮へい層は、前記第 1 の基板または前記第 2 の基板のいずれか一方の基板に形成され、該形成された基板内の固定された電位に接続される、ことを特徴とする。

20

【 0 0 1 6 】

また、本発明の複数の前記単位遮へい層は、一方の前記単位遮へい層が前記第 1 の基板または前記第 2 の基板のいずれか一方の基板に形成され、他方の前記単位遮へい層が前記第 1 の基板または前記第 2 の基板のいずれか他方の基板に形成され、それぞれの前記単位遮へい層は、当該単位遮へい層が形成された基板内の固定された電位に接続される、ことを特徴とする。

【 0 0 1 7 】

また、本発明の前記第 1 の回路は、入射光を電気信号に変換し、該変換した電気信号を画素信号として、前記接続部を介して前記第 2 の回路に送信する複数の画素を備え、前記第 2 の回路は、前記接続部を介してそれぞれの前記画素から送信された前記画素信号を受信し、該受信した前記画素信号に対する処理を行う処理回路を備える、ことを特徴とする。

30

。

【 0 0 1 8 】

また、本発明の前記遮へい層は、前記第 1 の基板に形成された第 1 の回路と前記第 2 の基板に形成された第 2 の回路との間でアナログの信号を送受信する前記接続部を間に挟むような位置に配置される、ことを特徴とする。

【 0 0 1 9 】

また、本発明の前記遮へい層は、前記第 1 の基板に形成された第 1 の回路と前記第 2 の基板に形成された第 2 の回路との間で前記接続部を介して送受信される信号を、低速な動作をする信号と高速な動作をする信号とに分類した場合に、高速な動作をする信号を送受信する前記接続部を間に挟むような位置に配置される、ことを特徴とする。

40

【 0 0 2 0 】

また、本発明の前記第 1 の回路または前記第 2 の回路は、前記画素信号をデジタルデータに変換する A/D 変換回路と、A/D 変換後の多ビットの前記デジタルデータを 1 ビットのデジタルデータにシリアルライズするシリアルライザと、前記シリアルライザを駆動するクロックを供給するクロック供給回路と、を少なくとも備える、ことを特徴とする。

【 0 0 2 1 】

また、本発明の前記遮へい層は、前記接続部と同じ材料で形成される、ことを特徴とする。

【 発明の効果 】

50

【 0 0 2 2 】

本発明によれば、基板表面に形成された電極を介して送受信される信号に混入するノイズを低減することができる３次元構造の半導体装置を提供することができるという効果が得られる。

【図面の簡単な説明】

【 0 0 2 3 】

【図 1】本発明の実施形態による半導体装置の概略構成を示した概観図である。

【図 2】本発明の第 1 の実施形態における半導体装置の構造を示した断面図である。

【図 3】本第 1 の実施形態における半導体装置の構造を示した別の断面図である。

【図 4】本発明の第 2 の実施形態における半導体装置の構造を示した断面図である。

10

【図 5】本実施形態の半導体装置におけるシールドの形状の一例を示した図である。

【図 6】本実施形態の半導体装置におけるシールドの形状の別の一例を示した断面図である。

【図 7】本実施形態の半導体装置の構造を適用した固体撮像装置を搭載した撮像装置の概略構成を示したブロック図である。

【図 8】本実施形態の半導体装置の構造を適用した固体撮像装置の概略構成を示した概観図である。

【図 9】本発明の第 3 の実施形態における固体撮像装置内の画素チップの概略構成を示した回路図である。

【図 10】本第 3 の実施形態における固体撮像装置内の回路チップの概略構成を示した回路図である。

20

【図 11】本第 3 の実施形態における固体撮像装置の構造を示した断面図である。

【図 12】本発明の第 4 の実施形態における固体撮像装置内の画素チップの概略構成を示した回路図である。

【図 13】本第 4 の実施形態における固体撮像装置内の回路チップの概略構成を示した回路図である。

【図 14】本第 4 の実施形態における固体撮像装置の構造を示した断面図である。

【発明を実施するための形態】

【 0 0 2 4 】

以下、本発明の実施形態について、図面を参照して説明する。なお、以下の説明は、例示のために特定の詳細な内容が含まれている。しかし、当業者であれば、以下に説明する詳細な内容に様々な変更を加えた場合であっても、本発明の範囲を超えないことは理解できるであろう。従って、以下に説明する本発明の例示的な実施形態は、権利を請求された発明に対して、一般性を失わせることなく、また、何ら限定をすることもなく、述べられたものである。

30

【 0 0 2 5 】

< 半導体装置 >

図 1 は、本実施形態による半導体装置の概略構成を示した概観図である。図 1 において、半導体装置 3 は、第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 とから構成される。半導体装置 3 では、図 1 に示したように、第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 とが、接続領域 3 3 の分だけ離間して配置されている。そして、半導体装置 3 では、第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 とのそれぞれに形成されたチップ接続部が、接続領域 3 3 内で電氣的に接続されることによって、1 つの半導体装置 3 を構成している。また、第 1 の半導体チップ 3 1 に形成された外部配線接続部 3 4 は、例えば、セラミックなどで半導体装置 3 をパッケージした場合に、パッケージの外部の回路との間で電圧や信号などを送受信するための接続部である。

40

【 0 0 2 6 】

なお、半導体装置 3 では、チップ接続部によって第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 とが接続された後に存在する接続領域 3 3 内の空間に、樹脂や接着剤などの絶縁部材が充填される構成であってもよい。従って、本実施形態における「離間」とは、

50

チップ接続部によって第１の半導体チップ３１と第２の半導体チップ３２とが接続している箇所以外に、空間が存在している状態のみならず、絶縁部材が充填されている状態も含まれる。

【００２７】

< 第１の実施形態 >

次に、図１に示した半導体装置３における第１の実施形態の構造について説明する。図２は、本第１の実施形態における半導体装置３の構造を示した断面図である。図２は、図１に示した半導体装置３の概観図に点線Ａ－Ａで示した部分（Ａ－Ａ断面）における半導体装置３の断面図を示している。

【００２８】

半導体装置３は、第１の半導体チップ３１の表面に形成されたチップ接続部と第２の半導体チップ３２の表面に形成されたチップ接続部とが、接続領域３３内で電氣的に接続されることによって、１つの半導体装置３が構成される。第１の半導体チップ３１および第２の半導体チップ３２のそれぞれの表面に形成されるチップ接続部は、例えば、蒸着法、メッキ法で作製されるパンプなどが用いられる。なお、チップ接続部は、第１の半導体チップ３１に配置された電極と第２の半導体チップ３２に配置された電極とを接続する構成であってもよい。

【００２９】

以下の説明においては、第１の半導体チップ３１および第２の半導体チップ３２のそれぞれのチップ接続部として、パンプが形成されているものとして説明を行う。なお、接続領域３３内において、第１の半導体チップ３１および第２の半導体チップ３２のそれぞれに形成されたチップ接続部（パンプ）を区別せずに表す場合にも、「パンプ」という。

【００３０】

図２において、パンプ３３１は、第１の半導体チップ３１および第２の半導体チップ３２に形成されたそれぞれのパンプの接続部分を示している。これにより、第１の半導体チップ３１のそれぞれの信号と第２の半導体チップ３２のそれぞれの信号とが電氣的に接続され、第１の半導体チップ３１と第２の半導体チップ３２とは、パンプ３３１を介して信号の送受信を行う。

【００３１】

シールド３３２は、第１の半導体チップ３１または第２の半導体チップ３２のいずれか一方または両方に、それぞれのパンプ３３１を囲むように形成され、形成された半導体チップ内で、固定された電位（例えば、グラウンド）に接続されているノイズ遮へい層である。また、シールド３３２は、パンプ３３１と同じ材料（例えば、金（Ａｕ）メッキ、銅（Ｃｕ）メッキ、ニッケル（Ｎｉ）メッキなど）で形成されている。なお、銅やニッケルは、金に比べて安価であり、加工が容易であるという利点がある。

【００３２】

なお、図２において、シールド３３２とパンプ３３１との間に存在する空間には、樹脂や接着剤などの絶縁部材を充填してもよい。

【００３３】

次に、本第１の実施形態の半導体装置３を別の方向から見た場合の構造について説明する。図３は、本第１の実施形態における半導体装置３の構造を示した別の断面図である。図３は、図１に示した半導体装置３の概観図、および図２に示した半導体装置３の断面図に点線Ｂ－Ｂで示した部分（Ｂ－Ｂ断面）における半導体装置３の断面図を示している。

【００３４】

第１の半導体チップ３１は、第１の半導体層３１１、第１のデバイス形成領域３１２、第１の配線層３１３、および第１のメタル配線３１４から形成される。また、第２の半導体チップ３２は、第２の半導体層３２１、第２のデバイス形成領域３２２、第２の配線層３２３、および第２のメタル配線３２４から形成される。

【００３５】

パンプ３３１は、第１の半導体チップ３１の第１のメタル配線３１４と、第２の半導体

10

20

30

40

50

チップ 3 2 の第 2 のメタル配線 3 2 4 とを電氣的に接続することによって、第 1 の半導体チップ 3 1 内の第 1 のデバイス形成領域 3 1 2 に形成された回路と、第 2 の半導体チップ 3 2 内の第 2 のデバイス形成領域 3 2 2 に形成された回路とを互いに接続し、それぞれのデバイス形成領域に形成された回路間で信号の送受信を行う。

【 0 0 3 6 】

シールド 3 3 2 は、図 2 に示した半導体装置 3 の断面図を見てもわかるように、バンプ 3 3 1 を間に挟むような位置に形成される。そして、上述したように、シールド 3 3 2 は、形成された半導体チップ内の、例えば、グラウンドなどの固定された電位（以下、「固定電位」という）に接続されている。より具体的には、形成されたそれぞれの半導体チップのデバイス形成領域内の固定電位に接続されている。図 3 には、中央のシールド 3 3 2 が、第 1 の半導体チップ 3 1 の第 1 のデバイス形成領域 3 1 2 内の固定電位に接続され、両端のシールド 3 3 2 が、第 2 の半導体チップ 3 2 のそれぞれの第 2 のデバイス形成領域 3 2 2 内の固定電位にそれぞれ接続されている場合を示している。

10

【 0 0 3 7 】

なお、シールド 3 3 2 は、第 1 の半導体チップ 3 1 または第 2 の半導体チップ 3 2 のいずれかのデバイス形成領域内の固定電位に接続されていれば、バンプ 3 3 1 を介して接続された信号に混入するノイズを低減することができるため、図 3 に示したように、必ずしも第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 との両方の固定電位と、電氣的に接続する必要はない。

20

【 0 0 3 8 】

このように、本第 1 の実施形態の半導体装置 3 では、バンプ 3 3 1 を形成する領域にシールド 3 3 2 を形成する。これにより、本第 1 の実施形態の半導体装置 3 では、第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 との間が中空の状態であっても、バンプ 3 3 1 を介して第 1 の半導体チップ 3 1 内の第 1 のデバイス形成領域 3 1 2 に形成された回路と、第 2 の半導体チップ 3 2 内の第 2 のデバイス形成領域 3 2 2 に形成された回路との間で送受信される信号に混入するノイズを低減する、つまり、ノイズをシールドすることができる。

【 0 0 3 9 】

また、本第 1 の実施形態の半導体装置 3 では、シールド 3 3 2 を、バンプ 3 3 1 と同じ材料で形成する。このため、本第 1 の実施形態の半導体装置 3 では、バンプ 3 3 1 を形成する製造工程と同じ製造工程でシールド 3 3 2 を形成することができる。これにより、本第 1 の実施形態の半導体装置 3 では、容易にシールド 3 3 2 を形成することができる。

30

【 0 0 4 0 】

< 第 2 の実施形態 >

次に、図 1 に示した半導体装置 3 における第 2 の実施形態の構造について説明する。図 4 は、本第 2 の実施形態における半導体装置 3 の構造を示した断面図である。図 4 は、図 2 に示した第 1 の実施形態の半導体装置 3 の構造と同様に、図 1 に示した半導体装置 3 の概観図に点線 A - A で示した部分（A - A 断面）における半導体装置 3 の断面図を示している。従って、図 4 においては、図 2 に示した第 1 の実施形態の半導体装置 3 の構造と同様の構造には、同一の符号を付加している。

40

【 0 0 4 1 】

本第 2 の実施形態の半導体装置 3 の構造と、第 1 の実施形態の半導体装置 3 の構造との違いは、第 1 の実施形態の半導体装置 3 におけるシールド 3 3 2 が、シールド 3 3 3 に代わったのみである。従って、以下の説明においては、第 1 の実施形態の半導体装置 3 と同様の構造に関する説明は省略し、第 1 の実施形態の半導体装置 3 と異なるシールド 3 3 3 の構造について説明する。

【 0 0 4 2 】

シールド 3 3 3 は、第 1 の実施形態の半導体装置 3 におけるシールド 3 3 2 と同様に、第 1 の半導体チップ 3 1 または第 2 の半導体チップ 3 2 のいずれか一方または両方に、それぞれのバンプ 3 3 1 を囲むように形成され、形成された半導体チップ内で固定電位に接

50

続されている。図 4 を見てわかるように、シールド 333 は、パンプ 331 の形状、つまり、第 1 の半導体チップ 31 と第 2 の半導体チップ 32 とのそれぞれに形成されたパンプの接続面の形状と同様の形状の単位遮へい層であるサブシールドが連なるように形成されている。このとき、シールド 333 を形成するそれぞれのサブシールドも、パンプ 331 と同じ材料で形成される。

【0043】

なお、本第 2 の実施形態の半導体装置 3 においても、シールド 333 を形成するそれぞれのサブシールドは、第 1 の半導体チップ 31 または第 2 の半導体チップ 32 のいずれかのデバイス形成領域内の固定電位に接続されていれば、パンプ 331 を介して接続された信号に混入するノイズを低減することができる。このため、シールド 333 を形成するそれぞれのサブシールドは、第 1 の実施形態におけるシールド 332 と同様に、必ずしも第 1 の半導体チップ 31 と第 2 の半導体チップ 32 との両方の固定電位と、電氣的に接続する必要はない。

10

【0044】

このように、本第 2 の実施形態の半導体装置 3 でも、第 1 の実施形態の半導体装置 3 と同様に、パンプ 331 を形成する領域にシールド 333 を形成する。これにより、本第 2 の実施形態の半導体装置 3 でも、第 1 の実施形態の半導体装置 3 と同様に、第 1 の半導体チップ 31 と第 2 の半導体チップ 32 との間が中空の状態であっても、パンプ 331 を介して第 1 の半導体チップ 31 と、第 2 の半導体チップ 32 との間で送受信される信号に混入するノイズを低減することができる。

20

【0045】

また、本第 2 の実施形態の半導体装置 3 では、シールド 333 を形成するそれぞれのサブシールドを、パンプ 331 と同じ材料、同様の形状で形成する。このため、本第 2 の実施形態の半導体装置 3 では、パンプ 331 を形成する製造プロセスと同じ製造プロセスでシールド 333 を形成することができる。これにより、本第 2 の実施形態の半導体装置 3 では、シールド 333 を形成するための専用の製造プロセスを新たに設ける必要がなく、容易にシールド 333 を形成することができる。

【0046】

なお、半導体装置 3 におけるシールドの形状は、第 1 の実施形態において示したシールド 332 や、第 2 の実施形態において示したシールド 333 と同様の形状に限定されるものではなく、パンプ 331 に隣接し、このパンプ 331 を間に挟むような位置に形成されていれば、パンプ 331 を介して送受信される信号に混入するノイズをシールドすることができる。ここで、半導体装置 3 におけるシールドの形状について、いくつかの例を説明する。図 5 は、本実施形態の半導体装置 3 におけるシールドの形状の一例を示した図である。なお、図 5 には、1 つのパンプ 331 に対応するシールドの形状を示している。

30

【0047】

図 5 (a) には、パンプ 331 の周辺を囲むように形成されたシールド 334 の形状を示している。シールド 334 も、第 1 の半導体チップ 31 または第 2 の半導体チップ 32 のいずれか一方または両方のデバイス形成領域内の固定電位に接続されている。

【0048】

また、図 5 (b) には、パンプ 331 の周辺を 4 つの方向から挟むような直交する位置に形成された 4 つのサブシールド (サブシールド 335 a ~ 335 d) で構成されるシールド 335 の形状を示している。シールド 335 も、第 1 の半導体チップ 31 または第 2 の半導体チップ 32 のいずれか一方または両方のデバイス形成領域内の固定電位に接続されている。なお、図 5 (b) に示したサブシールド 335 a ~ サブシールド 335 d のそれぞれは、同じ半導体チップに形成されるものとは限らない。すなわち、サブシールド 335 a ~ サブシールド 335 d のいずれかが第 1 の半導体チップ 31 に形成され、第 1 の半導体チップ 31 に形成されていないサブシールド 335 a ~ サブシールド 335 d が第 2 の半導体チップ 32 に形成されてもよい。

40

【0049】

50

また、図 5 (c) には、パンプ 3 3 1 の周辺を 2 つの方向から挟むような位置に形成された 2 つのサブシールド (サブシールド 3 3 6 a および 3 3 6 b) で構成されるシールド 3 3 6 の形状を示している。シールド 3 3 6 も、第 1 の半導体チップ 3 1 または第 2 の半導体チップ 3 2 のいずれか一方または両方のデバイス形成領域内の固定電位に接続されている。なお、図 5 (c) に示したサブシールド 3 3 6 a ~ サブシールド 3 3 6 b のそれぞれは、同じ半導体チップに形成されるものとは限らない。例えば、サブシールド 3 3 6 a が第 1 の半導体チップ 3 1 に形成され、サブシールド 3 3 6 b が第 2 の半導体チップ 3 2 に形成されてもよい。

【 0 0 5 0 】

このように、本実施形態の半導体装置 3 では、様々な形状のシールドを形成することができる。なお、第 1 の実施形態の半導体装置 3 では、格子状に形成されたシールド 3 3 2 を示し、第 2 の実施形態の半導体装置 3 では、パンプ 3 3 1 と同様の形状の複数のサブシールドを格子状に配置したシールド 3 3 3 を示したが、例えば、図 6 に示したように、それぞれの格子が繋がるような隙間が存在する形状であってもよい。図 6 に示したような隙間が存在する形状や、図 5 (b) または図 5 (d) に示したように、それぞれのサブシールドの間に隙間が存在する形状でシールドが形成されている場合には、この隙間を、例えば、パンプ 3 3 1 とシールドとの間に存在する空間に絶縁部材を充填する際に利用することもできる。つまり、シールド同士またはそれぞれのサブシールド同士の間に存在する隙間から別のパンプ 3 3 1 の領域に移動する (流れる) ことができる流動性のある絶縁部材であれば、隙間から絶縁部材を流し込むことによって、第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 とをパンプ 3 3 1 によって接続した後であっても、パンプ 3 3 1 とシールドとの間に存在する全ての空間に、絶縁部材を充填することができる。

【 0 0 5 1 】

< 撮像装置 >

次に、本実施形態の半導体装置 3 の構造を適用する一例として、撮像装置に搭載する固体撮像装置に、本実施形態の半導体装置 3 の構造を適用した場合について説明する。図 7 は、本実施形態の半導体装置 3 の構造を適用した固体撮像装置を搭載した撮像装置 (例えば、ミラーレスデジタルカメラ) の概略構成を示したブロック図である。ここに示した各構成要素は、ハードウェア的には、コンピュータの CPU やメモリをはじめとする素子で実現することができ、ソフトウェア的にはコンピュータプログラムなどによって実現されるものであるが、ここでは、これらの連携によって実現される機能ブロックとして示している。従って、これらの機能ブロックは、ハードウェア、ソフトウェアの組合せによって、様々な形式で実現できるということは、当業者には理解できるであろう。

【 0 0 5 2 】

図 7 に示した撮像装置 1 は、レンズユニット部 2、固体撮像装置 1 3、発光装置 4、メモリ 5、記録装置 6、表示装置 7、画像信号処理回路 8、レンズ制御装置 9、イメージセンサ制御装置 1 0、発光制御装置 1 1、およびカメラ制御装置 1 2 から構成される。

【 0 0 5 3 】

レンズユニット部 2 は、レンズ制御装置 9 によってズーム、フォーカス、絞りなどが駆動制御され、被写体像を固体撮像装置 1 3 に結像させる。

【 0 0 5 4 】

固体撮像装置 1 3 は、本実施形態の半導体装置 3 の構造が適用された構造の固体撮像装置 1 3 である。固体撮像装置 1 3 は、イメージセンサ制御装置 1 0 によって駆動、制御され、レンズユニット部 2 を介して固体撮像装置 1 3 に入射した被写体光の受光量に応じた画像信号を出力する MOS 型固体撮像装置である。なお、固体撮像装置 1 3 に関する詳細な説明は、後述する。

【 0 0 5 5 】

発光装置 4 は、発光制御装置 1 1 によって駆動、制御され、発光装置 4 から発せられる光を被写体に当てることにより、被写体から反射する光を調節するストロボやフラッシュなどの装置である。

10

20

30

40

50

【 0 0 5 6 】

画像信号処理回路 8 は、固体撮像装置 1 3 から出力された画像信号に対して、信号の増幅、画像データへの変換および各種の補正、画像データの圧縮などの処理を行う。なお、画像信号処理回路 8 は、各処理における画像データの一時記憶手段としてメモリ 5 を利用する。

【 0 0 5 7 】

記録装置 6 は、半導体メモリなどの着脱可能な記録媒体であり、画像データの記録または読み出しを行う。

【 0 0 5 8 】

表示装置 7 は、固体撮像装置 1 3 に結像され、画像信号処理回路 8 によって処理された画像データ、または記録装置 6 から読み出された画像データに基づく画像を表示する液晶などの表示装置である。

【 0 0 5 9 】

カメラ制御装置 1 2 は、撮像装置 1 の全体の制御を行う制御装置である。また、カメラ制御装置 1 2 は、レンズ制御装置 9 を制御することによって、レンズユニット部 2 によるズーム、フォーカス、絞りなどの駆動を制御する。また、カメラ制御装置 1 2 は、イメージセンサ制御装置 1 0 と発光制御装置 1 1 とを制御することによって、固体撮像装置 1 3 と、発光装置 4 とを協調制御する。

【 0 0 6 0 】

< 固体撮像装置 >

次に、撮像装置 1 に搭載した固体撮像装置 1 3 について説明する。まず、固体撮像装置 1 3 の構造について説明する。図 8 は、本実施形態の半導体装置 3 の構造を適用した固体撮像装置 1 3 の概略構成を示した概観図である。固体撮像装置 1 3 は、上述したように、本実施形態の半導体装置 3 の構造が適用された構造である。より具体的には、図 8 に示したように、固体撮像装置 1 3 は、画素チップ 1 3 1 と回路チップ 1 3 2 とから構成される。そして、画素チップ 1 3 1 と回路チップ 1 3 2 とは、接続領域 1 3 3 を介して電氣的に接続されている。また、画素チップ 1 3 1 に形成された外部配線接続部 1 3 4 によって、パッケージの外部の回路との間で電圧や信号などの送受信を行う。

【 0 0 6 1 】

画素チップ 1 3 1 は、入射した被写体光（入射光）を電気信号に変換する光電変換部を含む通常の画素が 2 次元状に配列されたチップである。画素チップ 1 3 1 に備えたそれぞれの画素は、画素チップ 1 3 1 内の信号、あるいは回路チップ 1 3 2 から送信された信号によって駆動、制御される。そして、画素チップ 1 3 1 に備えたそれぞれの画素は、変換した電気信号を画素信号として回路チップ 1 3 2 に送信する。

【 0 0 6 2 】

回路チップ 1 3 2 は、画素チップ 1 3 1 に備えたそれぞれの画素から送信されてきた電気信号（画素信号）を受信し、受信した電気信号（画素信号）に対する処理を行う処理回路を備えたチップである。回路チップ 1 3 2 に備えた処理回路が受信した画素信号に対して行う処理には、画素信号の一時的な記憶（保持）や積分、画素信号に対する簡単な演算処理などがある。また、回路チップ 1 3 2 は、画素チップ 1 3 1 を駆動、制御するための信号を画素チップ 1 3 1 に送信する。

【 0 0 6 3 】

接続領域 1 3 3 は、画素チップ 1 3 1 と回路チップ 1 3 2 とを電氣的に接続するためのバンプが形成された領域である。また、接続領域 1 3 3 内には、バンプを介して画素チップ 1 3 1 と回路チップ 1 3 2 との間で送受信される信号（画素信号など）に混入するノイズを低減するためのシールドが形成されている。画素チップ 1 3 1 と回路チップ 1 3 2 とは、接続領域 1 3 3 内に形成されたバンプを介して信号（画素信号など）の送受信を行う。

【 0 0 6 4 】

< 第 3 の実施形態 >

10

20

30

40

50

次に、固体撮像装置 13 の構成について説明する。まず、本第 3 の実施形態の固体撮像装置 13 における画素チップ 131 について説明する。図 9 は、本第 3 の実施形態における固体撮像装置 13 内の画素チップ 131 の概略構成を示した回路図である。図 9 において、画素チップ 131 は、画素チップ垂直走査回路 1311、画素アレイ部 1312、単位画素 1313、画素信号線 1314、画素チップ垂直走査回路信号線 1315、画素制御線 1316、画素信号用パンプ 13321、および制御信号用パンプ 13322 から構成される。なお、図 9 に示した画素チップ 131 では、複数の単位画素 1313 が、10 行 10 列に 2 次元的に配置された画素アレイ部 1312 の例を示している。

【0065】

なお、図 9 に示した画素チップ 131 において、各符号の後に表す“()：括弧”内の数字および記号は、画素チップ 131 内に配置されている単位画素 1313 のそれぞれに対応した行番号と列番号とを表す。そして、“()：括弧”内の最初の数字は行番号、最後の数字は列番号を示す。例えば、2 行 3 列目の単位画素 1313 は、単位画素 1313 (2, 3) と表す。また、行番号または列番号のいずれか一方のみ、すなわち、同一の行番号または列番号を表す場合には、同一の行番号または列番号を数字で表し、同一ではない行番号または列番号を“*：アスタリスク”で表す。例えば、2 行目の画素制御線 1316 は、画素制御線 1316 (2, *) と表す。また、行番号および列番号の両方を特定しない場合には、各符号の後の“()：括弧”を表記しない。

【0066】

画素チップ垂直走査回路 1311 は、回路チップ 132 から送信され、制御信号用パンプ 13322 を介して画素チップ垂直走査回路信号線 1315 に入力された制御信号に応じて、画素アレイ部 1312 内のそれぞれの単位画素 1313 を制御し、各単位画素 1313 の画素信号を対応するそれぞれの画素信号線 1314 に出力させる。画素チップ垂直走査回路 1311 は、画素制御線 1316 に、単位画素 1313 を制御するための制御信号を、画素アレイ部 1312 に配置された単位画素 1313 の行毎に出力する。

【0067】

画素アレイ部 1312 内のそれぞれの単位画素 1313 は、リセットされたときのリセット信号、および入射した被写体光の受光量（光線量）に応じた電気信号を、画素信号として画素信号線 1314 に出力する。単位画素 1313 から画素信号線 1314 に出力された画素信号は、画素信号用パンプ 13321 を介して回路チップ 132 へ送信される。

【0068】

画素信号線 1314 および画素チップ垂直走査回路信号線 1315 は、画素信号用パンプ 13321 または制御信号用パンプ 13322 を介して回路チップ 132 に接続される。画素チップ 131 と回路チップ 132 とは、画素信号線 1314 および画素チップ垂直走査回路信号線 1315 によって、画素チップ 131 の駆動、制御に必要な各種信号、および画素チップ 131 内のそれぞれの単位画素 1313 が出力する画素信号の送受信を行う。

【0069】

次に、本第 3 の実施形態の固体撮像装置 13 における回路チップ 132 について説明する。図 10 は、本第 3 の実施形態における固体撮像装置 13 内の回路チップ 132 の概略構成を示した回路図である。図 10 において、回路チップ 132 は、画素信号処理チップ垂直走査回路 1321、メモリアレイ部 1322、単位メモリ 1323、メモリ信号線 1324、画素信号処理チップ垂直信号線 1325、画素信号処理チップ列処理回路 1326、画素信号処理チップ水平走査回路 1327、画素信号処理チップ水平走査回路信号線 1328、イメージセンサ制御回路 1329、イメージセンサ制御回路信号線 13210、メモリ制御線 13211、画素信号用パンプ 13321、および制御信号用パンプ 13322 から構成される。なお、図 10 に示した回路チップ 132 では、複数の単位メモリ 1323 が、10 行 10 列に 2 次元的に配置されたメモリアレイ部 1322 の例を示している。

【0070】

10

20

30

40

50

なお、図 10 に示した回路チップ 132 において、各符号の後に表す“() : 括弧”内の数字および記号は、回路チップ 132 内に配置されている単位メモリのそれぞれに対応した行番号と列番号とを表し、その表し方は、図 9 に示した画素チップ 131 と同様である。

【0071】

画素信号処理チップ垂直走査回路 1321 は、イメージセンサ制御回路 1329 から入力された制御信号に応じて、メモリアレイ部 1322 内のそれぞれの単位メモリ 1323 を制御し、各単位メモリ 1323 のメモリ信号を対応するそれぞれの画素信号処理チップ垂直信号線 1325 に出力させる。画素信号処理チップ垂直走査回路 1321 は、メモリ制御線 13211 に、単位メモリ 1323 を制御するための制御信号を、メモリアレイ部 1322 に配置された単位メモリ 1323 の行毎に出力する。

10

【0072】

メモリアレイ部 1322 内のそれぞれの単位メモリ 1323 には、画素チップ 131 に備えた画素アレイ部 1312 内の対応するそれぞれの単位画素 1313 から出力され、画素信号用バンプ 13321 を介してメモリ信号線 1324 に送信された画素信号が入力される。そして、それぞれの単位メモリ 1323 は、入力された画素信号に応じた電気信号を保持し、保持した電気信号をメモリ信号として画素信号処理チップ垂直信号線 1325 に出力する。

【0073】

画素信号処理チップ列処理回路 1326 は、単位メモリ 1323 から出力されたメモリ信号に対する処理を行う。画素信号処理チップ列処理回路 1326 によるメモリ信号に対する処理では、イメージセンサ制御回路 1329 から入力されたクランプパルス CL およびサンプルホールドパルス SH に基づいて、信号の減算（差分処理）が行われる。さらに、画素信号処理チップ列処理回路 1326 による処理には、信号の増幅、比較などの処理が含まれる。また、画素信号処理チップ列処理回路 1326 は、画素信号処理チップ垂直信号線 1325 に接続される電流源負荷を含んでいる。

20

【0074】

画素信号処理チップ水平走査回路 1327 は、イメージセンサ制御回路 1329 から入力された水平走査パルス H に基づいて、画素信号処理チップ列処理回路 1326 から出力された処理後のメモリ信号を順次、画素信号処理チップ水平走査回路信号線 1328 に読み出す。

30

【0075】

イメージセンサ制御回路 1329 は、画素信号処理チップ垂直走査回路 1321、画素信号処理チップ列処理回路 1326、画素信号処理チップ水平走査回路 1327、および画素チップ 131 内の画素チップ垂直走査回路 1311 を制御する。

【0076】

メモリ信号線 1324 およびイメージセンサ制御回路信号線 13210 は、画素信号用バンプ 13321 または制御信号用バンプ 13322 を介して画素チップ 131 に接続される。画素チップ 131 と回路チップ 132 とは、メモリ信号線 1324 およびイメージセンサ制御回路信号線 13210 によって、画素チップ 131 の駆動、制御に必要な各種信号、および画素チップ 131 内のそれぞれの単位画素 1313 が出力する画素信号の送受信を行う。

40

【0077】

このイメージセンサ制御回路 1329、画素信号処理チップ垂直走査回路 1321、画素信号処理チップ列処理回路 1326、画素信号処理チップ水平走査回路 1327、および画素チップ垂直走査回路 1311 による制御によって、固体撮像装置 13 は、入射した被写体光の受光量に応じた画素信号を出力する。

【0078】

次に、本第 3 の実施形態の固体撮像装置 13 の構造について説明する。図 11 は、本第 3 の実施形態における固体撮像装置 13 の構造を示した断面図である。図 11 は、図 8 に

50

示した固体撮像装置 13 の概観図に点線 A - A で示した部分 (A - A 断面) における固体撮像装置 13 の断面図を示している。図 11 に示したように、固体撮像装置 13 では、図 4 に示した第 2 の実施形態の半導体装置 3 と同様に、シールド 1333 を、画素信号用パンプ 13321 または制御信号用パンプ 13322 と同様の形状の複数のサブシールドが連なるように形成している。

【0079】

シールド 1333 は、図 4 に示した第 2 の実施形態の半導体装置 3 におけるシールド 333 と同様に、画素チップ 131 または回路チップ 132 のいずれか一方または両方に、それぞれの画素信号用パンプ 13321 を囲むように形成され、形成されたチップ内で固定電位に接続されている。シールド 1333 を形成するそれぞれのサブシールドも、画素信号用パンプ 13321 と同じ材料で形成される。なお、シールド 1333 を形成するそれぞれのサブシールドも、第 2 の実施形態の半導体装置 3 におけるシールド 333 を形成するそれぞれのサブシールドと同様に、いずれかのチップ内の固定電位に接続されていれば、必ずしも画素チップ 131 と回路チップ 132 との両方の固定電位と、電氣的に接続する必要はない。

【0080】

このように、本第 3 の実施形態の固体撮像装置 13 でも、第 1 の実施形態および第 2 の実施形態の半導体装置 3 と同様に、画素信号用パンプ 13321 を形成する領域にシールド 1333 を形成する。これにより、本第 3 の実施形態の固体撮像装置 13 でも、画素チップ 131 と回路チップ 132 との間が中空の状態である接続領域 133 の部分で、画素信号用パンプ 13321 を介して画素チップ 131 から回路チップ 132 に送信される画素信号に混入するノイズを低減することができる。すなわち、本第 3 の実施形態の固体撮像装置 13 では、単位画素 1313 が画素信号を出力した直後で、画素信号に混入するノイズをシールドすることができる。このことにより、本第 3 の実施形態の固体撮像装置 13 では、ノイズの少ない良好な画像を得ることができる。

【0081】

また、第 3 の実施形態の固体撮像装置 13 においては、画素信号用パンプ 13321 と制御信号用パンプ 13322 とは共に、画素チップ 131 と回路チップ 132 とを電氣的に接続する。そして、画素信号用パンプ 13321 と制御信号用パンプ 13322 とのそれぞれは、例えば、金 (Au) メッキ、銅 (Cu) メッキ、ニッケル (Ni) メッキなどの同じ材料で形成されている。また、シールド 1333 は、画素信号用パンプ 13321 と制御信号用パンプ 13322 と同じ材料で形成されている。しかし、図 11 を見てわかるように、シールド 1333 は、画素信号用パンプ 13321 のみを囲むように形成されている。これは、単位画素 1313 が出力するアナログ信号である画素信号を、画素信号用パンプ 13321 を介して画素チップ 131 から回路チップ 132 に送信する際に混入するノイズを低減することによって、画質低下を抑えた画像を得るためである。このため、固体撮像装置 13 では、ノイズによる影響が少ないと考えられるデジタルの制御信号が送信される制御信号用パンプ 13322 に対しては、シールドを形成していない。このように、パンプを介して送受信されるそれぞれの信号毎にノイズの影響を受ける可能性の有無を考慮して、シールドを形成することができる。

【0082】

< 第 4 の実施形態 >

次に、固体撮像装置 13 の別の構成について説明する。なお、本第 4 の実施形態の固体撮像装置 13 も、図 8 に示した本実施形態の半導体装置 3 の構造を適用した固体撮像装置 13 と同様の構成である。従って、以下の説明においては、第 3 の実施形態の固体撮像装置 13 と同様の構成要素には同一の符号を付加して、詳細な説明は省略する。

【0083】

まず、本第 4 の実施形態の固体撮像装置 13 における画素チップ 131 について説明する。図 12 は、本第 4 の実施形態における固体撮像装置 13 内の画素チップ 131 の概略構成を示した回路図である。図 12 において、画素チップ 131 は、画素アレイ部 131

2、画素出力デジタル処理回路1318、制御信号用パンプ13322、および画素出力デジタル処理回路用パンプ13323から構成される。

【0084】

画素アレイ部1312内のそれぞれの単位画素1313は、回路チップ132から制御信号用パンプ13322を介して入力された制御信号に応じて、画素信号を画素出力デジタル処理回路1318に出力する。このとき、例えば、画素アレイ部1312に備えた単位画素1313の行選択は、制御信号用パンプ13322を介して入力された制御信号によって直接行われる。

【0085】

画素出力デジタル処理回路1318は、画素アレイ部1312内のそれぞれの単位画素1313から出力された画素信号に対してデジタル信号処理を行い、回路チップ132から制御信号用パンプ13322を介して入力された制御信号に応じて、デジタル信号処理後の信号を、画素出力デジタル処理回路用パンプ13323を介して回路チップ132に送信する。

【0086】

画素出力デジタル処理回路1318は、例えば、単位画素1313が出力するアナログ信号である画素信号をデジタルデータに変換するAD変換回路や、AD変換後の多ビットのデジタルデータを、1ビットのデジタルデータにシリアルライズして順次出力するシリアルライザなどのデジタル信号処理回路を備えている。また、画素出力デジタル処理回路1318は、シリアルライザを駆動するクロックを供給するクロック供給回路を備えている。

【0087】

なお、画素出力デジタル処理回路1318がAD変換する際に使用するサンプリングクロックや、シリアルライズしたデジタルデータを出力するタイミング、つまり、クロック供給回路がシリアルライザに供給するクロックは、制御信号用パンプ13322を介して入力される制御信号よりも高速な信号である。また、AD変換で使用するサンプリングクロックや、シリアルライズしたデジタルデータを出力するタイミング（クロック供給回路がシリアルライザに供給するクロック）は、AD変換の分解能やデジタルデータのビット数に応じて、さらに高速になることもある。このため、画素出力デジタル処理回路1318が画素出力デジタル処理回路用パンプ13323を介して回路チップ132に送信するデジタル信号処理後の信号は、制御信号よりも高速な信号となる。

【0088】

例えば、単位画素1313が出力した画素信号を10ビットのデジタルデータにAD変換し、AD変換後の10ビットのデジタルデータを、制御信号が1つの単位画素1313に対して画素信号の出力を制御する周期と同じ周期で出力する場合を考える。つまり、画素出力デジタル処理回路1318が、制御信号によって1つの単位画素1313を制御する周期で、10ビットのデジタルデータの全てを1ビットずつ出力する場合を考える。この場合、シリアルライザがデジタルデータを出力するためのクロック（クロック供給回路がシリアルライザに供給するクロック）は、制御信号の周波数よりも10倍またはそれ以上高い周波数となる。つまり、シリアルライザがそれぞれのデジタルデータを出力する周期は、制御信号が単位画素1313を制御する周期に対して10倍またはそれ以上の周期になる。このため、シリアルライザによってシリアルライズされた1ビットのデジタルデータの信号も、クロックのタイミングに同期した早い周期で変化する信号となる。

【0089】

次に、本第4の実施形態の固体撮像装置13における回路チップ132について説明する。図13は、本第4の実施形態における固体撮像装置13内の回路チップ132の概略構成を示した回路図である。図13において、回路チップ132は、画素出力デジタル処理回路制御回路13212、画素アレイ部制御回路13213、画素信号出力回路13214、制御信号用パンプ13322、画素出力デジタル処理回路用パンプ13323から構成される。

【0090】

画素アレイ部制御回路 13213 は、画素アレイ部 1312 内のそれぞれの単位画素 1313 を制御することによって、各単位画素 1313 の画素信号を対応する画素出力デジタル処理回路 1318 に出力させるための制御信号を生成する。例えば、画素アレイ部制御回路 13213 は、画素アレイ部 1312 内のそれぞれの単位画素 1313 を行毎に選択するための制御信号や、それぞれの単位画素 1313 をリセットするための制御信号などを生成する。画素アレイ部制御回路 13213 が生成したそれぞれの制御信号は、制御信号用パンプ 13322 を介して画素チップ 131 に備えた画素アレイ部 1312 内のそれぞれの単位画素 1313 へ送信される。

【0091】

画素出力デジタル処理回路制御回路 13212 は、画素出力デジタル処理回路 1318 を制御することによって、各単位画素 1313 から出力された画素信号に対してデジタル信号処理を行わせるための制御信号を生成する。例えば、画素出力デジタル処理回路制御回路 13212 は、画素信号を A/D 変換する際に使用するサンプリングクロックを生成するための信号サンプルタイミング制御信号や、シリアルライザがデジタルデータをシリアルライズする際に使用するクロックをクロック供給回路が生成するためのタイミング制御信号などを生成する。画素出力デジタル処理回路制御回路 13212 が生成したそれぞれの制御信号は、制御信号用パンプ 13322 を介して画素チップ 131 に備えたそれぞれの画素出力デジタル処理回路 1318 へ送信される。

【0092】

画素信号出力回路 13214 は、画素出力デジタル処理回路 1318 から画素出力デジタル処理回路用パンプ 13323 を介して送信されたデジタル信号処理後の信号を受信し、受信したデジタル信号処理後の信号（例えば、デジタルデータ）を、固体撮像装置 13 の出力信号として外部に出力する。

【0093】

次に、本第 4 の実施形態の固体撮像装置 13 の構造について説明する。図 14 は、本第 4 の実施形態における固体撮像装置 13 の構造を示した断面図である。図 14 は、図 11 に示した第 3 の実施形態の固体撮像装置 13 の構造と同様に、図 8 に示した固体撮像装置 13 の概観図に点線 A - A で示した部分（A - A 断面）における固体撮像装置 13 の断面図を示している。図 14 に示したように、固体撮像装置 13 では、図 11 に示した第 3 の実施形態の固体撮像装置 13 と同様に、シールド 1334 を、制御信号用パンプ 13322 または画素出力デジタル処理回路用パンプ 13323 と同様の形状の複数のサブシールドが連なるように形成している。

【0094】

シールド 1334 は、図 11 に示した第 3 の実施形態の固体撮像装置 13 におけるシールド 1333 と同様に、画素チップ 131 または回路チップ 132 のいずれか一方または両方に、それぞれの画素出力デジタル処理回路用パンプ 13323 を囲むように形成され、形成されたチップ内で固定電位に接続されている。シールド 1334 を形成するそれぞれのサブシールドも、画素出力デジタル処理回路用パンプ 13323 と同じ材料で形成される。なお、シールド 1334 を形成するそれぞれのサブシールドも、第 3 の実施形態の固体撮像装置 13 におけるシールド 1333 を形成するそれぞれのサブシールドと同様に、いずれかのチップ内の固定電位に接続されていれば、必ずしも画素チップ 131 と回路チップ 132 との両方の固定電位と、電気的に接続する必要はない。

【0095】

なお、シールド 1334 を形成する目的は、第 3 の実施形態の固体撮像装置 13 と異なる。より具体的には、シールド 1334 は、画素出力デジタル処理回路用パンプ 13323 を介して画素チップ 131 と回路チップ 132 との間で送受信される信号に混入するノイズを低減するのではなく、画素チップ 131 と回路チップ 132 との間で送受信される信号から放出されるノイズを低減することを目的として形成されている。これは、上述したように、画素出力デジタル処理回路用パンプ 13323 を介して画素チップ 131 から回路チップ 132 に送信されるデジタル信号処理後の信号は、制御信号用パンプ 1332

2を介して回路チップ132から画素チップ131に送信される制御信号よりも早い周期で変化する信号であるからである。つまり、早い周期で変化するデジタル信号処理後の信号によってノイズが放出されると、固体撮像装置13内の他の信号に対して影響を及ぼしてしまうことがあるため、本第4の実施形態の固体撮像装置13では、シールド1334を形成することによって、デジタル信号処理後の信号が放出するノイズをシールドすることによって、他の信号へのノイズの混入を低減している。

【0096】

このように、本第4の実施形態の固体撮像装置13でも、第3の実施形態の固体撮像装置13と同様に、画素出力デジタル処理回路用パンプ13323を形成する領域にシールド1334を形成する。このとき、本第4の実施形態の固体撮像装置13では、ノイズを放出してしまう可能性がある信号、つまり、高速で動作する信号を送受信するそれぞれの画素出力デジタル処理回路用パンプ13323の周辺を囲むように形成する。これにより、本第4の実施形態の固体撮像装置13では、画素チップ131と回路チップ132との間が中空の状態である接続領域133の部分で、画素出力デジタル処理回路用パンプ13323を介して画素チップ131から回路チップ132に送信されるデジタル信号処理後の信号が放出するノイズを低減することができる。すなわち、本第4の実施形態の固体撮像装置13では、画素出力デジタル処理回路1318がデジタル信号処理後の信号を出力した直後で、デジタル信号処理後の信号が放出するノイズをシールドすることができる。このことにより、本第4の実施形態の固体撮像装置13でも、ノイズの少ない良好な画像を得ることができる。

【0097】

また、第4の実施形態の固体撮像装置13においては、制御信号用パンプ13322と、画素出力デジタル処理回路用パンプ13323とは共に、画素チップ131と回路チップ132とを電氣的に接続する。そして、制御信号用パンプ13322と画素出力デジタル処理回路用パンプ13323とのそれぞれは、例えば、金(Au)メッキ、銅(Cu)メッキ、ニッケル(Ni)メッキなどの同じ材料で形成されている。また、シールド1334は、制御信号用パンプ13322と画素出力デジタル処理回路用パンプ13323と同じ材料で形成されている。しかし、図14を見てわかるように、シールド1334は、画素出力デジタル処理回路用パンプ13323のみを囲むように形成されている。これは、上述したように、単位画素1313が出力した画素信号に応じたデジタル信号を、画素出力デジタル処理回路用パンプ13323を介して画素チップ131から回路チップ132に送信する際に放出するノイズを低減することによって、画質低下を抑えた画像を得るためである。このため、第4の実施形態の固体撮像装置13では、比較的低速で動作し、ノイズを放出する可能性が少ないと考えられる制御信号が送信される制御信号用パンプ13322に対しては、シールドを形成していない。このように、パンプを介して送受信される信号を、高速で動作する信号と低速で動作する信号とに分類することによって、それぞれの信号毎にノイズを放出する可能性の有無を考慮して、シールドを形成することができる。

【0098】

なお、例えば、画素出力デジタル処理回路制御回路13212が、画素出力デジタル処理回路1318が画素信号をAD変換する際に使用するサンプリングクロックや、シリアルライザがデジタルデータをシリアルライズする際に使用するクロックを、対応する制御信号用パンプ13322を介して直接送信する場合には、この制御信号用パンプ13322の周辺を囲むようにシールドを形成することが考えられる。ただし、画素出力デジタル処理回路制御回路13212がクロックを直接送信する場合であっても、例えば、画素出力デジタル処理回路1318内に逡倍回路を備え、送信されたクロックを画素チップ131内で逡倍して使用する際には、対応する制御信号用パンプ13322に隣接したシールドを形成しないことも考えられる。

【0099】

上記に述べたように、本発明を実施するための形態によれば、それぞれの半導体チップ

に形成されたチップ接続部が電氣的に接続される接続領域内に、それぞれのチップ接続部に隣接し、このチップ接続部を間に挟むような位置にシールドを形成する。これにより、本発明を実施するための形態の半導体装置では、それぞれの半導体チップの間が中空の状態であっても、チップ接続部を介して接続された信号に混入するノイズまたはチップ接続部を介して接続された信号から放出されるノイズを低減する、つまり、ノイズをシールドすることができる。このことにより、本発明を実施するための形態では、ノイズによる影響が少ない３次元構造の半導体装置を提供することができる。

【０１００】

また、本発明を実施するための形態によれば、アナログの信号や高速に動作する信号など、ノイズの影響の有無、またはノイズの放出の有無を考慮して、シールドを形成する。また、本発明を実施するための形態では、それぞれのチップ接続部を形成する製造工程や製造プロセスと同じ方法で、容易にシールドを形成することができる。これにより、本発明を実施するための形態の半導体装置では、より有効にシールドを形成することができる。

10

【０１０１】

なお、本実施形態においては、本発明の半導体装置の構造を、固体撮像装置に適用した場合について説明したが、本発明の半導体装置の構造を適用することができる半導体装置は、本発明を実施するための形態に限定されるものではない。また、本発明における具体的な構成や構造は、本発明を実施するための形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更をすることができる。例えば、半導体装置内の回路要素が変わったことにより、チップ接続部が形成される位置や半導体装置の構成要素や回路構成が変更された場合でも、半導体チップに形成されたチップ接続部を介して信号を送受信する３次元構造の半導体装置であれば、いかなる構成の半導体装置であっても、本発明の考え方を適用することができる。

20

【０１０２】

また、第４の実施形態においては、画素出力デジタル処理回路１３１８内にＡＤ変換回路やシリアルライザなどのデジタル信号処理回路、およびクロック供給回路や通倍回路を備えた一例について説明したが、構成要素や回路構成が異なる場合でも、本発明の考え方を適用することができる。例えば、ＡＤ変換回路、シリアルライザ、クロック供給回路、および通倍回路の全てまたは一部を、回路チップ１３２内に備えた構成であっても、本発明の考え方を適用することができる。

30

【０１０３】

また、本発明の実施形態に係る半導体装置や固体撮像装置は、２枚の基板が接続部により接続されていてもよいし、３枚以上の基板が接続部で接続されていてもよい。３枚以上の基板が接続部で接続される半導体装置や固体撮像装置の場合、そのうちの２枚が請求項に係る第１の基板と第２の基板に相当する。

【０１０４】

以上、本発明の実施形態について、図面を参照して説明してきたが、具体的な構成はこの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲においての種々の変更も含まれる。

40

【符号の説明】

【０１０５】

- １・・・撮像装置
- ２・・・レンズユニット部
- ３・・・半導体装置
- １３・・・固体撮像装置（半導体装置）
- ３１・・・第１の半導体チップ（第１の基板）
- １３１・・・画素チップ（第１の基板）
- １３１１・・・画素チップ垂直走査回路（第１の回路）
- １３１２・・・画素アレイ部（第１の回路）

50

1 3 1 3 . . . 単位画素 (第 1 の回路)	
1 3 1 4 . . . 画素信号線	
1 3 1 5 . . . 画素チップ垂直走査回路信号線	
1 3 1 6 . . . 画素制御線	
1 3 1 8 . . . 画素出力デジタル処理回路 (第 1 の回路)	
3 1 1 . . . 第 1 の半導体層	
3 1 2 . . . 第 1 のデバイス形成領域	
3 1 3 . . . 第 1 の配線層	
3 1 4 . . . 第 1 のメタル配線	
3 2 . . . 第 2 の半導体チップ (第 2 の基板)	10
1 3 2 . . . 回路チップ (第 2 の基板)	
1 3 2 1 . . . 画素信号処理チップ垂直走査回路 (第 2 の回路)	
1 3 2 1 2 . . . 画素出力デジタル処理回路制御回路 (第 2 の回路)	
1 3 2 1 3 . . . 画素アレイ部制御回路 (第 2 の回路)	
1 3 2 1 4 . . . 画素信号出力回路 (第 2 の回路)	
1 3 2 2 . . . メモリアレイ部 (第 2 の回路)	
1 3 2 3 . . . 単位メモリ (第 2 の回路)	
1 3 2 4 . . . メモリ信号線	
1 3 2 5 . . . 画素信号処理チップ垂直信号線	
1 3 2 6 . . . 画素信号処理チップ列処理回路	20
1 3 2 7 . . . 画素信号処理チップ水平走査回路	
1 3 2 8 . . . 画素信号処理チップ水平走査回路信号線	
1 3 2 9 . . . イメージセンサ制御回路 (第 2 の回路)	
1 3 2 1 0 . . . イメージセンサ制御回路信号線	
1 3 2 1 1 . . . メモリ制御線	
3 2 1 . . . 第 2 の半導体層	
3 2 2 . . . 第 2 のデバイス形成領域	
3 2 3 . . . 第 2 の配線層	
3 2 4 . . . 第 2 のメタル配線	
3 3 , 1 3 3 . . . 接続領域	30
3 3 1 . . . バンプ (接続部)	
1 3 3 2 1 . . . 画素信号用バンプ (接続部)	
1 3 3 2 2 . . . 制御信号用バンプ (接続部)	
1 3 3 2 3 . . . 画素出力デジタル処理回路用バンプ (接続部)	
3 3 2 , 3 3 4 . . . シールド (遮へい層)	
3 3 3 , 3 3 5 , 3 3 6 , 1 3 3 3 , 1 3 3 4 . . . シールド (遮へい層 , 単位遮へい層)	
3 3 5 a , 3 3 5 b , 3 3 5 c , 3 3 5 d , 3 3 6 a , 3 3 6 b . . . サブシールド (単位遮へい層)	
3 4 , 1 3 4 . . . 外部配線接続部	40
4 . . . 発光装置	
5 . . . メモリ	
6 . . . 記録装置	
7 . . . 表示装置	
8 . . . 画像信号処理回路	
9 . . . レンズ制御装置	
1 0 . . . イメージセンサ制御装置	
1 1 . . . 発光制御装置	
1 2 . . . カメラ制御装置	

【 図 1 】

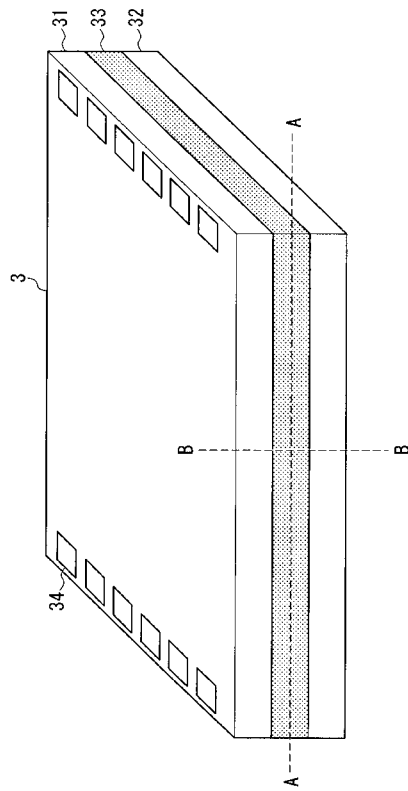


図 1

【 図 2 】

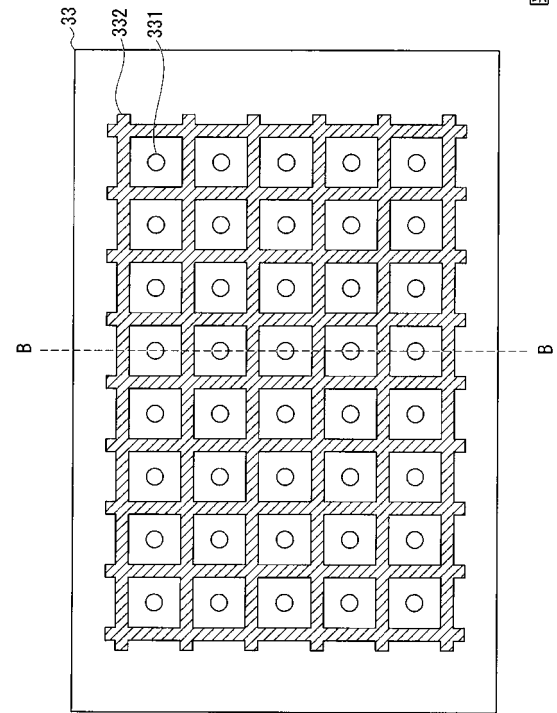


図 2

【 図 3 】

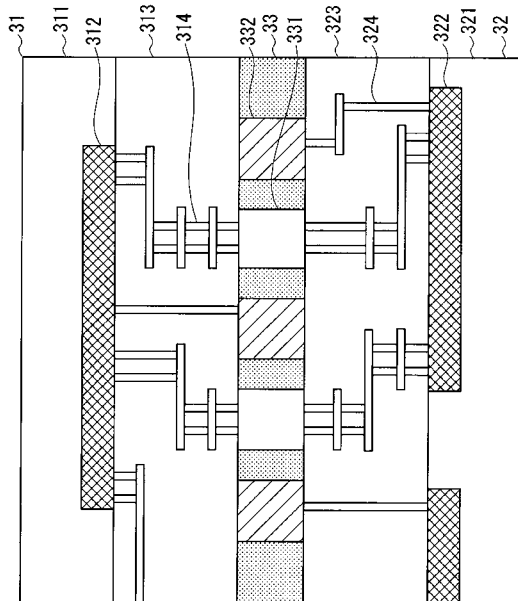


図 3

【 図 4 】

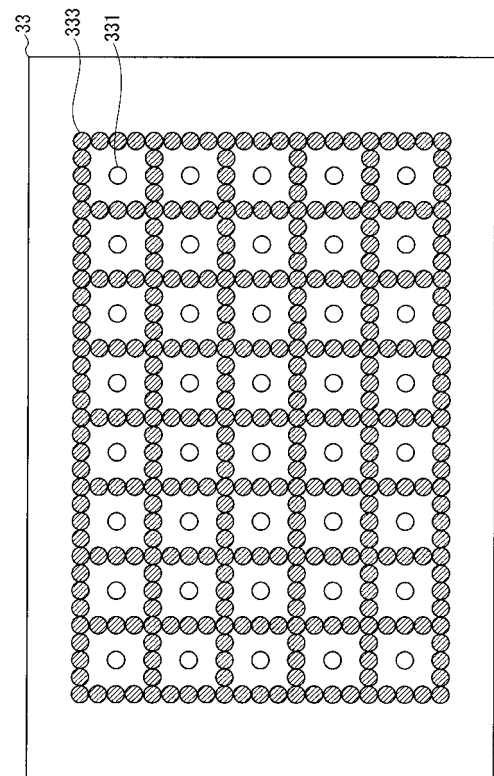


図 4

【図 5】

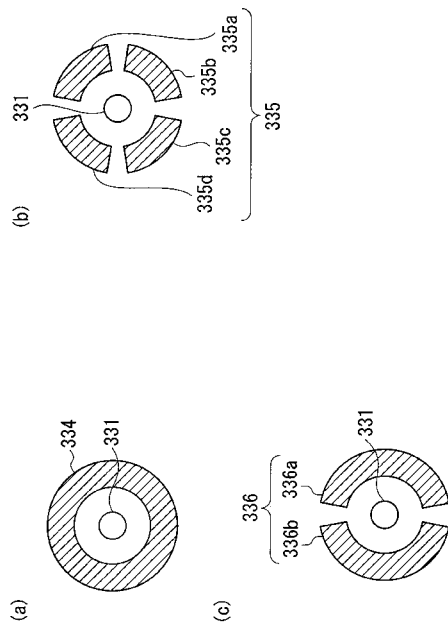


図5

【図 6】

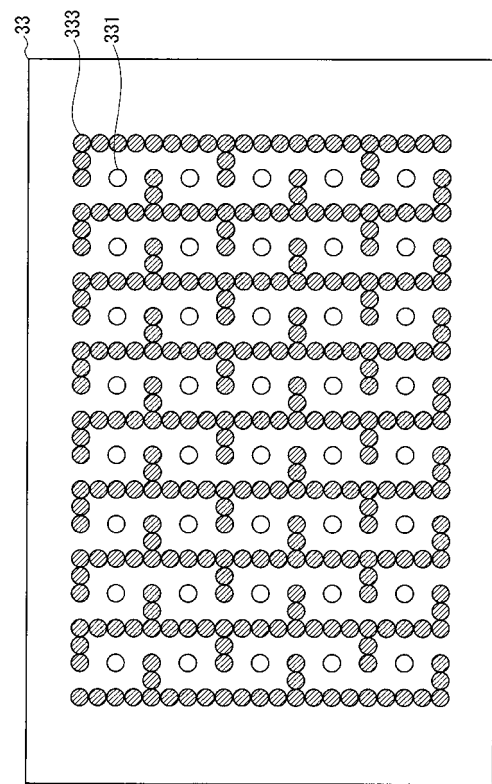


図6

【図 7】

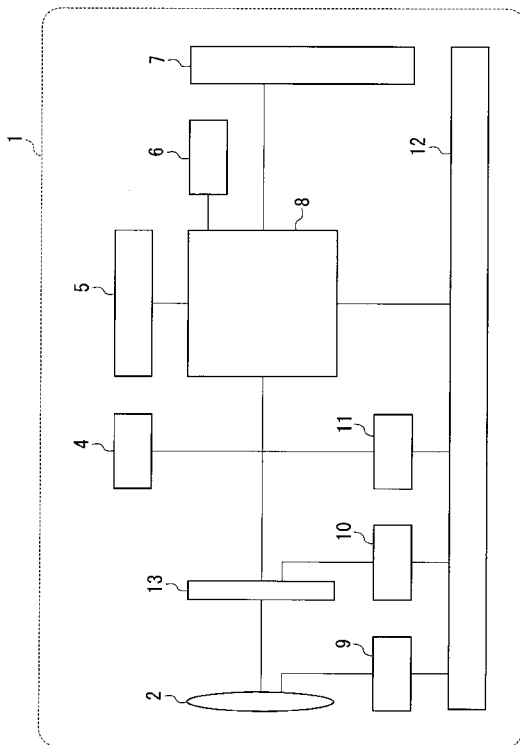


図7

【図 8】

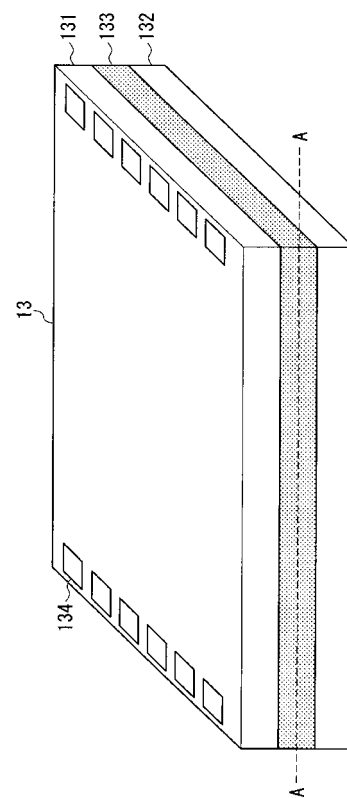
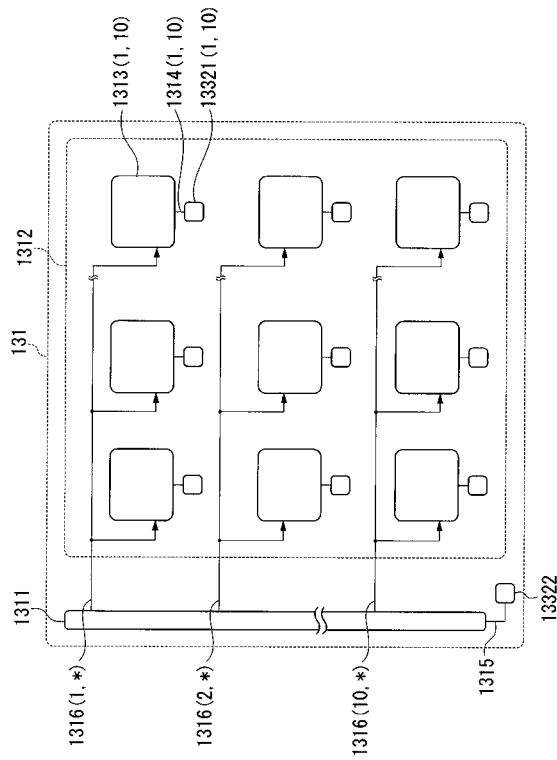
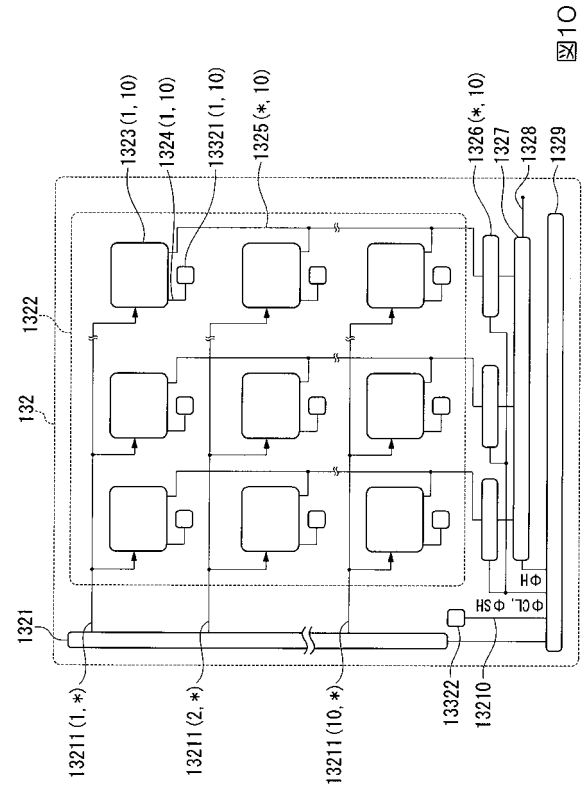


図8

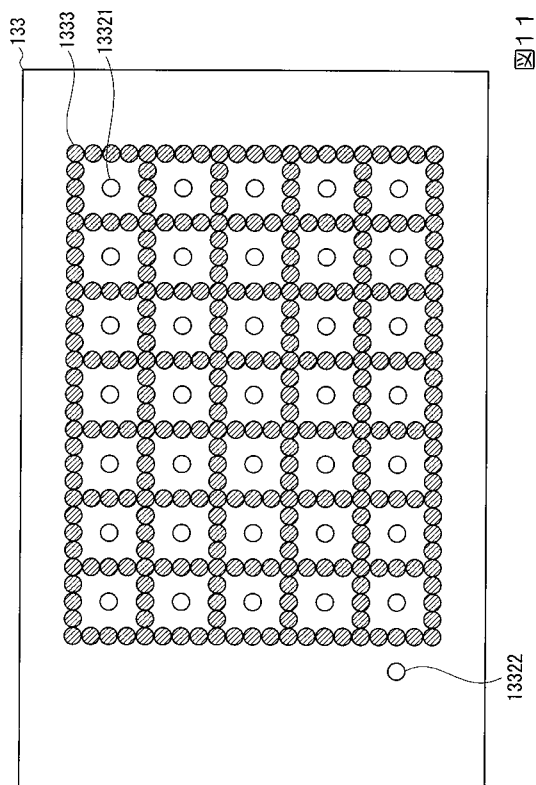
【図 9】



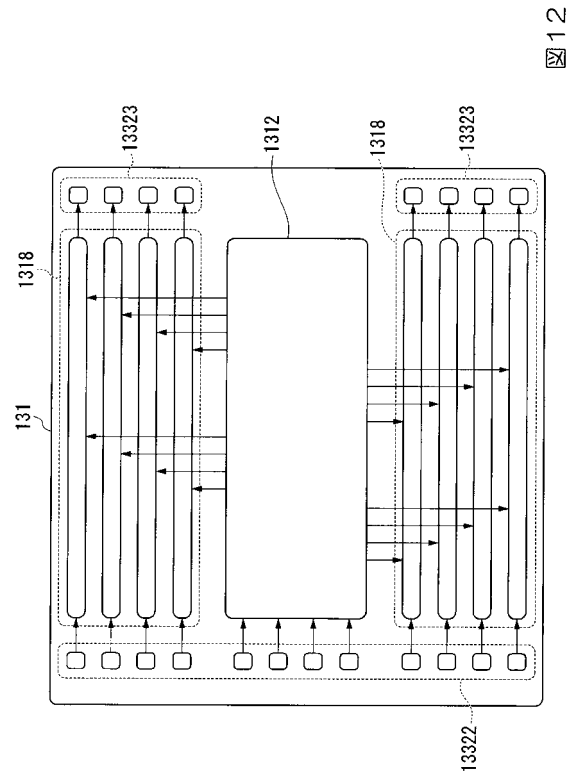
【図 10】



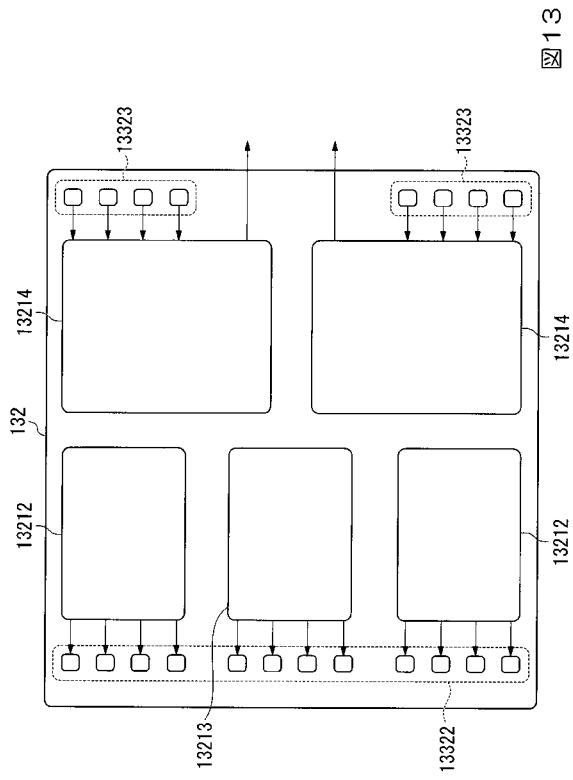
【図 11】



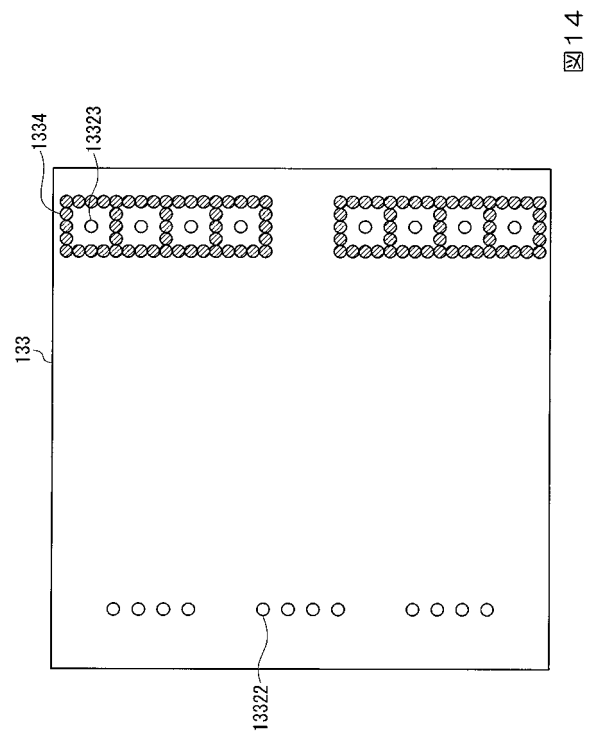
【図 12】



【図 13】



【図 14】



フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 福岡 直人

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内

F ターム(参考) 4M118 AB01 BA19 HA22 HA24 HA25 HA31

5C024 CX03 CY47 GY31