



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202344154 A

(43)公開日：中華民國 112 (2023) 年 11 月 01 日

(21)申請案號：111149790

(22)申請日：中華民國 111 (2022) 年 12 月 23 日

(51)Int. Cl. : H05K3/22 (2006.01) H05K3/10 (2006.01)

(30)優先權：2022/01/05 日本 2022-000510

2022/02/14 日本 2022-020718

(71)申請人：日商住友電工印刷電路股份有限公司(日本) SUMITOMO ELECTRIC PRINTED CIRCUITS, INC. (JP)

日本

日商住友電氣工業股份有限公司(日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.

(JP)

日本

(72)發明人：尾形道 OGATA, MICHI (JP)；濱田健史 HAMADA, TAKESHI (JP)；野口航 NOGUCHI, KOU (JP)；新田耕司 NITTA, KOJI (JP)；酒井将一郎 SAKAI, SHOICHIRO (JP)；津田幸枝 TSUDA, YUKIE (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：8 項 圖式數：12 共 39 頁

(54)名稱

線圈裝置及印刷電路板

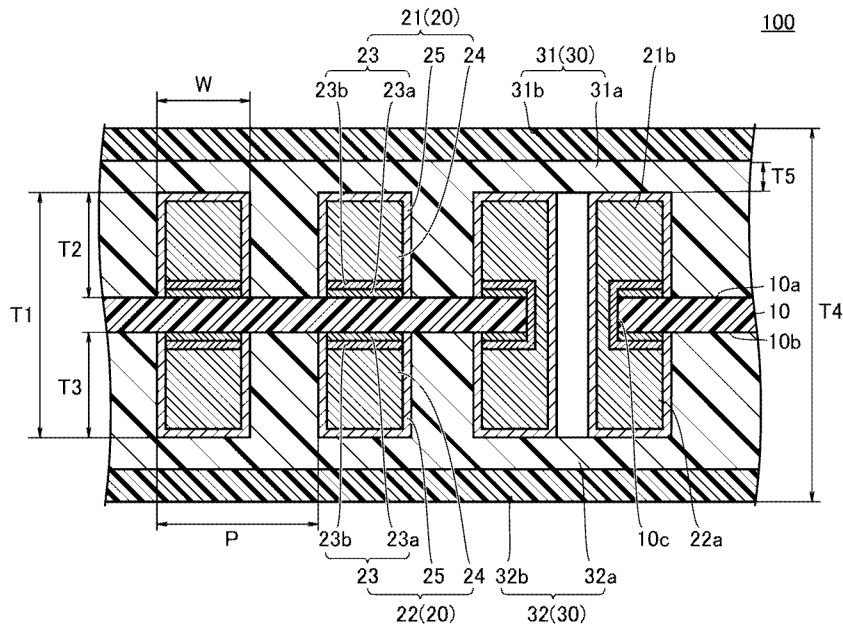
(57)摘要

本發明之線圈裝置具備複數個印刷電路板及接著層。複數個印刷電路板於線圈裝置之厚度方向上重疊配置。複數個印刷電路板之各者具有包含第 1 主面及第 2 主面之基底膜、以及螺旋狀地形成於第 1 主面上及第 2 主面上之至少任一者之線圈配線。接著層配置於在線圈裝置之厚度方向上相鄰之複數個印刷電路板之間。線圈裝置具有滿足式(1)之部分。R1 係將線圈配線之寬度除以相鄰之線圈配線之 2 個部分之間之距離所得的值關於複數個印刷電路板加以平均所得之值。R2 係將線圈配線之厚度除以線圈裝置之厚度所得的值關於複數個印刷電路板進行合計所得之值。

[數1]

$$\text{式(1): } 0.35 \leq R1 \times R2 \leq 0.85$$

指定代表圖：



【圖1】

符號簡單說明：

- 10:基底膜
- 10a:第 1 主面
- 10b:第 2 主面
- 10c:貫通孔
- 20:線圈配線
- 21:第 1 線圈配線
- 21b:焊墊
- 22:第 2 線圈配線
- 22a:焊墊
- 23:晶種層
- 23a:第 1 層
- 23b:第 2 層
- 24:第 1 電解鍍覆層
- 25:第 2 電解鍍覆層
- 30:接著層
- 31:保護層
- 31a:接著層
- 31b:保護膜
- 32:保護層
- 32a:接著層
- 32b:保護膜
- 100:印刷電路板
- P:間距
- T1:厚度
- T2:厚度
- T3:厚度
- T4:厚度
- W:寬度

【發明摘要】

【中文發明名稱】

線圈裝置及印刷電路板

【中文】

本發明之線圈裝置具備複數個印刷電路板及接著層。複數個印刷電路板於線圈裝置之厚度方向上重疊配置。複數個印刷電路板之各者具有包含第1主面及第2主面之基底膜、以及螺旋狀地形成於第1主面上及第2主面上之至少任一者之線圈配線。接著層配置於在線圈裝置之厚度方向上相鄰之複數個印刷電路板之間。線圈裝置具有滿足式(1)之部分。R1係將線圈配線之寬度除以相鄰之線圈配線之2個部分之間之距離所得的值關於複數個印刷電路板加以平均所得之值。R2係將線圈配線之厚度除以線圈裝置之厚度所得的值關於複數個印刷電路板進行合計所得之值。

[數1]

$$\text{式(1)}: 0.35 \leq R1 \times R2 \leq 0.85$$

【指定代表圖】

圖1

【代表圖之符號簡單說明】

10:基底膜

10a:第1主面

10b:第2主面

10c:貫通孔

20:線圈配線

21:第1線圈配線

21b:焊墊

22:第2線圈配線

22a:焊墊

23:晶種層

23a:第1層

23b:第2層

24:第1電解鍍覆層

25:第2電解鍍覆層

30:接著層

31:保護層

31a:接著層

31b:保護膜

32:保護層

32a:接著層

32b:保護膜

100:印刷電路板

P:間距

T1:厚度

T2:厚度

T3:厚度

T4:厚度

W:寬度

【發明說明書】

【中文發明名稱】

線圈裝置及印刷電路板

【技術領域】

【0001】

本發明係關於一種線圈裝置及印刷電路板。本申請案主張基於作為2022年1月5日申請之日本專利申請案之特願2022-510號之優先權及基於作為2022年2月14日申請之日本專利申請案之特願2022-020718號之優先權。該等日本專利申請案中所記載之所有記載內容藉由參照而引用於本說明書中。

【先前技術】

【0002】

例如，於日本專利特開2016-9854號公報(專利文獻1)中，記載有印刷電路板。專利文獻1中所記載之印刷電路板具有基底膜、第1導電圖案、第2導電圖案、第1接著層、第1覆蓋膜、第2接著層、及第2覆蓋膜。

【0003】

基底膜具有第1主面及第2主面。第1導電圖案螺旋狀地形成於第1主面上。第2導電圖案螺旋狀地形成於第2主面上。第1導電圖案及第2導電圖案相互電性連接。

【0004】

第1接著層以覆蓋第1導電圖案之方式配置於第1主面上。第1覆蓋膜配置於第1接著層上。第2接著層以覆蓋第2導電圖案之方式配置於第2主面上。第2覆蓋膜配置於第2接著層上。

[先前技術文獻]

[專利文獻]

【0005】

[專利文獻1]日本專利特開2016-9854號公報

【發明內容】

【0006】

本發明之線圈裝置具備複數個印刷電路板及接著層。複數個印刷電路板於線圈裝置之厚度方向上重疊配置。複數個印刷電路板之各者具有包含第1主面及第2主面之基底膜、以及螺旋狀地形成於第1主面上及第2主面上之至少任一者之線圈配線。接著層配置於在線圈裝置之厚度方向上相鄰之複數個印刷電路板之間。線圈裝置之厚度係將線圈配線之厚度及基底膜之厚度關於複數個印刷電路板加以合計而成的值與接著層之厚度之和。線圈裝置具有滿足式(1)之部分。R1係將線圈配線之寬度除以相鄰之線圈配線之2個部分之間之間距所得的值關於複數個印刷電路板加以平均所得之值。R2係將線圈配線之厚度除以線圈裝置之厚度所得的值關於複數個印刷電路板進行合計所得之值。

【0007】

[數1]

$$\text{式(1)}: 0.35 \leq R1 \times R2 \leq 0.85$$

【圖式簡單說明】

【0008】

圖1係印刷電路板100之剖視圖。

圖2係印刷電路板100之俯視圖。

圖3係印刷電路板100之仰視圖。

圖4係表示印刷電路板100之製造方法之步驟圖。

圖5係說明晶種層形成步驟S1之剖視圖。

圖6係說明抗蝕劑形成步驟S2之剖視圖。

圖7係說明第1電解鍍覆步驟S3之剖視圖。

圖8係說明抗蝕劑去除步驟S4之剖視圖。

圖9係說明蝕刻步驟S5之剖視圖。

圖10係說明第2電解鍍覆步驟S6之剖視圖。

圖11係線圈裝置200之剖視圖。

圖12係表示將比率R1乘以比率R2所得之值與各樣品之性能之關係的曲線圖。

【實施方式】

【0009】

[本發明所欲解決之問題]

由於相鄰之第1導電圖案之部分之間之間距及相鄰之第2導電圖案之部分之間之間距越小則越可使第1導電圖案之圖案密度及第2導電圖案之圖案密度增加，故而使用專利文獻1中所記載之印刷電路板之線圈裝置產生之推力得到改善。

【0010】

又，由於第1導電圖案之厚度及第2導電圖案之厚度越大則每單位長度之第1導電圖案之電阻值及每單位長度之第2導電圖案之電阻值越減少，故而即便使第1導電圖案之圖案密度及第2導電圖案之圖案密度增加，亦可抑制第1導電圖案整體之電阻值及第2導電圖案整體之電阻值增加。

【0011】

然而，於專利文獻1中所記載之印刷電路板中，難以使第1導電圖案及第2導電圖案微間距化並且難以使第1導電圖案及第2導電圖案變厚。因此，專利文獻1中所記載之印刷電路板用於線圈裝置時之推力及電阻值尚存在改善之餘地。

【0012】

本發明係鑒於如上述之先前技術之問題點而完成者。更具體而言，本發明提供一種推力及電阻值得到改善之線圈裝置。

【0013】

[本發明之效果]

根據本發明之線圈裝置，能夠改善推力及電阻值。

【0014】

[本發明之實施方式之說明]

首先，列記本發明之實施方式進行說明。

【0015】

(1)一實施方式之線圈裝置具備複數個印刷電路板及接著層。複數個印刷電路板於線圈裝置之厚度方向上重疊配置。複數個印刷電路板之各者具有包含第1主面及第2主面之基底膜、以及螺旋狀地形成於第1主面上及第2主面上之至少任一者之線圈配線。接著層配置於在線圈裝置之厚度方向上相鄰之複數個印刷電路板之間。線圈裝置之厚度係將線圈配線之厚度及基底膜之厚度關於複數個印刷電路板合計而成的值與接著層之厚度之和。線圈裝置具有滿足式(1)之部分。 $R1$ 係將線圈配線之寬度除以相鄰之線圈配線之2個部分之間之距離所得的值關於複數個印刷電路板加以平均

所得之值。R2係將線圈配線之厚度除以線圈裝置之厚度所得的值關於複數個印刷電路板進行合計所得之值。

【0016】

[數1]

$$\text{式(1)}: 0.35 \leq R1 \times R2 \leq 0.85$$

【0017】

根據上述(1)之線圈裝置，能夠改善推力及電阻值。

【0018】

(2)一實施方式之印刷電路板具備具有第1主面及第2主面之基底膜、以及螺旋狀地形成於第1主面上及第2主面上之線圈配線。印刷電路板具有滿足式(2)之部分。R3係將線圈配線之寬度除以相鄰之線圈配線之2個部分之間之間距所得的值。R4係位於第1主面上及第2主面上之線圈配線之厚度占位於第1主面上之線圈配線之上表面與位於第2主面上之線圈配線之上表面之間之距離的比率。

【0019】

[數2]

$$\text{式(2)}: 0.35 \leq R3 \times R4 \leq 0.85$$

【0020】

根據上述(2)之印刷電路板，能夠改善用於線圈裝置時之推力及電阻值。

【0021】

(3)另一實施方式之印刷電路板具備具有第1主面及第2主面之基底膜、螺旋狀地形成於第1主面上及第2主面上之線圈配線、以及以覆蓋線圈

配線之方式配置於第1主面上及第2主面上之保護層。印刷電路板具有滿足式(3)之部分。R3係將線圈配線之寬度除以相鄰之線圈配線之2個部分之間之距離所得的值。R5係位於第1主面上及第2主面上之線圈配線之厚度占印刷電路板之厚度的比率。

【0022】

[數3]

$$\text{式(3)}: 0.30 \leq R3 \times R5 \leq 0.90$$

【0023】

根據上述(3)之印刷電路板，能夠改善用於線圈裝置時之推力及電阻值。

【0024】

(4)(3)之印刷電路板亦可具有滿足式(4)之部分。

【0025】

[數4]

$$\text{式(4)}: 0.40 \leq R3 \times R5 \leq 0.65$$

【0026】

根據上述(4)之印刷電路板，能夠進而改善用於線圈裝置時之推力及電阻值。

【0027】

(5)於(3)或(4)之印刷電路板中，保護層亦可具有覆蓋線圈配線之接著層。接著層之厚度亦可為10 μm以上25 μm以下。

【0028】

根據上述(5)之印刷電路板，能夠抑制氣泡混入至接著層中。

【0029】

(6)於(2)至(5)之印刷電路板中，線圈配線亦可具有滿足式(5)之部分。W係線圈配線之寬度。P係相鄰之線圈配線之2個部分之間距。

【0030】

[數5]

$$\text{式(5)} : 0.72 \leq W \div P \leq 0.93$$

【0031】

(7)於(2)至(6)之印刷電路板中，線圈配線亦可具有線圈配線之厚度為40 μm以上60 μm以下之部分。

【0032】

(8)於(2)至(7)之印刷電路板中，線圈配線亦可具有線圈配線之寬度為20 μm以上40 μm以下之部分。

【0033】

[本發明之實施方式之詳細情況]

其次，參照圖式對本發明之實施方式之詳細情況進行說明。於以下之圖式中，對相同或相當之部分標註相同之參照符號，重複之說明不再重複。

【0034】

(第1實施方式)

對第1實施方式之印刷電路板(設為「印刷電路板100」)進行說明。

【0035】

<印刷電路板100之構成>

圖1係印刷電路板100之剖視圖。圖2係印刷電路板100之俯視圖。圖3

係印刷電路板100之仰視圖。再者，於圖2及圖3中，省略了保護層30之圖示。圖3中表示了自與圖2相反側觀察之印刷電路板100。如圖1至圖3所示，印刷電路板100具有基底膜10、線圈配線20、及保護層30。

【0036】

基底膜10具有第1主面10a及第2主面10b。第1主面10a及第2主面10b係厚度方向上之基底膜10之端面。第2主面10b係第1主面10a之相反面。

【0037】

基底膜10由具有可撓性之電性絕緣性之材料形成。基底膜10例如由聚醯亞胺、聚對苯二甲酸乙二酯及氟樹脂形成。

【0038】

將位於第1主面10a上之線圈配線20之部分設為第1線圈配線21。將位於第2主面10b上之線圈配線20之部分設為第2線圈配線22。第1線圈配線21螺旋狀地形成於第1主面10a上。第2線圈配線22螺旋狀地形成於第2主面10b上。第1線圈配線21及第2線圈配線22相互電性連接。但是，線圈配線20亦可不具有第1線圈配線21及第2線圈配線22之任一者。

【0039】

線圈配線20具有晶種層23、第1電解鍍覆層24、及第2電解鍍覆層25。晶種層23配置於基底膜10之主面(第1主面10a、第2主面10b)上。第1電解鍍覆層24配置於晶種層23上。第2電解鍍覆層25覆蓋晶種層23及第1電解鍍覆層24。將該情況自其他觀點而言，第2電解鍍覆層25配置於晶種層23之側面上以及第1電解鍍覆層24之側面上及上表面上。

【0040】

晶種層23具有第1層23a及第2層23b。第1層23a配置於基底膜10之主

面(第1主面10a、第2主面10b)上。第2層23b配置於第1層23a上。第1層23a例如係由鎳鉻合金形成之濺鍍層(藉由濺鍍而形成之層)。第2層23b例如係由銅形成之無電解鍍覆層(藉由無電解鍍覆而形成之層)。

【0041】

第1電解鍍覆層24例如係由與第2層23b相同之材料(銅)形成之電解鍍覆層(藉由電解鍍覆而形成之層)。第2電解鍍覆層25例如係由銅形成之電解鍍覆層。

【0042】

第1線圈配線21之一端成為焊墊21a。第1線圈配線21之另一端成為焊墊21b。第2線圈配線22之一端成為焊墊22a。第2線圈配線22之另一端成為焊墊22b。焊墊21b及焊墊22a於俯視時重疊。線圈配線20(第1線圈配線21、第2線圈配線22)藉由於焊墊21a與焊墊22b之間流通電流，而作為線圈發揮功能，產生磁場。

【0043】

於基底膜10形成有貫通孔10c。貫通孔10c沿著厚度方向貫通基底膜10。貫通孔10c於俯視時與焊墊21b及焊墊22a重疊。第1線圈配線21及第2線圈配線22藉由配置於貫通孔10c之內壁面上之第2層23b、第1電解鍍覆層24及第2電解鍍覆層25，而相互電性連接。

【0044】

將配置於第1主面10a上之保護層30設為保護層31。將配置於第2主面10b上設為保護層32。

【0045】

保護層31例如具有接著層31a及保護膜31b。接著層31a以覆蓋第1線

圈配線21之方式配置於第1主面10a上。保護膜31b配置於接著層31a上。保護層32例如具有接著層32a及保護膜32b。接著層32a以覆蓋第2線圈配線22之方式配置於第2主面10b上。保護膜32b配置於接著層32a上。

【0046】

接著層31a及接著層32a例如由環氧系之接著劑形成。保護膜31b及保護膜32b例如由聚醯亞胺形成。保護層30(保護層31、保護層32)亦可為阻焊劑。

【0047】

將線圈配線20之寬度設為寬度 W 。將相鄰之線圈配線20之2個部分之間之間距設為間距 P 。將除了保護層30(保護層31、保護層32)以外之印刷電路板100之厚度設為厚度 $T1$ 。厚度 $T1$ 係第1線圈配線21之上表面與第2線圈配線22之上表面之間之距離。再者，第1線圈配線21之上表面係第1線圈配線21之與基底膜10為相反側之面，第2線圈配線22之上表面係第2線圈配線22之與基底膜10為相反側之面。將第1線圈配線21之厚度設為厚度 $T2$ 。將第2線圈配線22之厚度設為厚度 $T3$ 。

【0048】

將寬度 W 除以間距 P 所得的值設為比率 $R3$ ，將厚度 $T2$ 及厚度 $T3$ 之和占厚度 $T1$ 之比率(厚度 $T2$ 及厚度 $T3$ 之和除以厚度 $T1$ 所得的值)設為比率 $R4$ 。

【0049】

比率 $R3$ 乘以比率 $R4$ 所得之值為0.35以上0.85以下。但是，於印刷電路板100之所有部分中，比率 $R3$ 乘以比率 $R4$ 所得之值亦可不為0.35以上0.85以下。於印刷電路板100之一部分中，比率 $R3$ 乘以比率 $R4$ 所得之值只

要為0.35以上0.85以下即可。

【0050】

將印刷電路板100之厚度設為厚度T4。將厚度T2及厚度T3之和占厚度T4之比率(厚度T2及厚度T3之和除以厚度T4所得的值)設為比率R5。

【0051】

比率R3乘以比率R5所得之值為0.30以上0.90以下。比率R3乘以比率R5所得之值較佳為0.40以上0.65以下。但是，於印刷電路板100之所有部分中，比率R3乘以比率R5所得之值亦可不為0.30以上0.90以下(或0.40以上0.65以下)。於印刷電路板100之一部分中，比率R3乘以比率R5所得之值只要為0.30以上0.90以下(或0.40以上0.65以下)即可。

【0052】

比率R3例如為0.72以上0.93以下。線圈配線20(第1線圈配線21、第2線圈配線22)只要具有比率R3為0.72以上0.93以下之部分即可。厚度T2及厚度T3例如為40 μm 以上60 μm 以下。第1線圈配線21只要具有厚度T2為40 μm 以上60 μm 以下之部分即可，第2線圈配線22只要具有厚度T3為40 μm 以上60 μm 以下之部分即可。

【0053】

寬度W例如為20 μm 以上40 μm 以下。線圈配線20(第1線圈配線21、第2線圈配線22)只要具有寬度W為20 μm 以上40 μm 以下之部分即可。將接著層31a(接著層32a)之寬度設為厚度T5。厚度T5係第1線圈配線21(第2線圈配線22)之上表面與保護膜31b(保護膜32b)之間之距離。厚度T5較佳為10 μm 以上25 μm 以下。

【0054】

<印刷電路板100之製造方法>

圖4係表示印刷電路板100之製造方法之步驟圖。如圖4所示，印刷電路板100之製造方法具有晶種層形成步驟S1、抗蝕劑形成步驟S2、第1電解鍍覆步驟S3、抗蝕劑去除步驟S4、蝕刻步驟S5、第2電解鍍覆步驟S6、及保護膜貼附步驟S7。

【0055】

抗蝕劑形成步驟S2係於晶種層形成步驟S1之後進行。第1電解鍍覆步驟S3係於抗蝕劑形成步驟S2之後進行。抗蝕劑去除步驟S4係於第1電解鍍覆步驟S3之後進行。蝕刻步驟S5係於抗蝕劑去除步驟S4之後進行。第2電解鍍覆步驟S6係於蝕刻步驟S5之後進行。保護膜貼附步驟S7係於第2電解鍍覆步驟S6之後進行。

【0056】

圖5係說明晶種層形成步驟S1之剖視圖。如圖5所示，於晶種層形成步驟S1中，形成晶種層23。於晶種層形成步驟S1中，第1，於基底膜10之主面(第1主面10a、第2主面10b)上，形成第1層23a。第1層23a例如藉由濺鍍而形成。

【0057】

於晶種層形成步驟S1中，第2，形成貫通孔10c。貫通孔10c例如藉由對基底膜10照射雷射而形成。於晶種層形成步驟S1中，第3，於第1層23a上形成第2層23b。第2層23b亦形成於貫通孔10c之內壁面上。第2層23b例如藉由無電解鍍覆而形成。

【0058】

圖6係說明抗蝕劑形成步驟S2之剖視圖。如圖6所示，於抗蝕劑形成

步驟S2中，於晶種層23上形成抗蝕劑40。抗蝕劑40例如藉由將乾式膜抗蝕劑貼附於晶種層23上，並且使所貼附之乾式膜抗蝕劑曝光及顯影且圖案化而形成。

【0059】

圖7係說明第1電解鍍覆步驟S3之剖視圖。如圖7所示，於第1電解鍍覆步驟S3中，於自抗蝕劑40之開口露出之晶種層23上形成第1電解鍍覆層24。再者，第1電解鍍覆層24亦形成於位於貫通孔10c之內壁面上之第2層23b上。第1電解鍍覆層24藉由於包含第1電解鍍覆層24之構成材料之鍍覆液中對晶種層23通電而形成。

【0060】

圖8係說明抗蝕劑去除步驟S4之剖視圖。如圖8所示，於抗蝕劑去除步驟S4中，去除抗蝕劑40。圖9係說明蝕刻步驟S5之剖視圖。如圖9所示，於蝕刻步驟S5中，將自相鄰之第1電解鍍覆層24之2個部分之間露出之晶種層23藉由蝕刻而去除。

【0061】

於蝕刻步驟S5中，第1，對第2層23b進行蝕刻。對第2層23b之蝕刻係藉由對第1電解鍍覆層24之相鄰之2個部分之間供給蝕刻液而進行。蝕刻液係不藉由蝕刻液中之反應種向蝕刻對象附近擴散而藉由蝕刻液中之反應種與蝕刻對象之反應而速率限制蝕刻的方式選擇。

【0062】

更具體而言，蝕刻液使用對構成第2層23b之材料(即銅)之溶解反應速度為1.0 $\mu\text{m}/\text{分}$ 以下之蝕刻液。作為上述蝕刻液之具體例，可列舉硫酸過氧化氫溶液或過氧二硫酸鈉水溶液。再者，上述蝕刻液之溶解反應速度

係基於蝕刻後減少之銅之重量及蝕刻時間來測定。

【0063】

於蝕刻步驟S5中，第2，對第1層23a進行蝕刻。進行第1層23a之蝕刻時，切換蝕刻液。切換後之蝕刻液使用對構成第1層23a之材料(即，鎳鉻合金)之選擇比較高之蝕刻液。因此，於切換蝕刻液之後，對第1電解鍍覆層24之蝕刻不易進展。

【0064】

圖10係說明第2電解鍍覆步驟S6之剖視圖。如圖10所示，於第2電解鍍覆步驟S6中，以覆蓋晶種層23及第1電解鍍覆層24之方式形成第2電解鍍覆層25。再者，第2電解鍍覆層25亦形成於介置第2層23b而位於貫通孔10c之內壁面上之第1電解鍍覆層24上。

【0065】

第2電解鍍覆層25係藉由於包含第2電解鍍覆層25之構成材料之鍍覆液中對晶種層23及第1電解鍍覆層24通電而形成。根據以上內容，使用半加成法形成線圈配線20(第1線圈配線21、第2線圈配線22)。

【0066】

於保護膜貼附步驟S7中，形成保護層30。於保護膜貼附步驟S7中，第1，將塗佈有接著層31a之保護膜31b以覆蓋第1線圈配線21之方式配置於第1主面10a上，並且將塗佈有接著層32a之保護膜32b以覆蓋第2線圈配線22之方式配置於第2主面10b。再者，於該階段中，接著層31a及接著層32a未硬化。

【0067】

於保護膜貼附步驟S7中，第2，以進行加熱後之狀態，將保護膜31b

及保護膜32b朝向基底膜10加壓。藉此，接著層31a及接著層32a硬化，保護膜31b及保護膜32b貼附於基底膜10。根據以上內容，製造圖1所示之構造之印刷電路板100。

【0068】

<印刷電路板100之效果>

先前，使用對構成品種層之材料之溶解反應速度較大之蝕刻液(即，蝕刻液中之反應種向蝕刻對象附近之擴散速率限制蝕刻之蝕刻液)。若使線圈配線之相鄰之2個部分之間之距離變短，則蝕刻液不易供給至線圈配線之相鄰之2個部分之間。即便因線圈配線之厚度變大，亦不易將蝕刻液供給至線圈配線之相鄰之2個部分之間。

【0069】

其結果，於使用如上所述之蝕刻液之情形時，對晶種層之蝕刻之不均變大，為了確實地進行晶種層之去除而蝕刻量增加。因如以上之原因，先前無法使線圈配線之相鄰之2個部分之間之距離變短及使線圈配線之厚度變大。

【0070】

於印刷電路板100中，於蝕刻步驟S5中，使用對構成第2層23b之材料之溶解反應速度較低之蝕刻液。其結果，蝕刻步驟S5之蝕刻藉由蝕刻液中之反應種與蝕刻對象之反應予以速率限制，即便不易對相鄰之第1電解鍍覆層24之2個部分之間供給蝕刻液，亦不易產生第2層23b之蝕刻不均。

【0071】

因此，於印刷電路板100中，可使線圈配線20之圖案密度及厚度，即比率R3及比率R4(比率R5)變大。其結果，根據印刷電路板100，於用於線

圈裝置時，可抑制電阻值之增加，且提高推力。

【0072】

(第2實施方式)

對第2實施方式之線圈裝置(設為「線圈裝置200」)進行說明。

【0073】

<線圈裝置200之構成>

圖11係線圈裝置200之剖視圖。如圖11所示，線圈裝置200具有第1面200a及第2面200b。第2面200b係第1面200a之相反面。第1面200a及第2面200b係線圈裝置200之厚度方向上之端面。

【0074】

線圈裝置200具有複數個印刷電路板100及接著層110。複數個印刷電路板100於線圈裝置200之厚度方向上重疊配置。接著層110配置於在線圈裝置200之厚度方向上相鄰之2個印刷電路板100之間。如上所述，於複數個印刷電路板100之各者中，線圈配線20只要形成於第1主面10a上及第2主面10b上之至少任一者即可。

【0075】

保護層31僅配置於最靠近第1面200a之印刷電路板100之第1主面10a上，保護層32僅配置於最靠近第2面200b之印刷電路板100之第2主面10b上。

【0076】

將線圈裝置200之厚度設為厚度T6。厚度T6係關於複數個印刷電路板100將線圈配線20之厚度及基底膜10之厚度進行合計所得的值與接著層110之厚度(於接著層110之數量為複數個之情形時，為接著層110之厚度

之合計)之和。將關於複數個印刷電路板100之比率R3之平均值設為比率R1。將線圈配線20之厚度除以厚度T6所得的值關於複數個印刷電路板100進行合計所得之值設為比率R2。

【0077】

比率R1乘以比率R2所得之值為0.35以上0.85以下。於線圈裝置200之所有部分中，比率R1乘以比率R2所得之值亦可不為0.35以上0.85以下。於線圈裝置200之一部分中，比率R1乘以比率R2所得之值只要為0.35以上0.85以下即可。線圈裝置200較佳為具有比率R1乘以比率R2所得之值為0.38以上之部分。進而較佳為具有比率R1乘以比率R2所得之值為0.49以上之部分。

【0078】

<線圈裝置200之效果>

於線圈裝置200中，由於可使線圈配線20之圖案密度及厚度，即比率R1及比率R2變大，故而可抑制電阻值之增加，且提高推力。

【0079】

(實施例)

為了確認線圈裝置200之效果，準備樣品1至樣品12。於樣品1至樣品12中，比率R1乘以比率R2所得之值、電阻值及厚度T6變化。樣品1至樣品12之詳細情況示於表1。

【0080】

[表1]

表1

| 樣品 | 比率R1×比率R2 | 厚度T6 (μm) | 電阻值 (Ω) | 電感 (μH) | 電感÷(厚度T6×電阻值) ($\mu\text{H}/(\mu\text{m}\cdot\Omega)$) |
|----|-----------|---------------------------|---------------------|-------------------------|---|
| 1 | 0.279 | 369 | 17.56 | 7.58 | 0.0012 |
| 2 | 0.382 | 276 | 13.27 | 11.89 | 0.0032 |
| 3 | 0.504 | 139 | 10.42 | 12.61 | 0.0087 |
| 4 | 0.532 | 208 | 12.60 | 17.25 | 0.0066 |
| 5 | 0.570 | 208 | 14.11 | 23.18 | 0.0079 |
| 6 | 0.592 | 208 | 12.10 | 22.58 | 0.0090 |
| 7 | 0.629 | 108 | 10.92 | 8.16 | 0.0069 |
| 8 | 0.633 | 108 | 10.50 | 7.41 | 0.0066 |
| 9 | 0.633 | 108 | 10.50 | 6.88 | 0.0061 |
| 10 | 0.657 | 108 | 10.50 | 6.97 | 0.0062 |
| 11 | 0.665 | 108 | 10.50 | 6.97 | 0.0062 |
| 12 | 0.681 | 108 | 10.49 | 9.27 | 0.0082 |

【0081】

作為各樣品之線圈裝置之性能係藉由將各樣品之電感除以各樣品之電阻值及厚度T6之積所得的值而評估。線圈裝置之電感由於與線圈裝置之推力大致成比例，故而成為線圈裝置產生之推力之指標。存在隨著線圈裝置之厚度變大，而線圈裝置之電阻值及推力變大之傾向。因此，成為將線圈裝置之電感除以線圈裝置之推力及電阻值之積所得的值越大，則越可抑制電阻值之增加且提高推力之線圈裝置。

【0082】

用於各樣品之電阻值及電感之測定之測定器具有第1探針及第2探針。第1探針及第2探針分別接觸各樣品之線圈電路之一端及另一端。該測定器於對第1探針與第2探針之間施加100 mV、100 kHz之交流電壓之狀態下，測定於各樣品之線圈電路中流通之電流，基於所測定出之電流來算出各樣品之電阻值及電感。

【0083】

圖12係表示比率R1乘以比率R2所得之值與各樣品之性能之關係的曲

線圖。於圖12中，橫軸係比率R1乘以比率R2所得之值。於圖12中，縱軸係將各樣品之電感除以各樣品之厚度T6及電阻值之積所得的值(單位： $\mu\text{H}/(\mu\text{m} \cdot \Omega)$)。

【0084】

如圖12所示，於樣品2至樣品12中，比率R1乘以比率R2所得之值處於0.35以上0.85以下之範圍內。另一方面，於樣品1中，比率R1乘以比率R2所得之值未達0.35。於樣品2至樣品12中，將電感除以厚度T6及電阻值之積所得的值為 $0.002 \mu\text{H}/(\mu\text{m} \cdot \Omega)$ 以上。另一方面，於樣品1中，將電感除以厚度T6及電阻值之積所得的值為 $0.002 \mu\text{H}/(\mu\text{m} \cdot \Omega)$ 以下。根據該比較可知，藉由使比率R1乘以比率R2所得之值為0.35以上0.85以下，可抑制線圈裝置200之電阻值之增加且增加線圈裝置200之推力。

【0085】

如圖12所示，於比率R1乘以比率R2所得之值成為0.35以上之範圍內，將電感除以厚度T6及電阻值之積所得的值急遽增加。根據該情況可知，藉由使比率R1乘以比率R2所得之值為0.35以上，可抑制線圈裝置200之電阻值之增加且特別特增加線圈裝置200之推力。

【0086】

應認為此次所揭示之實施方式於所有方面為例示，而並非限制性者。本發明之範圍藉由申請專利範圍表示而並非藉由上述實施方式表示，意圖包含與申請專利範圍均等之意思及範圍內之所有變更。

【符號說明】

【0087】

10:基底膜

- 10a:第1主面
- 10b:第2主面
- 10c:貫通孔
- 20:線圈配線
- 21:第1線圈配線
 - 21a:焊墊
 - 21b:焊墊
- 22:第2線圈配線
 - 22a:焊墊
 - 22b:焊墊
- 23:晶種層
 - 23a:第1層
 - 23b:第2層
- 24:第1電解鍍覆層
- 25:第2電解鍍覆層
- 30:接著層
- 31:保護層
 - 31a:接著層
 - 31b:保護膜
- 32:保護層
 - 32a:接著層
 - 32b:保護膜
- 40:抗蝕劑

100:印刷電路板

110:接著層

200:線圈裝置

200a:第1面

200b:第2面

P:間距

R1:比率

R2:比率

R3:比率

R4:比率

R5:比率

S1:晶種層形成步驟

S2:抗蝕劑形成步驟

S3:第1電解鍍覆步驟

S4:抗蝕劑去除步驟

S5:蝕刻步驟

S6:第2電解鍍覆步驟

S7:保護膜貼附步驟

T1:厚度

T2:厚度

T3:厚度

T4:厚度

T5:厚度

T6:厚度

W:寬度

(發明申請專利範圍)

【請求項1】

一種線圈裝置，其具備：

複數個印刷電路板；及

接著層；

上述複數個印刷電路板於上述線圈裝置之厚度方向上重疊配置，

上述複數個印刷電路板之各者具有包含第1主面及第2主面之基底膜、以及螺旋狀地形成於上述第1主面上及上述第2主面上之至少任一者之線圈配線，

上述接著層配置於在上述線圈裝置之厚度方向上相鄰之上述複數個印刷電路板之間，

上述線圈裝置之厚度係將上述線圈配線之厚度及上述基底膜之厚度關於上述複數個印刷電路板合計所得的值與上述接著層之厚度之和，

上述線圈裝置具有滿足式(1)之部分，

$R1$ 係將上述線圈配線之寬度除以相鄰之上述線圈配線之2個部分之間之距離所得的值關於上述複數個印刷電路板加以平均所得之值，

$R2$ 係將上述線圈配線之厚度除以上述線圈裝置之厚度所得的值關於上述複數個印刷電路板進行合計所得之值，

【數1】

式(1)： $R1 \times R2 \leq 0.01$ 。

【請求項2】

一種印刷電路板，其具備：

基底膜，其具有第1主面及第2主面；以及

線圈配線，其螺旋狀地形成於上述第1主面上及上述第2主面上；

上述印刷電路板具有滿足式(2)之部分，

R3係將上述線圈配線之寬度除以相鄰之上述線圈配線之2個部分之間之距離所得的值，

R4係位於上述第1主面上及上述第2主面上之上述線圈配線之厚度占位於上述第1主面上之上述線圈配線之上表面與位於上述第2主面上之上述線圈配線之上表面之間之距離的比率，

[數2]

式(2)：。

〔請求項3〕

一種印刷電路板，其具備：

基底膜，其具有第1主面及第2主面；

線圈配線，其螺旋狀地形成於上述第1主面上及上述第2主面上；以

及

保護層，其以覆蓋上述線圈配線之方式配置於上述第1主面上及上述第2主面上；

上述印刷電路板具有滿足式(3)之部分，

R3係將上述線圈配線之寬度除以相鄰之上述線圈配線之2個部分之間之距離所得的值，

R5係位於上述第1主面上及上述第2主面上之上述線圈配線之厚度占上述印刷電路板之厚度的比率，

[數3]

式(3)：。

〔請求項4〕

如請求項3之印刷電路板，其中上述印刷電路板具有滿足式(4)之部分，

〔數4〕

式(4)： $0.40 \leq R3 \times R4 \leq 0.60$ 。

〔請求項5〕

如請求項3之印刷電路板，其中上述保護層具有覆蓋上述線圈配線之接著層，

上述接著層之厚度為10 μm 以上25 μm 以下。

〔請求項6〕

如請求項2之印刷電路板，其中上述線圈配線具有滿足式(5)之部分，

W係上述線圈配線之寬度，

P係相鄰之上述線圈配線之2個部分之間距，

〔數5〕

式(5)： $0.70 \leq W/P \leq 0.90$ 。

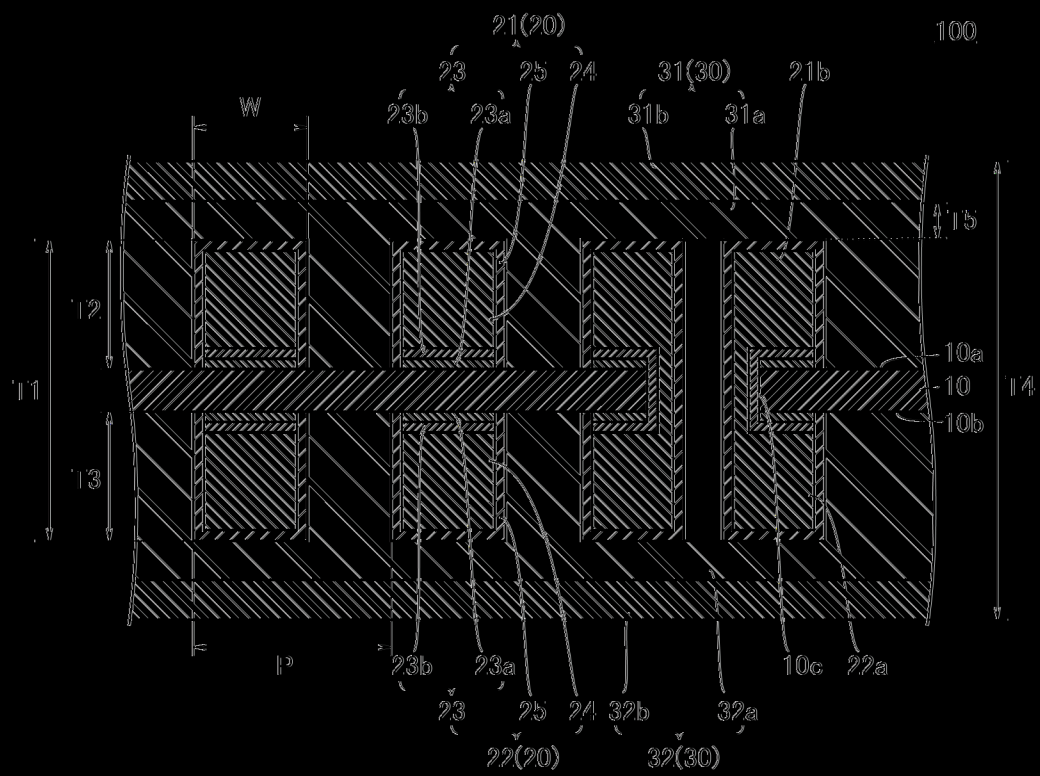
〔請求項7〕

如請求項2之印刷電路板，其中上述線圈配線具有上述線圈配線之厚度為40 μm 以上60 μm 以下之部分。

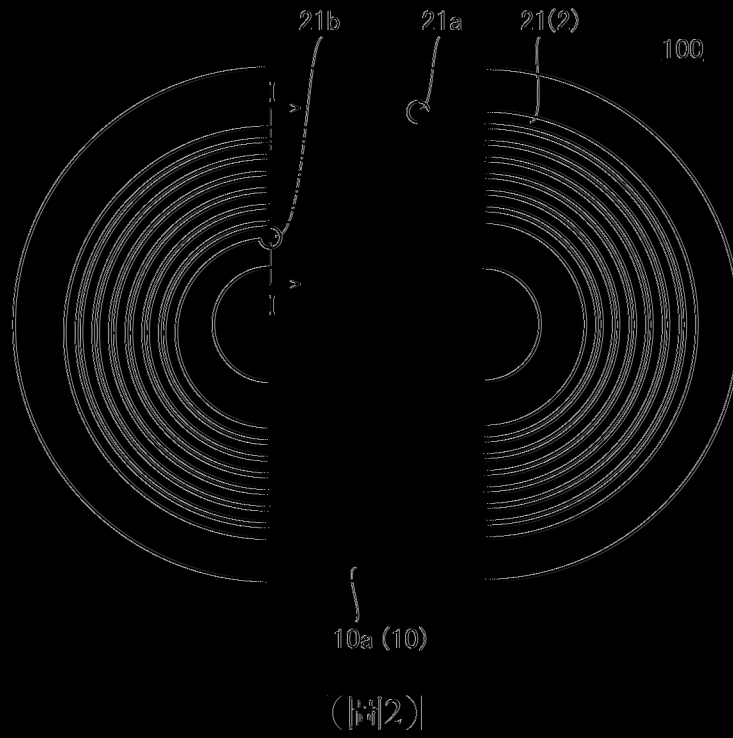
〔請求項8〕

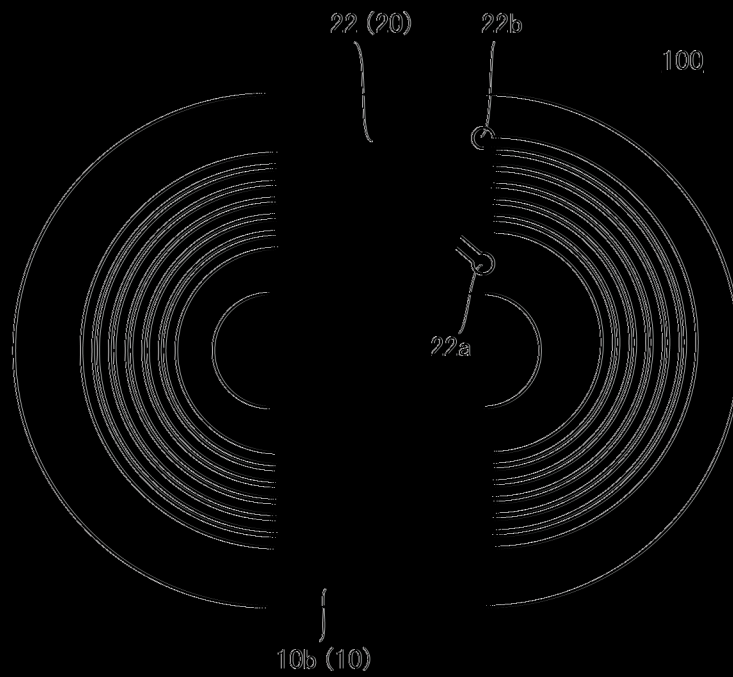
如請求項2至7中任一項之印刷電路板，其中上述線圈配線具有上述線圈配線之寬度為20 μm 以上40 μm 以下之部分。

(發明圖式)

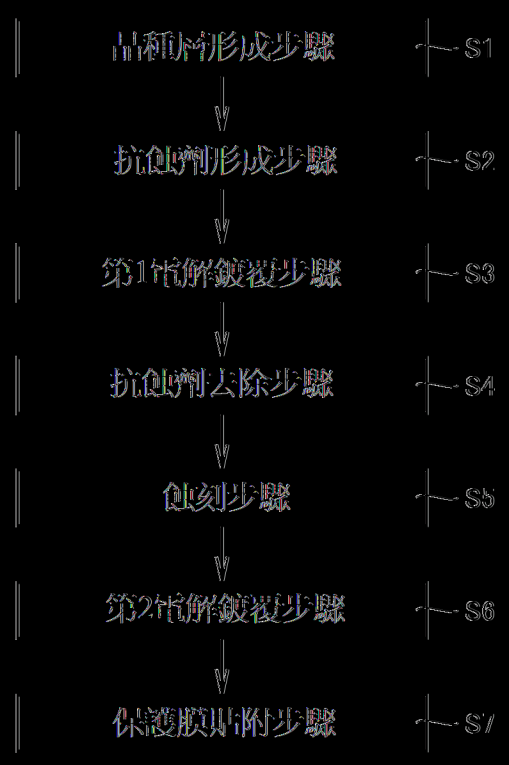


(圖1)

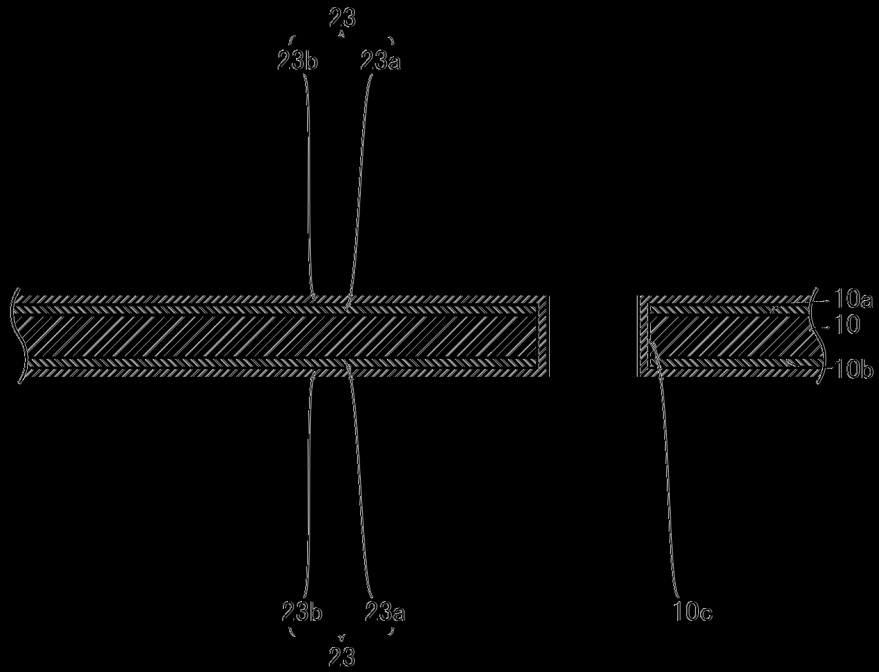




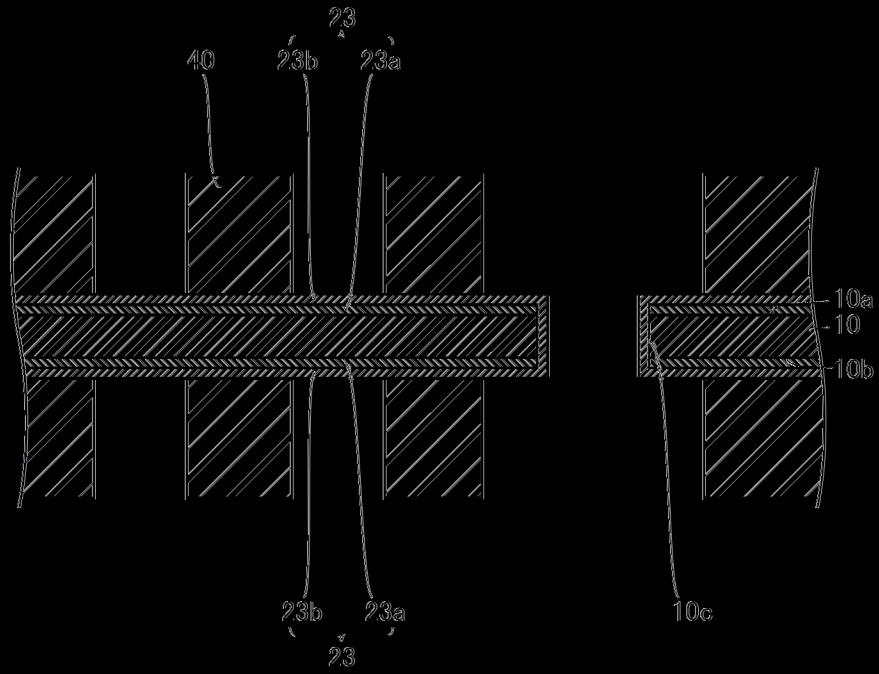
(圖3)



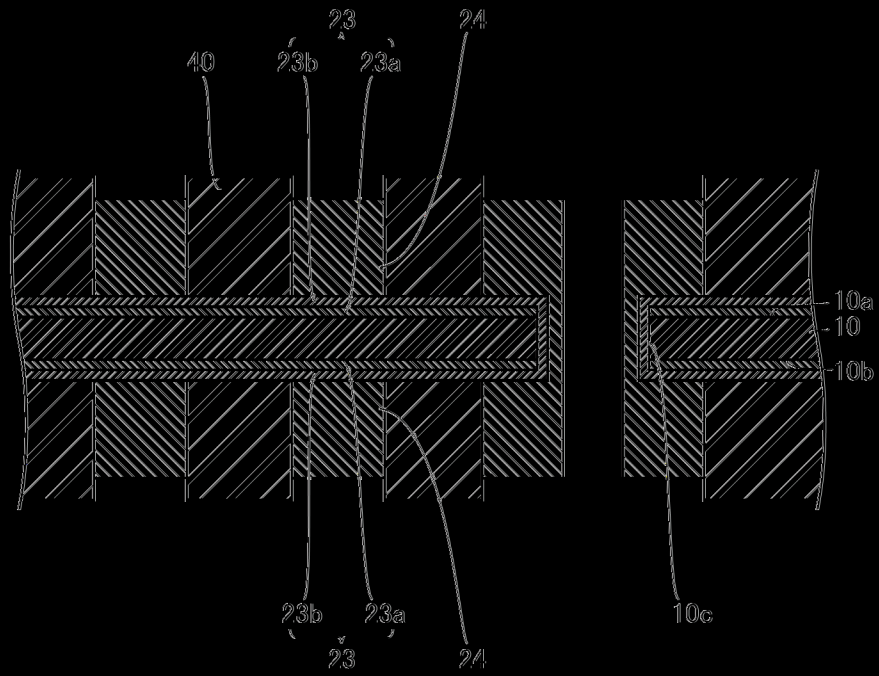
(圖4)



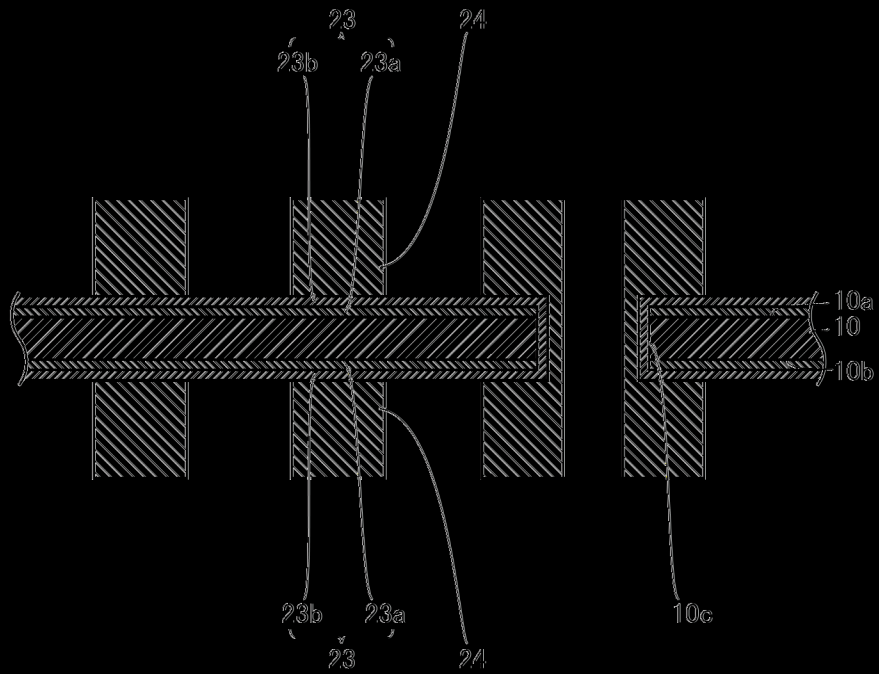
(圖5)



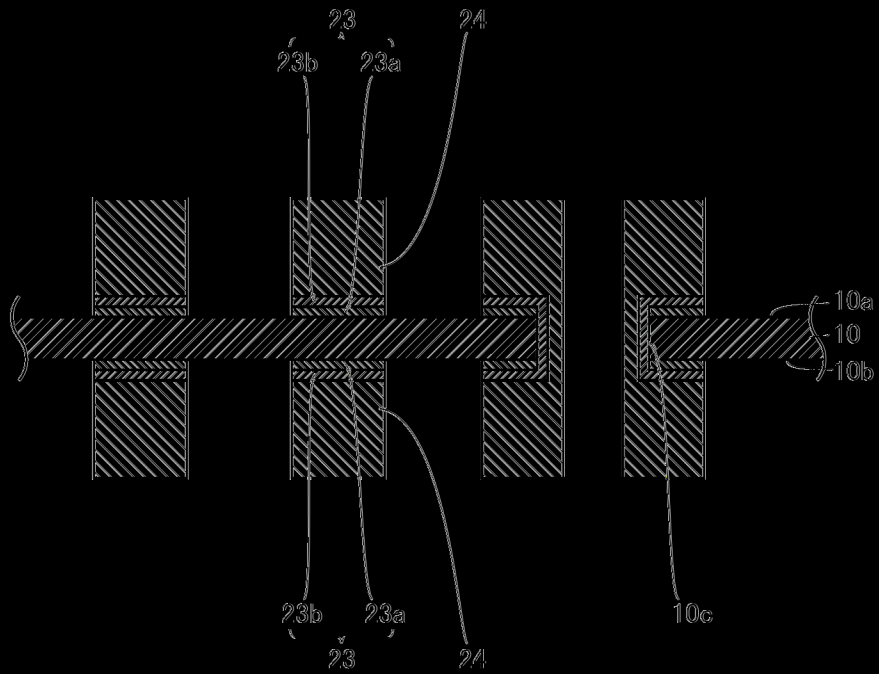
(圖6)



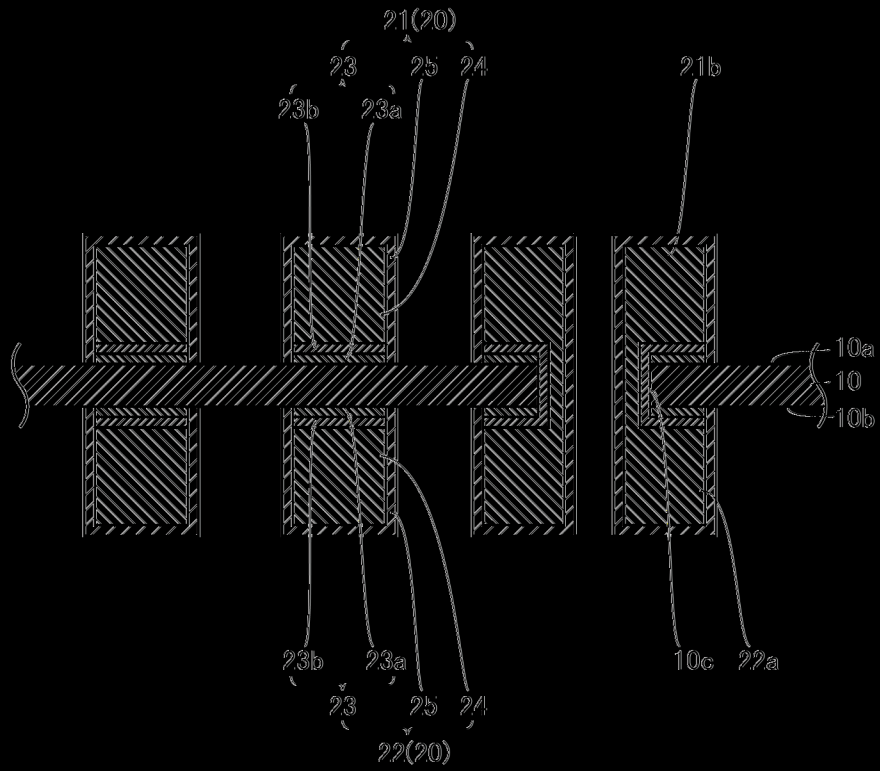
(圖7)



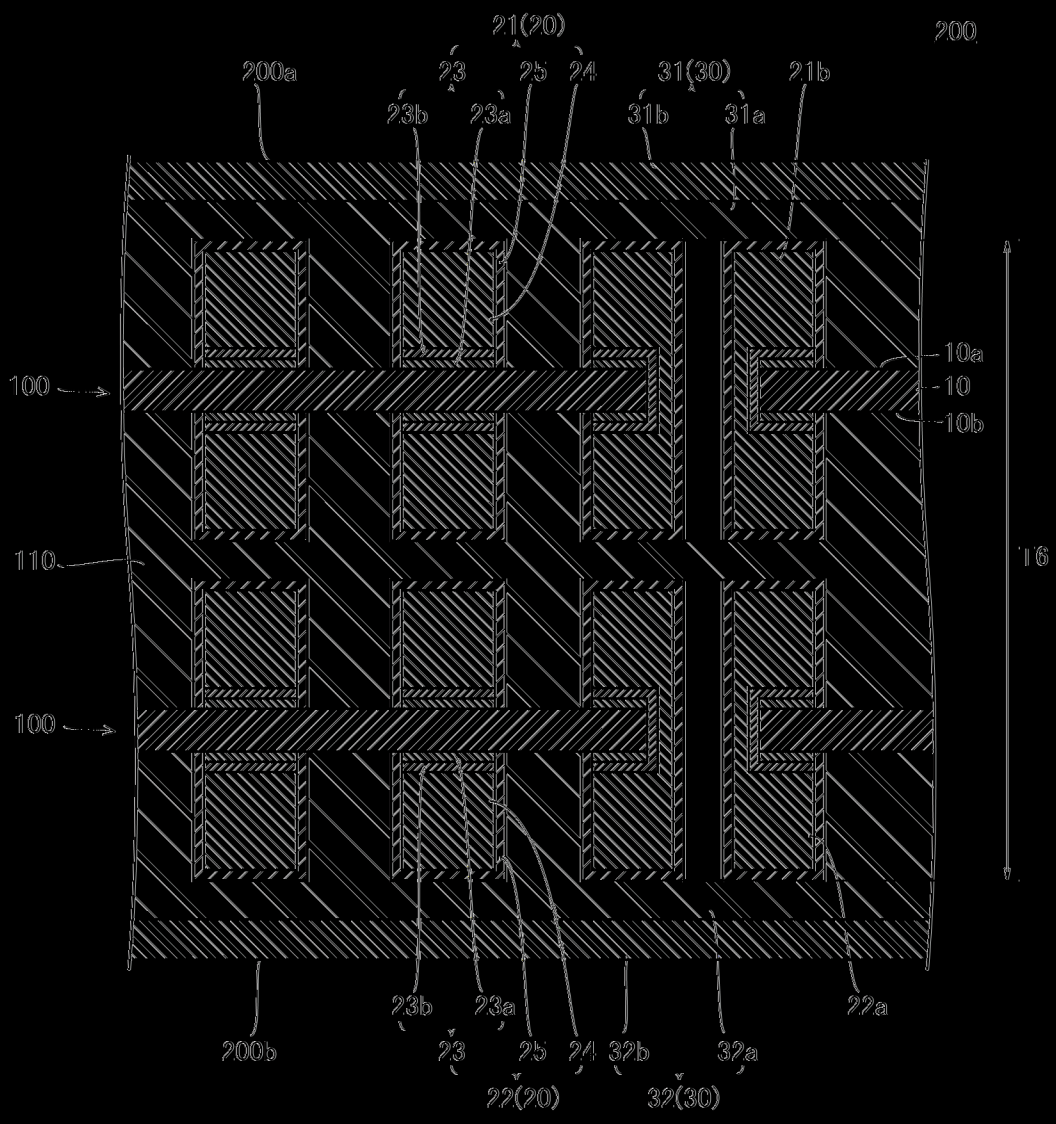
(圖8)



(圖9)

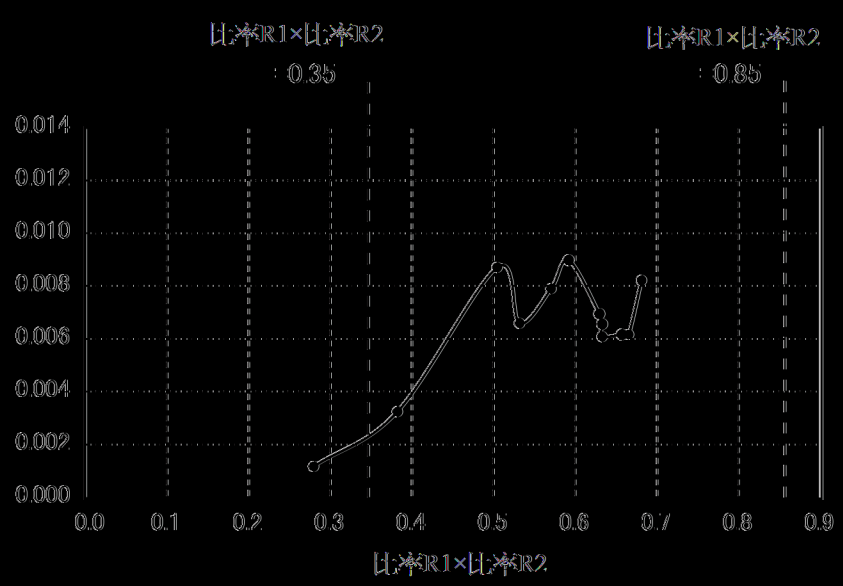


(Fig. 10)



(圖11)

電感:
(厚度16×電阻14)
($\mu\text{H}/(\mu\text{m}^2\cdot\Omega)$)



(圖12)