(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/027

(45) 공고일자 2004년08월25일
(11) 등록번호 10-0436784
(24) 등록일자 2004년06월10일

(21) 출원번호 10-1996-0035498
(22) 출원일자 1996년08월26일

(65) 공개번호 10-1997-0012981
(43) 공개일자 1997년03월29일

(30) 우선권주장 95-218877 1995년08월28일 일본(JP)

(73) 특허권자
텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
세끼구치 도시히로
일본국 히다카시 요코테 2-20-5

다다키 요시타카
일본국 한노시 니스기다이 4-6-18

가와키타 게이조
일본국 오메시 신마치 415-2-202

무라타 쥰
일본국 구니타치시 히가시 4-6-12

유하라 가츠오
일본국 이바라키켄 이나시키군 아미마치 와카구리 3418-18

구마이 도시카즈
일본국 오메시 지가세마치 4-573-4-102

다나카 미치오
일본국 오메시 신마치 792-203

니시무라 미치오
일본국 도코로자와시 마츠가오카 1-32-4

사이토 가즈히코
일본국 이바라키켄 이나시키군 아미마치 아미 3068-3

가키자키 다카토시
일본국 츠쿠바시 나미키 4-1-1-420-403

사카이 다케시
일본국 오메시 가베마치 3-1120-403

가에리야마 도시유키
일본국 이바라키켄 츠쿠바군 야와라무라 기누노다이6-15-8

조성수
일본국 이바라키켄 기타소마군 후지시로마치 고후다이 2-5-15

(74) 대리인 백남기

심사관 : 이재완

(54) 반도체집적회로장치의제조방법

요약

반도체집적회로장치의 제조기술에 관한 것으로서, 위상시프터를 구비하는 포토마스크를 사용해서 소정의 패턴을 전사하는 경우에 있어서 전사패턴의 형상 및 치수를 설계패턴에 충실하게 전사할 수 있는 기술을 제공하기 위해, 패턴화된 도체인 스트립의 선폭이나 패턴화된 도체인 스트립 사이의 간격이 일정하지 않는 도체패턴을 포함하는 반도체집적회로장치의 제조에 사용되는 위상시프트마스크는 도체패턴에 상당하는 주광투과영역에 대해 선폭이나 간격의 변화분에 기인하는 투과광의 위상분포의 변동을 보상하기 위한 보조패턴 세그맨트가 마련되는지 또는 투과광의 위상분포의 변동을 억제하도록 도체인 스트립 사이의 간격이 조정되고, 보조패턴 세그맨트가 위상시프트기능을 갖는지 갖지 않는지는 주광투과영역의 배치에 의존해서 결정된다.
이러한 것에 의해 실질적으로 설계대로 양호하게 실행하는 것이 가능하게 된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시예에 의한 반도체집적회로장치의 블럭도,
도 2는 도 1에 도시된 반도체집적회로장치의 메모리셀부의 주요부단면도,
도 3은 도 2에 도시된 메모리셀부의 단위활성영역의 주요부평면도,
도 4는 도 2에 도시된 메모리셀부의 워드선도체의 주요부평면도,
도 5는 도 2에 도시된 메모리셀부의 비트선도체의 주요부평면도,
도 6은 도 2에 도시된 메모리셀부의 캐패시터 제1 전극의 주요부평면도,
도 7은 도 1에 도시된 반도체집적회로장치의 주변회로부의 주요부단면도,
도 8은 본 발명의 1실시예에 의한 반도체집적회로장치의 제조에 있어서의 노출공정에 사용하는 포토마스크의 주요부평면도,
도 9는 도 8에 도시된 포토마스크에 의해서 전사된 패턴의 평면도,
도 10은 본 발명의 1실시예에 의한 반도체집적회로장치의 제조에 있어서의 노출공정에 있어서 워드선패턴을 전사할 때에 사용하는 포토마스크의 주요부평면도,
도 11은 도 10의 ?-?선의 단면도,
도 12는 도 10에 도시된 포토마스크에 의해서 전사된 패턴의 평면도,
도 13은 반도체집적회로장치의 제조에 있어서의 노출공정에 있어서 비트선용의 접속구멍패턴을 전사할 때에 사용하는 포토마스크의 주요부평면도,
도 14는 도 13에 도시된 포토마스크에 의해서 전사된 패턴의 평면도,
도 15는 본 발명의 1실시예에 의한 반도체집적회로장치의 제조에 있어서의 노출공정에 있어서 비트선패턴을 전사할 때에 사용하는 포토마스크의 주요부평면도,
도 16(a), 도 16(b)는 각각 도 15의 XVIa-XVIa선 및 XVIb-XVIb선의 단면도,
도 17은 도 15에 도시된 포토마스크를 사용한 경우의 투과광의 분포를 설명하는 설명도,
도 18은 도 15에 도시된 포토마스크에 의해서 전사된 패턴의 평면도,
도 19는 본 발명의 1실시예에 의한 반도체집적회로장치의 제조에 있어서의 노출공정에 있어서 캐패시터용의 접속구멍패턴을 전사할 때에 사용하는 포토마스크의 주요부평면도,
도 20은 도 19의 XX-XX선의 단면도,

도 21은 도 19에 도시된 포토마스크에 의해서 전사된 패턴의 평면도,
도 22는 본 발명의 1실시예에 의한 반도체집적회로장치의 제조공정에서 사용할 수 있는 노출장치의 1구성예의 설명도,
도 23(a)-도 23(z)는 본 발명의 1실시예에 의한 반도체집적회로장치의 제조방법에 있어서의 각 단계에서의 장치의 주요부단면도,
도 24는 도 23(g)에 도시된 단계에 있어서의 장치의 주요부단면도,
도 25는 본 발명의 1실시예에 의한 반도체집적회로장치에 포함되는 메모리셀부의 주요부단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체집적회로장치의 제조기술에 관한 것으로서 특히, 노출처리시에 위상시프트 리도그래피기술을 사용하는 반도체집적회로장치의 제조방법에 관한 것이다.
포토마스크상의 회로패턴을 g선(436nm)이나 i선(365nm) 등과 같은 광을 사용해서 반도체기판상에 전사하는 포토리도그래피기술에 있어서는 반도체집적회로장치의 소자집적도의 향상에 따라 양호하게 전사할 수 있는 패턴의 최소가공치수에 한계가 발생하고 있다.
이 양호하게 전사할 수 있는 패턴의 최소가공치수를 작게 하는 방법으로서 노출광의 파장을 더욱 짧게 하는 것이 고려되지만, 현실적으로는 여러가지 문제가 있고 간단하게 광의 파장을 짧게 하는 것은 불가능하다.
그래서, 노출파장을 변경하지 않고 해상도를 향상시키기 위해 노출장치에 있어서의 광학계의 개구수(NA)를 크게 하는 기술이 있다. 그러나, 이 경우 NA의 증대나 단파장의 광의 사용에 따라 촛점심도가 극단적으로 얇게 되는 문제가 있었다.
이 때문에, 촛점심도를 얇게 하지 않고 해상도의 향상을 도모하는 여러가지 노출기술이 검토되어 있고, 그 대표적인 수단으로서 위상시프트 마스크를 사용하는 위상시프트 리도그래피기술이 있다.
위상시프트 리도그래피기술은 위상시프트마스크(레티클도 포함한다)를 투과하는 광의 위상을 조작하는 것에 의해서 투영상의 분해능 및 콘트라스트를 향상시키는 기술로서 위상시프트마스크상의 소정의 위치에는 투과광 사이에 위상차를 발생시키는 위상시프터가 형성되어 있다.
예를 들면, 일본국 특허공고 공보 소화62-59296호(1987년 12월10일 공고, 1982년 4월5일 출원의 USSN 36567에 대응)에는 차광영역을 사이에 두고 서로 인접하는 1쌍의 광투과영역의 한쪽에 투명막을 마련하는 것에 의해 노출처리시에 이들 2개의 광투과영역을 투과한 광 사이에 위상차를 발생시키고, 그 투과광이 간섭해서 반도체웨이퍼상의 차광영역에 상당하는 곳에서 서로 약해지도록 하는 위상시프트기술이 개시되어 있다.
또, 일본국 특허공개 공보 소화62-67514호(1987년 3월27일 공개)에는 마스크의 차광영역의 일부를 제거해서 미세한 개구패턴을 형성한 후, 이 개구패턴 또는 그 근방에 존재하는 광투과영역 중 어느 한쪽에 투명막을 마련하는 것에 의해 투광영역을 투과한 광과 개구패턴을 투과한 광 사이에 위상차를 발생시키고 투과영역을 투과한 광의 진폭분포가 횡방향으로 넓어지는 것을 방지하는 위상시프트기술이 개시되어 있다.
또, 일본국 특허공개 공보 평성2-140743호(1990년 5월30일 공개)에는 마스크의 투과영역의 일부에 위상시프터를 마련하는 것에 의해 투과광 사이에 위상차를 발생시키고 위상시프터 경계부를 강조시키는 위상시프트기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 위상시프트 리도그래피기술에 있어서는 단순히 반복으로 이루어지는 패턴의 전사에 적용하는 경우에는 문제없지만, 반도체집적회로장치를 구성하기 위한 패턴과 같은 복잡한 패턴의 전사에 적용하는 경우에는 위상시프터의 배치가 곤란하여 패턴을 양호하게 전사할 수 없는 경우가 발생하는 문제가 있다.
예를 들면, DRAM의 서로 인접하는 워드선에 대해서 말하면, 비트선용의 접속구멍이나 캐패시터용의 접속구멍이 배치되는 영역을 포함하는 인접워드선 사이의 간격은 그 접속구멍의 맞춤여유 등을 취하는 관계상, 이들의 워드선의 다른 부분 사이의 간격이나 다른 인접워드선 간격보다 넓어지는 곳이 있다.
이와 같은 워드선을 위한 패턴을 위상시프트마스크를 사용해서 전사하는 경우, 서로 인접하는 광투과영역(워드선 전사용)중 어느 한쪽위에 위상시프터를 배치하지만, 상술한 바와 같이 인접하는 광투과영역사이에 간격이 다른 부분이 있으면, 그 부분과 다른 부분 사이에 투과광의 강도에 차가 발생하고 그 때문에 광의 위상을 양호하게 조작할 수 없게 되는 결과, 본래 폭이 넓게 하고자 하는 곳이 가늘게 되거나 가늘어도 좋은 곳이 두껍게 되는 등 형상이나 치수 등을 설계대로 할 수 없게 되어 패턴을 양호하게 전사할 수 없는 경우가 발생한다.
또, 예를 들면 DRAM에 있어서는 전체의 메모리용량이 증대하는 경향에 있고 소자집적도의 향상이 도모되고 있지만, 소자집적도의 향상에 따라 인접하는 캐패시터패턴에 포함되는 선의 간격도 좁아지고 있다.

이 때문에, 캐패시터용의 접속구멍을 위한 패턴을 위상시프트마스크를 사용해서 전사하는 경우, 접속구멍을 뚫기 위한 광투과영역의 주위에 보조패턴 세그맨트를 1개 또는 그 이상 배치하지만, 상술하는 바와 같이 인접하는 캐패시터 패턴에 포함되는 선의 간격이 좁아짐에 따라서 단지 보조패턴 세그맨트를 배치한 것에서는 인접하는 보조패턴 세그맨트끼리를 투과한 광의 간섭 등에 의해서 그 보조패턴 세그맨트 사이에 상당하는 위치 즉, 본래 패턴이 형성되지 않는 영역에 패턴이 형성되어 버리는 경우가 발생한다.
일본국 특허공개 공보 평성6-130646호(1994년 5월13일 공개)에는 주개구 주위에 4개의 장방형 위상시프터를 마련해서 이루어지는 포토마스크가 개시되어 있다.
일본국 특허공개 공보 평성6-289591호(1994년 10월18일 공개)에는 주개구의 중심에 대해 서로 어긋나게 해서 주개구의 양대향측에 보조개구를 마련해서 이루어지는 위상시프트마스크 및 주개구의 주위에 소정피치로 여러개의 보조개구를 마련해서 이루어지는 위상시프트마스크가 개시되어 있다.
일본국 특허공개 공보 평성5-19446호(1993년 1월29일 공개)에는 패턴영역의 경계부에 소정의 보정패턴을 마련해서 이루어지는 위상시프트마스크가 개시되어 있다.
일본국 특허공개 공보 평성6-85086호(1994년 3월25일 공개)에는 최소선폭보다 작은 선폭의 접속패드를 평탄화용 절연층과 동일한 높이로 평탄화게 되도록 형성하는 것에 의해 단차에 기인하는 선사이의 단락 등의 문제를 방지하는 것이 개시 되어 있다.
본 발명의 목적은 위상시프터를 구비하는 포토마스크를 사용해서 소정의 패턴을 전사하는 경우에 있어서 전사패턴의 형상 및 치수를 설계패턴에 충실하게 전사할 수 있는 기술을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 1측면에 의하면, 제1 방향으로 연장해서 존재하고 제1 방향에 대해서 대략 수직인 제2 방향의 폭이 실질적으로 주기적으로 변화하도록 병렬된 적어도 2개의 대략 선형상의 도체인 스트립(linear conductor strip)으로 도체인 스트립단위(conductor strip unit)가 구성되고, 그와 같은 도체인 스트립단위를 구성하고 있는 도체인 스트립이 도체인 스트립단위로 구성하고 있는 순으로 상기 제2 방향의 미세한 간격을 갖고 반복하여 나란히 배치되는 비등폭선형상 도체인 스트립을 구비하는 반도체집적회로장치의 제조방법은 (a) 주표면을 갖는 반도체기판을 마련하는 공정, (b) 반도체기판의 주표면상에 포토레지스트막을 형성하는 공정, (c) 각 도체인 스트립에 대응하여 인접하는 것끼리의 투과광의 위상이 실질적으로 반전하고 있는 여러개의 대략 선형상의 광투과영역과 여러개의 대략 선형상의 차광영역을 포함하는 패턴을 구비하는 형식의 위상시프트마스크를 사용해서 포토레지스트막상에 패턴을 전사하는 공정 및 (d) 패턴을 현상하고 그 패턴을 사용해서 비등폭선형상 도체인 스트립군을 형성하는 공정을 갖고, 상기 위상시프트마스크에 있어서 도체인 스트립단위에 대응하는 여러개의 대략 선형상의 광투과영역과 여러개의 대략 선형상의 차광영역의 배열단위가 미세한 간격을 갖고 반복하여 나란히 배치되고, 상기 배열단위의 각각에 있어서의 선형상의 광투과영역 사이의 간격은 그 선형상의 광투과영역의 길이에 걸쳐서 거의 일정하고, 상기 배열단위 사이의 간격은 선형상의 광투과영역의 길이에 걸쳐서 거의 일정하다.
본 발명의 다른 측면에 의하면, 제1 방향으로 연장해서 존재하고, 제1 방향에 대해 거의 수직인 제2 방향의 폭이 실질적으로 주기적으로 변화하도록 병렬된 적어도 2개의 거의 선형상의 도체인 스트립으로 도체인 스트립단위가 구성되고, 그와 같은 도체인 스트립단위를 구성하고 있는 도체인 스트립이 도체인 스트립단위를 구성하고 있는 순으로 상기 제2 방향의 미세한 간격을 갖고 반복하여 나란히 배치되는 비등폭선형상 도체인 스트립군을 구비하고, 상기 대략 선형상의 도체인 스트립의 각각은 적어도 1개의 확대부를 갖고 있는 반도체집적회로장치의 제조방법은 (a) 주표면을 갖는 반도체기판을 마련하는 공정, (b) 반도체기판의 주표면상에 포토레지스트막을 형성하는 공정, (c) 각 도체인 스트립에 대응하고 인접하는 것끼리의 투과광의 위상이 실질적으로 반전하고 있는 여러개의 대략 선형상의 주광투과영역과 여러개의 대략 선형상의 차광영역을 포함하는 패턴을 구비하는 형식의 위상시프트마스크를 사용해서 포토레지스트막상에 패턴을 전사하는 공정 및 (d) 패턴을 현상하고 그 패턴을 사용해서 상기 비등폭선형상 도체인 스트립군을 형성하는 공정을 갖고, 상기 위상시프트마스크에 있어서, 도체인 스트립단위에 대응하는 여러개의 대략 선형상의 주광투과영역과 여러개의 대략 선형상의 차광영역의 배열단위가 미세한 간격을 갖고 반복하여 나란히 배치되고, 대략 선형상의 주광투과영역의 각각은 도체인 스트립의 폭이 넓은 부에 상당하는 폭이 넓은 부분을 구비하고, 상기 대략 선형상의 주광투과영역의 길이방향에서 보아 상기 주광투과영역의 폭이 넓은 부분의 근방의 차광영역에는 주광투과영역의 폭이 넓은 부분을 투과한 광에 대해서 보조광투과영역의 투과한 광을 실질적으로 위상반전시키기 위한 해상한계 이하의 형상 및 치수를 갖고 있는 보조광투과영역이 마련되어 있다.
본 발명의 다른 측면에 의하면, 제1 방향 및 제1 방향에 대해서 실질적으로 수직인 제2 방향에 격자형상으로 대략 주기적으로 배열된 접속구멍을 구비하고, 제1 방향의 접속구멍 배열피치가 제2 방향의 접속구멍배열피치보다 크게 되어 있는 반도체집적회로장치의 제조방법은
(a) 주표면을 갖는 반도체기판을 준비하는 공정, (b) 반도체기판의 주표면상에 포토레지스트막을 형성하는 공정, (c) 각 접속구멍에 대응하는 여러개의 주광투과영역과 이들을 규정하는 차광영역을 포함하는 패턴을 구비하는 위상시프트마스크를 사용해서 상기 포토레지스트막상에 패턴을 전사하는 공정 및 (d) 패턴을 현상하고 그 패턴을 사용해서 접속구멍을 형성하는 공정을 갖고, 상기 위상시프트마스크에 있어서, 주광투과영역을 투과한 광의 위상은 서로 실질적으로 동일하고, 주광투과영역의 각각의 주변의 차광영역에는 해상한계 이하의 형상 및 치수를 갖고 있는 보조광투과영역이 마련되고, 주광투과영역을 투과한 광의 위상이 상기 보조광투과영역을 투과한 광의 위상에 대해서 실질적으로 반전하고 있고, 제2 방향으로 배열되어 있는 광투과영역의 인접하는 광투과영역 사이에 마련된 보조광투과영역은 이들의 인접하는 광투과영역에 의해 공유되어 있다.

상기한 본 발명의 1측면에 있어서는 예를 들면, 서로 인접하는 워드선 전사 용의 광투과영역의 간격을 각각의 간격라인중에서 일정하게 한 것에 의해 서로 인접하는 광투과영역을 투과한 광의 위상차조작을 그 쌍방의 광투과영역 사이의 전체영역에 있어서 실질적으로 설계대로 양호하게 실행하는 것이 가능하게 된다. 이 결과, 전사패턴(워드선WL)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.

또, 본 발명의 다른 측면에 있어서는 예를 들면, 비트선 형성용의 각 광투과영역의 폭이 넓은 영역내에 미세한 차광영역을 배치함과 동시에 주위의 차광영역에 있어서 광투과영역의 폭이 넓은 영역과 폭이 좁은 영역의 경계영역의 근방에 보조패턴 세그맨트를 배치하는 것에 의해 그 광투과영역의 폭이 넓은 영역과 폭이 좁은 영역의 면적비의 차에 기인하는 투과광의 대폭적인 변동을 억제 할 수 있으므로, 광투과영역의 폭이 넓은 영역 및 폭이 좁은 영역을 실질적으로 설계대로 양호하게 전사하는 것이 가능하게 된다. 이 결과, 전사패턴(비트선BL)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.

또, 본 발명의 다른 측면에 있어서는 예를 들면 캐패시터용의 접속구멍형성용의 광투과영역의 배치상태에 따라서 그 4변에 배치되는 보조패턴 세그맨트를 그 치수를 변경하는 등, 비대칭적으로 배치하는 것에 의해 불필요한 패턴을 전사하는 일 없이 그 접속구멍용의 광투과영역을 양호하게 전사하는 것이 가능하게 된다. 그 결과, 캐패시터용의 접속구멍의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.

이하, 본 발명의 실시예를 도면에 따라서 상세히 설명한다. 또한, 실시예 를 설명하기 위한 전체 도에 있어서 동일기능을 갖는 것은 동일부호를 붙이고 그 반복적인 설명은 생략한다.

본 실시예1의 반도체집적회로장치는 예를 들면 64M비트 DRAM이다. 단, 워드비트 구성은 이것에 한정되는 것은 아니고 여러가지 변경가능하다. 이 DRAM이 형성된 반도체칩의 주요부의 회로블럭구성을 도 1에 도시한다.

반도체칩에 배치된 메모리셀부M에는 여러개의 메모리셀MC가 도 1의 종횡방향으로 전면에 마련되어 있다. 이 메모리셀MC는 High(이하 단지 'H'라 한다)신호레벨 또는 Low(이하 단지 'L'이라 한다)신호레벨의 2진데이타 중 어느 한쪽을 기억하는 메모리의 최소단위로서, 1개의 메모리셀 선택 MOS FET Qs와 1개의 캐패시터C로 구성되어 있다.

이와 같은 메모리셀MC는 상보형의 비트선쌍BL/BL와 이들과 대략 직교해서 연장하는 워드선WL의 교점근방에 배치되어 있다. 또한, BL의 '—'는 액티브로우를 나타내고 있다. 또, 비트선쌍BL/BL에 접속된 메모리셀MC의 캐패시터C의 한쪽의 단자는 예를 들면 전원전압VDD/2의 전위로 설정되어 있다.

이 상보형의 비트선쌍BL/BL은 도 1의 종방향으로 m열 배치되어 있고, 각각의 비트선쌍BL/BL에는 n개의 메모리셀MC가 전기적으로 접속되어 있다. 그리고, 이 상보형의 비트선쌍BL/BL은 도 1의 횡방향으로 연장되고, 센스앰프회로SA 및 열선택MOS FET Qy를 거쳐서 컬럼 어드레스 디코더회로CD 및 컬럼 드라이버회로(도시하지 않음)과 전기적으로 접속되어 있다.

센스앰프회로SA는 비트선BL로 전송된 미소전압(또는 전류)를 검지해서 증폭 하는 회로로서, 데이타 입출력신호 배선쌍I/O／I/O를 거쳐서 메인앰프MA에 접속되고, 또 데이타 출력 버퍼회로D0B와 전기적으로 접속되어 있다. 또한, I/O의 '—'는 액티브로우를 나타내고 있다.

즉, 비트선쌍BL/BL의 미소신호는 로컬 입출력신호 배선쌍I/O／I/O를 거쳐서 메인앰프MA에 전달되고 메인앰프MA에 의해 증폭되고, 또 데이타 출력신호 배선쌍D0L/D0L을 거쳐서 데이타 출력 버퍼회로D0B로 전송되도록 되어 있다. 데이타 출력버퍼D0B는 메모리셀MC에서 리드된 신호를 도중의 배선도체경로에서 감쇠시키지 않고 외부장치로 전송할 수 있도록 증폭하기 위한 회로로서 출력단자Dout와 전기적으로 접속되어 있다. 또한, D0L의 '—'는 액티브로우를 나타내고 있다.

또, 컬럼 어드레스 디코더회로CD는 컬럼 어드레스 버퍼회로(도시하지 않음)로부터의 신호를 받아 소정의 1개의 열선택배선YSL을 선택하는 회로이다. 컬럼 드라이버회로는 컬럼 디코더회로CD로부터의 신호에 의해 소정의 1개의 열선택배선YSL에 선택펄스전압을 공급하는 회로이다.

또, 컬럼 어드레스 버퍼회로는 여러개의 컬럼 어드레스신호를 타이밍발생회로부터의 컬럼 선택신호에 따라서 페치하여 유지함과 동시에 이들의 컬럼 어드레스신호를 기본으로 상보 내부 어드레스신호를 형성하는 회로이다.

한편, 워드선WL은 도 1의 횡방향으로 n행 배치되어 있고, 각각의 워드선WL에는 m개의 메모리셀MC가 전기적으로 접속되어 있다. 그리고, 이 워드선WL은 도 1의 종방향으로 연장되고, 로우 어드레스 디코더회로(도시하지 않음) 및 로우 드라 이버회로(도시하지 않음)와 전기적으로 접속되어 있다.

로우 디코더회로는 로우 어드레스 버퍼회로(도시하지 않음)로부터의 신호를 받아 소정의 1개의 워드선WL을 선택하는 회로이다. 로우 어드레스 디코더회로에는 로우 어드레스 버퍼회로에서 상보 내부 어드레스신호가 공급된다.

로우 어드레스 버퍼회로는 어드레스 멀티플렉서회로(도시하지 않음)에서 전송되는 로우 어드레스신호를 타이밍 발생회로에서 공급되는 타이밍신호에 따라서 페치하여 유지한다. 또, 로우 드라이버회로는 로우 어드레스 디코더회로로부터의 신호에 의해 소정의 1개의 워드선WL에 선택펄스전압을 공급하는 회로이다. 또한, 이 DRAM의 전원전압은 예를 들면 3. 3V정도, 접지전압은 예를 들면 0V정도이다.

이 DARM의 메모리셀부에 있어서의 주요부단면도 및 주요부평면도를 도 2 및 도 3 도 6에 도시한다. 또, 이 DRAM의 주변회로부에 있어서의 주요부단면도를 도 7에 도시한다. 또한, 도 2의 메모리셀부M은 도 3 도 6의 Ⅱ-Ⅱ선에 있어서의 단면도를 나타내고 있다.

DRAM을 구성하는 반도체기판(1s)는 예를 들면 p-형의 실리콘(Si)단결정으로 이루어지고, 그 상부에는 소자분리용의 필드절연막(2)가 형성되어 있다.

이 필드절연막(2)는 예를 들면 이산화실리콘(SiO_2)으로 이루어지고, 도 3에 도시한 바와 같이 필드절연막(2)에 둘러싸인 영역이 소자단위의 활성영역A로 된다.

그 단위활성영역A는 예를 들면 평면이 역V자형으로 형성되어 있다. 이 활 성영역A는 도 3의 횡방향을 따라서 소정의 간격L1을 두고 배치되어 있다. 단, 도 3의 종방향에 인접하는 단위활성영역A, A끼리는 그 횡방향길이의 1/2만큼 횡

방향으로 상대적으로 어긋난 상태로 배치되어 있다. 또한, 횡방향의 활성영역간의 간격L1은 예를 들면 0. 4㎛정도, 또 길이L2는 인접하는 단위활성영역간의 최소거리를 나타내고 도 3에 있어서는 예를 들면 0. 35㎛정도이다.

또, 메모리셀부M에 있어서의 반도체기판(1s)의 주표면에는 p웰(3p)가 형성되어 있다. 이 p웰(3p)에는 예를 들면 p형 불순물의 붕소가 도입되어 있다. 그리고, 이 p웰(3p)상에는 상기한 메모리셀MC가 형성되어 있다.

이 메모리셀MC에는 1개의 메모리셀 선택 MOS FET(이하 선택MOS한다)(4)(상기 회로도상의 Qs에 상당한다)와 1개의 캐패시터(5)(상기 회로도상의 C에 상당한다)로 구성되어 있다. 이 1개의 메모리셀MC의 크기는 예를 들면 1. 15㎛^{2} 정도이다.

선택MOS(4)는 반도체기판(1s)의 상부에 서로 떨어져서 형성된 1쌍의 반도체영역(4a), (4b), 반도체기판(1s)상에 형성된 게이트절연막(4c) 및 게이트절연막(4c)상에 형성된 게이트전극(4d)를 갖고 있다.

반도체영역(4a), (4b)는 선택MOS(4)의 소오스영역 및 드레인영역을 형성하기 위한 영역으로서, 이 반도체영역(4a), (4b)에는 예를 들면 n형 불순물의 인 또는 비소(As)가 도입되어 있다. 또한, 이 반도체영역(4a), (4b)의 사이에 선택MOS(4)의 채널영역이 형성되어 있다.

게이트 절연막(4c)는 예를 들면 SiO_2 로 이루어진다. 또, 게이트 전극(4d) 는 예를 들면 저저항 폴리실리콘막으로 이루어지는 도체막(4d1)상에 예를 들면 텅스텐 실리사이드(WSi_2)로 이루어지는 도체막(4d2)를 퇴적해서 형성되어 있다. 이 도체막(4d2)에 의해서 게이트전극(4d)의 저저항화를 도모하고 있다. 단, 게이트전극(4d)는 저저항폴리실리콘의 단일체막으로 형성해도 좋고, 텅스텐 등과 같은 소정의 금속이라도 좋다.

이 게이트전극(4d)는 워드선(도체)WL(이하 단지 워드선이라고도 한다)의 일부이기도 하다. 이 워드선WL은 도 4에 도시한 바와 같이 상기한 활성영역A의 연장 방향에 대해서 직교하는 방향으로 직선형상으로 연장하도록 형성되어 있다.

워드선WL중, 단위활성영역A와 교차하는 부분은 선택MOS(4)의 게이트전극(4d)를 구성하는 폭이 넓은 부분이고, 소정의 임계값전압을 얻기 위해 필요한 일정의 폭Lg를 갖고, 워드선WL의 다른 부분보다 폭이 넓게 되어 있다. 이 워드선WL의 폭이 넓은 부분의 폭Lg는 예를 들면 0. 44㎛정도이다. 또, 워드선WL의 폭이 좁은 부분의 폭L3은 예를 들면 0. 3㎛정도이다.

이 워드선WL의 폭이 넓은 부분은 워드선WL의 일부가 워드선WL의 한쪽의 측면에서 돌출하는 것으로 형성되어 있다. 단, 이 돌출부가 대향하도록 서로 인접하는 워드선WL끼리는 그 돌출부의 위치가 도 4의 종방향(긴쪽방향)으로 서로 어긋나도록, 즉 그 인접하는 워드선WL의 돌출부와 오목부가 서로 맞불리도록 배치되어 있다.

그런데, 본 실시예에 있어서는 그 돌출부가 대향하도록 서로 인접하는 워드 선WL의 간격L4a1, L4a2가 워드선WL의 연장방향에 있어서 항상 일정하게 되어 있고, 예를 들면 0. 3㎛정도로 설정되어 있다. 또, 돌출부가 없는 측이 대향하도록 서로 인접하는 워드선WL의 간격L4b도 워드선WL의 연장방향에 있어서 항상 일정하게 되어 있고 예를 들면 0. 3㎛정도로 설정되어 있다.

즉, 본 실시예에 있어서는 서로 인접하는 워드선WL의 간격L4a1, L4a2 및 간격L4b가 각각의 간격라인중에서 항상 일정하게 되도록 설정되어 있다. 또, 서로 인접하는 워드선WL의 간격L4 및 워드선WL의 가는 부분의 폭L3이 동일하게 되어 있다.

이 게이트전극(4d)(워드선WL)의 상면 및 측면은 절연막(6a), (6b)를 거쳐서 캡절연막(제1 캡절연막)(7a) 및 사이드월(제1 측벽절연막)(7b)에 의해서 피복되어 있다. 이들의 캡절연막(7a) 및 사이드월(7b)는 층간절연막(8a) (8c)에 의해서 피복되어 있다.

그리고, 층간절연막(8a) (8c)에는 반도체기판(1s)의 상층부의 반도체영역(4a)가 노출하는 접속구멍(9a1)이 형성되고, 층간절연막(8a), (8b)에는 반도체기판(1s)의 상층부의 반도체영역(4b)가 노출하는 접속구멍(9b1)이 형성되어 있다. 이들 접속구멍(9a1), (9b1)의 치수는 예를 들면 0. 36㎛×0. 36㎛정도이다.

절연막(6a), (6b)는 예를 들면 SiO_2 로 이루어진다. 또, 본 실시예1에 있어서는 캡절연막(7a) 및 사이드월(7b)가 예를 들면 질화실리콘으로 이루어진다.

절연막(6a), (6b)는 캡절연막(7a) 및 사이드월(7b)를 형성할 때에 그 성막처리장치내가 도체막(4d2)의 구성금속원소로 오염되는 것을 방지한다.

캡절연막(7a) 및 사이드월(7b)는 층간절연막(8a), (8b)에 접속구멍(9a1), (9b1)을 형성할 때에 에칭 스토퍼로서 기능하고, 서로 인접하는 워드선WL 사이에 접속구멍(9a1), (9b1)을 자기정합적으로 형성하기 위한 막으로서 기능하고 있다. 즉, 캡절연막(7a) 및 사이드월(7b)는 워드선WL의 폭방향에 있어서의 접속구멍(9a1), (9b1)의 치수를 규정하고 있다.

이 때문에, 예를 들면 접속구멍(9a1), (9b1)이 워드선WL의 폭방향(도 3의 좌우방향)으로 다소 어긋났다고 해도 캡절연막(7a) 및 사이드월(7b)가 에칭스토퍼로서 기능하므로, 그 접속구멍(9a1), (9b1)에서 워드선WL의 일부가 노출하는 일도 없다. 따라서, 접속구멍(9a1), (9b1)의 위치맞춤여유를 작게 하는 것이 가능하다.

또한, 접속구멍(9a1), (9b1)이 워드선WL의 긴쪽방향(도 3의 상하방향)으로 어긋났다고 해도 여기서는 층간절연막(8a), (8b)의 두께가 어느 정도 확보되어 있으므로, 접속구멍(9a1), (9b1)에서 반도체기판(1s)의 상면이 노출하는 일도 없다.

층간절연막(8a)는 예를 들면 SiO_2 로 이루어지고, 층간절연막(8b)는 예를 들면 BPSG(Boron Phospho Silicate Glass)로 이루어진다. 이 층간절연막(8a)는 그 상층의 층간절연막(8b)중의 붕소 또는 인이 하층의 반도체기판(1s)로 확산하는 것을 방지하는 기능을 갖고 있다.

또, 층간절연막(8b)는 배선층의 하지를 평탄하게 하는 기능을 갖고 있다. 이것에 의해 포토리도그래피의 마진을 확보할 수 있고 접속구멍(9a1), (9b1)나 배선의 패턴전사 정밀도를 향상시킬 수 있게 되어 있다.

층간절연막(8b)상에는 예를 들면 SiO_2로 이루어지는 층간절연막(8c)가 형성되어 있다. 이 층간절연막(8c)는 후술하는 비트선 형성공정시 등에 있어서, 층간절연막(8b)에서 캡절연막(7a)의 일부가 노출하고 있으면, 그 노출부분이 에칭되어 워드선WL이 노출해 버리는 경우가 있으므로 그것을 방지하기 위한 막이다. 따라서, 그와 같은 문제가 발생하지 않는 경우에는 마련하지 않아도 좋다.
층간절연막(8c)상에는 비트선(도체)BL(이하 단지 비트선이라고도 한다)이 형성되어 있다. 이 비트선BL은 예를 들면 저저항폴리실리콘으로 이루어지는 도체막(제1 도체막)BL1의 상층에 예를 들면 WSi_2로 이루어지는 도체막(제2 도체막)BL2가 퇴적되어 이루어지고, 접속구멍(9a1)을 거쳐서 반도체영역(4a)와 전기적으로 접속되어 있다.
도체막BL1과 층간절연막(8c) 사이에는 접속구멍(9a1)를 형성할 때에 에칭마스크로 된 마스크막(제2 마스크막)(10b)가 남겨져 있다. 이 마스크막(10b)는 접속구멍(9a1)의 형성시에 있어서의 에칭선택비를 높게 하기 위한 막으로서 예를 들면 저저항폴리실리콘으로 이루어지고, 비트선BL의 일부이기도 하다.
비트선(도체)BL 및 비트선 접속구멍(9a1)의 평면도를 도 5에 도시한다. 비트선(도체)BL은 워드선도체WL을 횡단하도록 (예를 들면 워드선도체WL과 대략 직교하도록) 도 5의 횡방향으로 직선형상으로 연장되어 있다. 비트선BL에 있어서 활성영역A의 중앙에 위치하는 부분에는 돌출부가 형성되어 있고, 이 돌출부에 비트선용의 접속구멍(9a1)이 배치되어 있다.
비트선도체BL의 중심선은 비트선용의 접속구멍(9a1)의 중심에 반드시 일치시킬 필요는 없지만, 일치시키지 않는 경우, 비트선BL은 비트선용의 접속구멍(9a1)(도 2참조)을 완전히 둘러싸기 위한 돌출부를 필요로 한다.
또한, 비트선도체BL에 상기 돌출부를 형성하면, 그 돌출부와 그 돌출부측에 인접하는 비트선도체BL 사이에서 단락불량이 생길 가능성이 있으므로, 그 인접하는 비트선도체BL 중 돌출부가 대향하는 부분을 돌출부에서 떨어지도록 조금 굴곡시키고 있다.
이 비트선도체BL의 폭L5는 예를 들면 0. 28㎛정도, 비트선도체BL의 돌출부와 그것에 인접하는 비트선도체BL의 간격L6은 예를 들면 0. 3㎛정도, 서로 인접하는 비트선도체BL의 간격L7은 예를 들면 0. 58㎛정도이다.
비트선BL의 상면 및 측면은 절연막(6c), (6d)를 거쳐서 캡절연막(제2 캡절연막)(11a) 및 사이드월(재2 측벽절연막)(11b)에 의해서 피복되어 있다. 이 캡절연막(11a) 및 사이드월(11b)는 층간절연막(8c) 등에 접속구멍(9b2)를 형성할 때에 에칭스토퍼로서 기능하고, 서로 인접하는 비트선BL 사이에 접속구멍(9b2)를 자기정합적으로 형성하기 위한 막으로서 기능하고 있다. 즉, 캡절연막(11a) 및 사이드월(11b)는 비트선BL의 폭방향에 있어서의 접속구멍(9b1), (9b2)의 치수를 규정하고 있다.
따라서, 예를 들면 접속구멍(9b1), (9b2)가 비트선BL의 폭방향(도 4의 상하 방향)으로 다소 어긋났다고 해도 캡절연막(11a) 및 사이드월(11b)가 에칭스토퍼로서 기능하므로, 그 접속구멍(9b1), (9b2)가 소자분리영역으로 지나치게 들어가는 일도 없다. 이 때문에, 접속구멍(9b1), (9b2)의 위치맞춤여유를 작게 할 수 있다.
또, 이 캡절연막(11a) 및 사이드월(11b)는 절연막(12)에 의해서 피복되어 있다. 이 절연막(12)는 캐패시터(5)를 형성한 후의 하지의 절연막을 제거할 때에 에칭스토퍼로서 기능하는 막으로서 예를 들면 질화실리콘으로 이루어진다.
이 절연막(12)의 두께는 예를 들면 100 500Å, 바람직하게는 250Å정도로 설정되어 있다. 이 이상 두꺼우면, 댕글링본드를 종단하기 위한 최종적인 수소어닐처리시에 수소가 질화실리콘막에 의해 포박 또는 수소의 이동이 저지되어 충분한 종단효과를 얻을 수 없게 되기 때문이다.
이 비트선BL의 상층에는 예를 들면 원통형의 캐패시터(5)가 형성되어 있다. 즉, 본 실시예1의 DRAM은 COB(Capacitor Over Bitline)구조로 되어 있다. 캐패시터(5)는 제1 전극(제3 도체막)(5a)상에 캐패시터 절연막(5b)를 거쳐서 제2 전극(5c)가 형성되어 구성되어 있다. 제 1전극(5a)는 예를 들면 저저항폴리실리콘으로 이루어지고, 접속구멍(9b1)내에 매립된 도체막(제1 도체막)(13)을 통해서 선택MOS(4)의 한쪽의 반도체영역(4b)와 전기적으로 접속되어 있다. 도체막(13)은 예를 들면 저저항폴리실리콘으로 이루어진다.
이 캐패시터(5)의 제1전극(5a)(간단을 위해 1행에 대해서만 나타낸다) 및 캐패시터(5)용의 접속구멍(9b1), (9b2)의 평면도를 도 6에 도시한다. 제1 전극(5a) 는 비트선BL용의 접속구멍(9a1)의 양측에 1개씩 배치되어 있다. 개개의 제1 전극(5a)는 예를 들면 서로 인접하는 2개의 워드선WL을 걸치도록 장방형상으로 형성되어 있고, 그 횡방향의 길이는 예를 들면 1. 14㎛정도, 종방향의 길이는 예를 들면 0. 56㎛정도이다.
캐패시터 절연막(5b)는 예를 들면 질화실리콘막상에 SiO_2막이 퇴적되어 형성되어 있다. 또, 제 2전극(5c)는 예를 들면 저저항폴리실리콘으로 이루어지고, 소정의 배선과 전기적으로 접속되어 있다.
또한, 캐패시터(5)의 제 1전극(5a)의 하부의 마스크막(제3 마스크막)(10c)는 접속구멍(9b2)를 뚫을 때에 마스크로서 사용한 막이다. 이 마스크막(10c)는 예를 들면 저저항 폴리실리콘으로 이루어지고, 캐패시터(5)의 제1 전극(5a)의 일부로 되어 있다.
한편, 도 7에 도시한 바와 같이 주변회로부P에 있어서의 반도체기판(1s)의 상부에는 p웰(3p) 및 n웰(3n)이 형성되어 있다. 이 p웰(3p)에는 예를 들면 p형 불순물의 붕소가 도입되어 있다. 또, n웰(3n)에는 예를 들면 n형 불순물의 인 또는 As가 도입되어 있다. 그리고, 이 p웰(3p)상 및 n웰(3n)상에는 예를 들면 nMOS(14) 및 pMOS(15)가 형성되어 있다.
이들 nMOS(14) 및 pMOS(15)에 의해서 DRAM의 센스앰프회로, 컬럼디코더회로, 컬럼드라이버회로, 로우디코더회로, 로우드라이버회로, I/O셀렉터회로, 데이타 입력 버퍼회로, 데이타 출력 버퍼회로 및 전원회로 등과 같은 주변회로가 형성되어 있다.
nMOS(14)는 p웰(3p)의 상부에 서로 거리를 두고 형성된 1쌍의 반도체영역(14a), (14b), 반도체기판(1s)상에 형성된 게이트 절연막(14c) 및 게이트절연막(14c)상에 형성된 게이트전극(14d)를 갖고 있다.
반도체영역(14a), (14b)는 nMOS(14)의 소오스영역 및 드레인영역을 형성하기 위한 영역으로서, 이 반도체영역(14a), (14b)에는 예를 들면 n형 불순물의 인 또는 As가 도입되어 있다. 또한, 이 반도체영역(14a), (14b) 사이에 nMOS(14

)의 채널영역이 형성되어 있다.
게이트 절연막(14c)는 예를 들면 SiO_2로 이루어진다. 또, 게이트전극(14d)는 예를 들면 저저항폴리실리콘으로 이루어지는 도체막(14d1)상에 WSi_2로 이루어지는 도체막(14d2)가 퇴적되어 이루어진다. 단, 게이트전극(14d)는 예를 들면 저저항폴리실리콘의 단일체막으로 형성해도 좋고, 금속으로 형성해도 좋다.
게이트전극(14d)의 상면 및 측면에는 절연막(6a), (6b)를 거쳐서 캡절연막(7a) 및 사이드월(7b)가 형성되어 있다. 절연막(6a), (6b)는 상기한 메모리셀부M의 절연막(6a), (6b)와 동일 기능을 갖고 있고, 예를 들면 SiO_2로 이루어진다. 또, 캡절연막(7a) 및 사이드월(7b)는 예를 들면 질화실리콘으로 이루어진다. 단, 이 경우의 사이드월(7b)는 주로 LDD(Lightly Doped Drain)구조를 구성하기 위 한 막이다.
pMOS(15)는 n웰(3n)의 상부에 서로 거리를 두고 형성된 1쌍의 반도체영역(15a), (15b), 반도체기판(1s)상에 형성된 게이트절연막(15c) 및 게이트절연막(15c)상에 형성된 게이트전극(15d)를 갖고 있다.
반도체영역(15a), (15b)는 pMOS(15)의 소오스영역 및 드레인영역을 형성하기 위한 영역으로서, 이 반도체영역(15a), (15b)에는 예를 들면 p형 불순물의 붕소가 도입되어 있다. 또한, 이 반도체영역(15a), (15b) 사이에 pMOS(15)의 채널영역이 형성되어 있다.
게이트 절연막(15c)는 예를 들면 SiO_2로 이루어진다. 또, 게이트전극(15d)는 예를 들면 저저항폴리실리콘으로 이루어지는 도체막(15d1)상에 WSi_2로 이루어지는 도체막(15d2)가 퇴적되어 이루어진다. 단, 게이트전극(15d)는 예를 들면 저저항 폴리실리콘의 단일체막으로 형성해도 좋고, 금속으로 형성해도 좋다.
게이트전극(15d)의 상면 및 측면에는 절연막(6a), (6b)를 거쳐서 캡절연막(7a) 및 사이드월(7b)가 형성되어 있다. 절연막(6a), (6b)는 상기한 메모리셀부M의 절연막(6a), (6b)와 동일기능을 갖고 있고, 예를 들면 SiO_2로 이루어진다. 또, 캡절연막(7a) 및 사이드월(7b)는 예를 들면 질화실리콘으로 이루어진다. 단, 이 경우의 사이드월(7b)는 주로 LDD 구조를 구성하기 위한 막이다.
이들 nMOS(14) 및 pMOS(15)는 상기한 층간절연막(8a) (8c)에 의해서 피복되어 있고, 그 층간절연막(8c)상에는 상기한 절연막(12)가 퇴적되어 있다. 또, 이와 같은 메모리셀부M 및 주변회로부P에 있어서 절연막(12)상에는 층간절연막(8d)가 형성되어 있고, 이것에 의해서 캐패시터(5)의 제2 전극(5b)가 피복되어 있다.
층간절연막(8d)는 예를 들면 SiO_2로 이루어지는 절연막(8d1)상에 예를 들면 BPSG로 이루어지는 절연막(8d2)가 퇴적되어 형성되어 있다. 절연막(8d1)은 그 상층의 절연막(8d2) 중의 붕소 또는 인이 캐패시터(5)의 제2 전극(5c)측 등으로 확산하는 것을 방지하는 기능을 갖고 있다.
다음에, 본 실시예1의 반도체집적회로장치의 제조공정인 노출공정에서 사용하는 포토마스크(레티클을 포함한다)를 도 8 도 21에 의해서 설명한다. 여기서, 도 8, 도10, 도13, 도 15 및 도 19에 있어서는 도면을 보기 쉽게 하기 위해 차광영역을 사선으로 표시하고, 위상시프터가 배치된 영역을 점에 의해 음영을 주고 있다. 또한, 이 차광영역은 예를 들면 크롬(Cr)막 등에 의해서 형성되어 있다. 또, 마스크기판은 예를 들면 합성석영 등으로 이루어진다.
도 8은 상기한 DRAM의 메모리셀부M의 필드절연막(2)나 단위활성영역A(도 2 및 도 3참조)를 형성할 때에 사용하는 포토마스크PM1의 주요부평면도이다.
이 포토마스크PM1에는 예를 들면 평면이 역V자형인 여러개의 광투과영역P1이 규칙적으로 배치되어 있다. 이 광투과영역P1은 도 8의 횡방향을 따라서 소정의 거리Lm1을 두고 배치되어 있다. 단, 도 8의 종방향에 인접하는 광투과영역P1끼 리는 그 각각의 중심이 그 횡방향길이의 1/2만큼 도 8의 횡방향으로 상대적으로 어긋난 상태로 배치되어 있다. 또한, 거리Lm1은 예를 들면 2㎛정도, 또 인접하는 영역P1간의 최소거리Lm2는 예를 들면 1. 75㎛정도이다.
또, 도 8의 종방향으로 배열되어 있는 광투과영역P1의 행에는 1행 건너 위상시프터PS1이 각 광투과영역P1에 중첩되도록 배치되어 있다. 이 위상시프터PS1은 투과광의 위상을 변경하는 기능을 갖고(예를 들면, 실질적으로 180도 위상시프트를 발생시킨다), 예를 들면 이산화실리콘 등과 같은 투명한 절연막을 SOG법 등에 의해서 포토마스크PM1상에 퇴적한 후, 그 절연막을 포토리도그래피기술 및 드라이에칭기술에 의해서 패터닝하는 것에 의해서 형성되어 있다.
이와 같은 포토마스크PM1에 의해서 포지티브형의 포토레지스트막에 전사된 패턴을 도 9에 도시한다. 점에 의한 음영부분은 포토레지스트막PR1이 남겨져 있는 부분, 흰 부분은 포토레지스트막PR1이 제거된 부분이다. 또한, 포토레지스트막PR1을 네거티브형으로 하는 것에 의해 도 9의 흰 부분에 포토레지스트막이 남겨지도록 할 수도 있다.
다음에, 도 10은 상기한 DRAM의 메모리셀부M의 워드선WL(도 2 및 도 4참조)을 형성할 때에 사용하는 포토마스크PM2의 주요부평면도이다. 또, 도 11은 도 10의 ?-?선의 단면도이다.
이 포토마스크PM2에는 워드선WL에 대응하는 예를 들면 대략 직선형상의 여러개의 광투과영역P2가 도 10의 횡방향에 따라서 규칙적으로 나란히 배치되어 있다. 즉, 4개의 연속하는 광투과영역P2와 이들 4개의 광투과영역에 인접하는 4개의 차광 영역으로 배열단위가 구성되고, 이 배열단위가 미세한 간격Lm5b를 갖고 반복해서 나란히 배치되어 있다. 또, 도 10의 횡방향으로 배열되어 있는 광투과영역P2의 열에는 1열 건너 위상시프터PS2가 각 광투과영역P2에 중첩되도록 배치되어 있다. 이 위상시프터PS2의 기능 재료 및 형성방법은 상기한 위상시프터PS1(도 8참조)와 동일하다.
이 광투과영역P2에는 그 연장방향의 소정간격마다 그 한쪽의 측면에서 도 10의 횡방향으로 돌출해서 다른 부분보다 폭이 넓어지는 영역이 형성되어 있다. 단, 도 10의 횡방향에 인접하는 광투과영역P2끼리는 그 돌출영역의 위치가 도 10의 종방향으로 서로 어긋나도록 배치되어 있다. 광투과영역P2의 폭이 넓은 영역의 폭Lm3은 예를 들면 2. 2㎛정도, 가는 영역의 폭Lm4는 예를 들면 1. 5㎛정도이다.
그런데, 본 실시예에 있어서는 그 돌출부가 대향하도록 서로 인접하는 광투과영역P2간의 간격Lm5a(Lm5a1, Lm5a2)이 그 길이방향을 따라서 거의 일정하게 되어 있고 예를 들면 대략 1. 5㎛정도로 설정되어 있다.
또, 돌출부가 없는 측이 대향하도록 서로 인접하는 광투과영역P2간의 간격Lm5b도 그 길이방향을 따라서 거의 일정하게 되어 있고 예를 들면 대략 1. 5㎛정도로 설정되어 있다.

즉, 본 실시예에 있어서는 서로 인접하는 광투과영역P2간의 간격Lm5a, Lm5b가 각각의 길이방향을 따라서 일정하게 되어 있다. 또, 서로 인접하는 광투과영역P2간의 간격Lm5a, Lm5b가 광투과영역P2의 가는 부분의 폭 Lm4와 동일하게 되어 있지만 동일하지 않아도 좋다(Lm5a=Lm4=Lm5b).
이것에 의해 서로 인접하는 광투과영역P2를 투과한 광의 위상차조작을 그 쌍방의 광투과영역P2간의 전체영역에 있어서 실질적으로 설계대로 양호하게 실행하는 것이 가능하게 된다. 이 결과, 전사패턴의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 되어 있다.
이와 같은 포토마스크PM2에 의해서 네거티브형의 포토레지스트막에 전사된 패턴을 도 12에 도시한다. 점에 의한 음영부분이 포토레지스트막PR2가 남겨져 있는 부분이다. 여기에는 소정간격마다 폭이 넓은 영역을 갖는 직선형상의 포토레지스트막PR2의 패턴이 형성되어 있다.
또, 흰 부분이 포토레지스트막이 제거된 부분이다. 또한, 포토레지스트막PR2를 포지티브형으로 하는 것에 의해 도 12의 흰 부분에 포토레지스트막이 남겨지도록 하는 것도 가능하다.
다음에, 도 13은 상기한 DRAM의 메모리셀부M의 비트선용의 접속구멍(9a1)(도 2 및 도 5참조)를 형성할 때에 사용하는 포토마스크PM3의 주요부평면도이다. 이 포토마스크는 본원의 출원인의 하나인 히다찌세사쿠쇼(주)에 의해 앞서 출원된 미국출원번호USSN08/600736(1996년 2월13일 출원)에 개시된 것과 동일하다.
포토마스크PM3에는 예를 들면 정방형상의 여러개의 광투과영역P3이 규칙적으로 배치되어 있다. 개개의 광투과영역P3의 치수는 예를 들면 1.8㎛×1.8㎛정도이다.
이 각각의 광투과영역P3에는 위상시프터PS3이 중첩되도록 배치되어 있다. 이 위상시프터PS3의 기능, 재료 및 형성방법은 상기한 위상시프터PS1(도8 참조)와 동일하다.
또, 그 각각의 광투과영역P3의 4변 근방에는 보조패턴 세그맨트PA1이 배치되어 있다. 보조패턴 세그맨트PA1은 광투과영역P3과 보조패턴 세그맨트PA1을 투과한 각각의 광사이에 위상차를 발생시키는 것에 의해 전사패턴의 에지의 콘트라스트를 증대시켜서 양호한 패턴을 전사하기 위한 기능을 갖고 예를 들면 장방형상의 광투과영역으로 이루어진다.
광투과영역P3과 그 4변근방의 각각의 보조패턴 세그맨트PA1의 간격Lm6은 투과광의 위상을 양호하게 조작하기 위해 동일하게 되어 있고, 예를 들면 0.8㎛정도로 설정되어 있다. 또, 각 보조패턴 세그맨트PA1의 크기도 모두 동일하고 예를 들면 1.0㎛×1.7㎛정도이다.
이와 같은 포토마스크PM3에 의해서 포지티브형의 포토레지스트막에 전사된 패턴을 도 14에 도시한다. 점에 의한 빗금부분이 포토레지스트막PR3이 남겨져 있는 부분, 정방형상의 흰 부분이 포토레지스트막이 제거된 부분이다. 또한, 포토레지스트막PR3을 네거티브형으로 하는 것에 의해 도 14의 흰 부분에 포토레지스트막이 남겨지도록 하는 것도 가능하다.
다음에, 도 15는 상기한 DRAM의 메모리셀부M의 비트선BL(도 2 및 도 5참조)을 형성할 때에 사용하는 포토마스크PM4의 주요부평면도이다. 또, 도 16(a), 도 16(b)는 각각 도 15의 XVIa-XVIa선 및 XVIb-XVIb선의 단면도이다.
포토마스크PM4에는 비트선BL에 대응하는 예를 들면 대략 직선형상의 여러개의 광투과영역P4가 도 15의 횡방향을 따라서 나란히 배치되고 있다. 즉, 2개의 연속하는 광투과영역P4와 이들 2개의 광투과영역에 인접하는 2개의 차광영역으로 배열단위가 구성되고, 이 배열단위가 미세한 간격Lm9a를 갖고 반복해서 나란히 배치된다. 그리고, 도 15의 횡방향으로 배열하는 광투과영역P4 행의 1행 건너 위상시프터PS4가 그광투과영역P4에 중첩되도록 배치되어 있다. 이 위상시프터PS4의 기능, 재료 및 형성방법은 상기한 위상시프터PS1(도 8참조)와 동일하다.
각 광투과영역P4에는 소정의 간격마다 폭이 넓은 부분이 형성되어 있다. 각 광투과영역P4의 폭이 넓은 부분의 비트선폭방향의 폭Lm7a는 예를 들면 2.95㎛정도, 비트선길이방향의 폭Lm7b는 예를 들면 3㎛정도, 가는 부분의 폭Lm8은 예를 들면 1.4㎛정도이다. 또, 비트선간의 간격Lm9a는 예를 들면 2.9㎛정도, 비트선 폭이 넓은 부분과 인접하는 비트선 사이의 간격Lm9b는 예를 들면 1.5㎛정도이다.
그런데, 본 실시예에 있어서는 각 광투과영역P4의 폭이 넓은 부분내에 예를 들면 정방형상의 보조차광영역S1이 배치되어 있다. 이 차광영역S1의 치수는 예를 들면 0.2㎛×0.2㎛정도이고, 폭이 넓은 부분의 끝(3개의 외부가장자리)로부터의 거리는 각각 예를 들면 1㎛정도이다. 보조차광영역S1은 광투과영역P4의 폭이 넓은 부분을 투과하는 광강도를 영역P4의 다른 부분을 투과하는 강도와 비교해서 큰 차이가 없도록 제한하기 위해 마련된다. 보조차광영역은 사용되는 노출장치의 해상한계 이하의 형상 및 치수를 갖는다.
각 광투과영역P4의 폭이 넓은영역의 주위의 차광영역에는 보조패턴 세그맨트(보조광투과영역)PA2가 배치되어 있다. 이 보조패턴 세그맨트PA2는 1개 의 광투과영역P4의 폭이 넓은 부분과 폭이 좁은 부분으로 면적이 대폭적으로 다른 것에 기인하여 그 경계영역에 상당하는 전사패턴부분이 가늘어지게 되는 것을 방지하기 위해 마련된다. 즉, 세그맨트PA2는 영역S1과 같이 동작하여 광투과영역P4의 길이전체에 걸쳐서 투과광의 강도를 거의 균일하게 하는 것으로서 예를 들면 장방형상의 광투과영역으로 이루어진다.
또한, 광투과영역P4와 그 근방의 보조패턴 세그맨트PA2에서는 투과광이 거의 역상으로 되도록 되어 있다. 즉, 위상시프터PS4가 배치된 광투과영역P4의 보조패턴 세그맨트PA2에는 위상시프터PS4가 배치되어 있지 않다. 또, 위상시프터PS4가 배치되어 있지 않는 광투과영역P4 근방의 보조패턴 세그맨트PA2에는 위상시프터PS4가 배치되어 있다.
각 보조패턴 세그맨트PA2의 치수는 예를 들면 0.1㎛×0.2㎛정도이다. 또, 각 보조패턴 세그맨트PA2와 광투과영역P4의 폭이 넓은 부분 사이의 비트선길이방향의 간격Lm10은 투과광의 위상을 양호하게 조작하기 위해 폭이 넓은 부분의 좌측, 우측에서 동일하게 되어 있고 예를 들면 0.1㎛정도로 설정되어 있다. 보조차광영역S1 및 보조패턴 세그맨트PA2의 면적 및 형상은 사용되는 노출장치의 해상한계 이하로 되도록 결정된다.
이와 같은 포토마스크PM4를 투과한 광강도분포를 도 17에 도시한다. 구형체LBL은 레이아웃 설계단계에 있어서의 비트선BL(도 5참조)를 나타내고, 구형체LPA는 레이아웃 설계단계에 있어서의 보조패턴 세그맨트PA2(도 15참조)를

나타내고, 구형체LS1은 레이아웃 설계단계에 있어서의 차광영역S1(도 15참조)을 나타내고 있다. 그리고, 곡선이 투과광의 강도분포를 나타내고 있다.
이와 같은 포토마스크PM4에 의해서 네거티브형의 포토레지스트막에 전사된 패턴을 도 18에 도시한다. 점에 의한 음영부분이 포토레지스트막PR4가 남겨져 있는 부분이다.
본 실시예에 있어서는 광투과영역P4(도 15참조)의 폭이 넓은 부분 및 폭이 좁은 부분이 양호한 형태로 전사된다. 즉, 상층에서 캐패시터(5)(도 2참조)용의 접속구멍을 형성하기 위해 높은 맞춤 정밀도와 설계패턴에 충실한 패턴형성이 특히 필요하게 되는 비트선BL(도 5참조)의 형성상태를 향상시키는 것이 가능하게 되어 있다.
또, 흰 부분은 포토레지스트막PR4가 제거된 부분이다. 또한, 포토레지스트막PR4를 포지티브형으로 하는 것에 의해 도 17의 흰 부분에 포토레지스트막이 남겨지도록 하는 것도 가능하다.
도 19는 상기한 DRAM의 메모리셀부M에 있어서의 캐패시터용의 접속구멍(9b1), (9b2)(도 2 및 도 6참조)를 형성할 때에 사용하는 포토마스크PM5의 주요부평면도이다. 또, 도 20은 도 19의 XX-XX선의 단면도이다.
이 포토마스크PM5에는 접속구멍에 대응하는 예를 들면 정방형상의 여러개의 주광투과영역P5가 규칙적으로 배치되어 있다. 이 광투과영역P5의 치수는 예를 들면 1. 8㎛×1. 8㎛정도이다.
이 각각의 광투과영역P5에는 위상시프터PS5가 중첩되도록 배치되어 있다. 이 위상시프터의 기능, 재료 및 형성방법은 상기한 위상시프터PS3(도 13참조)과 동 일하다.
또, 그 각각의 광투과영역P5의 주변의 차광영역(본 실시예에서는 4변근방)에는 보조패턴 세그맨트(보조광투과영역) PA3a PA3d가 배치되어 있다. 보조패턴 세그맨트PA3a PA3d는 주광투과영역P5를 투과한 광과 보조패턴 세그맨트PA3a PA3d를 투과한 광 사이에 위상차를 발생시키는 것에 의해서 전사패턴의 에지부분의 콘트라스트를 증대시켜서 양호한 패턴을 전사하는 기능을 갖고, 예를 들면 장방형상의 광투과영역으로 이루어진다.
단, 도 19의 종방향에 인접하는 광투과영역P5 사이의 보조패턴 세그맨트PA3a, PA3c는 그 인접하는 광투과영역P5의 쌍방 공통의 패턴세그맨트로 되어 있다. 도 19의 종방향에 인접하는 광투과영역P5의 간격Lm11은 예를 들면 0. 5㎛정도이다. 또, 보조패턴 세그맨트PA3a, PA3c의 치수는 예를 들면 0. 22㎛×0. 4㎛정도이다.
또, 도 19의 횡방향에 인접하는 광투과영역P5의 간격Lm12와 간격Lm13에서는 길이가 다르게 되어 있고, 간격Lm13이 길게 되어 있다. 간격Lm12는 예를 들면 0. 92㎛정도, 간격Lm13은 예를 들면 1. 04㎛정도이다. 이들의 비교적 긴 쪽 및 짧은쪽의 간격Lm13 및 Lm12는 종방향으로 실질적으로 주기적으로(본 실시예에서는 교대로) 설정되어 있다.
그리고, 이 간격Lm12, Lm13 중 비교적 좁은 쪽(Lm12) 사이에 배치된 보조패턴 세그맨트PA3d와 비교적 넓은 쪽(Lm13) 사이에 배치된 보조패턴 세그맨트PA3d는 크기가 다르게 되어 있고, 보조패턴 세그맨트PA3d가 작게 형성되어 있다.
비교적 작은 보조패턴 세그맨트PA3d의 치수는 예를 들면 0. 32㎛×0. 16㎛정도, 비교적 큰 보조패턴 세그맨트PA3b의 치수는 예를 들면 0. 36㎛×0. 2㎛정도이다. 따라서, 공통의 보조패턴 세그맨트PA3a, PA3c는 비교적 작은 보조패턴 세그맨트PA3d보다 작다.
이것은 예를 들면 좁은 쪽의 간격Lm12측에 큰 치수의 보조패턴 세그맨트PA3b를 배치하면, 인접하는 보조패턴 세그맨트PA3b를 투과한 광의 간섭에 의해서 인접하는 보조패턴 세그맨트PA3b 사이에 상당하는 본래 패턴이 형성되어 있어서는 안되는 영역에 불필요한 패턴이 형성되어 버리는 것을 방지하기 위함이다.
또한, 보조패턴 세그맨트(보조 광투과영역)PA3a PA3d는 모두 사용되는 노출장치의 해상한계 이하의 형상 및 치수를 갖고 있다.
즉, 본 실시예에서는 광투과영역P5의 배치상태에 따라서 그 4변에 배치되는 보조패턴 세그맨트PA3a PA3d를 공유시키거나 치수를 변경하는 것에 의해 불필요한 패턴을 전사하는 일 없이 광투과영역P5를 전사하는 것이 가능하고, 캐패시터(5)용의 접속구멍의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 되어 있다.
또한, 광투과영역P5와 각 보조패턴 세그맨트PA3a PA3d의 간격Lm14는 모두 동일한 값으로 설정되어 있고, 예를 들면 0. 14㎛정도이다. 위상시프터를 광투과영역P5에 대해서가 아니라 각 보조패턴 세그맨트PA3a PA3d에 대해서 마련해도 좋다. 본 실시예에 있어서도 보조패턴 세그맨트PA3a PA3d의 면적 및 형상은 사용하는 노출장치의 해상한계 이하로 결정된다. 단위활성영역A(도 6)에 포함되는 2개의 캐패시터 접속구멍은 도 19에 있어서 인접하는 2개의 세그맨트3b를 사이에 두는 2개의 광투과영역P5에 의해 획정된다.
이와 같은 포토마스크PM5에 의해서 포지티브형의 포토레지스트막에 전사된 패턴을 도 21에 도시한다. 점에 의한 음영부분이 포토레지스트막PR5가 남겨져 있는 부분, 정방형상의 흰 부분이 포토레지스트막이 제거된 부분이다. 또한, 포토레지스트막을 네거티브형으로 하는 것에 의해 도 21의 흰 부분에 포토레지스트막이 남겨지게 하는 것도 가능하다.
다음에, 본 실시예의 반도체집적회로장치의 제조공정인 노출공정에서 사용하는 노출장치의 1예를 도 22에 의해서 설명한다.
본 실시예1의 노출장치EX는 예를 들면 렌즈식 스텝 앤드 리피트방식의5 : 1축소 투영노출장치로서, 예를 들면 일본광학(Nikon)의 i선 스텝NRS-1755i7A(예를 들면 NA=0. 5, 노출에리어=17. 5mm ^{2})을 기본으로 해서 구성되어 있다.
노출광원EX1에는 예를 들면 고압수은램프가 사용되고 있다. 노출광원EX1에서 방사된 노출광은 집광미러EX2에 의해서 모여져 제1 평면반사경EX3a에 조사되도록 되어 있다.
제1 평면반사경EX3a에 조사된 노출광은 셔터EX4, 플라이아이렌즈EX5, 개구EX6 및 쇼트컷필터EX7을 거쳐서 제2 평면반사경EX3b에 조사되도록 되어 있다.
이 개구EX6은 코히어런스계수 σ를 조정하기 위한 구성부로서, 본 실시예1에 있어서는 예를 들면 σ=0. 3으로 하였다. 또, 소트컷필터EX7은 노출광으로 i 선(365nm)을 사용하는 경우에 그 i선보다 단파장의 원자외측을 차단하기 위

한 필터이다.
제2 평면반사경EX3b에 조사된 노출광은 마스크블라인드EX8, 콘덴서렌즈EX9, 포토마스크PM 및 축소투영렌즈(투영광학계)EX10을 거쳐서 반도체웨이퍼(1w)에 조사되도록 되어 있다.
이 마스크블라인드EX8은 전사영역의 범위를 설정하기 위한 구성부로서, 착탈이 자유롭게 되어 있다. 콘덴서렌즈EX10은 쾰러(Koehler)조명을 형성하기 위한 렌즈이다.
포토마스크PM은 상기한 포토마스크PM1 PM5(도 8, 도 10 도 13, 도 15 및 도 19)등 및 위상시프터가 배치되어 있지 않은 통상의 포토마스크이다. 이 포토마스크PM은 마스크탑재대EX11상에 떼어낼 수 있는 상태로 탑재되어 있다.
축소투영렌즈EX10은 여러개의 렌즈군으로 이루어지는 양텔레센트릭한 렌즈이다. 반도체웨이퍼(1w)는 예를 들면 직경 5인치 8인치정도의 Si단결정으로 이루어지고, 웨이퍼흡착대EX12상에 탑재되어 있다.
웨이퍼흡착대EX12의 하부에는 Z축 이동대EX13a가 설치되어 있다. Z축 이동대EX13a는 반도체웨이퍼(1w)를 높이방향으로 이동하기 위한 이동대로서, 구동부EX14a와 기계적으로 접속되고 이것에 의해서 그 이동동작이 실행되도록 되어 있다.
Z축 이동대EX13a의 하부에는 XY스테이지EX13b가 설치되어 있다. XY스테이지EX13b는 X축이동대(13b1)과 Y축이동대(13b2)로 구성되어 있다. X 축이동대(13b1)는 반도체웨이퍼(1w)를 도 22의 횡방향으로 수평이동하는 이동대이고, Y축이동대(13b2)는 반도체웨이퍼(1w)를 도 22의 앞뒤방향으로 수평이동하는 이동대이다. X축이동대EX13b1 및 Y축이동대EX13b2는 각각 구동부EX14b, EX14c와 기계적으로 접속되고, 이것에 의해서 그 이동동작이 실행되도록 되어 있다.
구동부EX14a EX14c는 각각 주제어부EX15와 전기적으로 접속되어 있고, 그 동작이 주제어부EX15에 의해서 제어되어 있다. 주제어부EX15는 노출장치EX의 전체동작을 제어하기 위한 구성부이다.
다음에, 본 실시예1의 반도체집적회로장치의 제조방법을 도 23(a) 도23(z), 도 24를 참조해서 설명한다.
우선, 도 23(a)에 도시한 바와 같이 p-형 Si단결정으로 이루어지는 반도체기판(1s)의 표면에 열산화처리를 실시해서 예를 들면 두께135Å정도의 SiO_2로 이루어지는 절연막(16)을 형성한 후, 그 상면에 예를 들면 두께1400Å정도의 질화실리콘으로 이루어지는 절연막(17)을 CVD법 등에 의해 퇴적한다.
계속해서 절연막(17) 중, 소자분리영역에 위치하는 부분을 포토리도그래피기술 및 드라이에칭기술에 의해서 제거하는 것에 의해 그 절연막(17)을 패터닝한다. 이 포토리도그래피공정시에는 도 8에 도시한 포토마스크PM1을 사용한다.
그 후, 이 패터닝된 절연막(17)을 마스크로 해서 선택산화처리를 실시하는 것에 의해 도 23(b)에 도시한 바와 같이 반도체기판(1s)의 주면에 소자분리용의 필드절연막(2)를 형성한다. 이 필드절연막(2)는 예를 들면 SiO_2로 이루어지고, 그 막두께는 약 4000Å이다.
또한, 이 처리후의 메모리셀부M에 있어서의 평면도가 상기한 도 3이다.
다음에, 절연막(17)을 열인산용액 등에 의해 제거한 후, 포토레지스트를 마스크로 해서 예를 들면 p형 불순물의 붕소를 이온주입에 의해 반도체기판(1s)의 소정위치에 도입하고, 그 포토레지스트를 제거한 후에 반도체기판(1s)에 열확산처리를 실시하는 것에 의해 도 23(c)에 도시한 바와 같이 p웰(3p)를 형성한다.
또, 포토레지스트를 마스크로 해서 예를 들면 n형 불순물의 인을 이온주입에 의해 반도체기판(1s)의 소정위치에 도입하고, 그 포토레지스트를 제거한 후에 반도체기판(1s)에 열확산처리를 실시하는 것에 의해 n웰(3n)를 도 23(c)에 도시한 바와 같이 형성한다.
계속해서, 반도체기판(1s)의 표면의 절연막(16)을 플루오르화 수소산 용액으로 에칭제거한 후에 반도체기판(1s)의 표면에 예를 들면 두께 약 100Å 정도의 SiO_2로 이루어지는 절연막(도시하지 않음)을 형성한다.
그 후, 채널영역에서의 불순물농도를 최적화해서 각 MOS의 임계값전압을 얻기 위해 활성영역의 주면에 소정의 불순물을 이온주입한다.
계속해서, 도 23(c)에 도시한 바와 같이 반도체기판(1s)의 표면의 절연막을 플루오르화 수소산 용액으로 에칭제거한 후에 반도체기판(1s)의 표면에 선택 MOS의 게이트절연막(4c) 및 주변회로를 구성하는 MOS의 게이트절연막(14c), (15c)를 형성한다. 그 게이트절연막(4c)는 예를 들면 열산화법에 의해 형성되고, 그 막두께 는 약 90Å이다.
계속해서, 도 23(d)에 도시한 바와 같이 반도체기판(1s)의 상면에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 도체막(18d1) 및 WSi_2로 이루어지는 도체막(18d2)를 순차 퇴적한다. 이 도체막(18d1), (18d2)는 예를 들면 CVD법에 의해 형성되고, 이들의 막두께는 예를 들면 각각 700Å 및 1500Å이다.
그 후, 상층의 도체막(18d2)상에 예를 들면 SiO_2로 이루어지는 절연막(6a) 및 질화실리콘으로 이루어지는 캡절연막(7a)를 순차 퇴적한다. 이 절연막(6a) 및 캡절연막(7a)는 예를 들면 CVD법에 의해 형성된다.
절연막(6a)는 캡절연막(7a)의 형성시에 그 성막장치내가 도체막(18d2)의 구성금속으로 오염되는 것을 방지하는 기능을 하고, 그 두께는 예를 들면 100 500Å정도이다.
또, 캡절연막(7a)는 후술하는 접속구멍 형성공정시에 에칭스토퍼로서 기능하는 막으로서 그 두께는 예를 들면 2000Å정도이다.
다음에, 도 23(e)에 도시한 바와 같이 포토레지스트를 마스크로 해서 그 포토레지스트에서 노출하는 캡절연막(7a), 절연막(6a) 및 도체막(18d2), (18d1)을 순차 에칭제거하는 것에 의해 메모리셀부M 및 주변회로부P에 게이트전극(4d)(워드선WL), (14d), (15d)를 형성한다.
이 포토리도그래피공정시에는 상기한 도 10의 포토마스크PM2를 사용한다. 또한, 이 처리후의 메모리셀부M에 있어서의 평면도가 상기한 도 4이다.
계속해서, 상기한 포토레지스트를 제거한 후, 반도체기판(1s)에 열산화처리를 실시하는 것에 의해 게이트전극(4d), (14d), (15d)의 측면에 예를 들면 SiO_2로 이루어지는 얇은 절연막(6b)를 형성한다.

그 후, 도 23(f)에 도시한 바와 같이 주변회로부P의 nMOS 형성영역 및 pMOS 형성영역에 각각 n형 불순물의 인 또는 p형 불순물의 붕소를 게이트전극(14d), (15d)를 마스크로 해서 이온주입하는 것에 의해 저불순물농도의 반도체영역(14a1), (14b1), (15a1), (15b1)을 형성한다.
다음에, 메모리셀부M의 선택MOS 형성영역에 n형 불순물의 인을 게이트전극(4d)를 마스크로 해서 이온주입하고, 이 n형 불순물을 신장확산하는 것에 의해 선택MOS(4)의 소오스영역 및 드레인영역을 구성하는 반도체영역(4a), (4b)를 형성한다. 반도체영역(4a), (4b)는 각각 나중에 비트선 및 캐패시터가 접속된다,
계속해서, 반도체기판(1s)상에 예를 들면 질화실리콘으로 이루어지는 절연막을 CVD법에 의해 퇴적한 후, 그 절연막을 RIE(Reactive Ion Etching) 등과 같은 이방성 드라이에칭법에 의해서 에칭백하는 것에 의해
게이트전극(4d), (14d) 및 (15d)의 측면에 사이드월(7b)를 형성한다.
또한, 이와 같은 사이드월(7b)를 형성한 후, p웰(3p)의 주면에 상기한 n형 불순물의 인보다 고농도로 비소(As)를 이온주입하는 것에 의해 선택MOS(4)의 소오스영역 및 드레인영역을 LDD구조로 해도 좋다.
그 후, 주변회로부P의 nMOS형성영역 및 pMOS형성영역에 각각 n형 불순물의 인 및 p형 불순물의 붕소를 캡절연막(7a) 및 사이드월(7b)로 피복된 게이트 전극(14d), (15d)를 마스크로 해서 이온주입하는 것에 의해 고불순물농도의 반도체영역(14a2), (14b2), (15a2), (15b2)를 형성한다. 이것에 의해 주변회로부P의 nMOS(14) 및 pMOS(15)의 반도체영역(14a), (14b), (15a), (15b)를 형성한다.
다음에, 도 23(g)에 도시한 바와 같이 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8a)를 CVD법 등에 의해서 퇴적한 후, 그 층간절연막(8a)상에 예를 들면 BPSG 등으로 이루어지는 층간절연막(8b)를 CVD법 등에 의해서 퇴적한다. 그 결과, 적어도 게이트전극(4d)상의 각각 질화막으로 형성된 캡절연막(7a) 및 사이드월(7b)는 산화막으로 형성된 절연막(8a)에 접촉한 상태에서 그것으로 피복된다.
계속해서, 그 층간절연막(8b)의 상면을 화학적 기계연마(Chemical Mechancal Polishing ; CMP)법에 의해서 평탄화한 후, 그 층간절연막(8b)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 마스크막(제1 마스크막)(10a)를 CVD법 등에 의해서 퇴적한다.
그 후, 포토레지스트를 마스크로 해서 마스크막(10a)를 드라이에칭법 등에 의해서 패터닝하는 것에 의해 선택MOS(4)의 한쪽의 반도체영역(4b)의 상부가 개구하는 마스크막(10a)의 패턴을 형성한다.
이 때, 본 실시예1에 있어서는 마스크막(10a)의 하지의 층간절연막(8b)의 상 면을 평탄하게 하고 있으므로, 충분한 포토리도그래피 마진을 확보할 수 있어 막(8b)상으로의 양호한 패턴전사가 가능하다. 또한, 이 포토리도그래피공정에서는 도 19에 도시한 포토마스크PM5를 사용한다. 또, 주변회로부P에 있어서는 층간절연막(8b)상면의 전면이 마스크막(10a)에 의해서 피복되어 있다.
여기서, 마스크막(10a)로서 저저항 폴리실리콘을 사용한 것은 다음의 이유에서이다. 첫번째로, 후술하는 캐패시터(5)용의 접속구멍이 뚫려져 있는 산화실리콘막(8a), (8b)와의 에칭선택비를 높게 할 수 있기 때문이다. 두번째로, 그 접속구멍내에 매립하는 재료가 저저항 폴리실리콘이므로 그 재료의 매립시에 형성되는 저저항 폴리실리콘 도체막의 에칭백처리시에 하층의 마스크막(10a)도 동시에 제거해 버릴 수 있기 때문이다.
단, 마스크막(10a)의 구성재료는 폴리실리콘에 한정되는 것은 아니고 여러가지 변경가능하고 예를 들면 질화실리콘이라도 좋다.
다음에, 이 마스크막(10a)를 에칭마스크로 해서 마스크막(10a)에서 노출하는 층간절연막(8a), (8b)를 예를 들면 드라이에칭법에 의해서 제거하는 것에 의해 도 23(h)에 도시한 바와 같이 선택MOS(4)의 반도체영역(4b)가 노출하는 접속구멍(캐패시터용 하부 접속구멍)(9b1)을 형성한다. 접속구멍(9b1)의 직경은 예를 들면 0. 36㎛정도이다.
이 때, 본 실시예에 있어서는 접속구멍(9b1)이 형성되는 절연막(8a), (8b)에 의해 그것과 접촉해서 피복되어 있는 캡절연막(7a) 및 사이드월(7b)를 질화실리콘으로 형성하기 때문에 드라이에칭처리에 있어서의 질화실리콘에 대한 절연막(8a), (8b)의 선택비가 높으므로, 캡절연막(7a) 및 사이드월(7b)가 에칭스토퍼로 되고, 미세한 접속구멍(9b1)을 자기정합적으로 높은 위치맞춤 정밀도로 형성할 수 있다.
예를 들면 마스크막(10a)의 개구부의 위치가 다소 워드선WL의 폭방향(도 23(h)의 좌우방향)으로 어긋났다고 해도 캡절연막(7a) 및 사이드월(7b)가 질화실리콘으로 이루어지고 에칭스토퍼로서 기능하도록 되어 있으므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 워드선WL의 일부가 노출하는 일도 없다.
또, 마스크막(10a)의 개구부의 위치가 워드선WL의 연장하는 방향으로 어긋났다고 해도 그 경우는 하층의 필드절연막(2)의 두께가 충분히 두꺼우므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍이 반도체기판(1s)의 상부까지 도달하는 일도 없다.
따라서, 본 실시예1에 있어서는 위치맞춤어긋남을 고려해서 많이 확보하고 있던 접속구멍(9b1)의 위치맞춤여유를 작게 할 수 있으므로, 메모리셀부M의 면적을 축소하는 것이 가능하게 되어 있다.
이 때의 드라이에칭조건은 예를 들면 다음과 같다. 층간절연막(8a), (8b)와 캡절연막(7a), 사이드월(7b) 사이의 선택비는 예를 들면 10 15이다. 반응가스는 예를 들면 $C_4F_8/CF_4/CO/Ar$ 가스이고 각각 예를 들면, 3/5/200/550sccm정도이다. 압력은 예를 들면 100mTorr정도, 고주파전력(RF Power)는 예를 들면 1000watts정도이다. 에칭장치의 처리온도는 상부전극/벽면/하부전극에 있어서 각각 예를 들면 20/60/-10。정도이다.
계속해서, 도 23(i)에 도시한 바와 같이 반도체기판(1s)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 도체막(13)을 CVD법 등에 의해서 퇴적한 후, 그 도체막(13)을 드라이에칭법 등에 의해서 에칭백하는 것에 의해 도 23(j)에 도시한 바와 같이 접속구멍(9b1)내에만 도체막(13)을 매립한다. 이 에칭백처리시에 하층의 마스크막(10a)(도 23(i)참조)도 제거해 버린다.
그 후, 도 23(k)에 도시한 바와 같이 도체막(13) 및 절연막(8b)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8c)를 CVD법 등에 의해서 퇴적한다. 이 층간절연막(8c)의 두께는 예를 들면 500 1000Å정도이다.

다음에, 그 층간절연막(8c)상에 예를 들면 저저항 폴리실리콘으로 이루어지는 마스크막(10b)를 CVD법 등에 의해서 퇴적한다. 이 마스크막(10b)의 두께는 예를 들면 3000 6000Å정도이다.
계속해서, 포토레지스트를 마스크로 해서 그 마스크막(10b)을 드라이에칭처리에 의해서 패터닝한다. 이 포토리도그래피공정에서 사용하는 포토마스크는 도 13에서 도시한 포토마스크PM3을 사용한다.
이 처리에 의해 마스크막(10b)에 있어서 반도체영역(4a)의 상부를 개구한 후, 그 개구부에서 노출하는 영역의 층간절연막(8a) (8c)를 드라이에칭처리에 의해서 에칭제거한다.
이것에 의해 도 23(l)에 도시한 바와 같이 선택MOS(4)의 반도체영역(4a)가 노출하는 접속구멍(비트선용 접속구멍))(9a1)을 뚫는다. 이 접속구멍(9a1)의 직 경은 예를 들면 0. 36μm정도이다.
이 때, 본 실시예에 있어서는 접속구멍(9a1)이 형성되는 절연막(8a), (8b)에 의해 그것과 접촉해서 피복되어 있는 캡절연막(7a) 및 사이드월(7b)를 질화실리콘으로 형성하기 때문에 드라이에칭처리에 있어서의 질화실리콘에 대한 절연막(8a), (8b)의 선택비가 높으므로, 캡절연막(7a) 및 사이드월(7b)가 에칭스토퍼로 되고, 미세한 접속구멍(9a1)을 자기정합적으로 높은 위치맞춤 정밀도로 형성할 수 있다.
예를 들면, 마스크막(10b)의 개구부의 위치가 다소 워드선WL의 폭방향(도 23(l)의 좌우방향)으로 어긋났다고 해도 캡절연막(7a) 및 사이드월(7b)가 질화실리콘으로 이루어지고 에칭스토퍼로서 기능하도록 되어 있으므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 워드선WL의 일부가 노출하는 일도 없다.
또, 마스크막(10b)의 개구부의 위치가 워드선WL의 연장하는 방향으로 어긋났다고 해도 그 경우는 하층의 필드절연막(2)의 두께가 충분히 두꺼우므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍이 반도체기판(1s)의 상부까지 도달하는 일도 없다.
따라서, 본 실시예에 있어서는 위치맞춤어긋남을 고려해서 많이 확보하고 있던 접속구멍(9a1)의 위치맞춤여유를 작게 할 수 있으므로, 메모리셀부M의 면적을 축소하는 것이 가능하게 되어 있다.
이 때의 드라이에칭조건은 예를 들면 다음과 같다. 층간절연막(8a), (8b)와 캡절연막(7a), 사이드월(7b) 사이의 선택비는 예를 들면 10 15이다. 반응가 스는 예를 들면 C_4F_8/CF_4/CO/Ar 가스이고 각각 예를 들면, 3/5/200/550sccm정도이다. 압력은 예를 들면 100mTorr정도, 고주파전력(RF Power)는 예를 들면 1000watts정도이다. 에칭장치의 처리온도는 상부전극/벽면/하부전극에 있어서 각각 예를 들면 20/60/-10。정도이다.
그 후, 도 23(m)에 도시한 바와 같이 접속구멍(9a1)에 노출하고 있는 반도체영역(4a)를 포함하는 반도체기판(1s)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 도체막BL1 및 WSi_2로 이루어지는 도체막BL2를 CVD법 등에 의해서 순차 퇴적하고, 계속해서 그 도체막BL2상에 SiO_2로 이루어지는 절연막(6c) 및 질화실리콘으로 이루어지는 캡절연막(11a)를 CVD법 등에 의해서 순차 퇴적한다. 이 캡절연막(11a)의 두께는 예를 들면 2000Å정도이다.
다음에, 캡절연막(11a)상에 비트선 형성영역을 피복하는 포토레지스트(19a)를 형성한다. 이 포토리도그래피공정에서 사용하는 마스크는 상기한 도 15에 도시한 포토마스크PM4이다.
계속해서, 이 포토레지스트(19a)를 에칭마스크로 해서 그 마스크에서 노출하는 캡절연막(11a), 절연막(6c), 도체막BL2, BL1 및 마스크막(10b)을 순차 에칭제거한다.
이것에 의해 도 23(n)에 도시한 바와 같이 도체막BL1, BL2, 마스크막(10b)으로 이루어지는 비트선BL을 형성한다. 비트선BL은 접속구멍(9a1)을 통해서 선택MOS(4)의 한쪽의 반도체영역(4a)와 전기적으로 접속되어 있다. 또한, 이 처 리후의 메모리셀부M에 있어서의 평면도가 상기한 도 5이다.
계속해서, 포토레지스트(19a)(도 23(m)참조)를 제거한 후, 반도체기판(1s)에 대해서 열산화처리를 실시하는 것에 의해 도 23(o)에 도시한 바와 같이 비트선BL을 구성하는 도체막BL1, BL2 및 마스크막(10b)의 측면에 예를 들면 SiO_2로 이루어지는 얇은 절연막(6d)를 형성한다.
그 후, 반도체기판(1s)상에 예를 들면 질화실리콘으로 이루어지는 절연막을 CVD법에 의해 퇴적한 후, 그 절연막을 RIE 등의 이방성 드라이에칭법으로 에칭제거하는 것에 의해 비트선BL의 측면에 사이드월(11b)를 형성한다.
다음에, 반도체기판(1s)상에 예를 들면 두께100 500Å정도, 바람직하게는 250Å정도의 질화실리콘 등으로 이루어지는 절연막(12)를 CVD법에 의해 퇴적한다. 이 절연막(12)는 후술하는 캐패시터 형성처리후의 하지절연막의 웨트에칭 제거공정에 있어서의 에칭스토퍼로서의 기능을 갖고 있다.
계속해서, 도 23(p)에 도시한 바와 같이 절연막(12)상에 예를 들면 SiO_2로 이루어지는 절연막(20)을 CVD법에 의해 퇴적하고 막(12)가 막(20)에 의해 그것과 접촉해서 피복되도록 한 후, 그 절연막(20) 상면을 예를 들면 CMP법에 의해서 평탄화한다.
그 후, 반도체기판(1s)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 마스크막(10c)를 CVD법에 의해 퇴적한다. 이 경우의 마스크막(10c)의 두께는 예를 들면 500 2000Å정도이다.
다음에, 이 마스크막(10c)에 있어서 캐패시터용 접속부 형성영역을 포토리도그래피기술 및 드라이에칭기술에 의해서 개구한다. 이 때에 사용하는 마스크는 상기한 도 18의 포토마스크PM5이다.
계속해서 그 마스크막(10c)를 에칭마스크로 해서 그 마스크막(10c)에서 노출하는 영역의 절연막(20), 절연막(12) 및 층간절연막(8c)를 에칭제거하는 것에 의해 도 23(q)에 도시한 바와 같이 도체막(13)에 도달하는 접속구멍(상부 접속구멍 또는 연장 접속구멍)(9b2)를 형성한다. 이 접속구멍(9b2)의 직경은 예를 들면 0. 36μm정도이다.
이 때, 본 실시예1에 있어서는 접속구멍(9b2)가 형성되는 절연막(20) 및 (12)로 피복되고 또, 비트선BL을 피복하고 있는 캡절연막(11a) 및 사이드월(11b)를 질화실리콘으로 형성하고 있으므로, 드라이에칭처리에 있어서의 질화실리콘에 대한 절연막(20)의 선택비를 높게 설정하는 것에 의해 캡절연막(11a) 및 사이드월(11b)가 에칭스토퍼로 되고 미세한 접속구멍(제2 캐패시터용 접속구멍)(9b2)를 자기정합적으로 높은 위치맞춤 정밀도로 형성할 수 있다.

여기서, 이 단계에 있어서의 메모리셀부M을 간단화한 주요부 평면도를 도 24에 도시하고, 그 XXIIIR1-XXIIIR1선 및 XXIIIR2-XXIIIR2선의 단면도를 도 23(r1) 및 도 23(r2)에 도시한다.
본 실시예의 경우, 예를 들면 마스크막(10c)의 개구부의 위치가 다소 비트선BL의 폭방향(도 24의 상하방향)으로 어긋났다고 해도 도 23(r2)에서 알 수 있는 바와 같이 캡절연막(11a) 및 사이드월(11b)가 질화실리콘으로 이루어지고 에 칭스토퍼로서 기능하므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 비트선BL의 일부가 노출하는 일도 없다.
또, 마스크막(10c)의 개구부의 위치가 비트선BL의 연장하는 방향(도 24의 좌우방향)으로 어긋났다고 해도 그 경우는 도 23(r1)에서 알 수 있는 바와 같이 하층의 워드선WL을 피복하는 캡절연막(7a) 및 사이드월(7b)가 질화실리콘으로 이루어지는 에칭스토퍼로서 기능하므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 워드선WL이 노출하는 일도 없다.
즉, 본 실시예에 있어서는 도 24에 도시한 바와 같이 캐패시터용의 접속구멍(9b1), (9b2)(도 23(q)참조)는 워드선WL과 비트선BL로 둘러싸인 영역A의 범위내에 위치결정되어 형성되도록 되어 있다. 또한, 도 24의 영역B는 소자분리영역과의 맞춤을 고려한 맞춤여유범위 등과 같은 다른 맞춤여유를 고려한 접속구멍(9b1), (9b2)의 형성범위를 나타내고 있다.
이 때의 드라이에칭처리조건은 예를 들면 다음과 같다. 절연막(20)과 캡절연막(11a), 사이드월(11b) 사이의 선택비는 예를 들면 10 15정도이다. 반응가스는 예를 들면 C_4F_8/CF_4/CO/Ar 가스이고 각각 예를 들면, 3/5/200/550sccm정도이다. 압력은 예를 들면 100mTorr정도, 고주파전력(RF Power)는 예를 들면 1000watts정도이다. 에칭장치의 처리온도는 상부전극/벽면/하부전극에 있어서 각각 예를 들면 20/60/-10。정도이다.
다음에, 마스크막(10c)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 두께500 1000Å정도의 도체막(5a)를 퇴적한 후, 그 상면에 예를 들면 SiO_2로 이루어지는 두께3000 6000Å정도의 절연막(21)을 플라즈마 CVD법 등에 의해서 퇴적한다.
또한, 이 도체막(5a)는 접속구멍(9b1), (9b2)내에도 퇴적되고 도체막(13)을 통해서 선택MOS(4)의 다른쪽의 반도체영역(4b)와 전기적으로 접속되어 있다.
또, 이 도체막상의 절연막(21)은 하층의 BPSG로 이루어지는 절연막(20)보다 웨트에칭처리에 있어서의 에칭속도가 높은 절연막으로 형성되어 있다. 이것은 이 절연막의 에칭속도가 절연막(20)보다 낮으면, 후의 공정에서 그 절연막(21)과 절연막(20)을 동시에 제거할 때에 그 절연막(21)이 제 1전극(5a)의 중앙의 좁은 오목부중에도 매설되어 있으므로, 그 절연막(21)이 충분히 제거되지 않는 동안에 절연막(20)이 제거되어 버려 하층의 소자에 악영향을 미칠 경우가 있기 때문이다.
계속해서, 그 절연막(21), 도체막(5a) 및 마스크막(10c)에 있어서, 포토레지스트에서 노출하는 부분을 드라이에칭법 등에 의해서 에칭제거하는 것에 의해 도 23(s)에 도시한 바와 같이 캐패시터의 제1 전극(5a)의 하부(5a1) 및 절연막(21)을 형성한다.
그 후, 반도체기판(1s)상에 저저항 폴리실리콘으로 이루어지는 도체막을 CVD법에 의해서 퇴적한 후, 그 도체막을 RIE 등의 이방성드라이에칭법에 의해서 에칭백하는 것에 의해 도 23(t)에 도시한 바와 같이 절연막(21)의 측면에 캐패시터의 제1 전극(5a)의 측부(5a2)를 형성한다. 다음에, 예를 들면 플루오르화 수소산 용 액을 사용한 웨트에칭에 의해 절연막(20), (21)을 제거하는 것에 의해 도 23(u)에 도시한 바와 같이 원통형 캐패시터의 제1 전극(5a)를 형성한다.
이 때, 층간절연막(8c)상에 형성된 절연막(12)가 웨트에칭의 스토퍼로서 기능하므로, 그 하층의 층간절연막(8c)는 제거되지 않는다.
계속해서, 반도체기판(1s)상에 질화실리콘막(도시하지 않음)을 CVD법에 의해 퇴적한 후, 그 질화실리콘막에 대해서 산화처리를 실시하는 것에 의해 도 23(v)에 도시한 바와 같이 질화실리콘막의 표면에 SiO_2막을 형성해서 질화실리콘막 및 SiO_2막으로 이루어지는 캐패시터 절연막(5b)를 형성한다.
그 후, 반도체기판(1s)상에 예를 들면 저저항 폴리실리콘으로 이루어지는 도체막을 CVD법에 의해 퇴적하고, 그 도체막을 포토레지스트를 마스크로 해서 에칭하는 것에 의해 캐패시터(5)의 제2 전극(5c)를 형성하고 캐패시터(5)를 형성한다.
계속해서 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8d1)을 CVD법 등에 의해서 퇴적한 후, 그 층간절연막(8d1)상에 예를 들면 BPSG 등으로 이루어지는 층간절연막(8d2)를 퇴적하고, 그 층간절연막(8d2) 상면을 예를 들면 CMP법에 의해서 평탄화한다.
계속해서, 배선형성공정으로 이행한다. 이 배선형성공정을 도 23(w) 도 23(z)에 따라서 설명한다. 또한, 도 23(w) 도 23(z)는 배선형성공정을 설명하기 위해 도 23(a) 도 23(v)와는 다른 부분의 단면을 도시하고 있지만, 동일 DRAM의 주요부 단면도이다.
우선, 도 23(w)에 도시한 바와 같이 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8e)를 CVD법 등에 의해서 퇴적한다. 이것에 의해 캐패시터(5)를 피복한다.
계속해서, 그 층간절연막(8e)에 포토레지스트를 마스크로 해서 캐패시터(5)의 제 2전극(5c)의 패드부가 노출하는 접속구멍(22a)를 형성함과 동시에 주변회로부P에 있어서의 MOS FET(23)의 한쪽의 반도체영역(23a)가 노출하는 접속구멍(22b)를 드라이에칭처리에 의해서 형성한다.
그 후, 반도체기판(1s)상에 예를 들면 티탄(Ti)으로 이루어지는 도체막을 스퍼터링법 등에 의해서 퇴적한 후, 그 상면에 예를 들면 텅스텐 등으로 이루어지는 도체막을 CVD법 등에 의해 퇴적하고, 또 그 상면에 예를 들면 질화티탄(TiN) 등으로 이루어지는 도체막을 스퍼터링법 등에 의해서 퇴적한다.
다음에, 그 적층도체막을 포토레지스트를 마스크로 해서 드라이에칭법 등에 의해서 패터닝하는 것에 의해 도 23(x)에 도시한 바와 같이 제1층 배선(24a)를 형성한다.

계속해서, 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8f)를 CVD법 등에 의해서 퇴적해서 제1층배선(24a)를 피복한 후, 이 층간절연막(8f)에 포토레지스트를 마스크로 해서 드라이에칭처리를 실시하는 것에 의해 제1층배선(24a)의 일부가 노출하는 접속구멍(22c)를 형성한다.
그 후, 도 23(y)에 도시한 바와 같이 층간절연막(8f)상에 제2층배선(24b)를 형성한다. 이 제2층배선(24b)는 예를 들면 다음과 같이 해서 형성되어 있다.
우선, 예를 들면 텅스텐 등으로 이루어지는 도체막을 CVD법 등에 의해서 퇴적한 후, 그 상면에 예를 들면 알루미늄(Al) 등으로 이루어지는 도체막을 스퍼터링법에 의해서 퇴적하고, 또 그 상면에 예를 들면 TiN 등으로 이루어지는 도체막을 스퍼터링법에 의해서 퇴적한다. 그 후, 그 적층도체막을 제1층배선(24a)와 마찬가지로 패터닝하는 것에 의해서 형성한다.
다음에, 층간절연막(8f)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8g)를 CVD법 등에 의해서 퇴적해서 제2층배선(24b)를 피복한 후, 그 층간절연막(8g)에 포토레지스트를 마스크로 해서 드라이에칭처리를 실시하는 것에 의해 제2층배선(24b)가 노출하는 접속구멍(22d)를 형성한다.
계속해서, 도 23(z)에 도시한 바와 같이 층간절연막(8g)상에 제3층배선(24c)를 형성한다. 제3층배선(24c)는 제2층배선(24b)와 동일재료로 동일방법에 의해 형성할 수 있다.
마지막으로, 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 표면보호막(25)를 CVD법 등에 의해서 퇴적하고, 제3층배선(24c)를 피복하는 것에 의해 본 실시예의 DRAM의 웨이퍼프로세스를 종료한다.
이와 같이 본 실시예에 의하면 다음의 효과를 얻는 것이 가능하게 된다.
(1) 서로 인접하는 워드선 전사용의 광투과영역P2간의 간격을 각각의 간격라인중에서 일정하게 한 것에 의해 서로 인접하는 광투과영역P2를 투과한 광의 위상 차조작을 그 쌍방의 광투과영역P2간의 전체영역에 있어서 실질적으로 설계대로 양호하게 실행하는 것이 가능하게 된다. 이 결과, 전사패턴(워드선WL)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.
(2) 서로 인접하는 워드선 전사용의 광투과영역P2간의 간격 및 광투과영역P2의 가는 부분의 폭을 동일하게 한 것에 의해 서로 인접하는 광투과영역P2를 투과한 광의 위상차조작성을 더욱 향상시킬 수 있으므로, 전사패턴(워드선WL)의 형상 및 치수의 충실도를 향상시키는 것이 가능하게 된다.
(3) 비트선 형성용의 각 광투과영역P4의 폭이 넓은 부분내에 미세한 차광영역S1을 배치함과 동시에 주위의 차광영역에 있어서 광투과영역P4의 폭이 넓은 부분과 폭이 좁은 부분의 경계근방에 보조패턴 세그맨트PA2를 배치한 것에 의해 광투과영역P4의 폭이 넓은 부분과 폭이 좁은 부분의 면적비의 차에 기인하는 투과광의 강도의 대폭적인 불균일성을 억제할 수 있으므로, 광투과영역P4의 폭이 넓은 부분 및 폭이 좁은 부분을 실질적으로 설계대로 양호하게 전사하는 것이 가능하게 된다. 이 결과, 전사패턴(비트선BL)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.
(4) 캐패시터(5)용의 접속구멍형성용의 광투과영역P5의 배치상태에 따라서 그 4변에 배치되는 보조패턴 세그맨트PA3a PA3d를 공유시키거나 치수를 변경하는 것에 의해 불필요한 패턴을 전사하는 일 없이 광투과영역P5를 양호하게 전사하는 것이 가능하게 된다. 이 결과, 캐패시터(5)용의 접속구멍(9b1), (9b2)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.
(5) 상기한 (1) (4)에 의해 소정층간의 맞춤여유를 작게 할 수 있으므로, 반도체집적회로장치를 구성하는 반도체칩의 치수를 축소하는 것이 가능하게 된다.
(6) 상기한 (1) (4)에 의해 소정층간의 맞춤정밀도를 향상시킬 수 있으므로, 반도체집적회로장치의 제조효율 및 신뢰성을 향상시키는 것이 가능하게 된다.
도 25는 본 발명의 다른 실시예인 반도체집적회로장치의 메모리셀부의 주요부단면도이다.
도 25에 도시한 본 실시예의 반도체집적회로장치는 캐패시터(5)용의 접속구멍(9b1)내에 상기 실시예에서 설명한 매립용의 도체막(13)이 마련되고 있지 않는 경우를 도시하고 있다.
이 경우의 접속구멍(9b1)은 예를 들면 다음과 같이 형성된다. 우선, 상기 실시예에 있어서의 도 23(f)의 단계에서 도 23(l)의 단계로 이동하고, 또 도 23(m) 도 23(o)에 도시되는 것과 마찬가지로 해서 비트선BL 및 이것을 피복하는 절연막(6c), (6d), 캡절연막(11a), 사이드월(11b) 및 절연막(12)를 형성한다.
계속해서, 도 23(p)에 도시되는 것과 마찬가지로 해서 그 절연막(12)를 절연막(20)으로 피복한 후, 그 절연막의 상면을 평탄화한다. 그 후, 그 절연막상에 예를 들면 저저항 폴리실리콘으로 이루어지는 마스크막(10c)를 최적한다.
그 후, 그 마스크막(10c)를 상기 실시예와 마찬가지로 패터닝하다. 이 때에 사용하는 포토마스크는 상기 도 19의 포토마스크PM5를 사용한다.
다음에, 그 패터닝된 마스크막(10c)를 마스크로 해서 도 23(q)에 도시되는 것과 마찬가지로 해서 그 절연막(20), 절연막(12) 및 층간절연막(8a) (8c)에 반도체기판(1s)상의 반도체영역(4b)가 노출하는 접속구멍(9b)를 드라이에칭법에 의해 뚫는다.
이 때, 본 실시예에 있어서도 워드선WL을 피복하는 캡절연막(7a) 및 사이드월(7b)와 비트선BL을 피복하는 캡절연막(11a) 및 사이드월(11b)를 질화실리콘으로 형성하는 것에 의해 접속구멍(9b)를 자기정합적으로 형성할 수 있다.
이와 같은 본 실시예의 반도체집적회로장치의 제조방법에서도 상기 실시예와 동일한 효과를 얻는 것이 가능하게 되어 있다.
이상, 본 발명자에 의해서 이루어진 발명은 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다.
예를 들면 상기 실시예에 있어서는 스텝 앤드 리피트방식의 노출장치를 사용한 경우에 대해서 설명했지만, 이것에 한정되는 것은 아니고 예를 들면 노출스테이지가 이동하는 것에 의해 노출영역을 축소광학계 하부로 이동(스텝)시킨 후

, 마스크(레티클)과 노출스테이지가 소정의 속도비로 움직이면서 노출(스캔)하는 소위 스텝 앤드 스캔방식의 노출장치를 사용해도 좋다.
또, 상기 실시예에 있어서는 메모리셀의 캐패시터를 원통형으로 한 경우에 대해서 설명했지만, 이것에 한정되는 것은 아니고 여러가지 변경가능하고 예를 들면 핀형으로 해도 좋다.
또, 상기 실시예에 있어서는 비트선을 저저항 폴리실리콘상에 실리사이드층 을 마련해서 구성한 경우에 대해서 설명했지만, 이것에 한정되는 것은 아니고 예를 들면 실리사이드층만으로 형성해도 좋다. 이 경우, 비트선BL을 얇게 하는 것이 가능하게 된다.
이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경으로 된 이용분야인 COB구조를 갖는 DRAM에 적용한 경우에 대해서 설명했지만, 그것에 한정되는 것은 아니고 여러가지 적용가능하고, 예를 들면 비트선의 하부에 캐패시터를 갖는 형상의 DRAM, SRAM, ROM, 논리회로 또는 반도체메모리회로와 논리회로를 동일 반도체기판상에 마련한 다른 반도체집적회로장치 등에 적용할 수 있다.

발명의 효과

(1) 서로 인접하는 워드선 전사용의 광투과영역P2간의 간격을 각각의 간격라인중에서 일정하게 한 것에 의해 서로 인접하는 광투과영역P2를 투과한 광의 위상차조작을 그 쌍방의 광투과영역P2간의 전체영역에 있어서 실질적으로 설계대로 양호하게 실행하는 것이 가능하게 된다. 이 결과, 전사패턴(워드선WL)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.
(2) 서로 인접하는 워드선 전사용의 광투과영역P2간의 간격 및 광투과영역P2의 가는 부분의 폭을 동일하게 한 것에 의해 서로 인접하는 광투과영역P2를 투과한 광의 위상차조작성을 더욱 향상시킬 수 있으므로, 전사패턴(워드선WL)의 형상 및 치수의 충실도를 향상시키는 것이 가능하게 된다.
(3) 비트선 형성용의 각 광투과영역P4의 폭이 넓은 부분내에 미세한 차광영역S1을 배치함과 동시에 주위의 차광영역에 있어서 광투과영역P4의 폭이 넓은 부분 과 폭이 좁은 부분의 경계근방에 보조패턴 세그맨트PA2를 배치한 것에 의해 광투과영역P4의 폭이 넓은 부분과 폭이 좁은 부분의 면적비의 차에 기인하는 투과광의 강도의 대폭적인 불균일성을 억제할 수 있으므로, 광투과영역P4의 폭이 넓은 부분 및 폭이 좁은 부분을 실질적으로 설계대로 양호하게 전사하는 것이 가능하게 된다. 이 결과, 전사패턴(비트선BL)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.
(4) 캐패시터(5)용의 접속구멍형성용의 광투과영역P5의 배치상태에 따라서 그 4변에 배치되는 보조패턴 세그맨트PA3a PA3d를 공유시키거나 치수를 변경하는 것에 의해 불필요한 패턴을 전사하는 일 없이 광투과영역P5를 양호하게 전사하는 것이 가능하게 된다. 이 결과, 캐패시터(5)용의 접속구멍(9b1), (9b2)의 형상 및 치수를 실질적으로 설계대로 형성하는 것이 가능하게 된다.
(5) 상기한 (1) (4)에 의해 소정층간의 맞춤여유를 작게 할 수 있으므로, 반도체집적회로장치를 구성하는 반도체칩의 치수를 축소하는 것이 가능하게 된다.
(6) 상기한 (1) (4)에 의해 소정층간의 맞춤정밀도를 향상시킬 수 있으므로, 반도체집적회로장치의 제조효율 및 신뢰성을 향상시키는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

제1 방향으로 연장하고 비등폭을 갖는 대략 선형상 도체 스트립을 구비하며, 적어도 2개의 대략 선형상 도체 스트립이 상기 제1 방향에 대해서 대략 수직인 제2 방향으로 나란히 배치되어 상기 제2의 방향에서 보았을 때 도체 스트립의 폭이 주기적으로 변화되도록 도체 스트립 단위를 형성하고, 상기 도체 스트립 단위를 형성하는 상기 도체 스트립이 도체 스트립을 형성하고 있는 순으로 상기 제2 방향으로 미세한 간격을 두고 반복해서 나란히 배치되는 반도체집적회로장치의 제조방법으로서,
(a) 주표면을 갖는 반도체기판을 마련하는 공정;
(b) 상기 반도체기판의 주표면상에 포토레지스트막을 형성하는 공정;
(c) 상기 도체스트립에 대응하며 인접하는 광투과 영역을 통한 투과광의 위상이 실질적으로 서로 반전하고 있는 여러개의 대략 선형상의 광투과 영역과 여러개의 대략 선형상의 차광영역을 포함하는 패턴을 구비하는 형식의 위상시프트 마스크를 사용해서 상기 포토레지스트막상에 패턴 전사를 실행하는 공정 및;
(d) 상기 패턴을 현상하고 그 패턴을 사용해서 상기 비등폭 선형상 도체스트립을 형성하는 공정을 갖고,
상기 위상시프트 마스크에 있어서는 상기 도체 스트립 단위에 대응하며 여러개의 대략 선형상의 광투과 영역과 여러개의 대략 선형상의 차광영역을 각각 갖는 배열단위가 상기 미세한 간격을 두고 반복해서 나란히 배치되고, 상기 배열단위의 각각에 있어서의 선형상의 광투과 영역 사이의 간격이 그 선형상의 광투과 영역의 길이에 걸쳐서 거의 일정하고, 상기 배열단위 사이의 간격이 선형상의 광투과 영역의 길이에 걸쳐서 대략 일정한 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 2.

제1항에 있어서,
상기 포토레지스트는 네거티브형인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 3.
제1항에 있어서,
상기 비등폭 선형상 스트립은 DRAM(Dynamic Random Access Memory)의 여러개의 워드선을 구성하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 4.
제1항에 있어서,
(e) 상기 공정(d)후에 인접하는 대략 선형상 스트립 사이에 있어서 자기정합적으로 접속구멍을 형성하는 공정을 더 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 5.
제4항에 있어서,
상기 DRAM을 위한 여러개의 비트선 및 이들 비트선보다 상부에 정보기억을 위한 용량부를 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 6.
DRAM을 갖는 반도체집적회로장치의 제조방법에 있어서,
상기 DRAM이 제1 방향으로 연장하도록 배치된 여러개의 워드선 도체, 이들의 워드선 도체보다 상부에 형성되고 상기 제1 방향과 실질적으로 수직인 제2 방향으로 연장해서 배치된 여러개의 비트선 도체 및 이들의 비트선 도체보다 상부에 형성된 정보기억을 위한 용량부를 구비하며,
상기 반도체집적회로장치의 제조방법은
(a) 주표면을 갖는 반도체기판을 마련하는 공정;
(b) 상기 반도체기판의 주표면상에 포토레지스트막을 형성하는 공정;
(c) 상기 각 워드선 도체에 대응하며 인접하는 광투과 영역을 통한 투과광의 위상이 실질적으로 서로 반전하고 있는 여러개의 대략 선형상의 광투과 영역과 여러개의 대략 선형상의 차광영역을 포함하는 패턴을 구비하는 형식의 위상시프트마스크를 사용해서 상기 포토레지스트막상에 패턴 전사를 실행하는 공정;
(d) 상기 패턴을 현상하고 그 패턴을 사용해서 상기 여러개의 워드선 도체를 형성하는 공정;
(e) 상기 워드선 도체의 상면 및 측면에 제1 절연막을 형성하는 공정;
(f) 얻어진 반도체 기판상에 상기 제1 절연막보다 에칭속도가 큰 제2 절연막을 형성하고, 제1 절연막이 접촉해서 제2 절연막을 피복하도록 하는 공정;
(g) 상기 제2 절연막의 상면을 평탄화하는 공정 및;
(h) 에칭에 의해 상기 제2 절연막을 관통하는 접속구멍을 인접하는 워드선도체 사이에 있어서 자기정합적으로 형성하는 공정을 갖고,
상기 (c)공정의 위상시프트 마스크에 있어서는 상기 워드선 도체에 대응하며 여러개의 대략 선형상의 광투과 영역과 여러개의 대략 선형상의 차광영역을 각각 갖는 배열단위가 미세한 간격을 두고 반복해서 나란히 배치되고, 상기 각각의 배열단위에 있어서의 선형상의 광투과 영역 사이의 간격이 그 선형상의 광투과 영역의 길이에 걸쳐서 대략 일정하고, 상기 배열단위 사이의 간격이 선형상의 광투과 영역의 길이에 걸쳐서 대략 일정한 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 7.
축소 투영 노출에 의해 위상시프트마스크를 실행하여 집적회로 웨이퍼상에 회로 패턴을 전사하는 공정을 포함하는 반도체집적회로장치의 제조방법으로서,
상기 위상시프트 마스크상의 상기 회로 패턴은 상기 회로 패턴의 교대 광투과 영역을 통해 통과한 노출광이 서로에 대해 위상 반전되는 위상배열을 갖고, 상기 회로 패턴은 단위 패턴이 주기적으로 다수회 반복되는 주기적 구조를 갖고,
상기 단위 패턴은
(a) 폭이 균일하지 않은 제1의 대략 선형상의 광투과 영역,
(b) 상기 제1의 대략 선형상의 광투과 영역에 인접하고 실질적으로 균일한 폭을 갖는 제1의 대략 선형상의 차광영역 및
(c) 상기 제1의 대략 선형상의 차광 영역에 인접하고 폭이 균일하지 않은 제2의 대략 선형상의 광투과 영역을 구비하며,
상기 제2의 대략 선형상의 광투과 영역을 통과한 광은 상기 제1의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되는 것을 특징으로 하는 반도체집적회로장치의 제조 방법.

청구항 8.
제7항에 있어서,
상기 제1의 대략 선형상의 광투과 영역과 상기 제2의 대략 선형상의 광투과 영역은 메모리 회로의 워드선에 대응하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 9.
제8항에 있어서,
상기 메모리 회로는 적어도 비트선 상에 배치된 정보기억 용량부를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 10.

적어도 정보기억 용량부가 비트선 상에 배치된 반도체집적회로 랜덤 액세스 메모리 장치의 제조방법으로서,
축소 투영 노출에 의해 위상시프트 마스크를 실행하여 집적회로 웨이퍼상에 회로 패턴을 전사하는 공정을 포함하며,
상기 위상시프트 마스크상의 상기 회로 패턴은 상기 회로 패턴의 교대 광투 과 영역을 통해 통과한 노출광이 서로에 대해 위상 반전되는 위상배열을 갖고, 상기 회로 패턴은 단위 패턴이 주기적으로 다수회 반복되는 주기적 구조를 갖고,
상기 단위 패턴은
(a) 제1의 대략 선형상의 광투과 영역,
(b) 상기 제1의 대략 선형상의 광투과 영역에 인접하고 실질적으로 균일한 폭을 갖는 제1의 대략 선형상의 차광영역,
(c) 상기 제1의 대략 선형상의 차광 영역에 인접한 제2의 대략 선형상의 광투과 영역 및
(d) 상기 제2의 대략 선형상의 광투과 영역에 인접하고 상기 제1의 대략 선형상 차광영역과 실질적으로 동일하며 균일한 폭을 갖는 제2의 대략 선형상의 차광영역을 구비하며,
상기 제2의 대략 선형상의 광투과 영역을 통과한 광은 상기 제1의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되는 것을 특징으로 하는 반도체집적회로 랜덤 액세스 메모리 장치의 제조방법.

청구항 11.

제10항에 있어서,
상기 제1의 대략 선형상의 광투과 영역과 상기 제2의 대략 선형상의 광투과 영역은 메모리 회로의 워드선에 대응하는 것을 특징으로 하는 반도체집적회로 랜덤 액세스 메모리 장치의 제조방법.

청구항 12.

축소 투영 노출에 의해 위상시프트 마스크를 실행하여 집적회로 웨이퍼상에 회로 패턴을 전사하는 공정을 포함하는 반도체집적회로장치의 제조방법으로서,
상기 위상시프트 마스크상의 상기 회로 패턴은 상기 회로 패턴의 교대 광투과 영역을 통해 통과한 노출광이 서로에 대해 위상 반전되는 위상배열을 갖고, 상기 회로 패턴은 단위 패턴이 주기적으로 다수회 반복되는 주기적 구조를 갖고,
상기 단위 패턴은
(a) 제1의 폭을 갖는 제1의 좁은 광투과부와 상기 제1의 폭보다 큰 제2의 폭을 갖는 제1의 넓은 광투과부를 구비한 제1의 대략 선형상의 광투과 영역,
(b) 제3의 폭을 갖고 상기 제1의 넓은 광투과부에 인접한 제1의 좁은 차광부와 상기 제3의 폭보다 큰 제4의 폭을 갖고 상기 제1의 좁은 광투과부에 인접한 제1의 넓은 차광부를 구비한 제1의 대략 선형상의 차광영역,
(c) 상기 제1의 대략 선형상의 차광 영역에 인접하고, 상기 제1의 폭을 갖는 제2의 좁은 광투과부와 상기 제2의 폭을 갖는 제2의 넓은 광투과부를 구비한 제2의 대략 선형상의 광투과 영역,
(d) 상기 제2의 대략 선형상의 광투과 영역에 인접하고 상기 제3의 폭을 갖는 제2의 좁은 차광부와 상기 제4의 폭을 갖고 제2의 넓은 차광부를 구비한 제2의 대략 선형상의 차광영역,
(e) 상기 제1의 대략 선형상의 광투과 영역의 상기 제1의 넓은 광투과부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제1의 미세 차광영역,
(f) 상기 제1의 대략 선형상의 광투과 영역의 상기 제1의 넓은 광투과부와 상기 제1의 좁은 광투과부의 근방에 상기 제1의 대략 선형상의 차광영역의 상기 제1의 넓은 차광부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제1의 미세 광투과 영역,
(g) 상기 제2의 대략 선형상의 광투과 영역의 상기 제2의 넓은 광투과부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제2의 미세 차광영역 및
(h) 상기 제2의 대략 선형상의 광투과 영역의 상기 제2의 넓은 광투과부와 상기 제2의 좁은 광투과부의 근방에 상기 제2의 대략 선형상의 차광영역의 상기 제2의 넓은 차광부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제2의 미세 광투과 영역을 구비하며,
상기 제2의 대략 선형상의 광투과 영역을 통과한 광은 상기 제1의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되고,
상기 제1의 미세 광투과 영역을 통과한 광은 상기 제1의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되며,
상기 제2의 미세 광투과 영역을 통과한 광은 상기 제2의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되는 것을 특징으로 하는 반도체집적회로장치의 제조 방법.

청구항 13.

제12항에 있어서,
상기 제1의 대략 선형상의 광투과 영역과 상기 제2의 대략 선형상의 광투과 영역은 메모리 회로의 워드선에 대응하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 14.

제13항에 있어서,
상기 메모리 회로는 적어도 비트선 상에 배치된 정보기억 용량부를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 15.

축소 투영 노출에 의해 위상시프트 마스크를 실행하여 집적회로 웨이퍼상에 회로 패턴을 전사하는 공정을 포함하는

반도체집적회로장치의 제조방법으로서,
상기 위상시프트 마스크상의 상기 회로 패턴은 상기 회로 패턴의 교대 광투과 영역을 통해 통과한 노출광이 서로에 대해 위상 반전되는 위상배열을 갖고, 상기 회로 패턴은 단위 패턴이 주기적으로 다수회 반복되는 주기적 구조를 갖고,
상기 단위 패턴은
(a) 제1의 폭을 갖는 제1의 좁은 광투과부와 상기 제1의 폭보다 큰 제2의 폭을 갖는 제1의 넓은 광투과부를 구비한 제1의 대략 선형상의 광투과 영역,
(b) 제3의 폭을 갖고 상기 제1의 넓은 광투과부에 인접한 제1의 좁은 차광부와 상기 제3의 폭보다 큰 제4의 폭을 갖고 상기 제1의 좁은 광투과부에 인접한 제1의 넓은 차광부를 구비한 제1의 대략 선형상의 차광영역,
(c) 상기 제1의 대략 선형상의 차광 영역에 인접하고, 상기 제1의 폭을 갖는 제2의 좁은 광투과부와 상기 제2의 폭을 갖는 제2의 넓은 광투과부를 구비한 제2의 대략 선형상의 광투과 영역,
(d) 상기 제2의 대략 선형상의 광투과 영역에 인접하고 상기 제3의 폭을 갖는 제2의 좁은 차광부와 상기 제4의 폭을 갖고 제2의 넓은 차광부를 구비한 제2의 대략 선형상의 차광영역,
(e) 상기 제1의 대략 선형상의 광투과 영역의 상기 제1의 넓은 광투과부와 상기 제1의 좁은 광투과부의 근방에 상기 제1의 대략 선형상의 차광영역의 상기 제1의 넓은 차광부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제1의 미세 광투과 영역 및
(f) 상기 제2의 대략 선형상의 광투과 영역의 상기 제2의 넓은 광투과부와 상기 제2의 좁은 광투과부의 근방에 상기 제2의 대략 선형상의 차광영역의 상기 제2의 넓은 차광부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제2의 미세 광투과 영역을 구비하며,
상기 제2의 대략 선형상의 광투과 영역을 통과한 광은 상기 제1의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되고,
상기 제1의 미세 광투과 영역을 통과한 광은 상기 제1의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되며,
상기 제2의 미세 광투과 영역을 통과한 광은 상기 제2의 대략 선형상의 광투 과 영역을 통과한 광에 대해 위상 반전되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 16.

제15항에 있어서,
상기 제1의 대략 선형상의 광투과 영역과 상기 제2의 대략 선형상의 광투과 영역은 메모리 회로의 워드선에 대응하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 17.

제16항에 있어서,
상기 메모리 회로는 적어도 비트선 상에 배치된 정보기억 용량부를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 18.

축소 투영 노출에 의해 위상시프트마스크를 실행하여 집적회로 웨이퍼상에 회로 패턴을 전사하는 공정을 포함하는 반도체집적회로장치의 제조방법으로서,
상기 위상시프트마스크상의 상기 회로 패턴은 상기 회로 패턴의 교대 광투과 영역을 통해 통과한 노출광이 서로에 대해 위상 반전되는 위상배열을 갖고, 상기 회로 패턴은 단위 패턴이 주기적으로 다수회 반복되는 주기적 구조를 갖고,
상기 단위 패턴은
(a) 제1의 폭을 갖는 제1의 좁은 광투과부와 상기 제1의 폭보다 큰 제2의 폭을 갖는 제1의 넓은 광투과부를 구비한 제1의 대략 선형상의 광투과 영역,
(b) 제3의 폭을 갖고 상기 제1의 넓은 광투과부에 인접한 제1의 좁은 차광부와 상기 제3의 폭보다 큰 제4의 폭을 갖고 상기 제1의 좁은 광투과부에 인접한 제1의 넓은 차광부를 구비한 제1의 대략 선형상의 차광영역,
(c) 상기 제1의 대략 선형상의 차광 영역에 인접하고, 상기 제1의 폭을 갖는 제2의 좁은 광투과부와 상기 제2의 폭을 갖는 제2의 넓은 광투과부를 구비한 제2의 대략 선형상의 광투과 영역,
(d) 상기 제2의 대략 선형상의 광투과 영역에 인접하고 상기 제3의 폭을 갖는 제2의 좁은 차광부와 상기 제4의 폭을 갖고 제2의 넓은 차광부를 구비한 제2의 대략 선형상의 차광영역,
(e) 상기 제1의 대략 선형상의 광투과 영역의 상기 제1의 넓은 광투과부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제1의 미세 차광영역 및
(f) 상기 제2의 대략 선형상의 광투과 영역의 상기 제2의 넓은 광투과부에 마련되고, 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않는 제2의 미세 차광영역을 구비하며,
상기 제2의 대략 선형상의 광투과 영역을 통과한 광은 상기 제1의 대략 선형상의 광투과 영역을 통과한 광에 대해 위상 반전되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 19.

제18항에 있어서,
상기 제1의 대략 선형상의 광투과 영역과 상기 제2의 대략 선형상의 광투과 영역은 메모리 회로의 워드선에 대응하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 20.

제19항에 있어서,
상기 메모리 회로는 적어도 비트선 상에 배치된 정보기억 용량부를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 21.

축소 투영 노출에 의해 위상시프트마스크를 실행하여 집적회로 웨이퍼상에 회로 패턴을 전사하는 공정을 포함하는 반도체집적회로장치의 제조방법으로서,
상기 위상시프트마스크상의 상기 회로 패턴은 단위 광투과 패턴이 제1의 방향과 상기 제1의 방향에 수직인 제2의 방향에 2차원적으로 각각 실질적으로 주기적으로 여러회 반복되는 2차원 배열을 갖고,
상기 단위 광투과 패턴은 주광투과 영역과 상기 주광투과 영역의 주변에 마련된 여러개의 보조 광투과 영역을 구비하고,
상기 보조 광투과 영역은 그곳을 통과한 광이 상기 주광투과 영역을 통해 통과한 광에 대해 위상 반전되는 위상배열을 갖고,
상기 보조 광투과 영역은 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않고,
상기 2차원 배열에 있어서는
(a) 상기 제1의 방향에서의 상기 단위 광투과 패턴의 배열 피치가 상기 제2의 방향에서의 배열 피치보다 크고,
(b) 2개의 보조 광투과 영역이 상기 제1의 방향에 있어서 임의의 인접한 2개의 주광투과 영역 사이에 마련되고,
(c) 하나의 보조 광투과 영역이 상기 제2의 방향에 있어서 임의의 인접한 2개의 주광투과 영역 사이에 마련되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 22.

제21항에 있어서,
상기 제2의 방향에 있어서 주광투과 영역 사이에 마련된 상기 보조 광투과 영역은 상기 제1의 방향에 있어서 주광투과 영역 사이에 마련된 보조 광투과 영역보다 큰 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 23.

제22항에 있어서,
상기 제1의 방향에 있어서 상기 단위 광투과 패턴의 상기 배열 피치는 평균값보다 작은 제1의 값과 상기 평균값보다 큰 제2의 값을 교대로 취하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 24.

축소 투영 노출에 의해 위상시프트마스크를 실행하여 집적회로 웨이퍼상에 회로 패턴을 전사하는 공정을 포함하는 반도체집적회로장치의 제조방법으로서,
상기 위상시프트마스크상의 상기 회로 패턴은 단위 광투과 패턴이 제1의 방향과 상기 제1의 방향에 수직인 제2의 방향에 2차원적으로 각각 실질적으로 주기적으로 여러회 반복되는 2차원 배열을 갖고,
상기 단위 광투과 패턴은 주광투과 영역과 상기 주광투과 영역의 주변에 마련된 여러개의 보조 광투과 영역을 구비하고,
상기 보조 광투과 영역은 그곳을 통과한 광이 상기 주광투과 영역을 통해 통과한 광에 대해 위상 반전되는 위상배열을 갖고,
상기 보조 광투과 영역은 그 치수가 미세하여 전사되지 않아 그것에 대응하는 패턴이 상기 집적회로 웨이퍼상에 형성되지 않고,
상기 2차원 배열에 있어서는
(a) 상기 제1의 방향에 있어서 상기 단위 광투과 패턴의 상기 배열 피치는 평균값보다 작은 제1의 값과 상기 평균값보다 큰 제2의 값을 교대로 취하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 25.

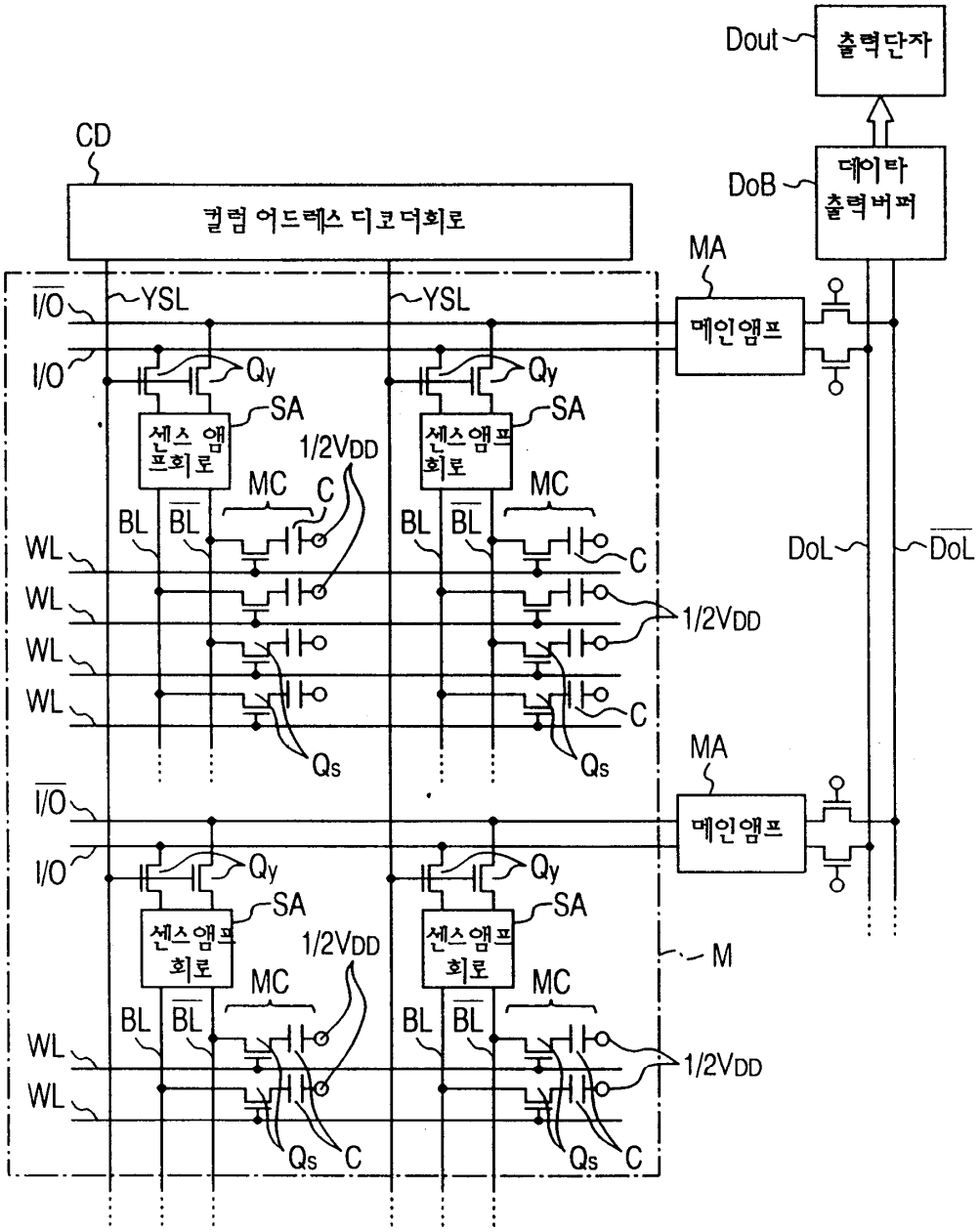
제24항에 있어서,
상기 제1의 방향의 상기 제2의 값의 배열 피치에 있어서 관련된 단위 광투과 패턴의 인접한 2개의 주광투과 영역 사이에 마련된 보조 광투과 영역은 상기 제1의 방향의 상기 제1의 값의 배열 피치에 있어서 관련된 단위 광투과 패턴의 인접한 2개의 주광투과 영역 사이에 마련된 보조 광투과 영역 보다 큰 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 26.

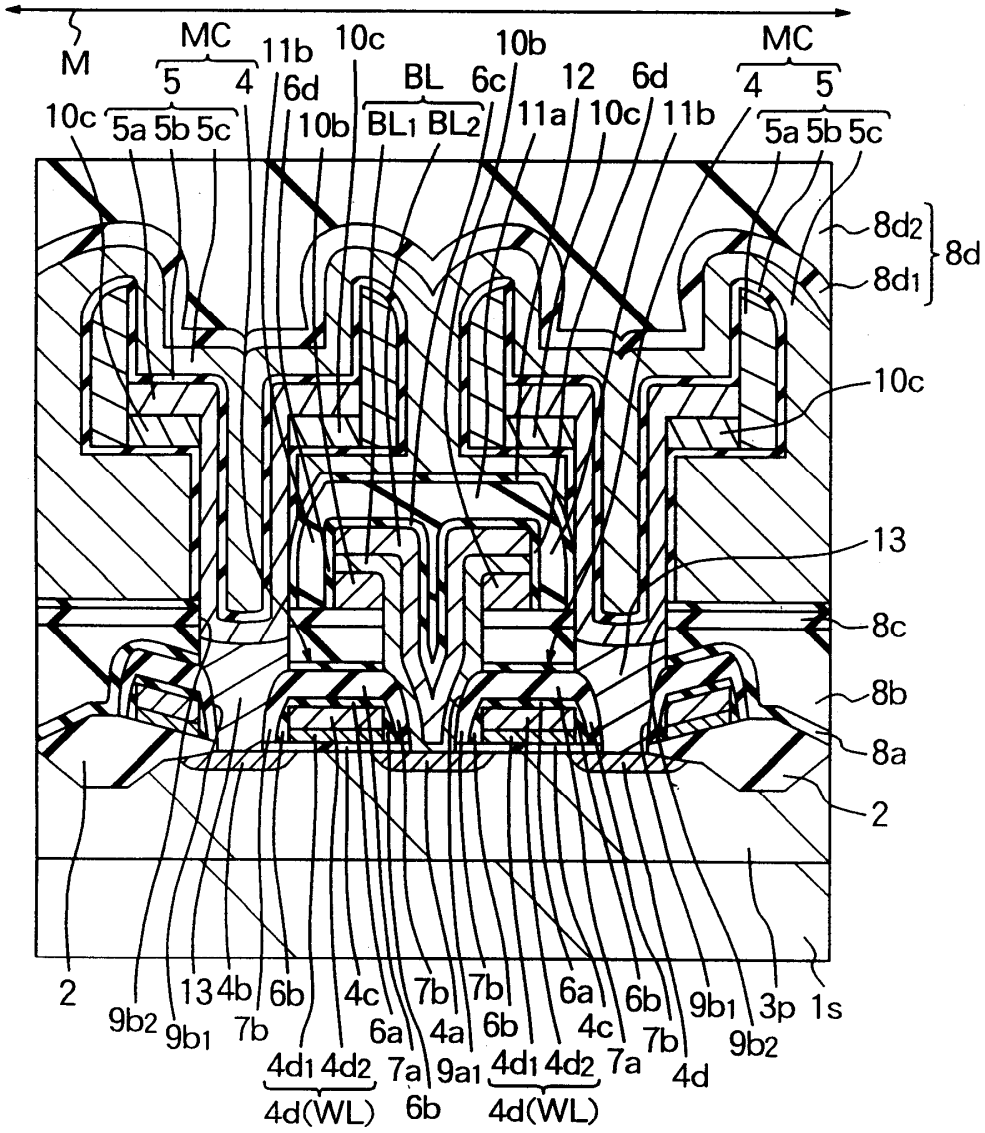
제25항에 있어서,
상기 배열 피치를 위한 상기 평균값으로 부터 상기 제1 및 제2의 값의 편차는 상기 평균값보다 작은 것을 특징으로 하는 반도체집적회로장치의 제조방법.

도면

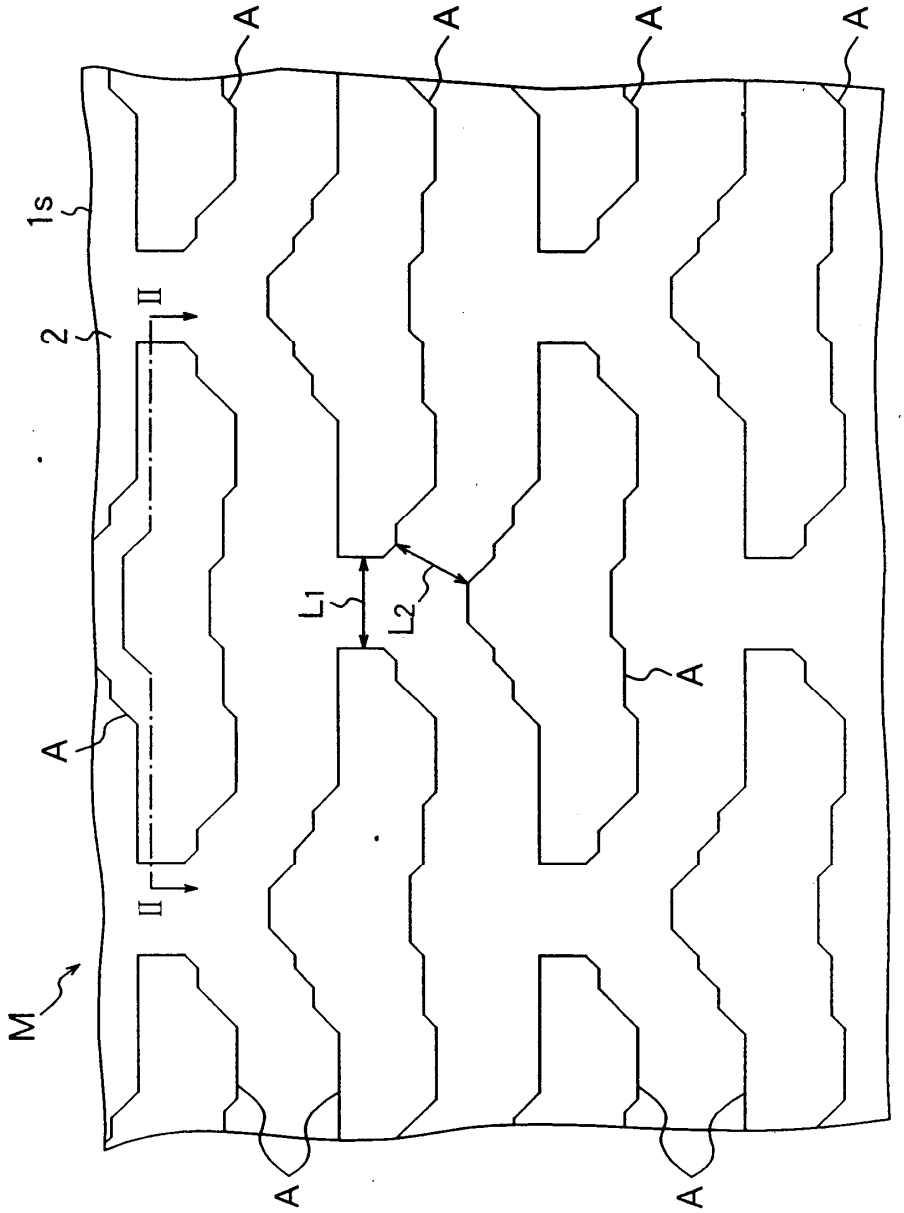
도면1


Dout
출력단자
DoB
데이타 출력버퍼
CD
컬럼 어드레스 디코더회로
MA
메인앰프
YSL
I/O
Qy
SA
센스 앰프회로
1/2VDD
MC
C
BL
WL
Qs
DoL
M

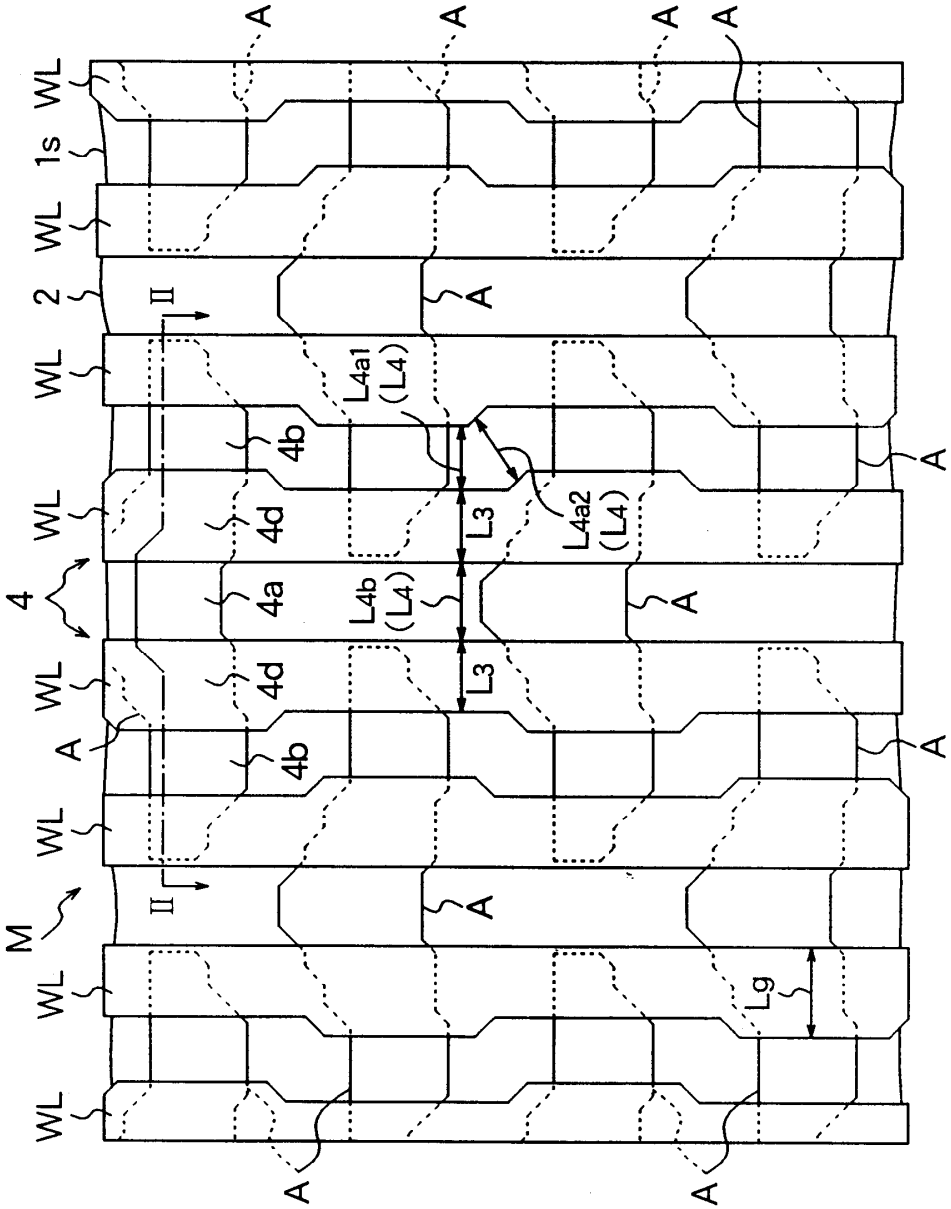
도면2


M
MC
5 4
11b
10c
6d
10b
BL
6c
12
6d
MC
4 5
10c
5a 5b 5c
10b
BL1 BL2
11a
10c
11b
5a 5b 5c
8d2
8d
8d1
10c
13
8c
8b
8a
2
2
9b2
9b1
13
4b
7b
6b
4c
6a
7b
4a
7b
6b
6a
4c
6b
7b
9b1
3p
1s
9b2
4d1 4d2
4d(WL)
7a
6b
9a1
4d1 4d2
4d(WL)
7a
4d

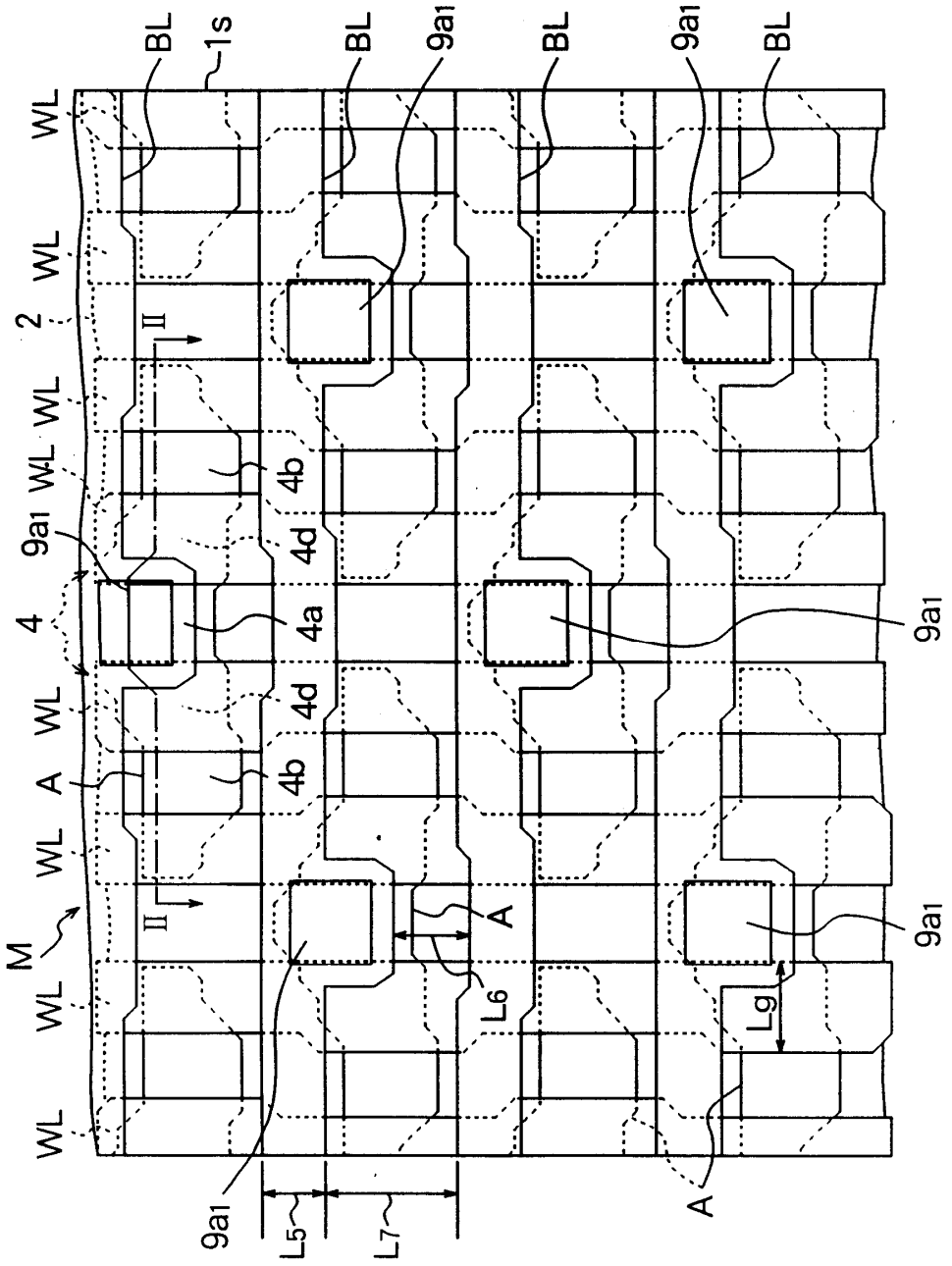
도면3



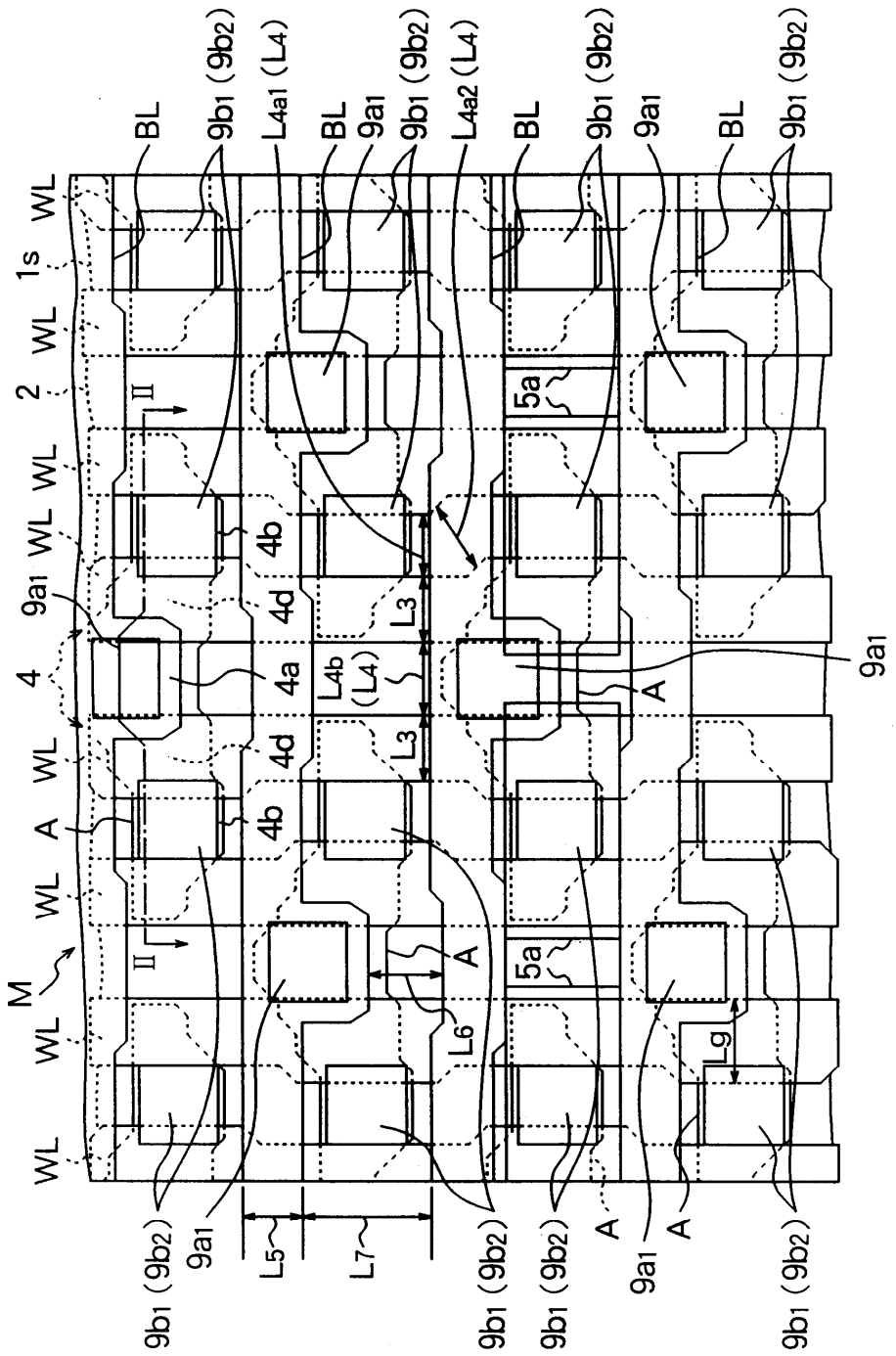
도면4



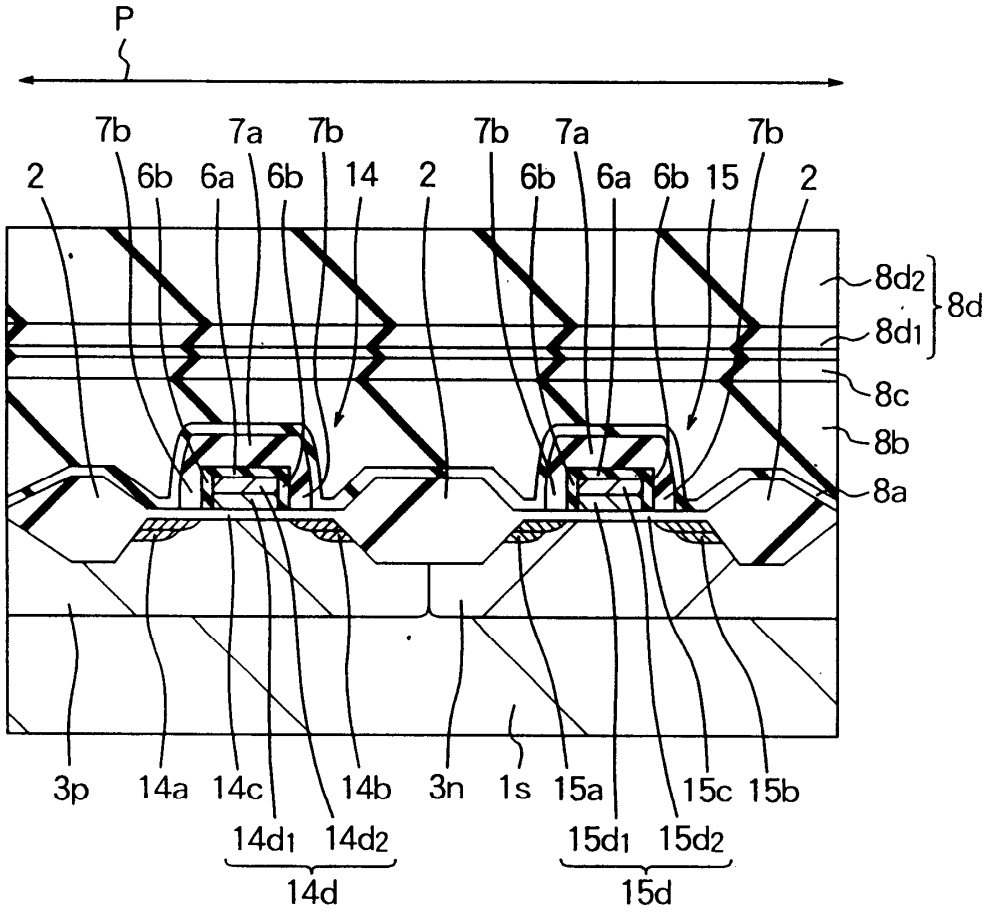
도면5



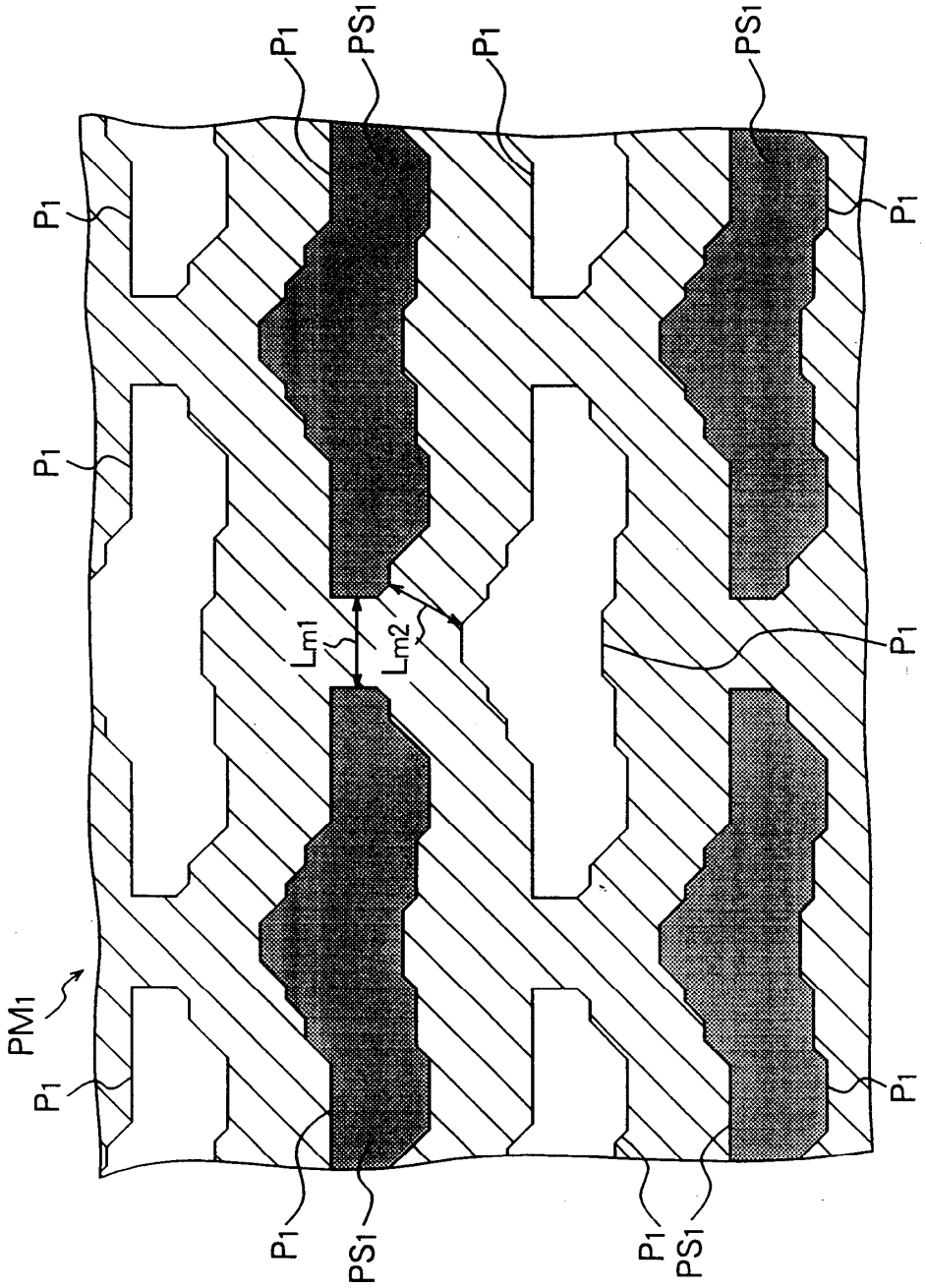
도면6


BL
9b1 (9b2)
L4a1 (L4)
9a1
L4a2 (L4)
WL
1s
2
4
M
A
II
5a
4b
4d
4a
L4b (L4)
L3
L5
L7
L6
Lg

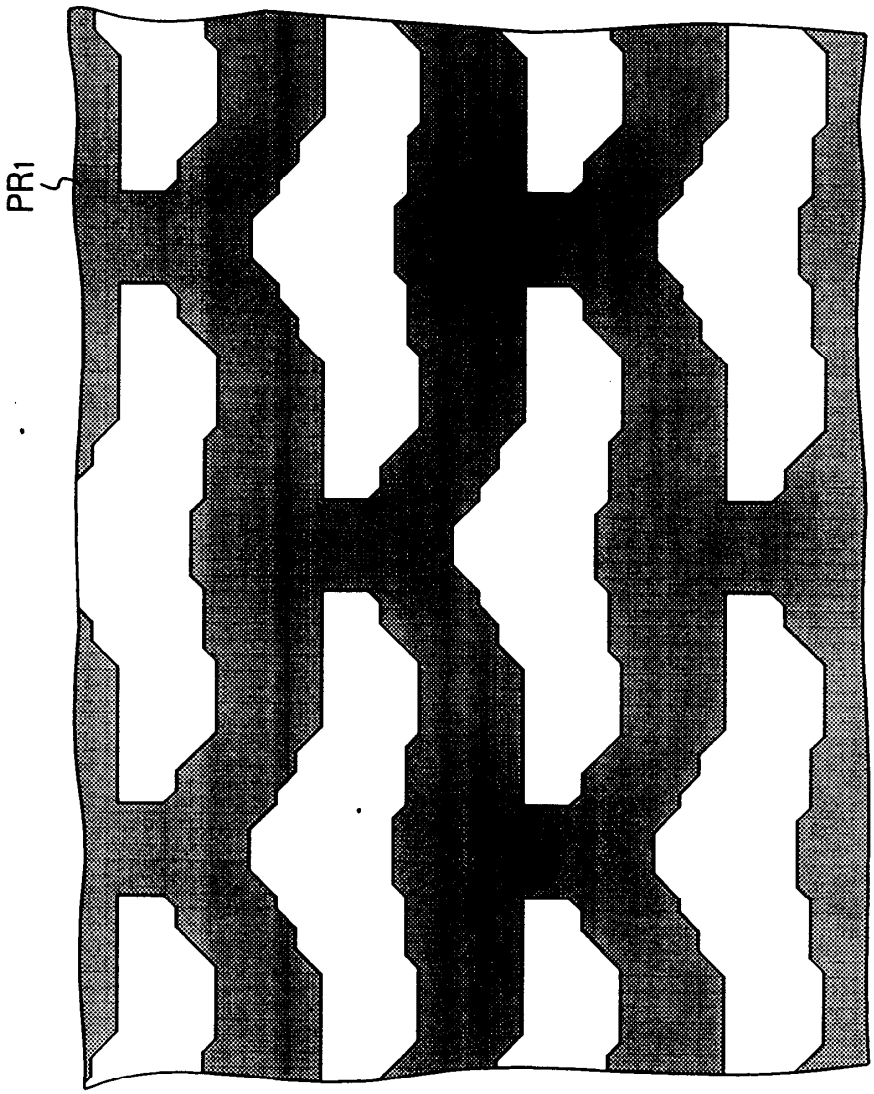
도면7


P
7b
7a
7b
7b
7a
7b
2
6b
6a
6b
14
2
6b
6a
6b
15
2
8d2
8d
8d1
8c
8b
8a
3p
14a
14c
14b
3n
1s
15a
15c
15b
14d1
14d2
14d
15d1
15d2
15d

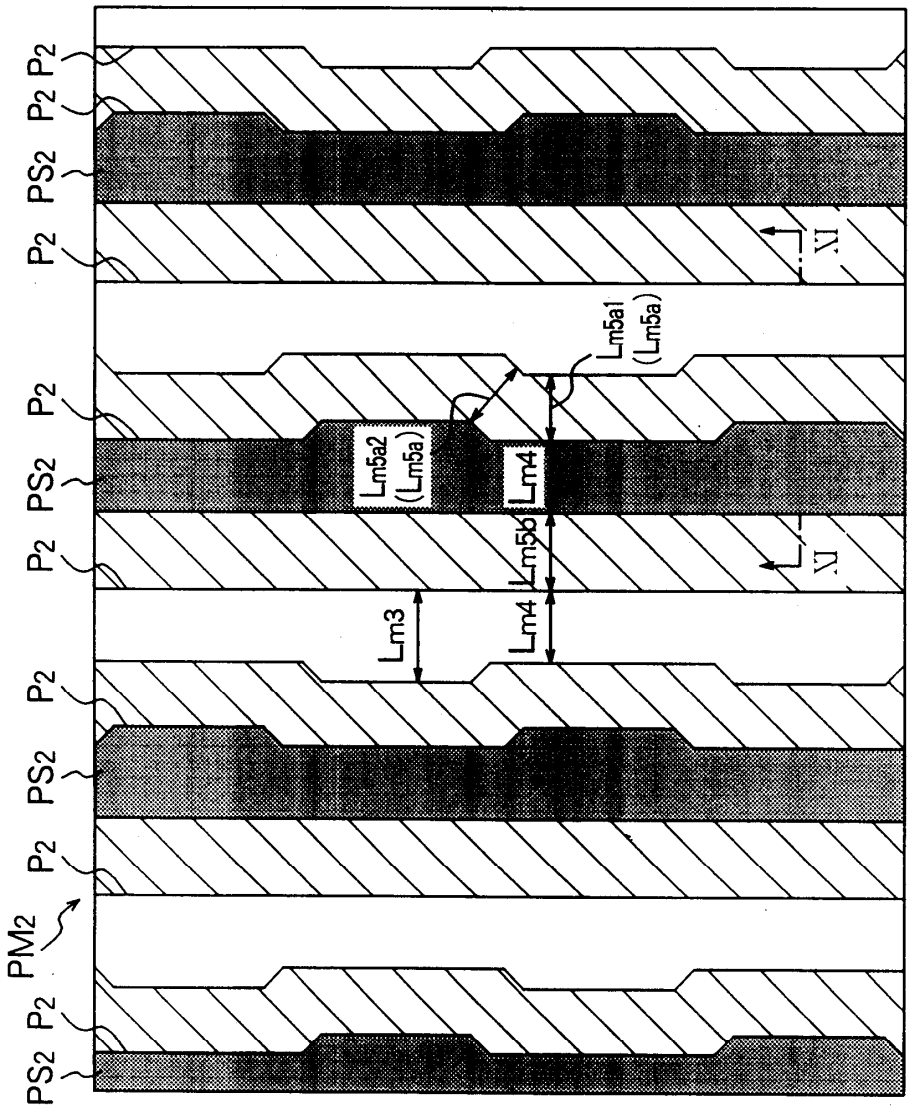
도면8



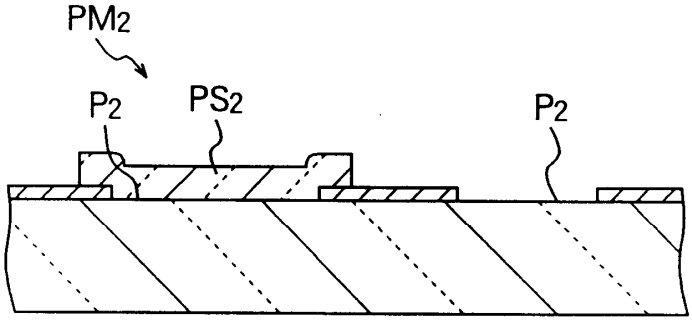
도면9



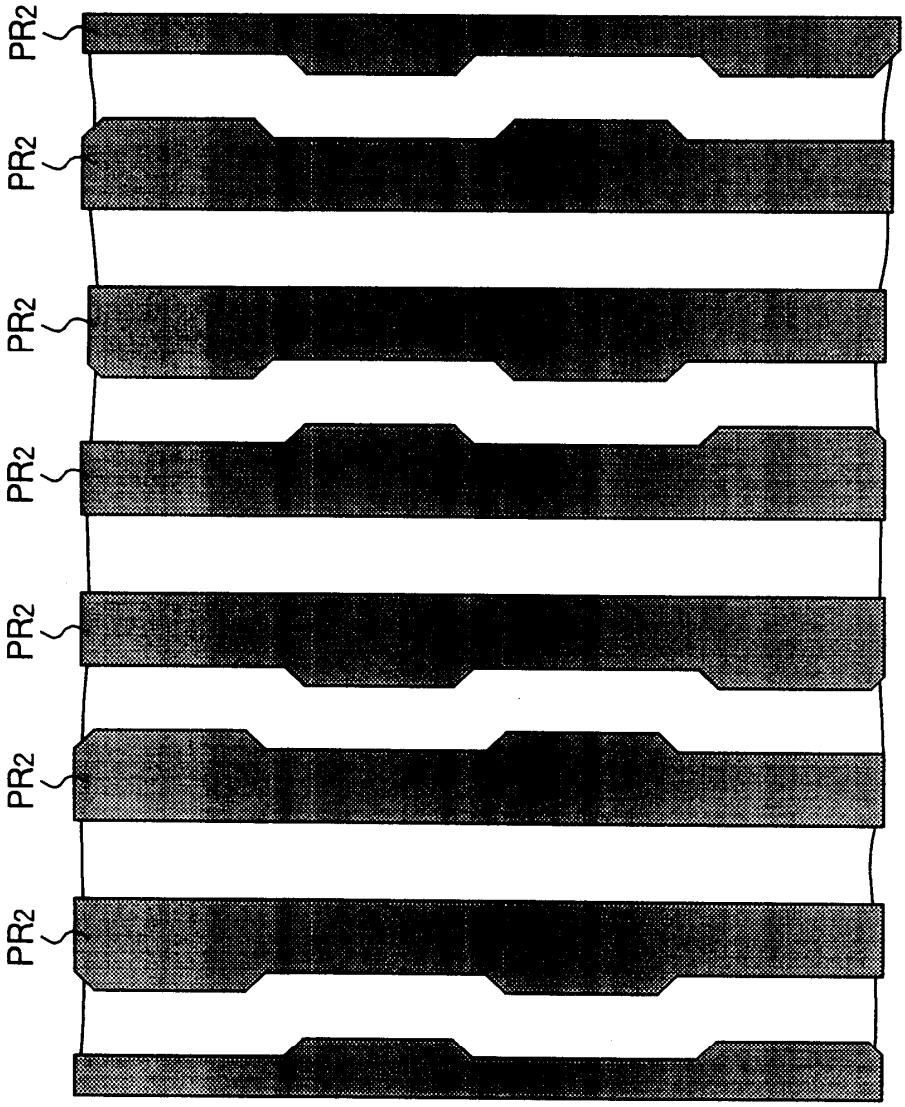
도면10


P2
P2
PS2
P2
VI
Lm5a1 (Lm5a)
P2
Lm5a2 (Lm5a)
PS2
Lm4
Lm5b
P2
VI
Lm3
Lm4
P2
PS2
P2
PM2
P2
PS2

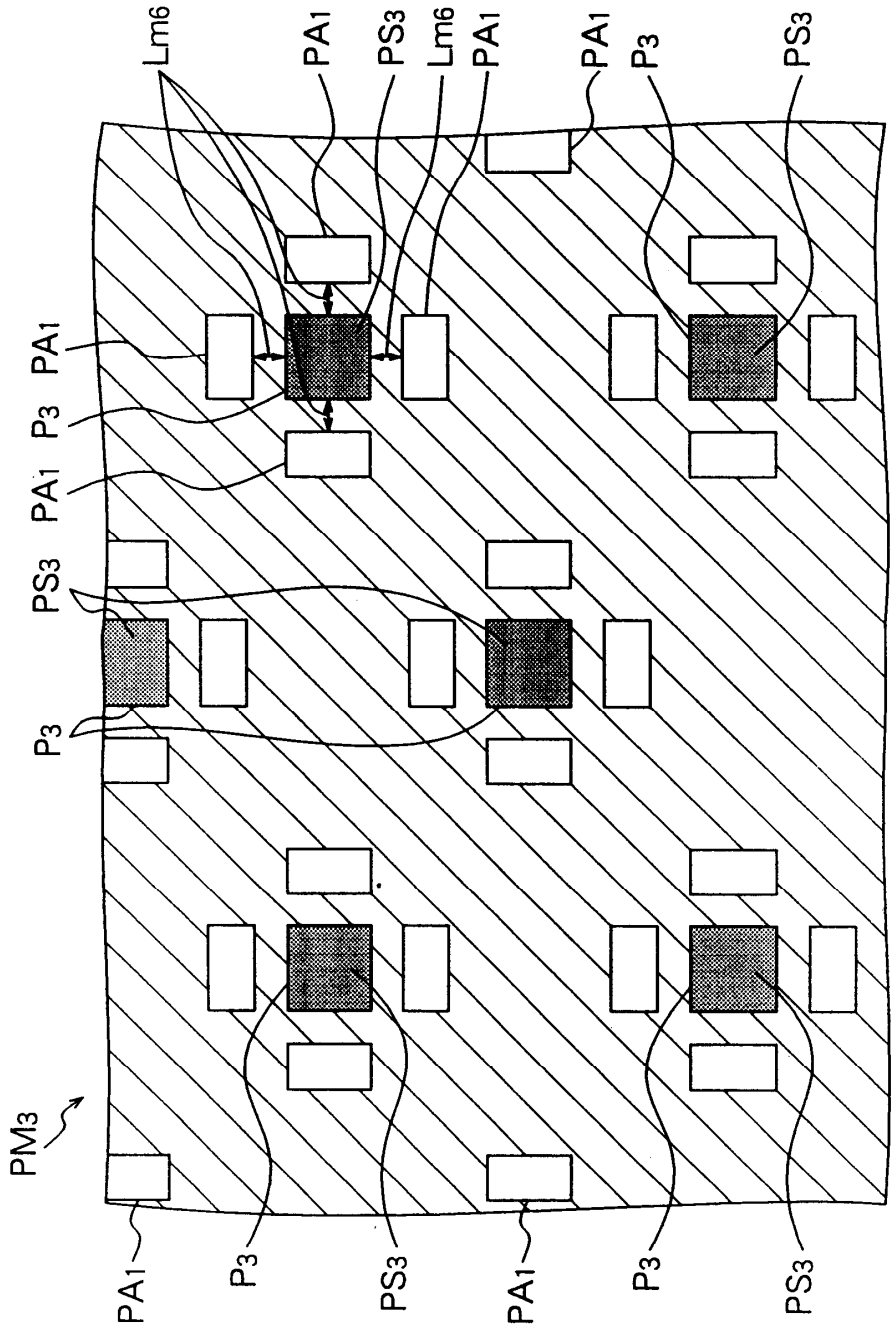
도면11


PM2
P2
PS2
P2

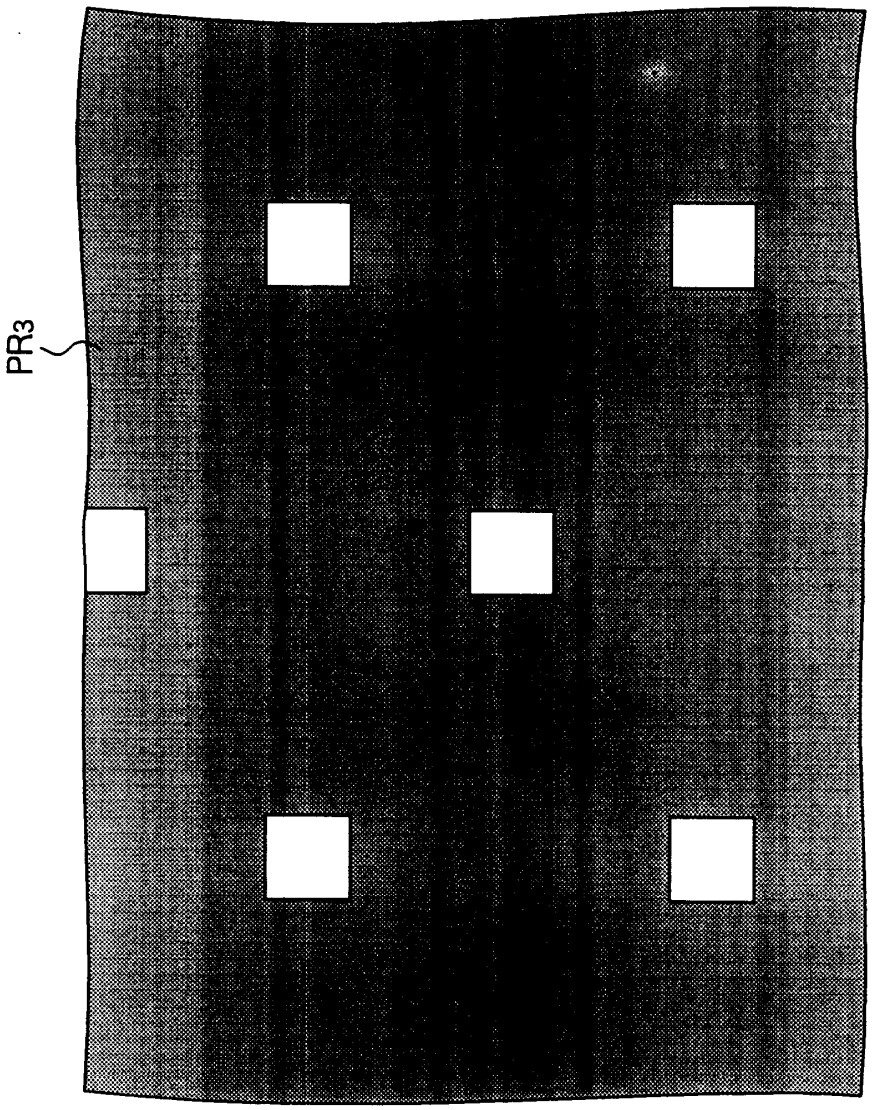
도면12



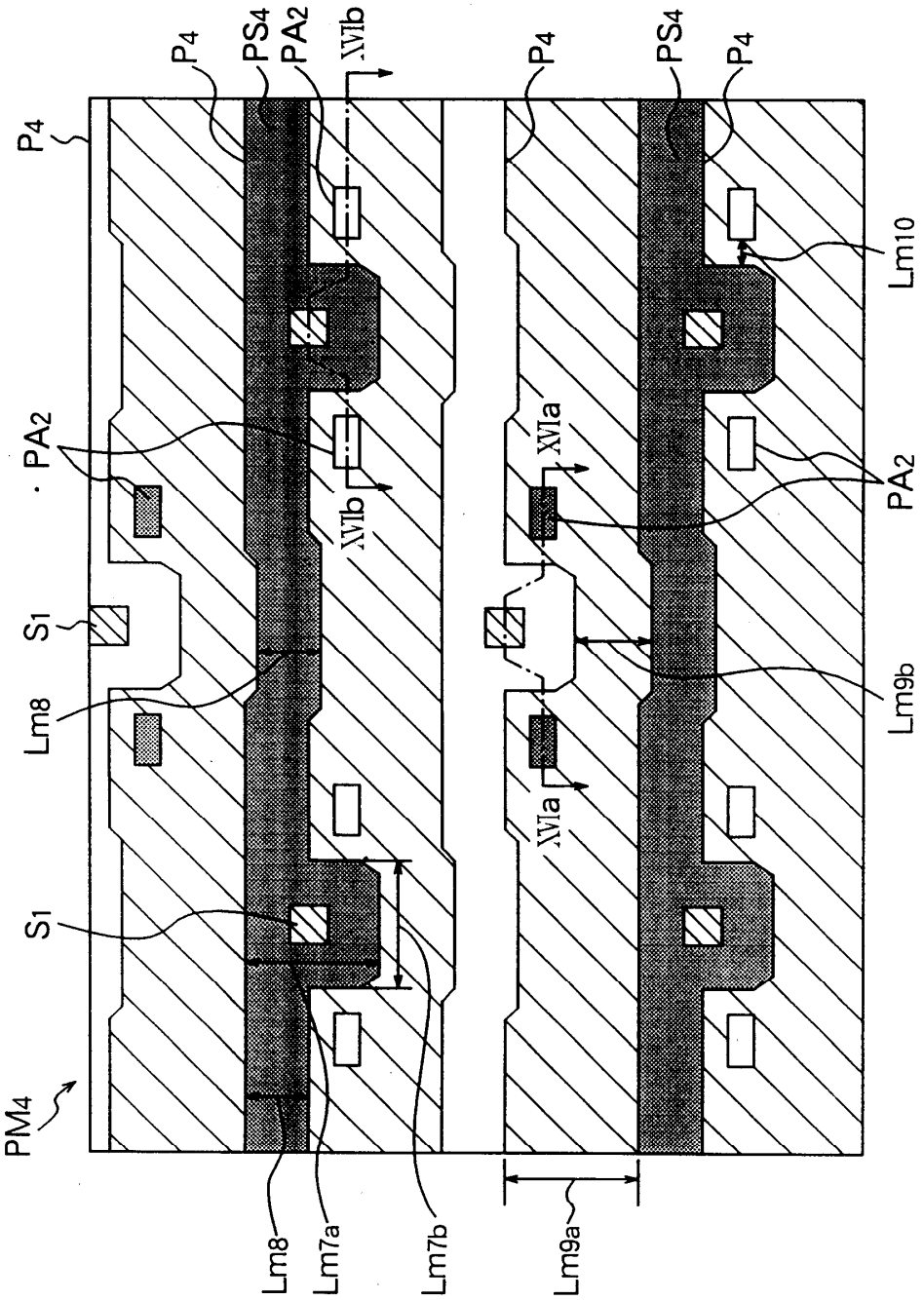
도면13


Lm6
PA1
PS3
Lm6
PA1
PA1
P3
PS3
PA1
P3
PA1
PS3
P3
PM3
PA1
P3
PS3
PA1
P3
PS3

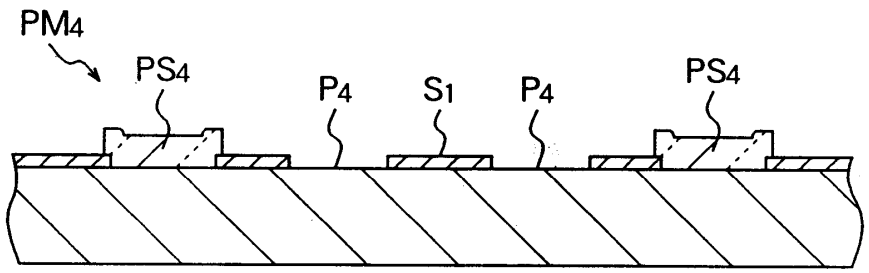
도면14



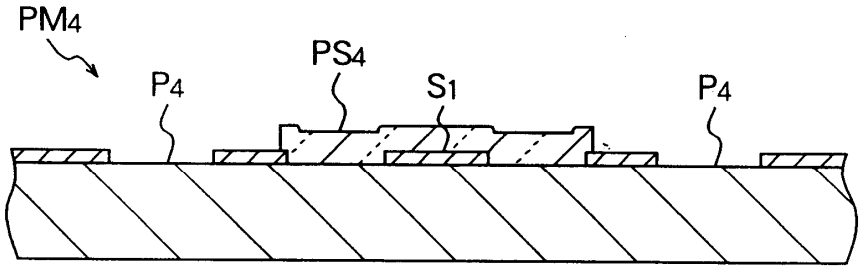
도면15


P4
PS4
PA2
XVIb
P4
PS4
P4
Lm10
PA2
XVIa
XVIb
S1
Lm8
Lm9b
XVIa
S1
PM4
Lm8
Lm7a
Lm7b
Lm9a

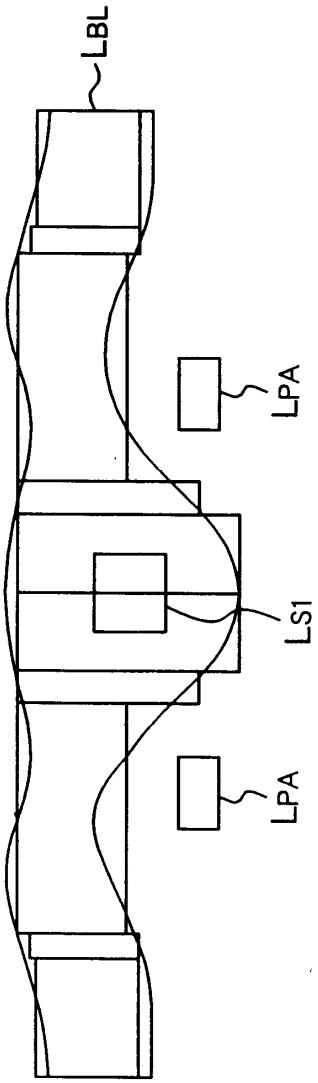
도면16a


PM4
PS4
P4
S1
P4
PS4

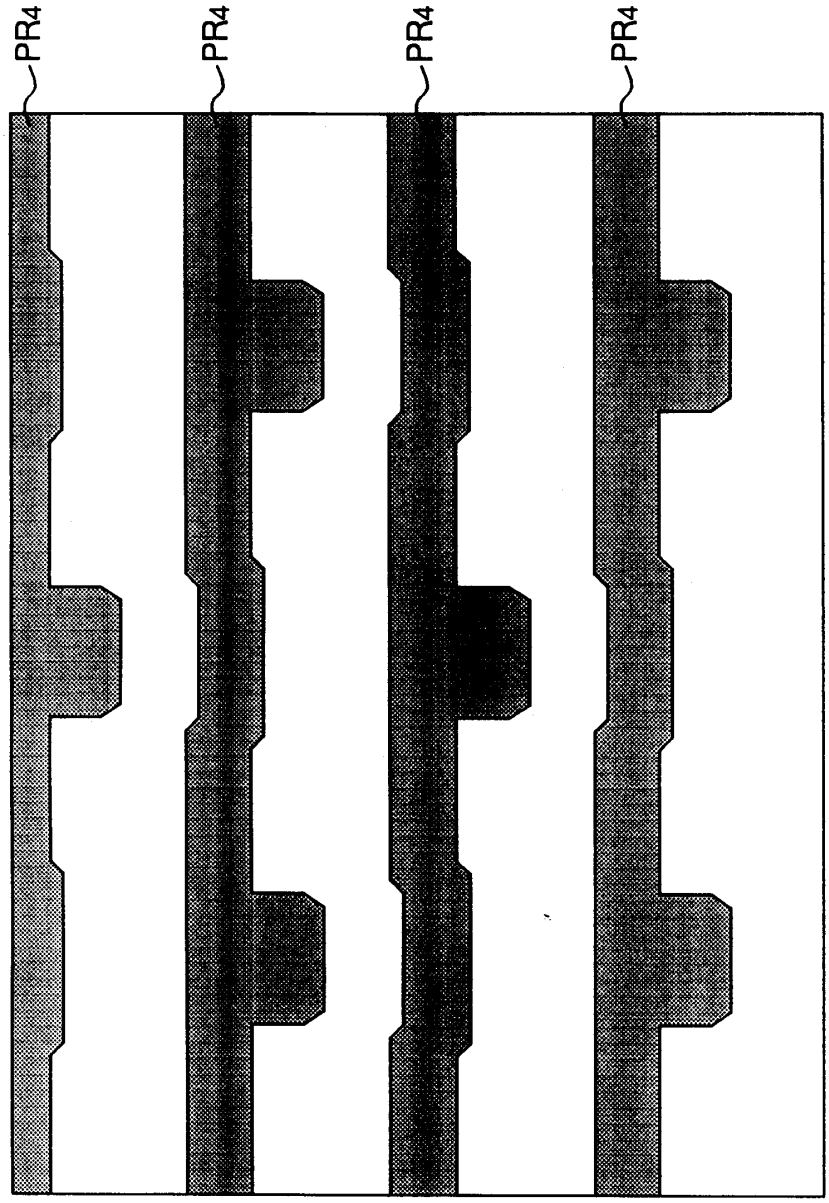
도면16b



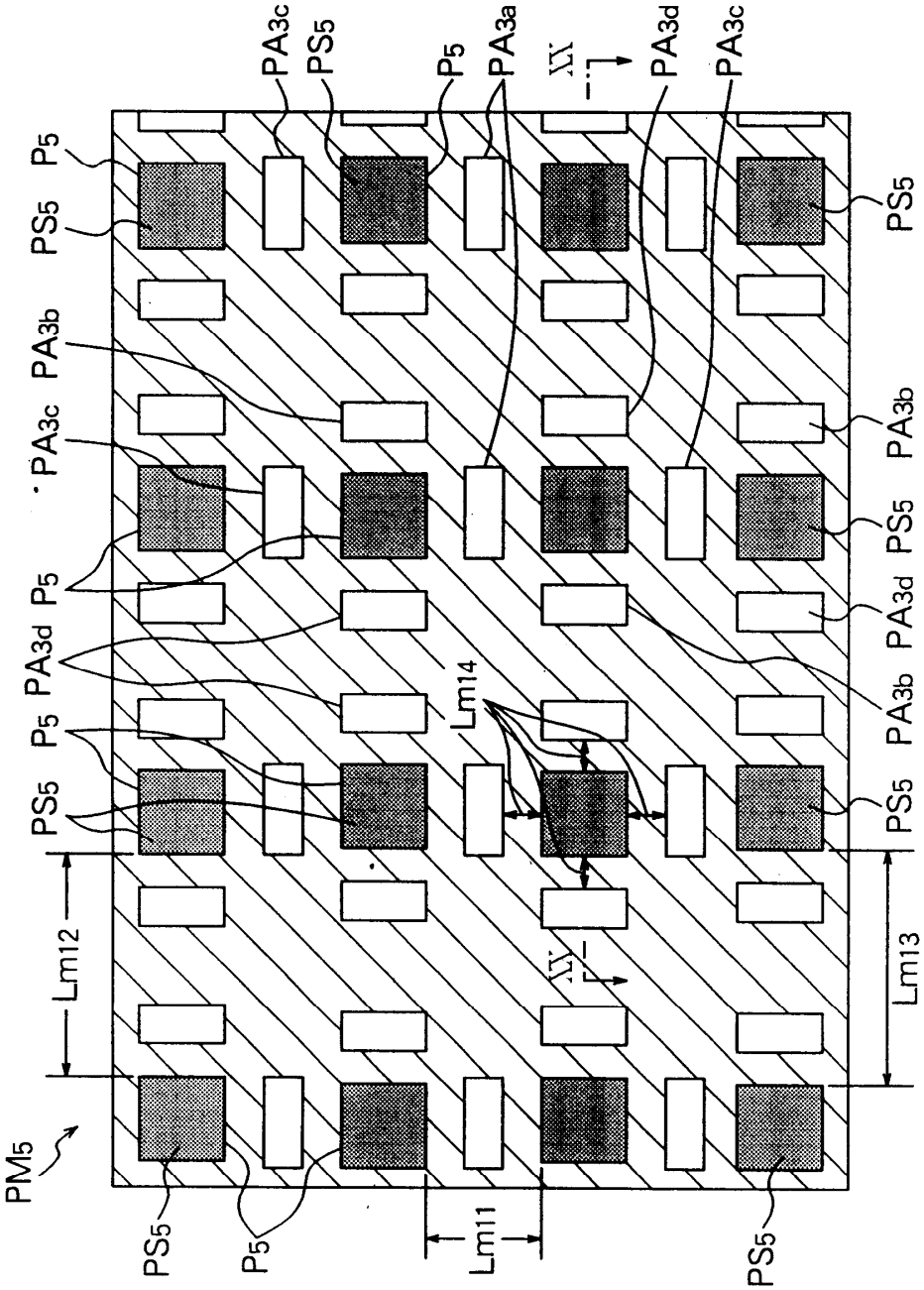
도면17



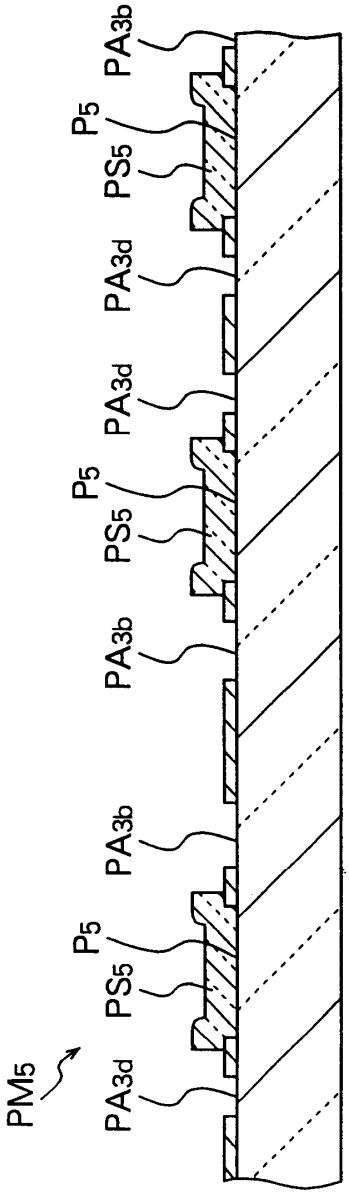
도면18



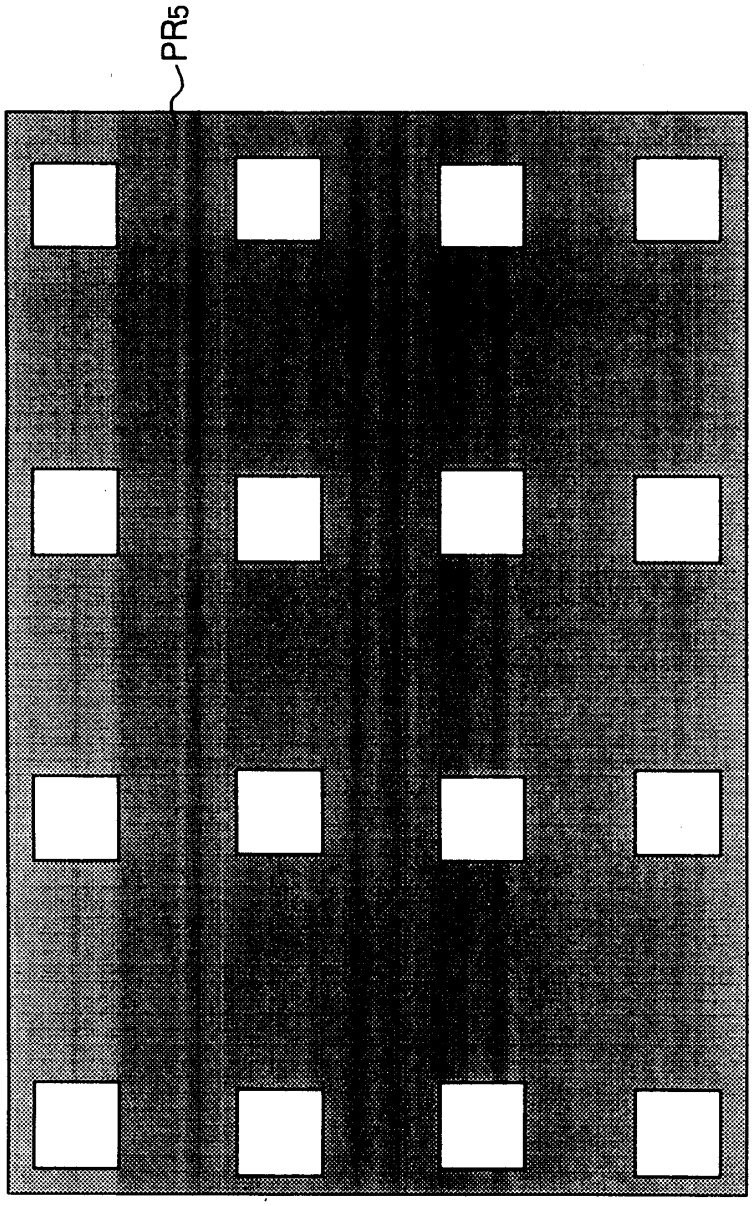
도면19


PA3c
PS5
P5
PA3a
XV
PA3d
PA3c
P5
PS5
PA3b
PA3c
P5
PA3d
P5
PS5
Lm14
PS5
PA3b
PA3d
PA3b
PS5
Lm12
XV
Lm13
PM5
PS5
P5
Lm11
PS5

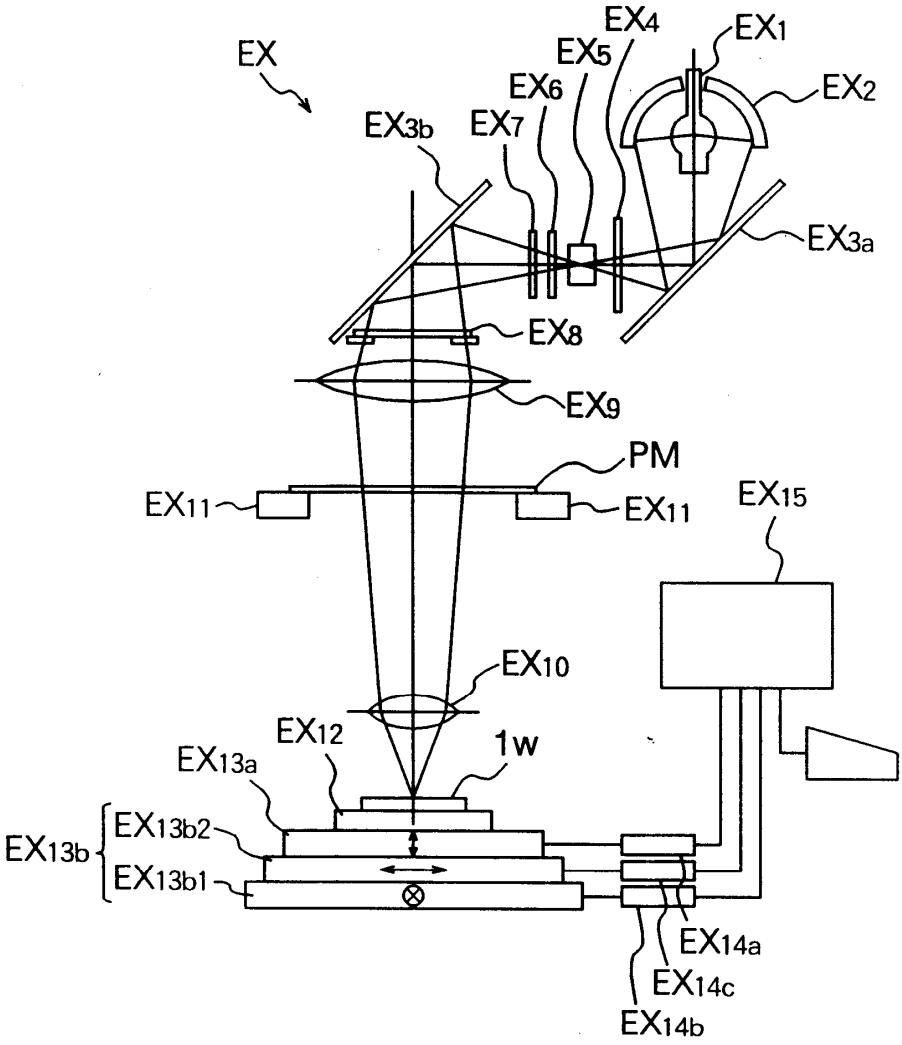
도면20



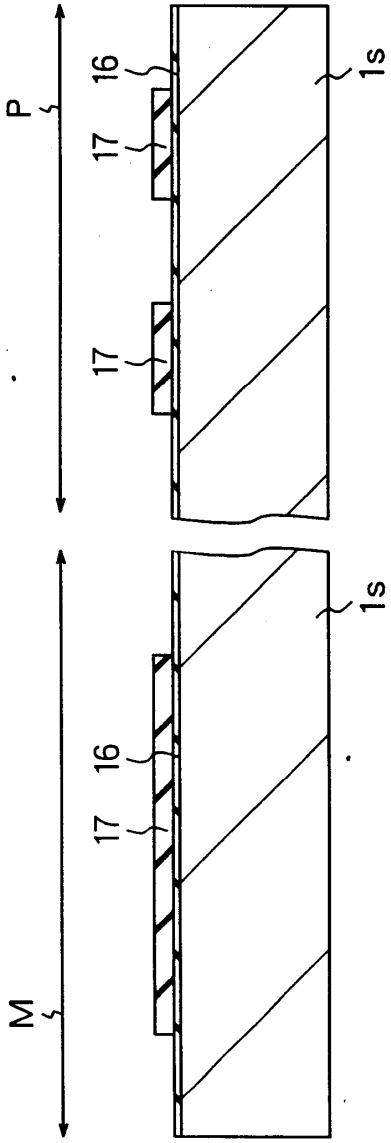
도면21



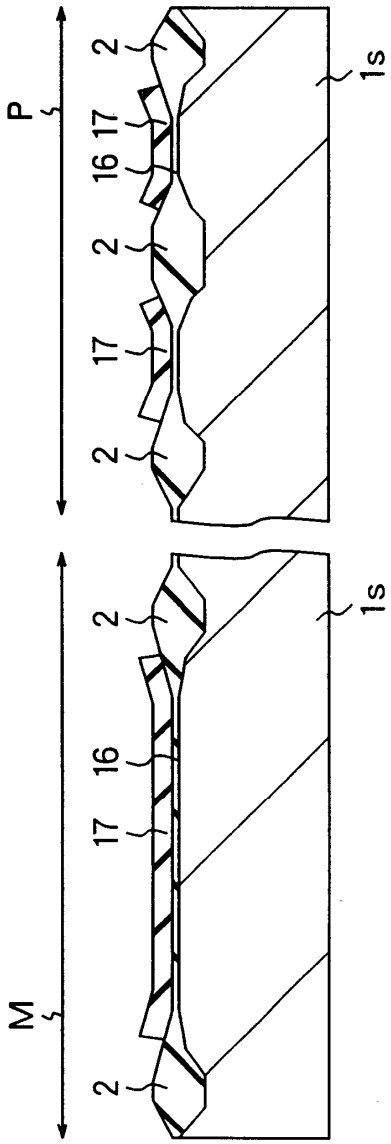
도면22


EX
EX4
EX1
EX5
EX6
EX2
EX3b
EX7
EX3a
EX8
EX9
PM
EX11
EX11
EX15
EX10
EX12
1w
EX13a
EX13b2
EX13b
EX13b1
EX14a
EX14c
EX14b

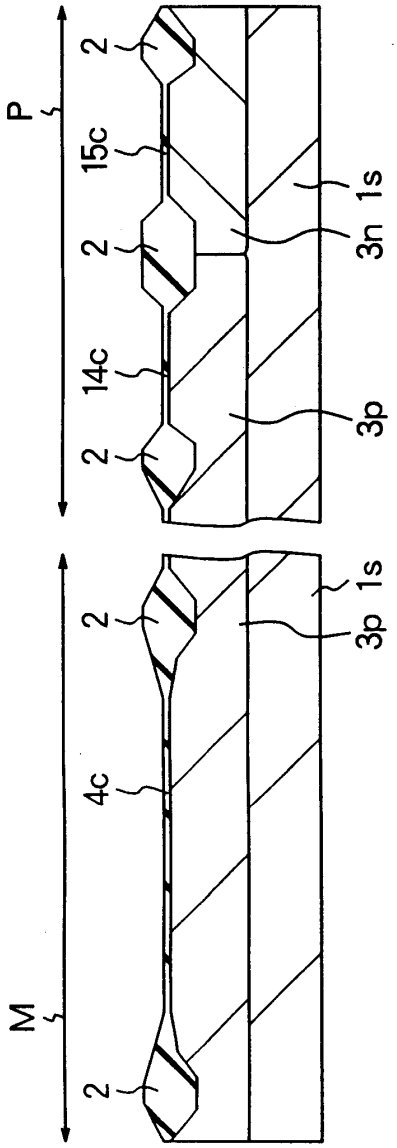
도면23a



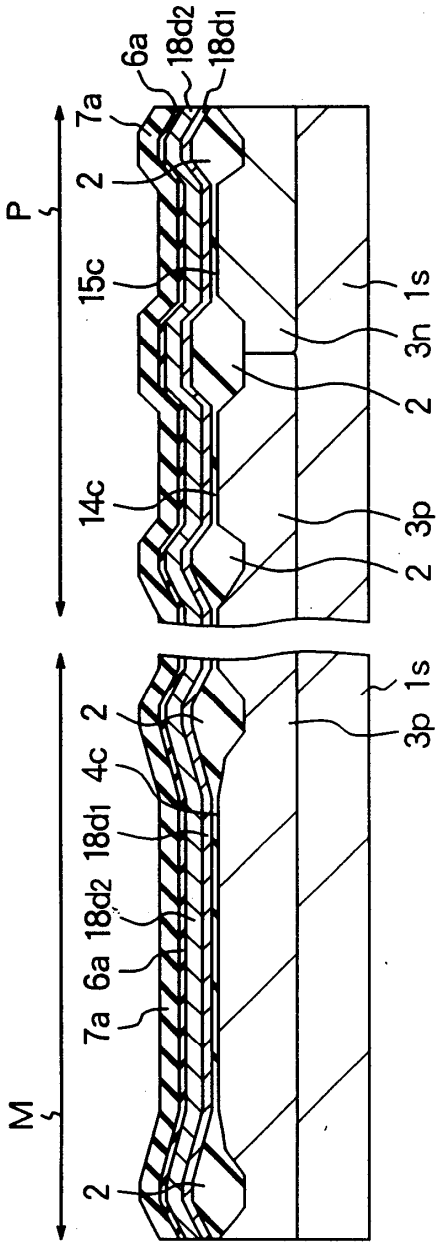
도면23b



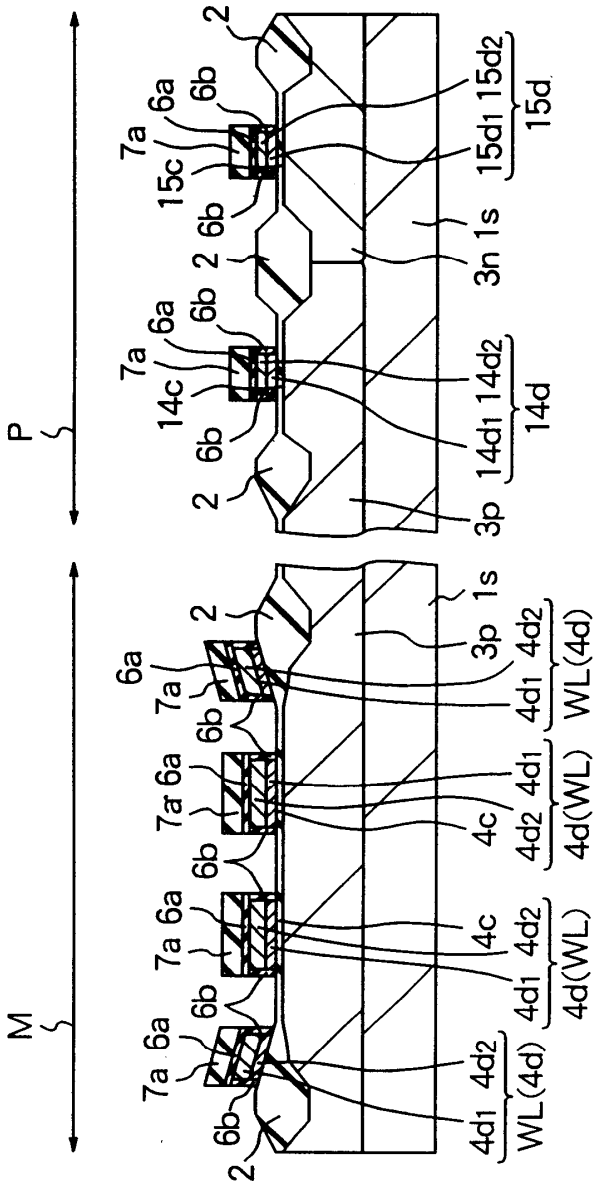
도면23c



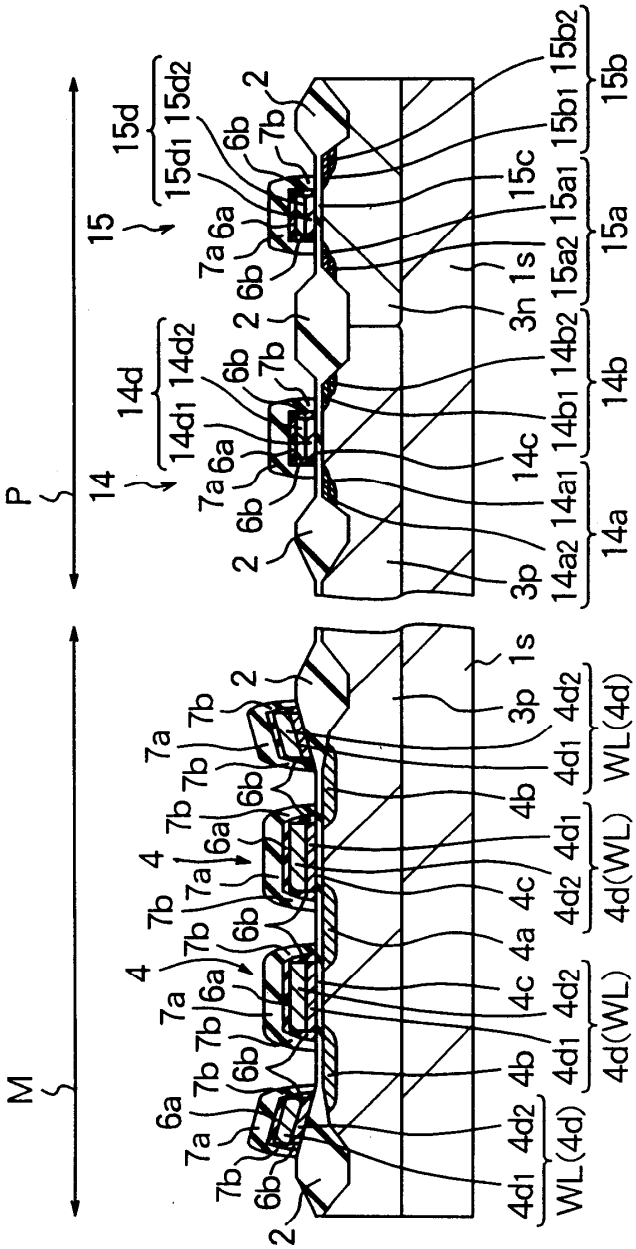
도면23d



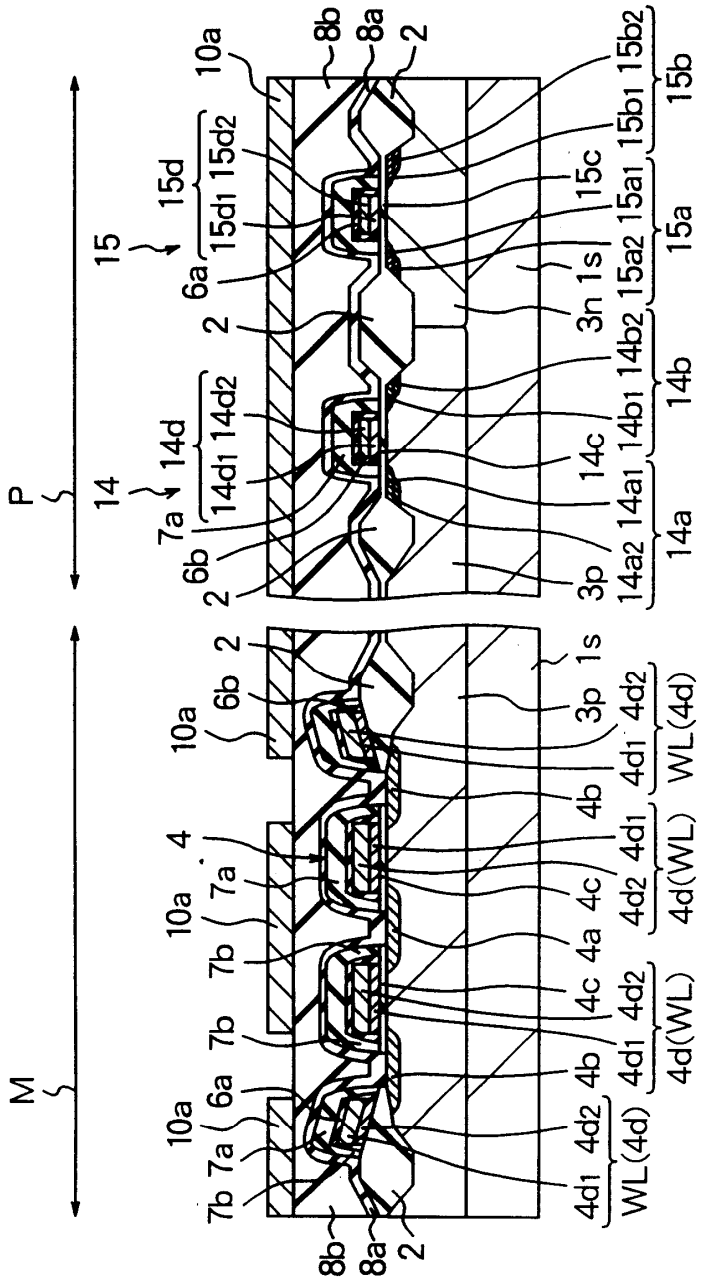
도면23e


P
M
2
6a
6b
7a
15c
14c
15d1
15d2
15d
14d1
14d2
14d
3n
1s
3p
4d1
4d2
WL(4d)
4c
4d(WL)

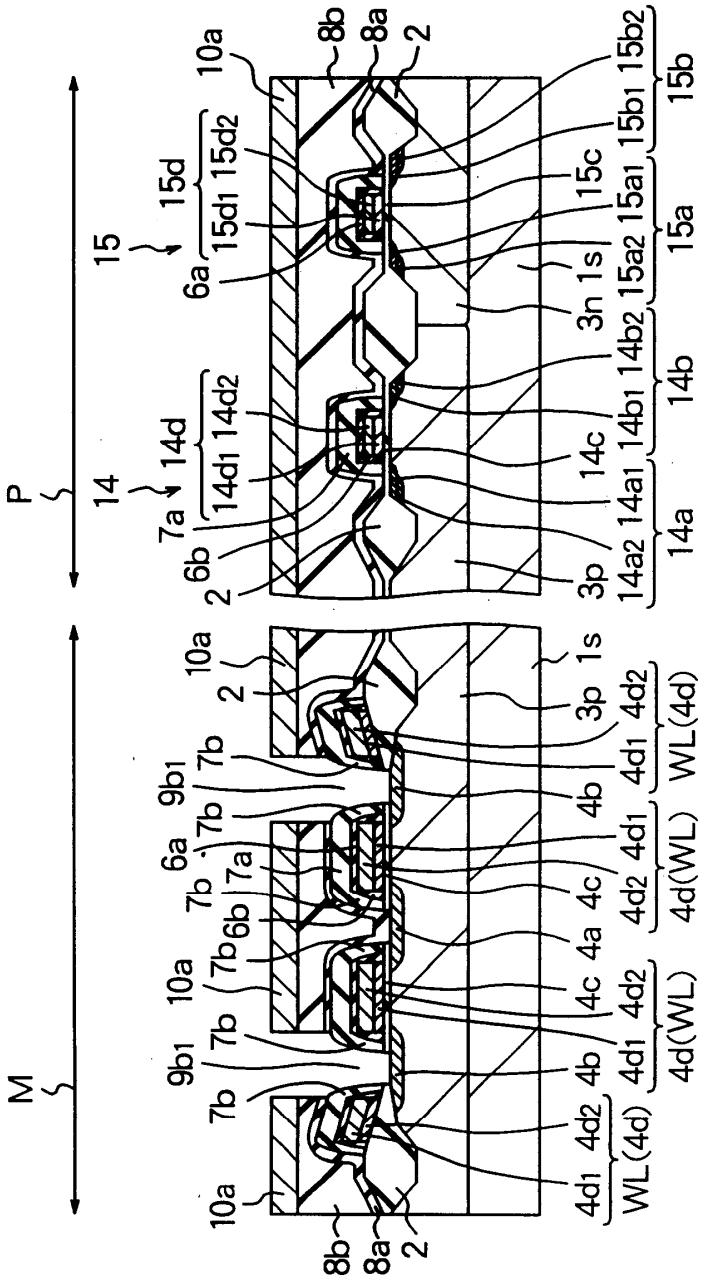
도면23f


P
M
14
15
14d
14d1
14d2
15d
15d1
15d2
14a
14a1
14a2
14b
14b1
14b2
14c
15a
15a1
15a2
15b
15b1
15b2
15c
2
3p
3n
1s
4
4a
4b
4c
4d(WL)
4d1
4d2
WL(4d)
6a
6b
7a
7b

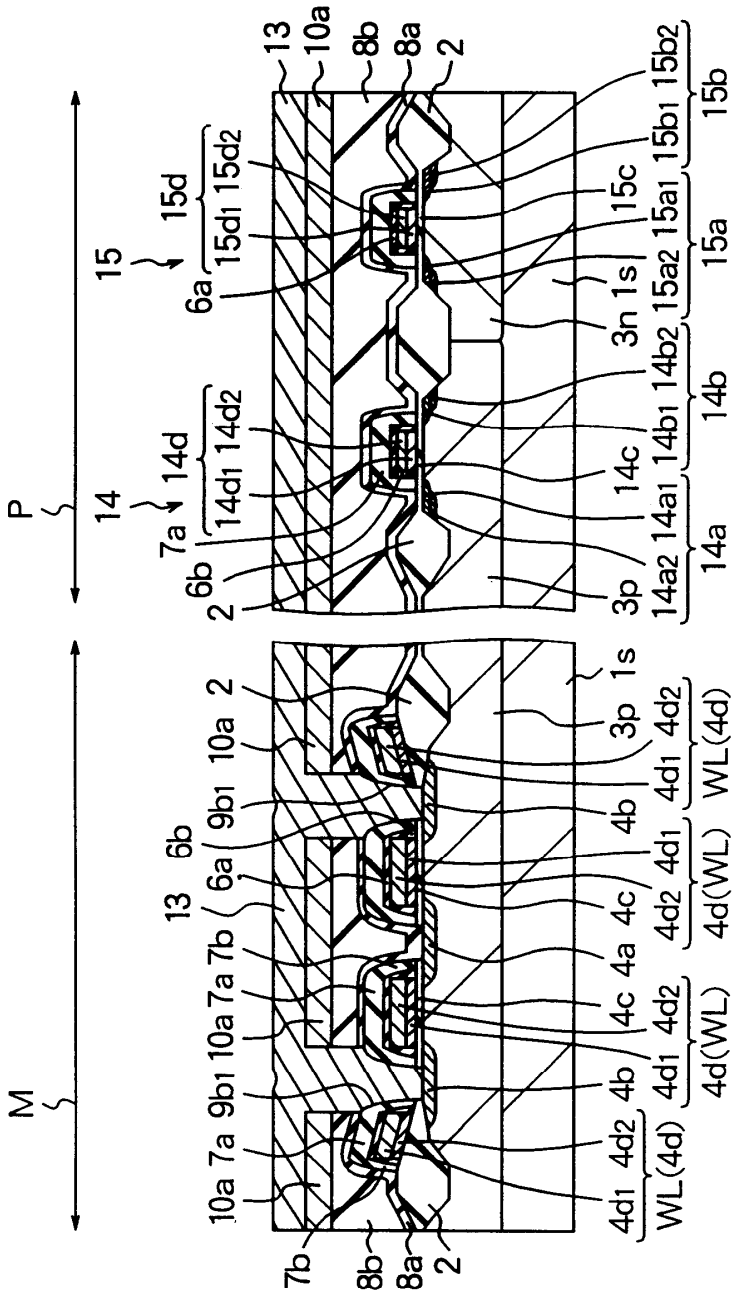
도면23g


P
M
15
14
10a
8b
8a
2
15d
15d1
15d2
6a
14d
14d1
14d2
7a
6b
15c
15a
15a1
15a2
15b
15b1
15b2
14b
14b1
14b2
14c
14a
14a1
14a2
3n
3p
1s
4
7a
7b
4a
4b
4c
4d1
4d2
4d(WL)
WL(4d)

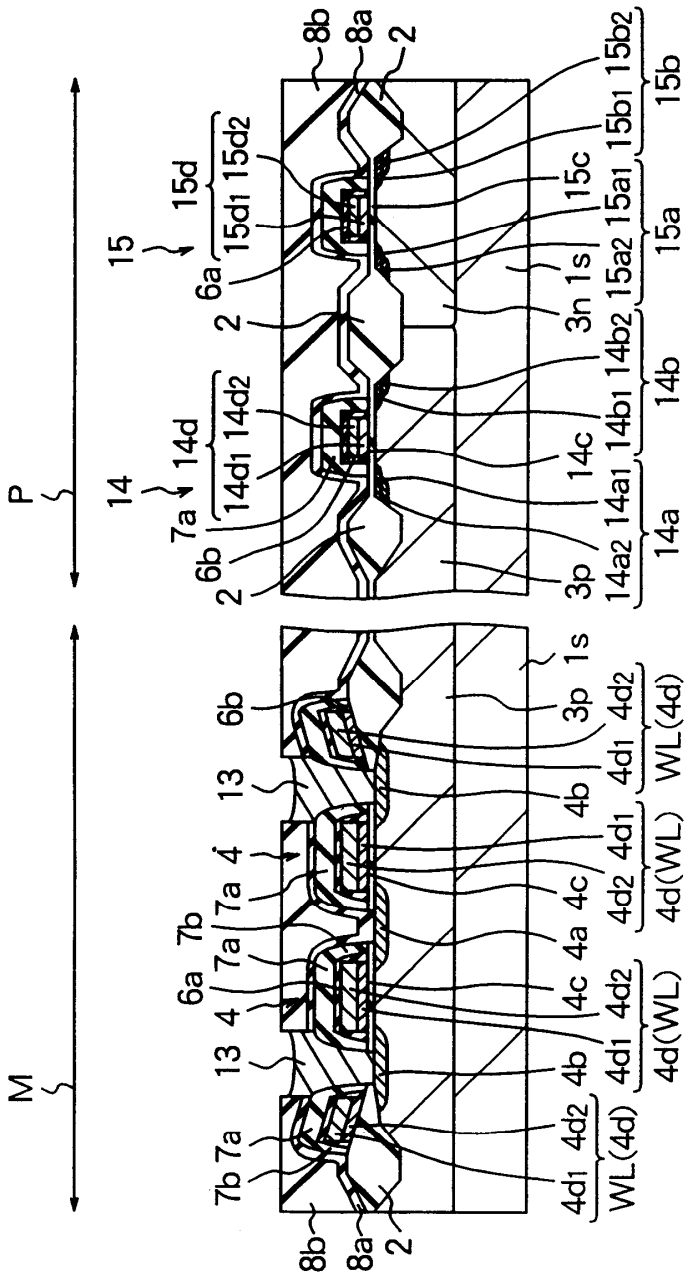
도면23h


P
M
10a
8b
8a
2
15
15d
15d1
15d2
6a
14
14d
14d1
14d2
7a
6b
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
9b1
7b
4b
4c
4a
4d
4d1
4d2
WL(4d)
4d(WL)

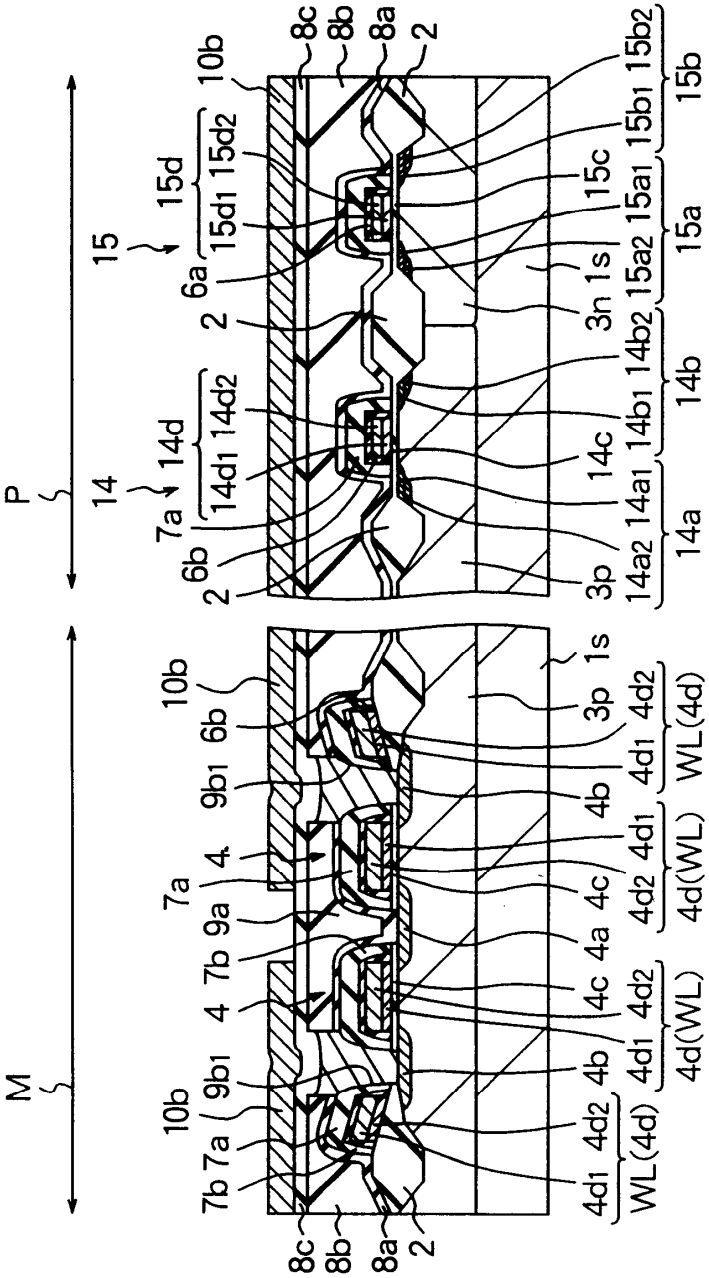
도면23i


P
M
15
14
13
10a
8b
8a
2
15d
15d1
15d2
6a
7a
14d
14d1
14d2
6b
15b
15b1
15b2
15c
15a
15a1
15a2
3n
1s
14b
14b1
14b2
14c
14a
14a1
14a2
3p
9b1
7b
4b
4c
4a
4d
4d1
4d2
WL(4d)
4d(WL)

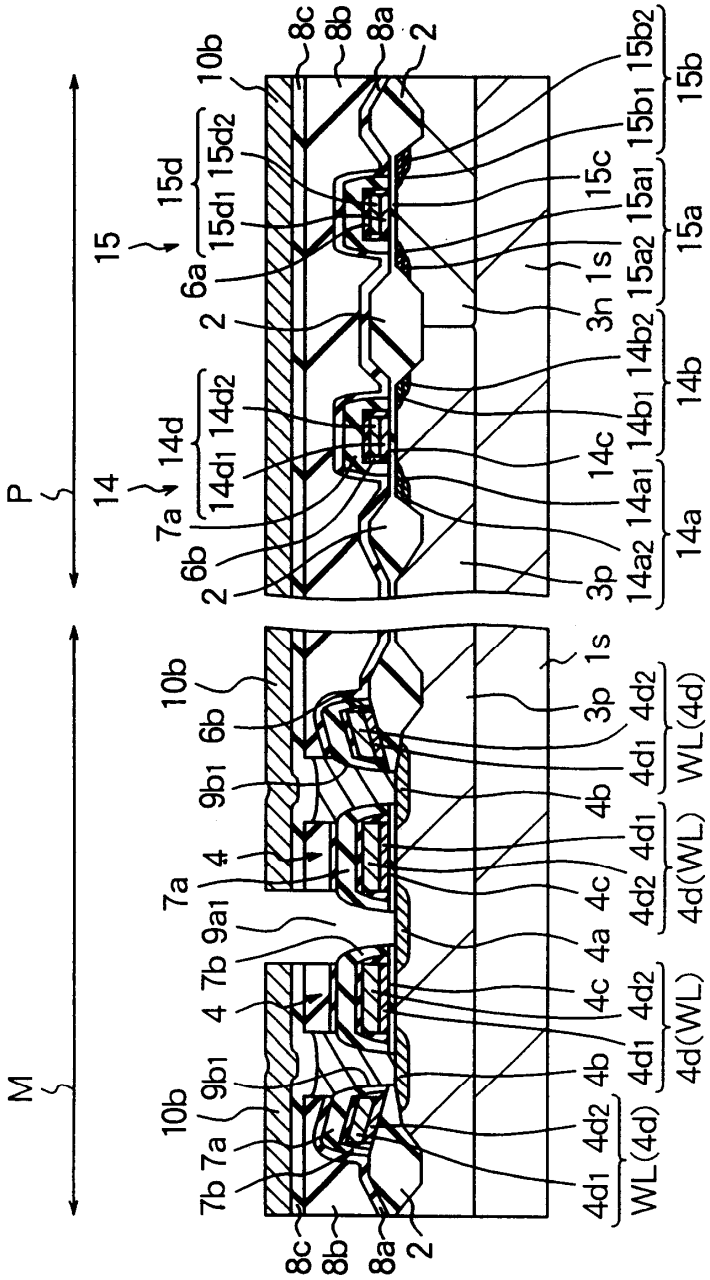
도면23j


P
M
14
15
14d
15d
14d1
14d2
15d1
15d2
6a
6b
7a
7b
2
8a
8b
13
4
4a
4b
4c
4d1
4d2
4d(WL)
WL(4d)
3p
3n
1s
14a
14a1
14a2
14b
14b1
14b2
14c
15a
15a1
15a2
15b
15b1
15b2
15c

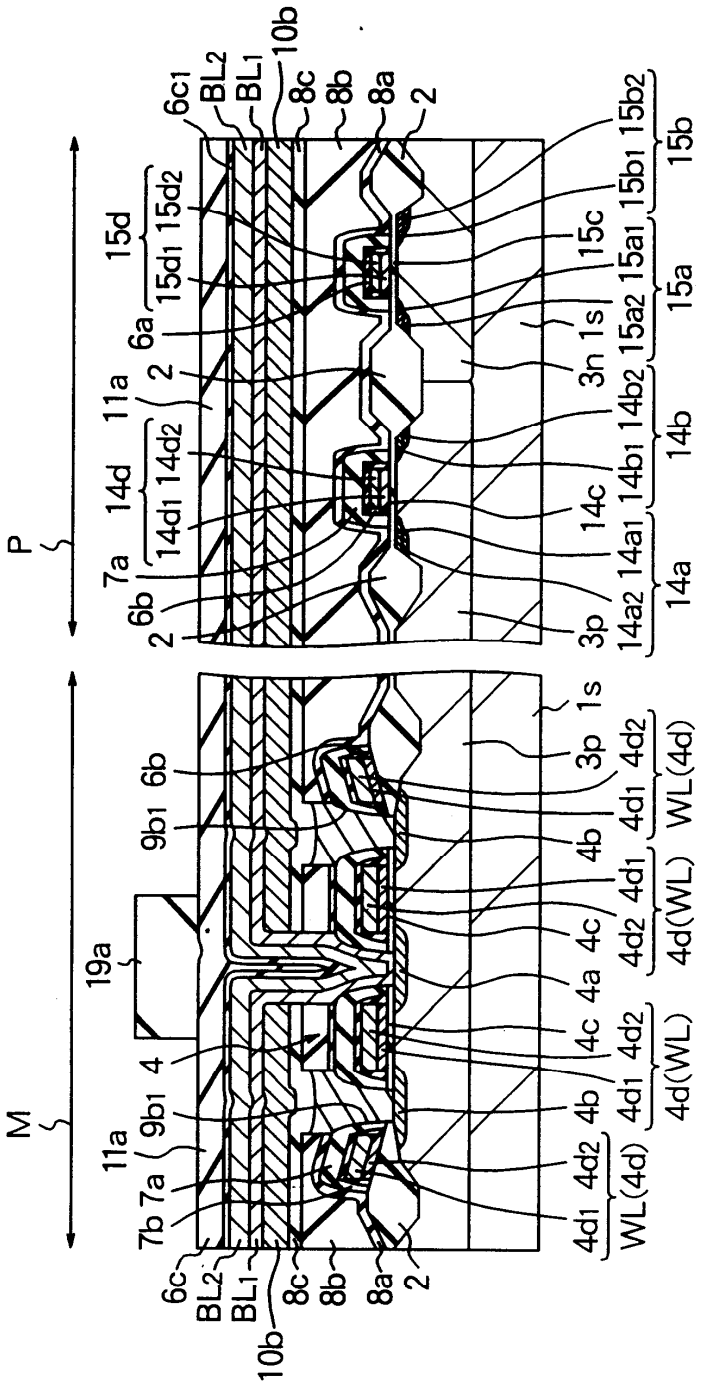
도면23k


P
M
14
15
10b
8c
8b
8a
2
15d
15d1
15d2
6a
7a
14d
14d1
14d2
6b
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
9b1
9a
7b
4
4a
4b
4c
4d
4d1
4d2
WL(4d)
4d(WL)

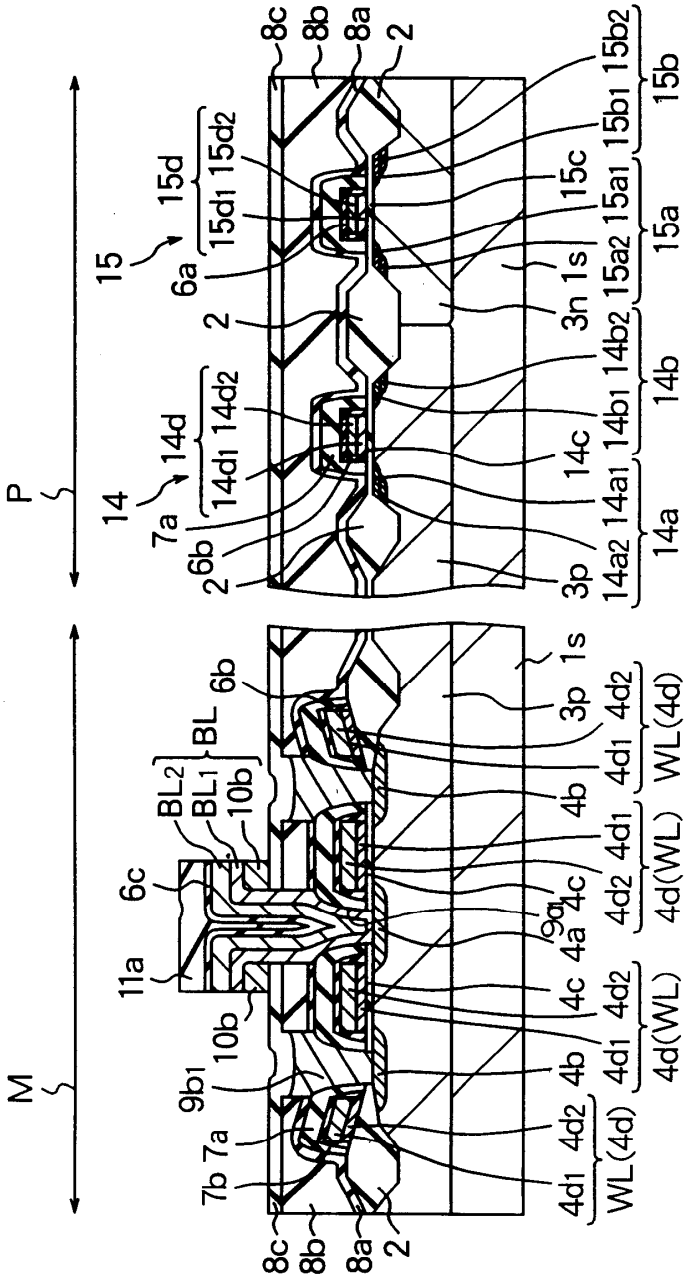
도면23l


P
M
14
15
10b
8c
8b
8a
2
15d
15d1
15d2
6a
7a
14d
14d1
14d2
6b
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
9b1
9a1
7b
4
4a
4b
4c
4d1
4d2
4d(WL)
WL(4d)

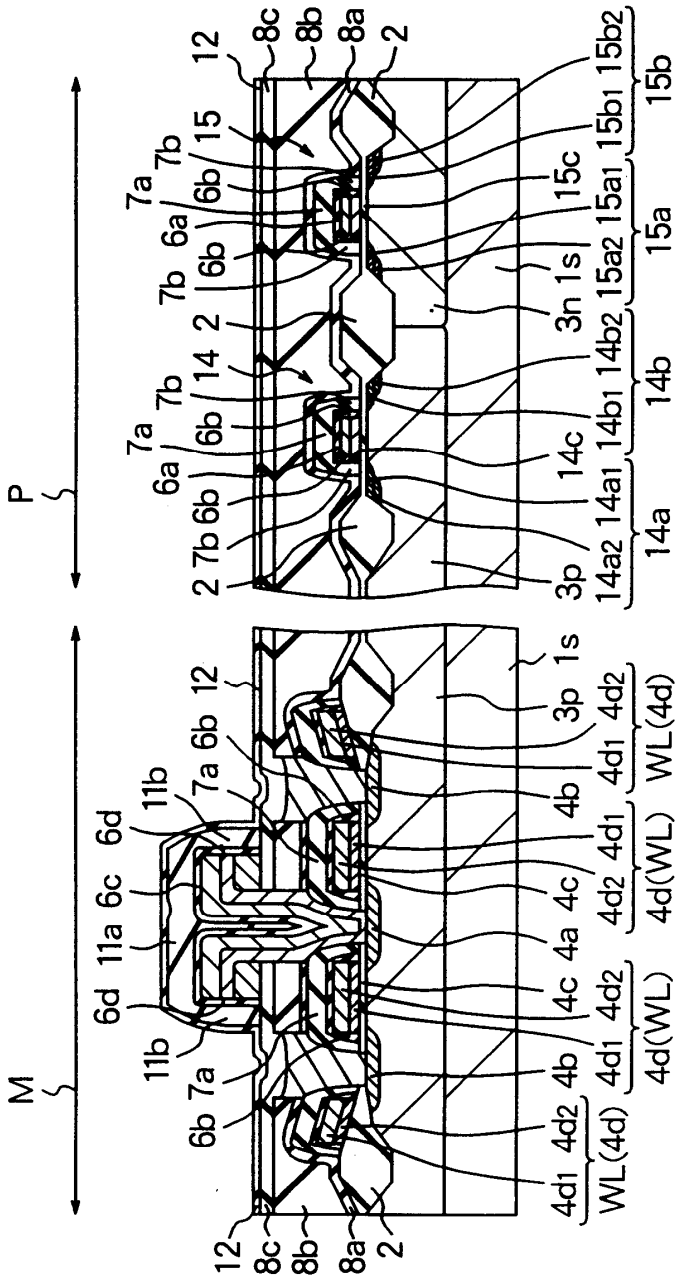
도면23m


P
M
6c1
BL2
BL1
10b
8c
8b
8a
2
15d
15d1
15d2
6a
11a
14d
14d1
14d2
7a
6b
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
19a
9b1
4
7b
4a
4b
4c
4d1
4d2
4d(WL)
WL(4d)

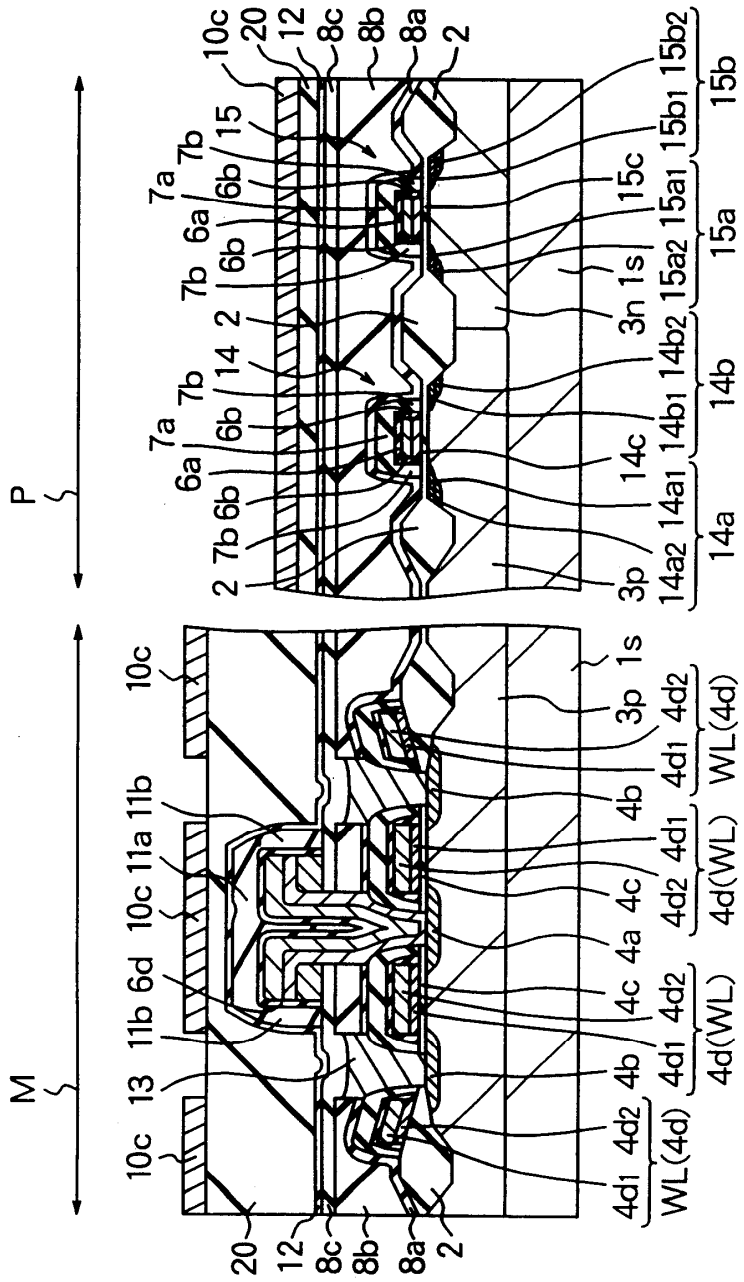
도면23n


P
M
15
14
15d
15d1
15d2
6a
14d
14d1
14d2
7a
6b
2
8c
8b
8a
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
BL
BL1
BL2
10b
6c
11a
9b1
7b
4d
4d1
4d2
WL(4d)
4d(WL)
4a
4b
4c
9a

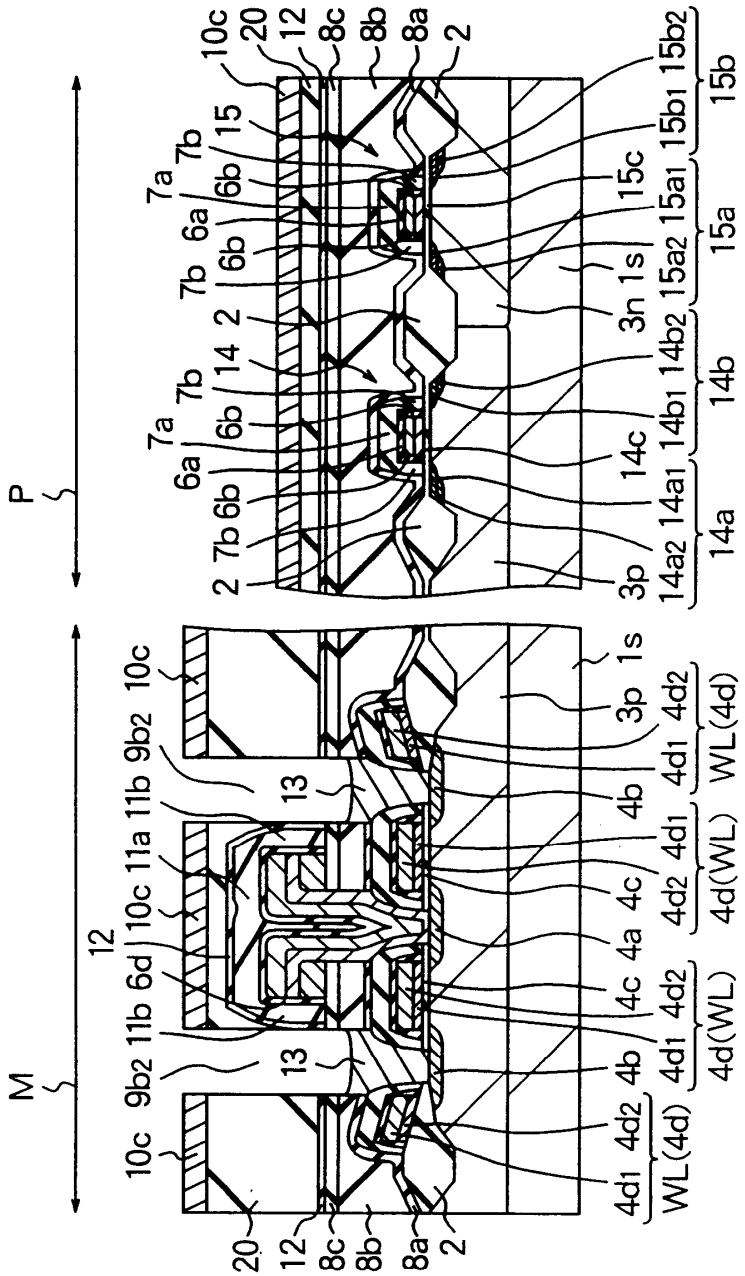
도면23o


P
M
12
8c
8b
8a
2
15
7b
7a
6b
6a
14
15b2
15b1
15b
15c
15a1
15a2
15a
3n
1s
14b2
14b1
14b
14c
14a1
14a2
14a
3p
11b
11a
6c
6d
4d1
4d2
WL(4d)
4d(WL)
4a
4b
4c

도면23p

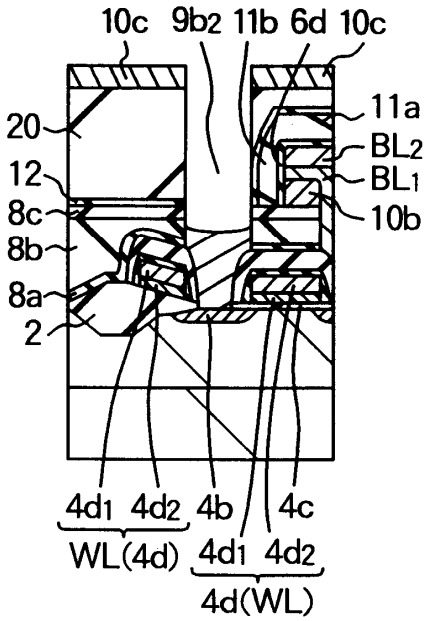

P
M
10c
20
12
8c
8b
8a
2
15
7b
7a
6b
6a
14
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
13
11b
6d
11a
4a
4b
4c
4d
4d1
4d2
WL(4d)
4d(WL)

도면23q


P
M
10c
20
12
8c
8b
8a
2
15
7b
7a
6b
6a
14
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
9b2
11b
11a
6d
13
4d1
4d2
WL(4d)
4d(WL)
4a
4b
4c

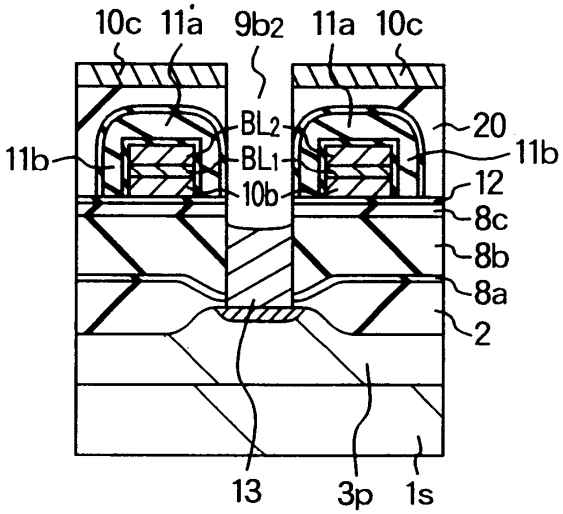
도면23ra

23(r1)

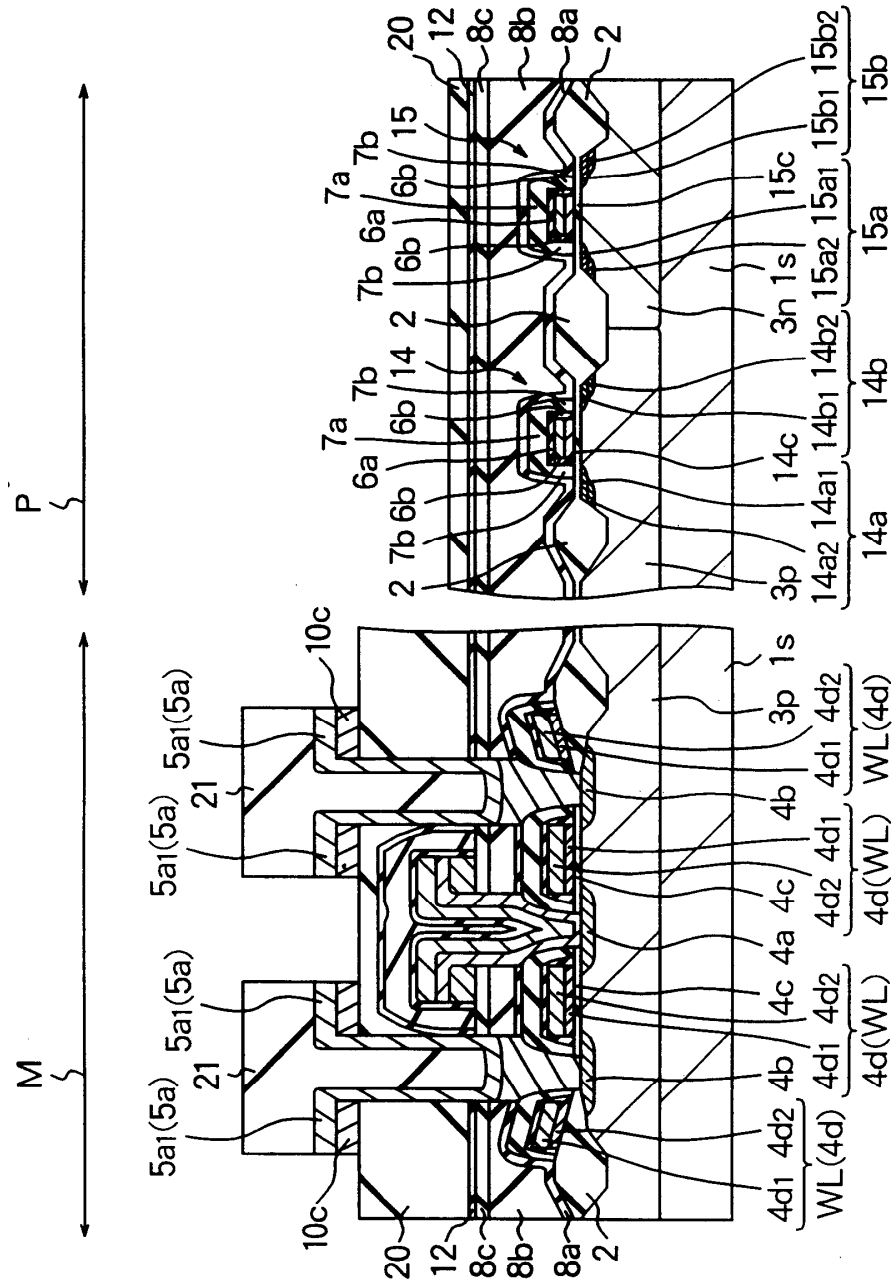


도면23rb

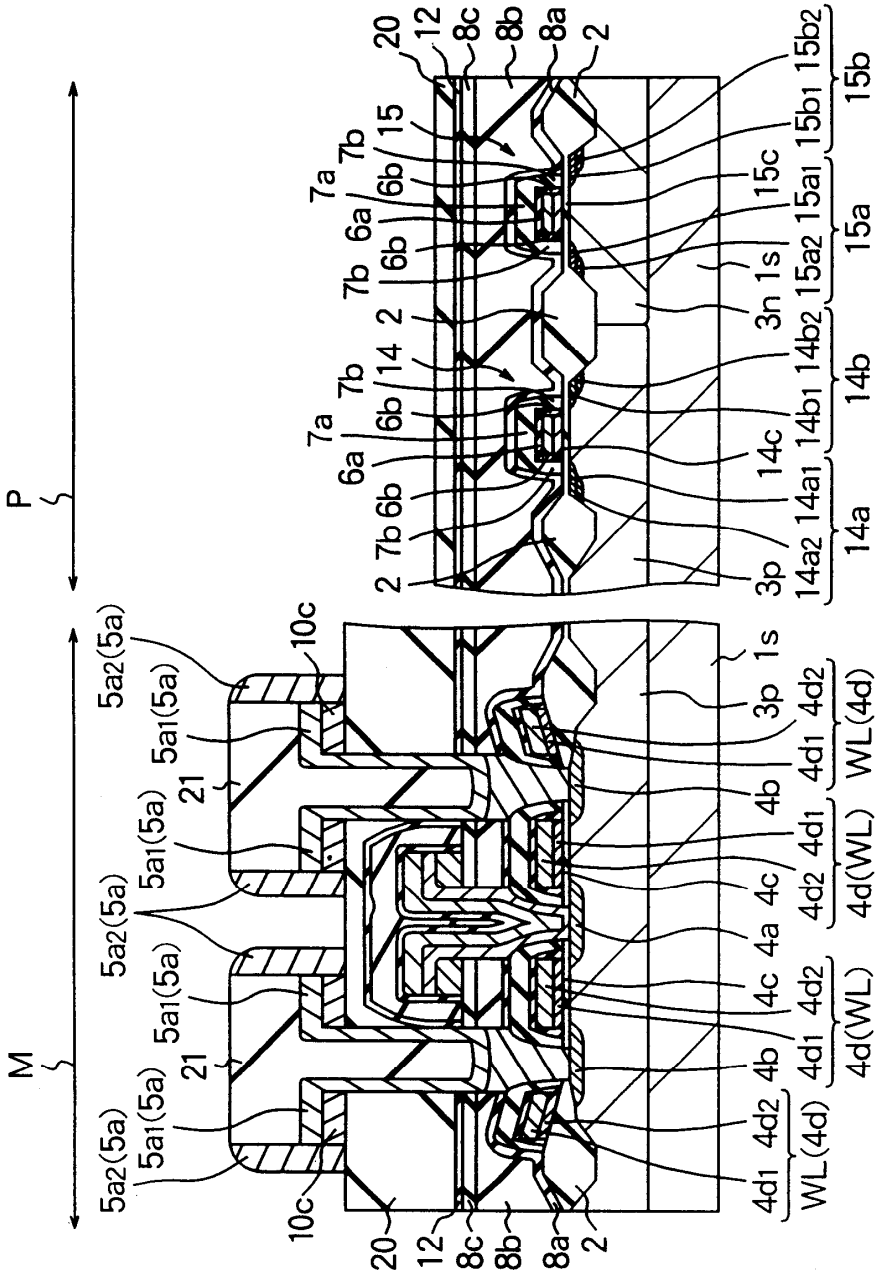
23(r2)



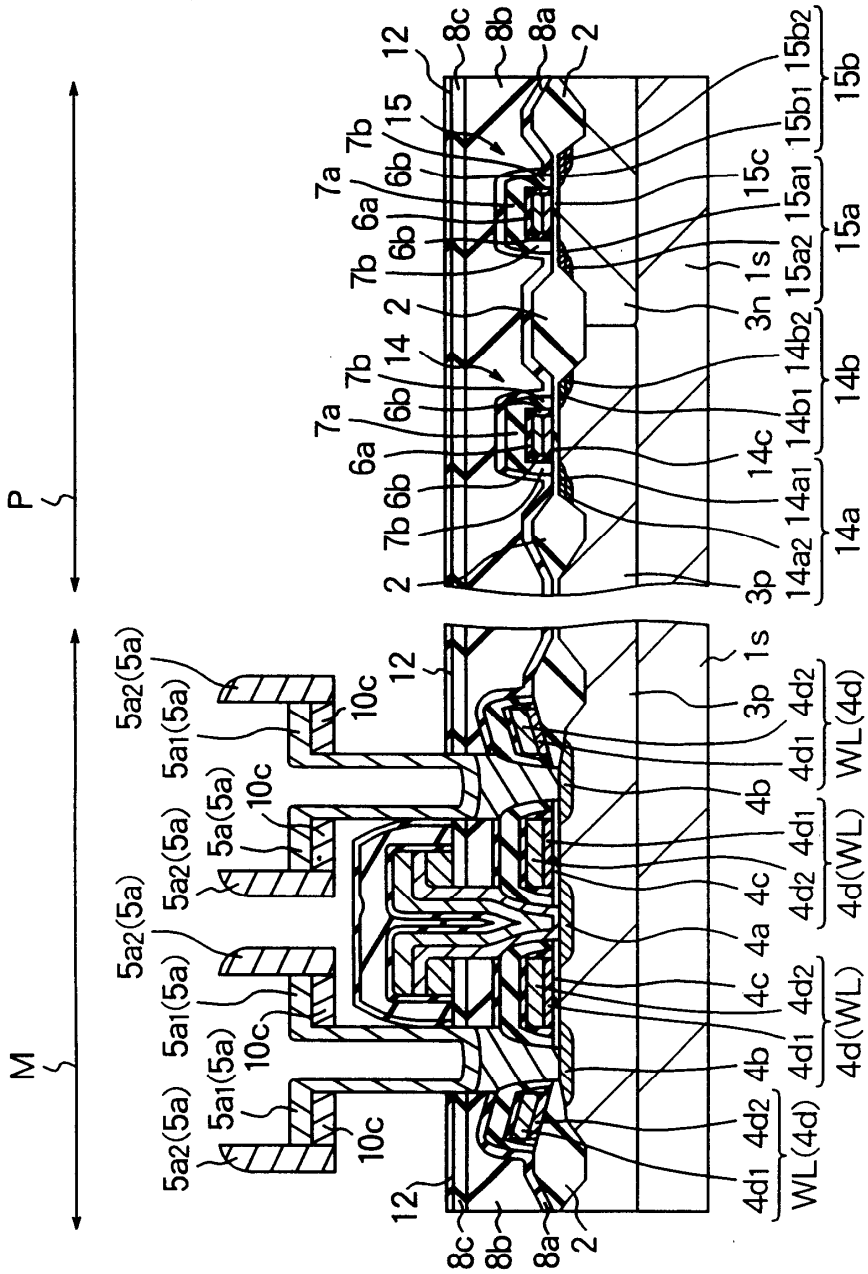
도면23s


P
M
20
12
8c
8b
8a
2
15
7b
7a
6b
6a
14
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
10c
5a1(5a)
21
4d2
4d1
WL(4d)
4b
4c
4a
4d(WL)

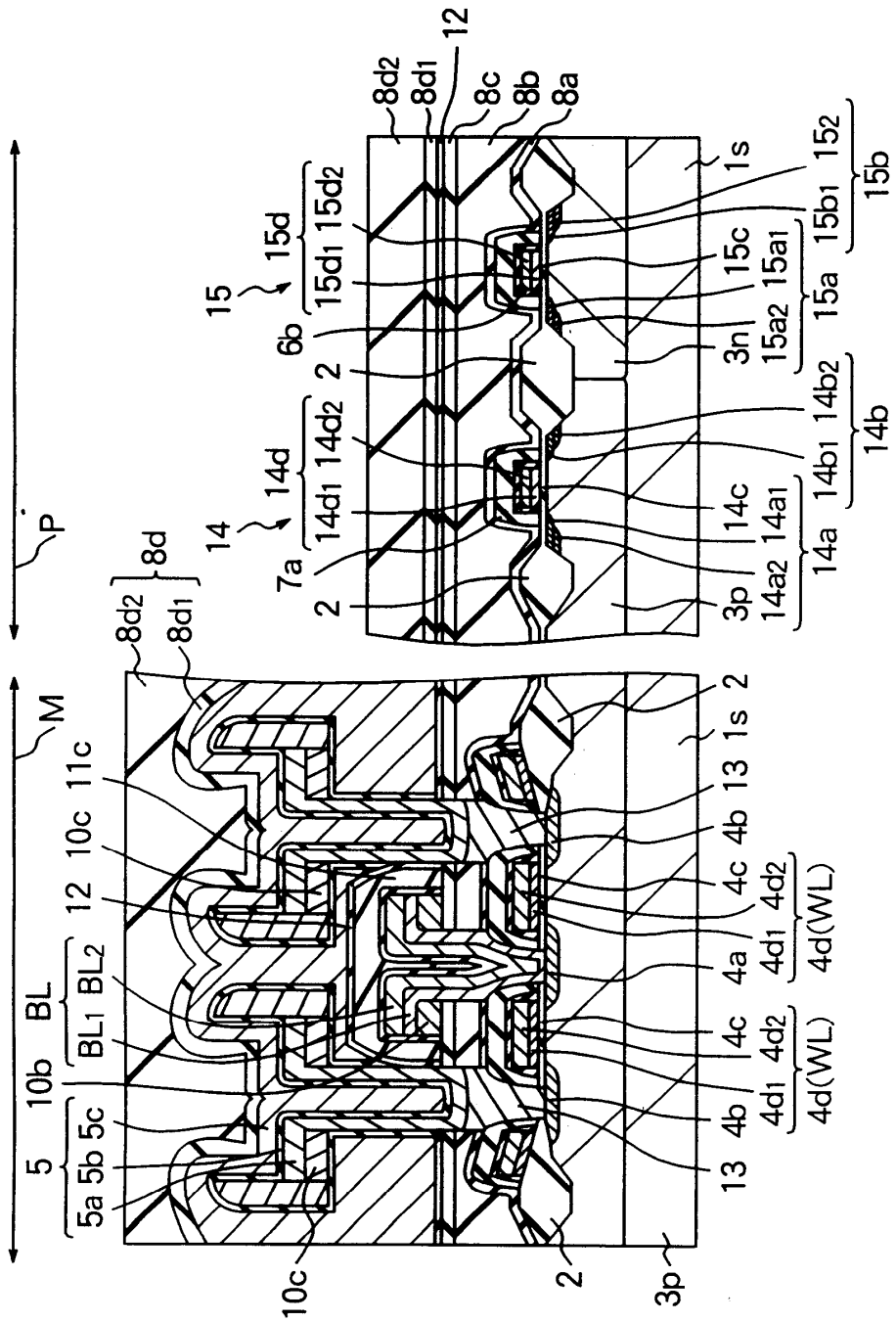
도면23t


P
M
20
12
8c
8b
8a
2
15
7b
6b
7a
6a
14
15c
15b1
15b2
15b
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
10c
5a2(5a)
5a1(5a)
21
4d2
4d1
WL(4d)
4b
4c
4a
4d(WL)

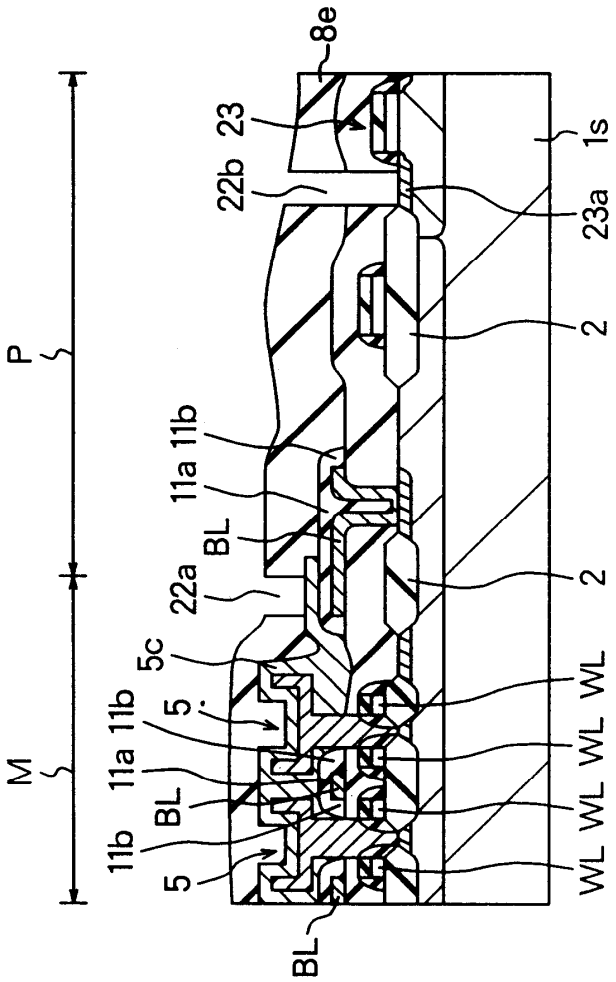
도면23u


P
M
2
7b
6b
6a
7a
14
15
12
8c
8b
8a
3p
3n
1s
14a
14a1
14a2
14b
14b1
14b2
14c
15a
15a1
15a2
15b
15b1
15b2
15c
4a
4b
4c
4d
4d1
4d2
WL(4d)
4d(WL)
5a(5a)
5a1(5a)
5a2(5a)
10c

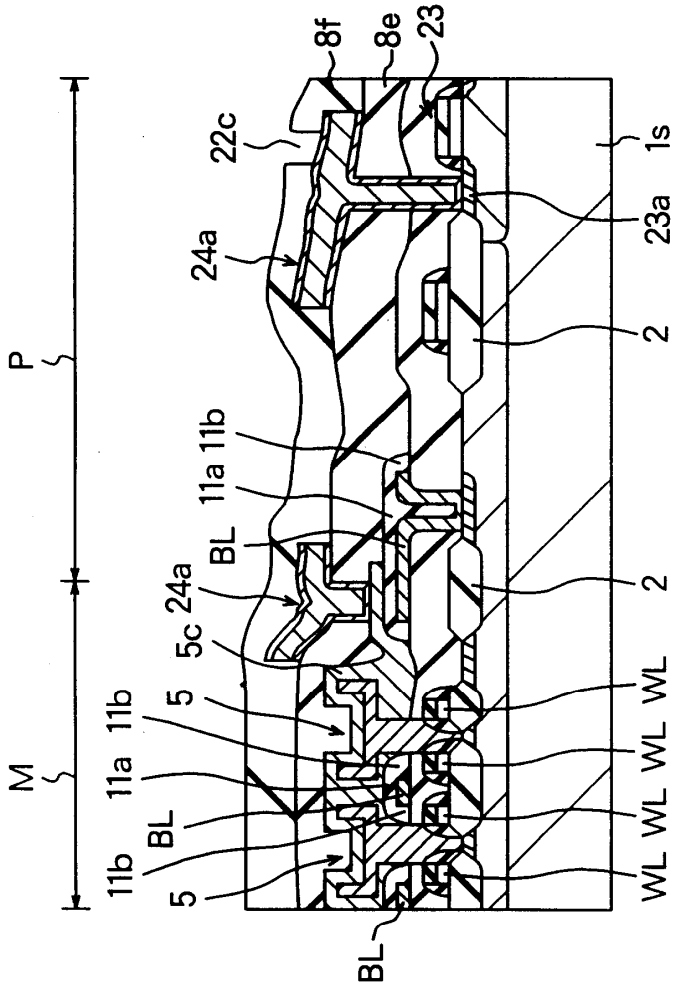
도면23v


P
M
5
5a
5b
5c
10b
BL
BL1
BL2
12
10c
11c
8d
8d1
8d2
10c
2
3p
13
4b
4c
4a
4d1
4d2
4d(WL)
1s
14
14a
14a1
14a2
14b
14b1
14b2
14c
3p
14d
14d1
14d2
7a
2
6b
15
15a
15a1
15a2
15b
15b1
15b2
15c
3n
15d
15d1
15d2
8a
8b
8c
8d1
8d2
12

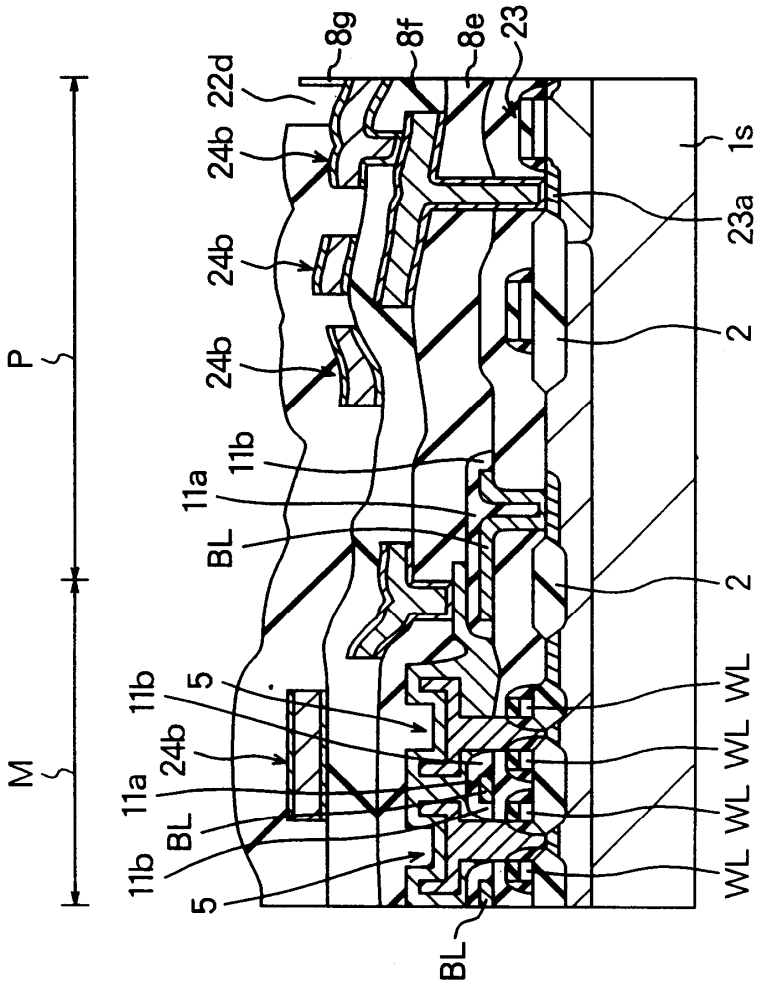
도면23w


8e
23
22b
1s
23a
2
P
11b
11a
BL
22a
2
5c
5
11b
11a
M
BL
11b
5
WL
WL
WL
WL
BL

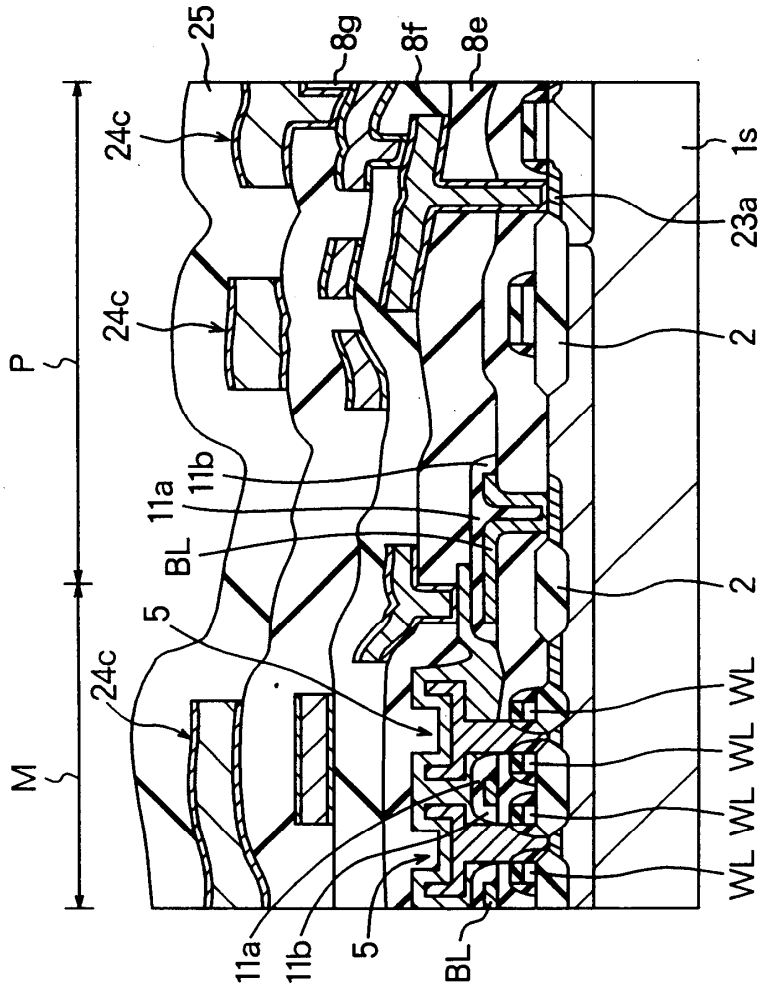
도면23x


8f
8e
23
22c
1s
23a
24a
2
P
11b
11a
BL
24a
2
5c
5
11b
WL
11a
WL
BL
WL
11b
5
WL
M
BL

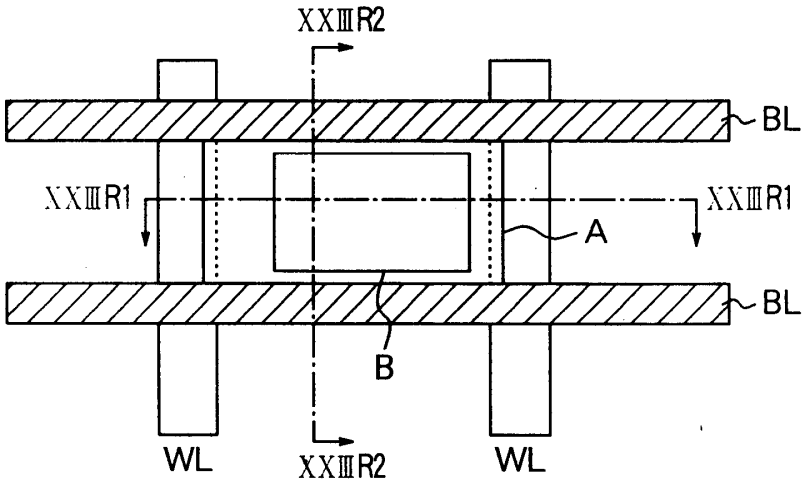
도면23y


8g
8f
8e
23
22d
24b
24b
24b
11b
11a
BL
1s
23a
2
2
WL
WL
WL
WL
P
M
11b
5
24b
11a
BL
11b
5
BL

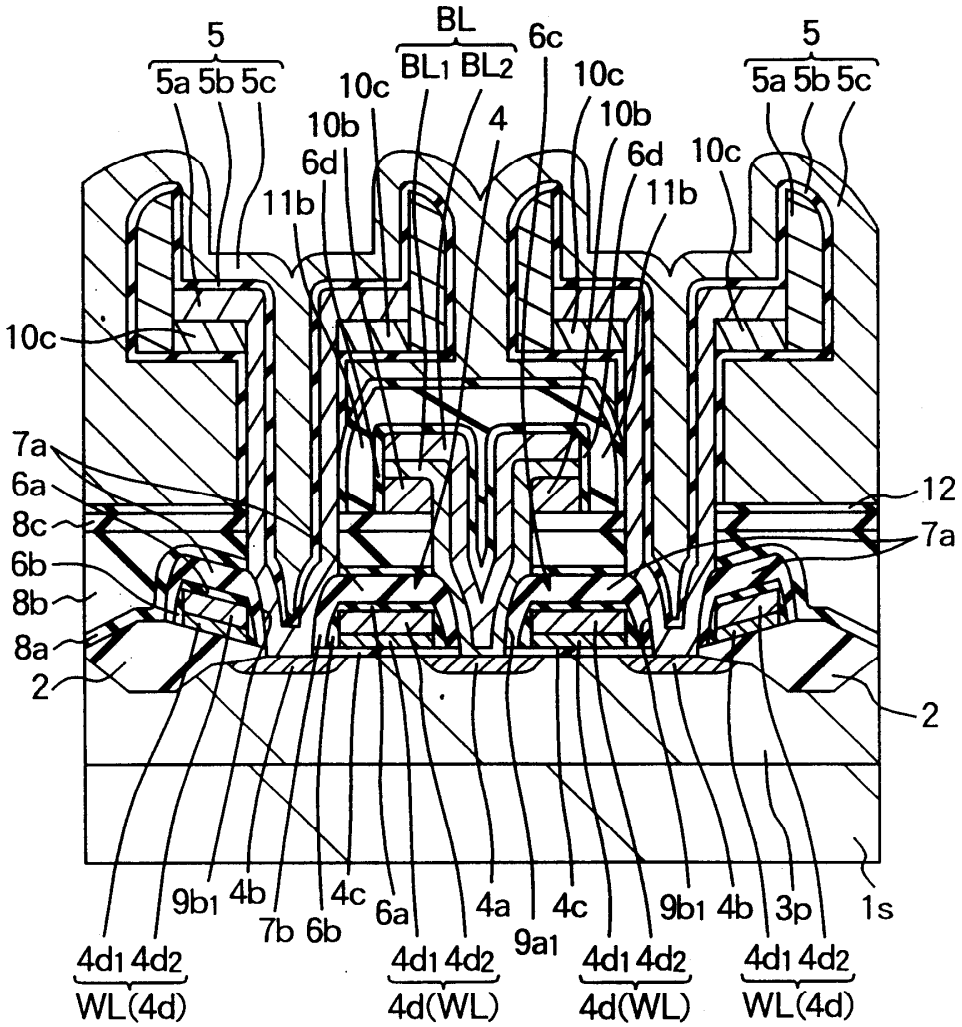
도면23z


25
8g
8f
8e
24c
24c
24c
P
M
1s
23a
2
2
11b
11a
BL
5
WL
WL
WL
WL
11a
11b
5
BL

도면24


XXⅢR2
BL
XXⅢR1
XXⅢR1
A
BL
B
WL
XXⅢR2
WL

도면25


5
5a 5b 5c
BL
BL1 BL2
6c
10c
10b
6d
11b
4
10c
10b
6d
11b
10c
5
5a 5b 5c
10c
7a
6a
8c
6b
8b
8a
2
12
7a
2
9b1
4b
7b
6b
4c
6a
4a
9a1
4c
9b1
4b
3p
1s
4d1 4d2
WL(4d)
4d1 4d2
4d(WL)
4d1 4d2
4d(WL)
4d1 4d2
WL(4d)