



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월23일
(11) 등록번호 10-2708251
(24) 등록일자 2024년09월13일

- (51) 국제특허분류(Int. Cl.)
H03F 3/345 (2006.01) H03F 3/45 (2006.01)
H03K 19/0185 (2006.01) H04B 3/02 (2006.01)
H04L 25/02 (2006.01)
- (52) CPC특허분류
H03F 3/345 (2013.01)
H03F 3/45183 (2013.01)
- (21) 출원번호 10-2021-7002206
- (22) 출원일자(국제) 2019년07월10일
심사청구일자 2021년07월27일
- (85) 번역문제출일자 2021년01월22일
- (65) 공개번호 10-2021-0033476
- (43) 공개일자 2021년03월26일
- (86) 국제출원번호 PCT/IB2019/055857
- (87) 국제공개번호 WO 2020/016705
국제공개일자 2020년01월23일
- (30) 우선권주장
JP-P-2018-136993 2018년07월20일 일본(JP)
- (56) 선행기술조사문헌
JP2001077640 A*
(뒷면에 계속)

- (73) 특허권자
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
히로세 타케야
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내
후쿠토메 타카히로
일본 243-0814 가나가와켄 아쓰기시 츠마다미나미
1-17-8
- (74) 대리인
장훈

전체 청구항 수 : 총 6 항

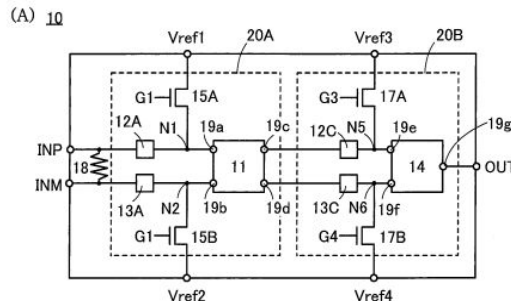
심사관 : 이준건

(54) 발명의 명칭 수신 회로

(57) 요약

디퍼렌셜 방식의 수신 회로의 편차를 저감한다. 디퍼렌셜 방식으로 공급되는 제 1 신호 및 제 2 신호를 싱글 엔드 방식의 제 3 신호로 변환하여 출력하는 수신 회로이다. 연산 증폭기, 제 1 소자, 제 1 트랜지스터, 및 제 1 회로를 가진다. 제 1 소자는 제 1 트랜지스터가 접속되는 제 1 노드를 통하여 제 1 회로와 접속된다. 연산 증폭기에는 제 1 신호와 제 1 신호가 반전한 제 2 신호가 공급된다. 연산 증폭기는 출력 신호를 제 1 소자에 공급하고, 제 1 노드에는 제 1 트랜지스터를 통하여 제 1 프리셋 전위가 공급된다. 제 1 소자에는 제 1 프리셋 전위에 따라 연산 증폭기의 편차를 포함하는 신호가 기억된다. 제 1 회로는 제 1 프리셋 전위가 공급됨으로써 연산 증폭기의 편차를 포함하는 신호의 영향을 받지 않고 제 3 신호의 초깃값을 결정한다.

대표도



(52) CPC특허분류

H03K 19/018521 (2013.01)

H04B 3/02 (2013.01)

H04L 25/026 (2013.01)

(56) 선행기술조사문헌

KR1020000005821 A*

JP2009284150 A*

US20100007419 A1*

US20160344344 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

디퍼렌셜 방식으로 공급되는 제 1 신호 및 제 2 신호를 싱글 엔드 방식의 제 3 신호로 변환하여 출력하는 수신 회로로서,

연산 증폭기와, 제 1 소자와, 제 2 소자와, 제 3 소자와, 제 1 트랜지스터와, 제 1 회로와, 제 1 저항 소자를 가지고,

상기 연산 증폭기는 제 1 입력 단자와, 제 2 입력 단자와, 제 1 출력 단자를 가지고,

상기 연산 증폭기의 상기 제 1 출력 단자는 상기 제 1 소자의 한쪽 전극과 전기적으로 접속되고,

상기 제 1 소자의 다른 쪽 전극은 제 1 노드를 통하여 상기 제 1 회로와 전기적으로 접속되고,

상기 연산 증폭기의 상기 제 1 입력 단자는 제 2 노드를 통하여 상기 제 2 소자의 한쪽 전극과 전기적으로 접속되고,

상기 연산 증폭기의 상기 제 2 입력 단자는 제 3 노드를 통하여 상기 제 3 소자의 한쪽 전극과 전기적으로 접속되고,

상기 제 2 소자의 다른 쪽 전극은 상기 수신 회로의 제 1 입력 단자를 통하여 제 1 전송로와 전기적으로 접속되고,

상기 제 3 소자의 다른 쪽 전극은 상기 수신 회로의 제 2 입력 단자를 통하여 제 2 전송로와 전기적으로 접속되고,

상기 제 1 전송로는 상기 제 1 저항 소자를 통하여 상기 제 2 전송로와 전기적으로 접속되고,

상기 제 1 노드에는 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속되고,

상기 수신 회로의 상기 제 1 입력 단자에는 상기 제 1 신호가 공급되고,

상기 수신 회로의 상기 제 2 입력 단자에는 상기 제 1 신호가 반전한 상기 제 2 신호가 공급되고,

상기 연산 증폭기는 상기 제 1 출력 단자가 출력하는 신호를 상기 제 1 소자에 공급하고,

상기 제 1 노드에는 상기 제 1 트랜지스터를 통하여 제 1 프리셋 전위가 공급되고,

상기 제 1 소자에는 상기 제 1 프리셋 전위에 따라 상기 연산 증폭기의 편차를 포함하는 신호가 기억되고,

상기 제 1 회로는 상기 제 1 프리셋 전위가 공급됨으로써 상기 연산 증폭기의 편차를 포함하는 신호의 영향을 받지 않고 상기 제 3 신호의 초깃값을 결정하는, 수신 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 소자는 용량 소자이고,

상기 제 2 소자는 용량 소자이고,

상기 제 3 소자는 용량 소자인, 수신 회로.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 수신 회로는 제 2 트랜지스터를 더 가지고,

상기 제 2 노드에는 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속되고,

상기 제 2 소자에는 상기 제 1 신호가 공급되고,

상기 제 2 노드에는 상기 제 2 트랜지스터를 통하여 제 1 프로그램 전위가 공급되고,

상기 제 2 소자에는 상기 제 1 프로그램 전위에 따라 상기 제 1 신호가 포함하는 편차가 기억되고,

상기 연산 증폭기는 상기 제 1 프로그램 전위가 공급됨으로써 상기 제 1 신호가 포함하는 편차의 영향을 받지 않고 상기 제 1 출력 단자에 상기 연산 증폭기의 편차를 포함하는 신호를 출력하는, 수신 회로.

청구항 4

삭제

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 수신 회로는 제 3 트랜지스터를 더 가지고,

상기 연산 증폭기는 제 2 출력 단자를 더 가지고,

상기 제 3 노드에는 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속되고,

상기 제 3 소자에는 상기 제 2 신호가 공급되고,

상기 제 3 노드에는 상기 제 3 트랜지스터를 통하여 제 2 프로그램 전위가 공급되고,

상기 제 3 소자에는 상기 제 2 프로그램 전위에 따라 상기 제 2 신호가 포함하는 편차가 기억되고,

상기 연산 증폭기는 상기 제 2 프로그램 전위가 공급됨으로써 상기 제 2 신호가 포함하는 편차의 영향을 받지 않고 상기 제 2 출력 단자에 상기 연산 증폭기의 편차를 포함하는 신호를 출력하는, 수신 회로.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 연산 증폭기는 제 4 트랜지스터를 가지고,

상기 제 1 트랜지스터 및 상기 제 4 트랜지스터는 각각 반도체층이 같은 재료를 포함하는, 수신 회로.

청구항 8

제 1 항에 있어서,

상기 제 1 트랜지스터는 반도체층에 금속 산화물을 가지는, 수신 회로.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 수신 회로, 표시 장치, 또는 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다.

[0003] 또한 본 명세서 등에서, 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 소자, 회로, 또는 장치 등을 가리킨다. 일례로서, 트랜지스터, 다이오드 등의 반도체 소자는 반도체 장치이다. 또 다른 일례로서, 반도체 소자를 가지는 회로는 반도체 장치이다. 또 다른 일례로서, 반도체 소자를 가지는 회로를 가진 장치는 반도체

체 장치이다.

배경 기술

- [0004] 근년, 표시 장치의 고정세(高精細)화가 진행되고 있다. 표시 장치의 고정세화는, 표시 장치로 화상 신호를 전달하기 위한 배선 수의 증가, 또한 소비전력의 증가 등을 일으키기 쉽다. 또한, 화상 신호를 고속으로 전송하는 경우, 전자파 장애(EMI: Electro Magnetic Interference)가 발생되고, 다른 주변 회로 또는 다른 전자 기기에 노이즈의 영향을 미치는 경우가 있다. 또한, 표시 장치 내의 신호 또는 주위에 있는 다른 전자 기기가 발하는 노이즈의 영향을 받지 않고 정상적으로 전송하는 전자파 감수성(EMS: Electro Magnetic Susceptibility)을 가지는 것이 요구되고 있다.
- [0005] 표시 장치로의 신호 전달 수단은 표시 장치의 고정세화가 진행됨에 따라, 2개의 신호선을 이용하여 어느 신호의 전위가 높은지에 따라 신호의 "H" 또는 "L"을 표현하는 디퍼렌셜 방식이 주류이다. 디퍼렌셜 방식의 하나로서 TIA/EIA644 규격(TIA: 미국 전기 통신 공업 협회, EIA: 미국 전자 공업 협회)으로 표준화되어 있는 LVDS(Low voltage differential signaling)가 사용되는 경우가 많다. LVDS는 디퍼렌셜 방식으로 동작하는 차동 회로를 가지고, 작은 진폭의 차동 신호를 사용함으로써 저소비전력화와 노이즈의 영향의 경감을 할 수 있는 통신 기술의 하나이다.
- [0006] 예를 들어, 특허문헌 1에서는 LVDS에 사용되는 드라이버 회로가 개시되어 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 일본 공개특허공보 특개평09-214314호

발명의 내용

해결하려는 과제

- [0008] 표시 장치가 고정세가 됨으로써 화소 수가 증대하고, 화소 수가 증대함에 따라 전달되는 화상 신호의 양이 증대한다. 따라서 화상 신호를 고속으로 전달하는 것이 요구되고 있다. LVDS는 연산 증폭기를 사용한 차동 입력 신호에 의하여 노이즈를 제거하여, 전달되는 화상 신호의 열화를 억제하고, 표시 품질의 저하를 억제할 수 있다.
- [0009] 다만, 차동 입력 신호의 차동 진폭이 LVDS의 리시버 회로를 구성하는 트랜지스터의 편차로 인하여, 화상 신호를 정상적으로 수신할 수 없다는 문제가 있다. 또한, 차동 입력 신호가 공급되는 연산 증폭기에서는, 차동 입력 신호의 차동 진폭이 일정한 전위차 이하가 되면, 전달되는 화상 신호가 열화되어, 잘못된 화상 신호로 변환된다는 문제가 있다.
- [0010] 상기 문제를 감안하여, 본 발명의 일 형태는 신규 구성의 수신 회로를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 수신 회로의 전기 특성의 편차를 억제함으로써 전달되는 신호의 열화를 억제하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신규 구성의 표시 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 표시 장치의 전기 특성의 편차를 억제함으로써 전달되는 화상 신호의 열화를 억제하는 것을 과제의 하나로 한다.
- [0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 추출할 수 있다.
- [0012] 또한 본 발명의 일 형태의 과제는 상술한 과제에 한정되지 않는다. 상술한 과제는 다른 과제의 존재를 방해하는 것은 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 상술한 과제 및/또는 다른 과제 중 적어도 하나의 과제를 해결하는 것이다.

과제의 해결 수단

- [0013] 본 발명의 일 형태는 디퍼렌셜 방식으로 공급되는 제 1 신호 및 제 2 신호를 싱글 엔드 방식의 제 3 신호로 변환하여 출력하는 수신 회로이다. 수신 회로는 연산 증폭기와, 제 1 소자와, 제 1 트랜지스터와, 제 1 회로를 가진다. 연산 증폭기는 제 1 입력 단자와, 제 2 입력 단자와, 제 1 출력 단자를 가진다. 연산 증폭기는 제 1 소자와 전기적으로 접속된다. 제 1 소자는 제 1 노드를 통하여 제 1 회로와 전기적으로 접속된다. 제 1 노드에는 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속된다. 제 1 입력 단자에는 제 1 신호가 공급된다. 제 2 입력 단자에는 제 1 신호가 반전한 제 2 신호가 공급된다. 연산 증폭기는 제 1 출력 단자가 출력하는 신호를 제 1 소자에 공급한다. 제 1 노드에는 제 1 트랜지스터를 통하여 제 1 프리셋 전위가 공급된다. 제 1 소자에는 제 1 프리셋 전위에 따라 연산 증폭기의 편차를 포함하는 신호가 기억된다. 제 1 회로는 제 1 프리셋 전위가 공급됨으로써 연산 증폭기의 편차를 포함하는 신호의 영향을 받지 않고 제 3 신호의 초깃값을 결정하는 수신 회로이다.
- [0014] 상기 구성에 있어서, 수신 회로는 제 2 소자와 제 2 트랜지스터를 더 가지는 것이 바람직하다. 제 2 소자는 제 2 노드를 통하여 연산 증폭기의 제 1 입력 단자에 전기적으로 접속된다. 제 2 노드에는 제 2 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속된다. 제 2 소자에는 제 1 신호가 공급된다. 제 2 노드에는 제 2 트랜지스터를 통하여 제 1 프로그램 전위가 공급된다. 제 2 소자에는 제 1 프로그램 전위에 따라 제 1 신호가 포함하는 편차가 기억된다. 연산 증폭기는 제 1 프로그램 전위가 공급됨으로써 제 1 신호가 포함하는 편차의 영향을 받지 않고 제 1 출력 단자에 연산 증폭기의 편차를 포함하는 신호를 출력한다.
- [0015] 상기 각 구성에 있어서, 수신 회로는 제 3 소자와 제 3 트랜지스터를 더 가지는 것이 바람직하다. 연산 증폭기는 제 2 출력 단자를 더 가진다. 제 3 소자는 제 3 노드를 통하여 연산 증폭기의 제 2 입력 단자에 전기적으로 접속된다. 제 3 노드에는 제 3 트랜지스터의 소스 및 드레인 중 한쪽이 전기적으로 접속된다. 제 3 소자에는 제 2 신호가 공급된다. 제 3 노드에는 제 3 트랜지스터를 통하여 제 2 프로그램 전위가 공급된다. 제 3 소자에는 제 2 프로그램 전위에 따라 제 2 신호가 포함하는 편차가 기억된다. 연산 증폭기는 제 2 프로그램 전위가 공급됨으로써 제 2 신호가 포함하는 편차의 영향을 받지 않고 제 2 출력 단자에 연산 증폭기의 편차를 포함하는 신호를 출력한다.
- [0016] 상기 구성에 있어서, 제 1 소자 내지 제 3 소자는 용량 소자인 것이 바람직하다.
- [0017] 상기 구성에 있어서, 연산 증폭기는 제 4 트랜지스터를 가진다. 제 1 트랜지스터 및 제 4 트랜지스터는 반도체층이 각각 같은 재료를 포함하는 것이 바람직하다.
- [0018] 상기 구성에 있어서, 제 1 트랜지스터는 반도체층에 금속 산화물을 가지는 것이 바람직하다.

발명의 효과

- [0019] 본 발명의 일 형태는 신규 구성의 수신 회로를 제공할 수 있다. 또는, 본 발명의 일 형태는 수신 회로의 전기 특성의 편차를 억제함으로써 전달하는 신호의 열화를 억제할 수 있다. 또는, 본 발명의 일 형태는 신규 구성의 표시 장치를 제공할 수 있다. 또는, 본 발명의 일 형태는 표시 장치의 전기 특성의 편차를 억제함으로써 전달되는 화상 신호의 열화를 억제할 수 있다.
- [0020] 또한 본 발명의 일 형태의 효과는 상술한 효과에 한정되지 않는다. 상술한 효과는 다른 효과의 존재를 방해하는 것은 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 상술한 효과 및/또는 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서, 본 발명의 일 형태는 경우에 따라서는 상술한 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

- [0021] 도 1은 송수신 회로를 설명하는 도면.
- 도 2의 (A), (B)는 수신 회로를 설명하는 도면.
- 도 3의 (A), (B)는 수신 회로를 설명하는 도면.
- 도 4는 수신 회로를 설명하는 도면.

- 도 5의 (A), (B)는 수신 회로를 설명하는 도면.
- 도 6은 수신 회로의 동작을 설명하는 타이밍 차트.
- 도 7은 전자 기기를 설명하는 도면.
- 도 8의 (A), (B)는 화소를 설명하는 도면.
- 도 9의 (A), (B), (C)는 표시 장치를 설명하는 도면.
- 도 10의 (A), (B)는 터치 패널을 설명하는 도면.
- 도 11의 (A), (B)는 표시 장치를 설명하는 도면.
- 도 12는 표시 장치를 설명하기 위한 도면.
- 도 13의 (A), (B)는 표시 장치를 설명하는 도면.
- 도 14의 (A), (B)는 표시 장치를 설명하는 도면.
- 도 15의 (A) 내지 (E)는 표시 장치를 설명하는 도면.
- 도 16은 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 17은 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 18은 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 19는 (A1), (A2), (B1), (B2), (C1), (C2)는 트랜지스터를 설명하는 도면.
- 도 20의 (A) 내지 (F)는 전자 기기를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0022] 아래에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태에서 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0023] 또한 도면에서 크기, 층 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다.
- [0024] 또한 본 명세서에서 사용하는 '제 1', '제 2', '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것이 아님을 부기한다.
- [0025] 또한 본 명세서에서 '위에', '아래에' 등의 배치를 나타내는 말은 구성들의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용된다. 또한 구성들의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 따라서, 명세서에서 설명된 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0026] 또한 본 명세서 등에서 트랜지스터란 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 형성 영역을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있는 것이다. 또한 본 명세서 등에서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.
- [0027] 또한 소스나 드레인의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 그러므로 본 명세서 등에서는 소스나 드레인이라는 용어는 바뀌 쓸 수 있는 것으로 한다.
- [0028] 또한 본 명세서 등에서 '전기적으로 접속'에는 '어떠한 전기적 작용을 가지는 것'을 통하여 접속되어 있는 경우가 포함된다. 여기서 '어떠한 전기적 작용을 가지는 것'은 접속 대상 간에서의 전기 신호의 주고받음을 가능하게 하는 것이면 특별히 제한을 받지 않는다. 예를 들어 '어떠한 전기적 작용을 가지는 것'에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 이들 외 각종 기능을 가지는 소자 등

이 포함된다.

- [0029] 또한 본 명세서 등에서 '평행'이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한 '수직'이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다.
- [0030] 또한 본 명세서 등에서 '막'이라는 용어와 '층'이라는 용어는 서로 바꿀 수 있다. 예를 들어, '도전층'이라는 용어를 '도전막'이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 '절연막'이라는 용어를 '절연층'이라는 용어로 바꿀 수 있는 경우가 있다.
- [0031] 또한, 본 명세서 등에서 특별히 언급하지 않는 경우, 오프 전류란 트랜지스터가 오프 상태(비도통 상태, 차단 상태라고도 함)일 때의 드레인 전류를 말한다. 오프 상태란, 특별한 설명이 없는 한, n채널형 트랜지스터에서는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은 상태, p채널형 트랜지스터에서는 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 높은 상태를 말한다. 예를 들어, n채널형 트랜지스터의 오프 전류란, 게이트와 소스 사이의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮을 때의 드레인 전류를 말하는 경우가 있다.
- [0032] 트랜지스터의 오프 전류는 V_{gs} 에 의존하는 경우가 있다. 따라서, 트랜지스터의 오프 전류가 I 이하란, 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재한다는 것을 가리키는 경우가 있다. 트랜지스터의 오프 전류는 소정의 V_{gs} 에서의 오프 상태, 소정의 범위내의 V_{gs} 에서의 오프 상태, 또는 충분히 저감된 오프 전류를 얻을 수 있는 V_{gs} 에서의 오프 상태 등에서의 오프 전류를 가리키는 경우가 있다.
- [0033] 일례로서 문턱 전압(V_{th})이 0.5V이고, V_{gs} 가 0.5V일 때의 드레인 전류가 1×10^{-9} A이고, V_{gs} 가 0.1V일 때의 드레인 전류가 1×10^{-13} A이고, V_{gs} 가 -0.5V일 때의 드레인 전류가 1×10^{-19} A이고, V_{gs} 가 -0.8V일 때의 드레인 전류가 1×10^{-22} A인 n채널형 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는 V_{gs} 가 -0.5V일 때, 또는 V_{gs} 가 -0.5V 내지 -0.8V의 범위일 때 1×10^{-19} A 이하이기 때문에, '상기 트랜지스터의 오프 전류는 1×10^{-19} A 이하이다'라고 하는 경우가 있다. 상기 트랜지스터의 드레인 전류가 1×10^{-22} A 이하가 되는 V_{gs} 가 존재하기 때문에, '상기 트랜지스터의 오프 전류는 1×10^{-22} A 이하이다'라고 하는 경우가 있다.
- [0034] 또한 본 명세서 등에서는 채널 폭(W)을 가지는 트랜지스터의 오프 전류를 채널 폭(W)당 흐르는 전류값으로 나타내는 경우가 있다. 또한 소정의 채널 폭(예를 들어 $1 \mu\text{m}$)당 흐르는 전류값으로 나타내는 경우가 있다. 후자의 경우, 오프 전류의 단위는 전류/길이의 차원을 가지는 단위(예를 들어 A/ μm)로 나타내어지는 경우가 있다.
- [0035] 트랜지스터의 오프 전류는 온도에 의존하는 경우가 있다. 본 명세서에서 오프 전류는, 특별한 기재가 없는 경우, 실온, 60°C , 85°C , 95°C , 또는 125°C 에서의 오프 전류를 나타내는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도, 또는 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어 5°C 내지 35°C 중 어느 하나의 온도)에서의 오프 전류를 나타내는 경우가 있다. 트랜지스터의 오프 전류가 I 이하란, 실온, 60°C , 85°C , 95°C , 125°C , 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도, 또는 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어, 5°C 내지 35°C 중 어느 하나의 온도)에서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재한다는 것을 가리키는 경우가 있다.
- [0036] 트랜지스터의 오프 전류는 드레인과 소스 사이의 전압(V_{ds})에 의존하는 경우가 있다. 본 명세서에 있어서, 오프 전류는 특별히 기재가 없는 경우, V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V에서의 오프 전류를 가리키는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} , 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{ds} 에서의 오프 전류를 나타내는 경우가 있다. 트랜지스터의 오프 전류가 I 이하란, V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 20V, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} , 또는 상기 트랜지스터가 포함되는 반도체 장치 등에 있어서 사용되는 V_{ds} 에서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재한다는 것을 가리키는 경우가 있다.
- [0037] 상기 오프 전류의 설명에서 드레인을 소스로 바꿔 읽어도 좋다. 즉 오프 전류는 트랜지스터가 오프 상태일 때의 소스를 흐르는 전류를 말하는 경우도 있다.
- [0038] 또한 본 명세서 등에서는 오프 전류와 같은 의미로 누설 전류라고 기재하는 경우가 있다. 또한 본 명세서 등에

서 오프 전류란 예를 들어 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 가리키는 경우가 있다.

- [0039] 또한 전압이란, 두 지점 사이에서의 전위차를 말하고, 전위란, 어떤 한 지점에서의 정전기장 내에 있는 단위 전하가 가지는 정전 에너지(전기적인 위치 에너지)를 말한다. 다만, 일반적으로, 어떤 한 지점에서의 전위와 기준이 되는 전위(예를 들어 접지 전위)의 전위차를 단순히 전위 또는 전압이라고 부르고, 전위와 전압이 동의어로 사용되는 경우가 많다. 따라서, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압으로 바꿔 읽어도 좋고, 전압을 전위로 바꿔 읽어도 좋은 것으로 한다.
- [0040] (실시형태 1)
- [0041] 본 실시형태에서는, 디퍼렌셜 방식으로 공급되는 제 1 신호를 싱글 엔드 방식의 제 2 신호로 변환하여 출력하는 수신 회로에 대하여, 도 1 내지 도 8을 사용하여 설명한다.
- [0042] 본 발명의 일 형태는 디퍼렌셜 방식의 데이터 신호가 입력되는 수신 회로의 오프셋 성분을 저감할 수 있다. 여기서는, 일례로서 TIA/EIA644 규격으로 표준화되어 있는 LVDS를 사용하여 송신되는 데이터 신호를 수신하는 수신 회로에 대하여 설명한다. 다만, 디퍼렌셜 방식으로 데이터 신호를 송신하는 방법은 LVDS에 한정되지 않는다. 이 외에도, ECL(Emitter Coupled Logic), PECL(Positive Emitter Coupled Logic), LVPECL(Low-Voltage Positive Emitter Coupled Logic), RS422(TIA/EIA422 규격), RS485(TIA/EIA485 규격) 등의 디퍼렌셜 방식의 규격에 적용할 수 있다.
- [0043] 디퍼렌셜 방식으로 데이터 신호를 송신하는 것이 바람직한 전자 기기의 하나로서 표시 장치가 있다. 데이터 신호는 화소에 공급되는 화상 신호라고 환언할 수 있다. 표시 장치는 고정세가 됨으로써 화소 수가 증대하고, 화소 수가 증대함에 따라 표시에 필요한 화상 신호의 데이터양이 증대한다. 따라서 화상 신호를 고속으로 송신하는 것이 요구되고 있다.
- [0044] 디퍼렌셜 방식(디퍼렌셜 방식의 일례로서 LVDS를 사용하여 설명함)에서는, 차동 신호를 사용하여 화상 신호를 송신함으로써 화상 신호에 중첩되는 EMI, EMS 등의 노이즈 성분을 저감할 수 있다. 따라서, LVDS는 송신되는 화상 신호의 열화를 억제함으로써 표시 품질의 저하를 억제할 수 있다. 또한, LVDS는 차동 회로를 가지고, 작은 진폭의 차동 신호를 사용함으로써 EMI 또는 EMC의 영향을 억제하고, 소비전력을 저감할 수 있다.
- [0045] 여기서는, 본 발명의 일 형태인 수신 회로를 가지는 전자 기기에 대하여 설명한다. 예를 들어, 전자 기기는 제어부와 표시 장치를 가지는 것이 바람직하다. 일례로서, 표시 장치는 디스플레이 컨트롤러와 표시 패널을 가진다. 디스플레이 컨트롤러는 표시 장치에 대하여 디퍼렌셜 방식의 화상 신호인 제 1 신호를 송신하는 송신 회로(트랜스미터)를 가진다. 표시 장치는 수신 회로(리시버)와, 드라이버 회로와, 표시부를 가진다. 표시부는 복수의 화소를 가진다.
- [0046] 송신 회로는 제 1 전송로 및 제 2 전송로를 통하여 수신 회로와 접속된다. 제 1 전송로는 수신 회로의 제 1 입력 단자와 전기적으로 접속되고, 제 2 전송로는 수신 회로의 제 2 입력 단자와 전기적으로 접속된다. 제 1 전송로에는 제 1 신호가 공급되고, 제 2 전송로에는 제 2 신호가 공급된다. 제 2 신호는 제 1 신호가 반전된 신호이다. 더 구체적으로 설명하면, 제 1 전송로에 신호 "H"가 공급되는 경우, 제 2 전송로에는 신호 "L"이 공급된다. 또는, 제 1 전송로에 신호 "L"이 공급되는 경우, 제 2 전송로에는 신호 "H"가 공급된다.
- [0047] 즉, 송신 회로는 디퍼렌셜 방식으로 제 1 신호 및 제 2 신호를 송신하고, 수신 회로는 제 1 신호를 수신하기 위한 제 1 입력 단자와 제 2 신호를 수신하기 위한 제 2 입력 단자를 가진다. 수신 회로는 디퍼렌셜 방식의 화상 신호인 제 1 신호 및 제 2 신호를 싱글 엔드 방식의 화상 신호인 제 3 신호로 변환할 수 있다. 화소에는 제 3 신호가 공급되고, 화소는 제 3 신호에 의하여 표시를 수행한다.
- [0048] 수신 회로는 저항 소자, 제 1 회로, 제 2 회로, 제 1 입력 단자, 제 2 입력 단자, 및 제 1 출력 단자를 가진다. 제 1 회로는 연산 증폭기, 제 1 트랜지스터, 제 2 트랜지스터, 제 1 소자, 및 제 2 소자를 가진다. 제 2 회로는 제 3 트랜지스터, 제 4 트랜지스터, 제 3 소자, 제 4 소자, 및 제 3 회로를 가진다. 연산 증폭기는 제 3 입력 단자, 제 4 입력 단자, 제 2 출력 단자, 및 제 3 출력 단자를 가진다. 제 3 회로는 제 5 입력 단자, 제 6 입력 단자, 및 제 4 출력 단자를 가진다.
- [0049] 제 3 입력 단자는 제 1 노드를 통하여 제 1 소자의 전극의 한쪽과 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 제 4 입력 단자는 제 2 노드를 통하여 제 2 소자의 전극의 한쪽과 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 제 2 출력 단자는 제 3 소자의 전극의 한쪽과 전기적으로 접속

된다. 제 3 출력 단자는 제 4 소자의 전극의 한쪽과 전기적으로 접속된다. 제 5 입력 단자는 제 3 노드를 통하여 제 3 소자의 전극의 다른 쪽과 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 제 6 입력 단자는 제 4 노드를 통하여 제 4 소자의 전극의 다른 쪽과 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다.

[0050] 제 1 전송로는 제 1 입력 단자를 통하여 제 1 소자와 전기적으로 접속되고, 제 2 전송로는 제 2 입력 단자를 통하여 제 2 소자와 전기적으로 접속된다. 제 1 전송로는 저항 소자를 통하여 제 2 전송로와 전기적으로 접속된다. 또한, 저항 소자는 수신 회로의 근방에 배치되는 것이 바람직하다. 즉, 저항 소자는 전송로를 종단하는 기능을 가진다. 또한, 제 1 소자와 저항 소자를 접속하는 노드의 길이는 짧을수록 바람직하고, 또한 제 2 소자와 저항 소자를 접속하는 노드의 길이는 짧을수록 바람직하다. 또한, 제 1 소자와 저항 소자를 접속하는 노드의 길이는 제 2 소자와 저항 소자를 접속하는 노드의 길이와 동일한 것이 바람직하다. 제 1 소자와 저항 소자를 접속하는 노드의 길이가 제 2 소자와 저항 소자를 접속하는 노드의 길이와 동일하면, 전송로의 임피던스를 동일하게 할 수 있다. 상보적으로 동작하는 차동 신호는 제 1 전송로와 제 2 전송로의 임피던스를 동일하게 함으로써 신호의 불필요한 반사를 저감할 수 있다.

[0051] 그러나, 제 1 입력 단자에 공급되는 신호 "H" 또는 제 2 입력 단자에 공급되는 신호 "L"에는, 송신 회로, 전송로 등의 오프셋 성분이 포함되어 있는 경우가 있다. 따라서, 전송로 등의 오프셋 성분을 저감시키는 것이 바람직하다. 예를 들어, 전송로 등의 오프셋 성분을 저감하는 방법으로서, 제 1 노드를 제 1 전송로로부터 절연 상태로 하는 것이 바람직하다. 더 자세히 설명하면, 제 1 전송로는 제 1 소자를 사용함으로써 제 1 노드를 절연 상태로 할 수 있다. 제 1 소자는, 예를 들어 용량 소자를 사용하는 것이 바람직하다. 상이한 제 1 소자로서, 오프 전류가 작은 트랜지스터를 사용하여도 좋다. 예를 들어, 채널 형성 영역의 반도체층에 산화물 반도체를 가지는 트랜지스터는 오프 전류가 작다는 것이 알려져 있다.

[0052] 다음으로, 제 1 회로에 대하여 설명한다. 제 1 노드에는 제 1 트랜지스터를 통하여 제 1 프로그램 전위가 공급된다. 제 2 노드에는 제 2 트랜지스터를 통하여 제 2 프로그램 전위가 공급된다. 제 1 프로그램 전위는 제 1 소자에 공급되는 제 1 신호의 오프셋 성분을 기억하는 전위이다. 제 2 프로그램 전위는 제 2 소자에 공급되는 제 2 신호의 오프셋 성분을 기억하는 전위이다.

[0053] 또한, 제 1 프로그램 전위 또는 제 2 프로그램 전위가 공급되는 기간, 표시 장치는 화상 신호의 송수신을 정지하는 것이 바람직하다. 예를 들어, 화상 신호의 수신이 정지되는 기간에서, 제 1 입력 단자에는 고정 전위의 신호 "H"가 공급되고, 제 2 입력 단자에는 고정 전위의 신호 "L"이 공급된다. 또는, 제 1 입력 단자에는 고정 전위의 신호 "L"이 공급되고, 제 2 입력 단자에는 고정 전위의 신호 "H"가 공급되어도 좋다.

[0054] 제 1 트랜지스터 및 제 2 트랜지스터에는 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 작은 트랜지스터를 사용한 경우, 트랜지스터를 오프 상태로 함으로써, 제 1 노드 또는 제 2 노드가 플로팅 상태가 된다. 따라서 제 1 노드에 공급된 제 1 프로그램 전위 또는 제 2 노드에 공급된 제 2 프로그램 전위의 변동을 억제할 수 있다. 즉, 제 1 프로그램 전위 또는 제 2 프로그램 전위를 리프레시하는 빈도를 저감할 수 있다.

[0055] 제 3 입력 단자에는 제 1 트랜지스터를 통하여 제 1 프로그램 전위가 공급된다. 제 1 소자에는 제 1 프로그램 전위에 따라 제 1 신호가 포함하는 편차가 기억된다. 제 4 입력 단자에는 제 2 트랜지스터를 통하여 제 2 프로그램 전위가 공급된다. 제 2 소자에는 제 2 프로그램 전위에 따라 제 2 신호가 포함하는 편차가 기억된다.

[0056] 따라서, 제 1 회로가 가지는 연산 증폭기는 제 1 프로그램 전위가 공급됨으로써 제 1 신호가 포함하는 편차의 영향을 받지 않고 제 2 출력 단자에 연산 증폭기의 편차를 포함하는 제 4 신호를 출력할 수 있다. 제 1 회로가 가지는 연산 증폭기는 제 2 프로그램 전위가 공급됨으로써 제 2 신호가 포함하는 편차의 영향을 받지 않고 제 3 출력 단자에 연산 증폭기의 편차를 포함하는 제 5 신호를 출력할 수 있다. 또한, 연산 증폭기의 편차란, 연산 증폭기를 구성하는 트랜지스터의 편차라고 환언하여도 좋다.

[0057] 본 실시형태에서는, 제 1 프로그램 전위로서 제 2 프로그램 전위와 같은 전위가 공급되는 것이 바람직하다. 제 1 노드와 제 2 노드에 같은 전위가 공급됨으로써, 연산 증폭기가 가지는 편차가 제 2 출력 단자 또는 제 3 출력 단자에 출력된다. 또한, 연산 증폭기가 싱글 엔드 방식의 출력 신호를 출력하는 경우에는, 제 2 출력 단자에 제 4 신호가 출력되는 구성이어도 좋다.

[0058] 또한, 제 1 프로그램 전위는 제 2 프로그램 전위와 상이한 전위가 공급되어도 좋다. 예를 들어, 제 1 프로그램 전위 또는 제 2 프로그램 전위에 상이한 전위가 공급됨으로써, 제 1 신호가 포함하는 오프셋 성분의 영향을 제

1 소자가 기억하거나, 제 2 신호가 포함하는 오프셋 성분의 영향을 제 2 소자가 기억함으로써, 연산 증폭기의 출력이 제 1 프로그램 전위 또는 제 2 프로그램 전위에 따라 결정되어도 좋다.

- [0059] 다음으로, 제 2 회로에 대하여 설명한다. 제 3 소자와, 제 3 회로의 제 5 입력 단자를 접속하는 제 3 노드에는 제 3 트랜지스터를 통하여 제 1 프리셋 전위가 공급된다. 제 3 소자에는 제 1 프리셋 전위에 따라 연산 증폭기의 출력 신호가 포함하는 편차가 기억된다. 제 4 소자와, 제 3 회로의 제 6 입력 단자를 접속하는 제 4 노드에는 제 4 트랜지스터를 통하여 제 2 프리셋 전위가 공급된다. 제 4 소자에는 제 2 프리셋 전위에 따라 연산 증폭기의 출력 신호가 포함하는 편차가 기억된다. 따라서, 제 3 신호에 포함되는 오프셋 성분의 영향을 저감시킬 수 있다.
- [0060] 또한, 제 1 프리셋 전위 또는 제 2 프리셋 전위가 공급되는 기간에서, 표시 장치는 화상 신호의 송수신을 정지하는 것이 바람직하다. 예를 들어, 화상 신호의 수신이 정지되는 기간, 제 1 입력 단자에는 고정 전위의 신호 "H"가 공급되고, 제 2 입력 단자에는 고정 전위의 신호 "L"이 공급되는 것이 바람직하다.
- [0061] 또한, 제 3 트랜지스터와 제 4 트랜지스터에는 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 작은 트랜지스터를 사용한 경우, 트랜지스터를 오프 상태로 함으로써, 제 3 노드 또는 제 4 노드가 플로팅 상태가 된다. 따라서, 제 3 노드에 공급된 제 1 프리셋 전위 또는 제 4 노드에 공급된 제 2 프리셋 전위의 변동을 억제할 수 있다. 즉, 제 1 프리셋 전위 또는 제 2 프리셋 전위를 리프레시하는 빈도를 저감할 수 있다.
- [0062] 다음으로, 제 3 회로에 대하여 설명한다. 제 3 회로는 제 1 회로가 생성하는 디퍼렌셜 방식의 제 4 신호 및 제 5 신호를 싱글 엔드 방식의 제 3 신호로 변환하고, 제 3 신호를 제 2 출력 단자로부터 출력할 수 있다. 즉, 제 3 노드에 제 1 프리셋 전위가 공급되고, 제 4 노드에 제 2 프리셋 전위가 공급되는 경우, 제 3 신호의 초깃값은 제 1 프리셋 전위 또는 제 2 프리셋 전위에 따라 결정된다.
- [0063] 즉, 제 3 회로에서는, 제 4 신호 및 제 5 신호가 가지는 오프셋 성분이 제 3 소자, 제 4 소자에 의하여 저감된다. 따라서, 제 3 회로는 제 4 신호 및 제 5 신호가 가지는 오프셋 성분의 영향을 받지 않는다. 또한, 제 3 회로의 제 4 출력 단자는, 초깃값이 신호 "H" 및 신호 "L" 중 어느 것인 것이 바람직하다.
- [0064] 본 실시형태에서는, 제 1 회로에 공급되는 제 1 프로그램 전위, 제 2 프로그램 전위, 제 2 회로에 공급되는 제 1 프리셋 전위, 및 제 2 프리셋 전위에 따라, 제 3 신호의 초깃값이 결정된다. 디퍼렌셜 방식으로 수신하는 제 1 신호 및 제 2 신호가 제 1 프로그램 전위, 제 2 프로그램 전위, 제 1 프리셋 전위, 및 제 2 프리셋 전위에 따라 초기화된 수신 회로에 의하여 제 3 신호로 변환된다. 따라서, 본 실시형태에 나타내는 수신 회로는 전송로에 기인하는 편차 또는 수신 회로가 가지는 연산 증폭기의 출력 편차를 저감할 수 있다.
- [0065] 이어서, 디퍼렌셜 방식으로 공급되는 제 1 신호를 싱글 엔드 방식의 제 2 신호로 변환하여 출력하는 송수신 회로에 대하여, 도 1에 도시된 블록도를 사용하여 자세히 설명을 한다. 또한, 도 1에서는 제어부(51)가 송수신 회로(50)를 통하여 제어부(52)로 데이터 신호를 송신하는 경우에 대하여 설명한다. 또한, 제어부(52)는 표시 패널, 기억 장치, 또는 데이터 서버 등의 수동 디바이스이어도 좋다.
- [0066] 송수신 회로(50)는 송신 회로(53), 수신 회로(54), 전송로(55), 전송로(56), 및 저항 소자(57)를 가진다. 또한, 저항 소자(57)는 수신 회로(54)에 포함되는 구성이어도 좋다. 제어부(51)는 송신 회로(53)와 전기적으로 접속된다. 송신 회로(53)는 전송로(55), 전송로(56)를 통하여 수신 회로(54)와 전기적으로 접속된다. 수신 회로(54)는 제어부(52)와 전기적으로 접속된다. 전송로(55)는 저항 소자(57)를 통하여 전송로(56)와 전기적으로 접속된다.
- [0067] 송신 회로(53)는 제 1 신호를 디퍼렌셜 방식으로 수신 회로(54)로 송신할 수 있다. 수신 회로(54)는 제 1 신호를 싱글 엔드 방식의 제 2 신호로 변환하고, 제어부(52)에 공급할 수 있다.
- [0068] 수신 회로(10)에 대하여, 도 2의 (A)에 도시된 회로도들 사용하여 자세히 설명한다. 수신 회로(10)는 도 1의 수신 회로(54)에 상당한다. 수신 회로(10)는 저항 소자(18), 회로(20A), 회로(20B), 입력 단자(INP), 입력 단자(INM), 및 출력 단자(OUT)를 가진다. 회로(20A)는 연산 증폭기(11), 트랜지스터(15A), 트랜지스터(15B), 소자(12A), 및 소자(13A)를 가진다. 회로(20B)는 트랜지스터(17A), 트랜지스터(17B), 소자(12C), 소자(13C), 및 회로(14)를 가진다. 연산 증폭기(11)는 입력 단자(19a), 입력 단자(19b), 출력 단자(19c), 및 출력 단자(19d)를 가진다. 회로(14)는 입력 단자(19e), 입력 단자(19f), 및 출력 단자(19g)를 가진다.
- [0069] 입력 단자(19a)는 노드(N1)를 통하여 소자(12A)의 전극의 한쪽과 트랜지스터(15A)의 소스 및 드레인 중 한쪽에

전기적으로 접속된다. 입력 단자(19b)는 노드(N2)를 통하여 소자(13A)의 전극의 한쪽과 트랜지스터(15B)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 출력 단자(19c)는 소자(12C)의 전극의 한쪽과 전기적으로 접속된다. 출력 단자(19d)는 소자(13C)의 전극의 한쪽과 전기적으로 접속된다. 입력 단자(19e)는 노드(N5)를 통하여 소자(12C)의 전극의 다른 쪽과 트랜지스터(17A)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 입력 단자(19f)는 노드(N6)를 통하여 소자(13C)의 전극의 다른 쪽과 트랜지스터(17B)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 신호선(G1)은 트랜지스터(15A) 및 트랜지스터(15B)의 각각의 게이트와 전기적으로 접속된다. 신호선(G3)은 트랜지스터(17A)의 게이트와 전기적으로 접속된다. 신호선(G4)은 트랜지스터(17B)의 게이트와 전기적으로 접속된다.

[0070] 전송로(55)는 입력 단자(INP)를 통하여 소자(12A)와 전기적으로 접속되고, 전송로(56)는 입력 단자(INM)를 통하여 소자(13A)와 전기적으로 접속된다. 전송로(55)는 저항 소자(18)를 통하여 전송로(56)와 전기적으로 접속된다. 또한, 저항 소자(18)는 연산 증폭기(11)의 근방에 배치되는 것이 바람직하다.

[0071] 입력 단자(INP)에 공급되는 신호 "H" 또는 입력 단자(INM)에 공급되는 신호 "L"에는 송신 회로(53), 전송로(55), 전송로(56)(전송로(55), 전송로(56)를 통틀어 전송로라고 설명하는 경우가 있음) 등의 오프셋 성분이 포함되어 있는 경우가 있다. 따라서, 전송로 등의 오프셋 성분은 저감되는 것이 바람직하다. 예를 들어, 전송로 등의 오프셋 성분을 저감하는 방법으로서, 노드(N1)를 전송로(55)로부터 절연 상태로 하는 것이 바람직하다. 더 자세히 설명하면, 전송로(55)는 소자(12A)를 사용함으로써 노드(N1)를 절연 상태로 할 수 있다. 소자(12A)로서는, 예를 들어 용량 소자를 사용할 수 있다. 상이한 소자(12A)로서, 오프 전류가 작은 트랜지스터를 사용하여도 좋다. 예를 들어, 채널 형성 영역의 반도체층에 산화물 반도체를 가지는 트랜지스터는 오프 전류가 작다는 것이 알려져 있다.

[0072] 다음으로, 회로(20A)에 대하여 설명한다. 노드(N1)에는 트랜지스터(15A)를 통하여 프로그램 전위 Vref1이 공급된다. 노드(N2)에는 트랜지스터(15B)를 통하여 프로그램 전위 Vref2가 공급된다. 프로그램 전위 Vref1은 소자(12A)에 공급되는 제 1 신호의 오프셋 성분을 포함하는 전위이다. 프로그램 전위 Vref2는 소자(13A)에 공급되는 제 2 신호의 오프셋 성분을 포함하는 전위이다.

[0073] 또한, 프로그램 전위 Vref1 또는 프로그램 전위 Vref2가 공급되는 기간, 제 1 신호의 송수신을 정지하는 것이 바람직하다. 예를 들어, 제 1 신호의 수신에 정지되는 기간, 입력 단자(INP)에는 고정 전위의 신호 "H"가 공급되고, 입력 단자(INM)에는 고정 전위의 신호 "L"이 공급된다. 또는, 입력 단자(INP)에는 고정 전위의 신호 "L"이 공급되고, 입력 단자(INM)에는 고정 전위의 신호 "H"가 공급되어도 좋다.

[0074] 또한, 트랜지스터(15A) 및 트랜지스터(15B)에는 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 작은 트랜지스터를 사용한 경우, 트랜지스터(15A) 및 트랜지스터(15B)를 오프 상태로 함으로써 노드(N1) 또는 노드(N2)가 플로팅 상태가 된다. 따라서 노드(N1)에 공급된 프로그램 전위 Vref1 또는 노드(N2)에 공급된 프로그램 전위 Vref2의 변동을 억제할 수 있다. 즉, 프로그램 전위 Vref1 또는 프로그램 전위 Vref2를 리프레시하는 빈도를 저감할 수 있다.

[0075] 입력 단자(19a)에는 트랜지스터(15A)를 통하여 프로그램 전위 Vref1이 공급된다. 소자(12A)에는 프로그램 전위 Vref1에 의하여 제 1 신호가 포함하는 편차가 기억된다. 또한, 입력 단자(19b)에는 트랜지스터(15B)를 통하여 프로그램 전위 Vref2가 공급된다. 소자(13A)에는 프로그램 전위 Vref2에 의하여 제 2 신호가 포함하는 편차가 기억된다.

[0076] 따라서, 연산 증폭기(11)는 프로그램 전위 Vref1이 공급됨으로써 제 1 신호가 포함하는 편차의 영향을 받지 않고 출력 단자(19c)로 연산 증폭기의 편차를 포함하는 제 4 신호를 출력할 수 있다. 또한, 연산 증폭기(11)는 프로그램 전위 Vref2가 공급됨으로써 제 2 신호가 포함하는 편차의 영향을 받지 않고 출력 단자(19d)로 연산 증폭기의 편차를 포함하는 제 5 신호를 출력할 수 있다.

[0077] 본 실시형태에서는 프로그램 전위 Vref1로서, 프로그램 전위 Vref2와 같은 전위가 공급되는 것이 바람직하다. 노드(N1)와 노드(N2)에 같은 전위가 공급됨으로써, 연산 증폭기(11)가 가지는 편차가 출력 단자(19c) 또는 출력 단자(19d)로 출력된다. 또한, 연산 증폭기(11)가 싱글 엔드 방식의 출력 신호를 출력하는 경우에는, 출력 단자(19d)로 제 4 신호가 출력되는 구성이어도 좋다.

[0078] 또한, 프로그램 전위 Vref1로서, 프로그램 전위 Vref2와 상이한 전위가 공급되어도 좋다. 예를 들어, 프로그램 전위 Vref1 및 프로그램 전위 Vref2에 상이한 전위가 공급됨으로써, 제 1 신호가 포함하는 오프셋 성분의 영향을 소자(12A)가 기억하고, 제 2 신호가 포함하는 오프셋 성분의 영향을 소자(13A)가 기억한다. 이와 같이, 연

산 증폭기(11)의 출력은 프로그램 전위 Vref1 또는 프로그램 전위 Vref2에 따라 결정되어도 좋다.

- [0079] 다음으로, 회로(20B)에 대하여 설명한다. 소자(12C)와 회로(14)의 입력 단자(19e)를 접속하는 노드(N5)에는 트랜지스터(17A)를 통하여 프리셋 전위 Vref3이 공급된다. 소자(12C)에는 프리셋 전위 Vref3에 의하여 연산 증폭기(11)의 출력 신호가 포함하는 편차가 기억된다. 또한, 소자(13C)와 회로(14)의 입력 단자(19f)를 접속하는 노드(N6)에는 트랜지스터(17B)를 통하여 프리셋 전위 Vref4가 공급된다. 소자(13C)에는 프리셋 전위 Vref4에 의하여 연산 증폭기(11)의 출력 신호가 포함하는 편차가 기억된다. 따라서, 제 3 신호에 포함되는 오프셋 성분의 영향을 저감시킬 수 있다.
- [0080] 또한, 프리셋 전위 Vref3 또는 프리셋 전위 Vref4가 공급되는 기간, 제 1 신호의 송수신을 정지하는 것이 바람직하다. 예를 들어, 제 1 신호의 수신이 정지되는 기간, 입력 단자(INP)에는 고정 전위의 신호 "H"가 공급되고, 입력 단자(INM)에는 고정 전위의 신호 "L"이 공급된다.
- [0081] 또한, 트랜지스터(17A)와 트랜지스터(17B)에는 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 작은 트랜지스터를 사용한 경우, 트랜지스터(17A) 또는 트랜지스터(17B)를 오프 상태로 함으로써 노드(N5) 또는 노드(N6)가 플로팅 상태가 된다. 따라서, 노드(N5)에 공급된 프리셋 전위 Vref3 또는 노드(N6)에 공급된 프리셋 전위 Vref4의 변동을 억제할 수 있다. 즉, 프리셋 전위 Vref3 또는 프리셋 전위 Vref4를 리프레시하는 빈도를 저감할 수 있다.
- [0082] 다음으로, 회로(14)에 대하여 설명한다. 회로(14)는 회로(20A)가 생성하는 디퍼렌셜 방식의 제 4 신호 및 제 5 신호를 싱글 엔드 방식의 제 3 신호로 변환하고, 제 3 신호를 출력 단자(OUT)로 출력할 수 있다. 즉, 노드(N5)에는 프리셋 전위 Vref3이 공급되고, 노드(N6)에는 프리셋 전위 Vref4가 공급되는 경우, 제 3 신호의 초깃값은 프리셋 전위 Vref3 또는 프리셋 전위 Vref4에 따라 결정된다.
- [0083] 즉, 회로(20B)에서는, 제 4 신호 및 제 5 신호가 가지는 오프셋 성분이 소자(12C), 소자(13C)에 의하여 저감된다. 따라서, 회로(20B)는 제 4 신호 및 제 5 신호가 가지는 오프셋 성분에는 영향을 받지 않는다. 또한, 회로(20B)의 출력 단자(19g)는 초깃값이 신호 "H" 및 신호 "L" 중 어느 것인 것이 바람직하다.
- [0084] 본 실시형태에서는 회로(20A)에 공급되는 프로그램 전위 Vref1, 프로그램 전위 Vref2, 회로(20B)에 공급되는 프리셋 전위 Vref3, 및 프리셋 전위 Vref4에 따라 제 3 신호의 초깃값이 결정된다. 디퍼렌셜 방식으로 수신하는 제 1 신호 및 제 2 신호가 프로그램 전위 Vref1, 프로그램 전위 Vref2, 프리셋 전위 Vref3, 및 프리셋 전위 Vref4에 의하여 초기화된 수신 회로(10)에 의하여 제 3 신호로 변환된다. 즉, 본 실시형태에 나타내는 수신 회로(10)는 전송로에 기인하는 편차 또는 연산 증폭기(11)의 출력 편차를 저감할 수 있다.
- [0085] 이어서, 수신 회로(10)가 가지는 연산 증폭기(11)의 자세한 내용에 대하여, 도 2의 (B)에 도시된 회로도들 사용하여 설명한다. 연산 증폭기(11)는 연산 증폭기(11A), 연산 증폭기(11B), 소자(12B), 소자(13B), 트랜지스터(16A), 및 트랜지스터(16B)를 가진다.
- [0086] 입력 단자(19a)는 연산 증폭기(11A)의 입력 단자(IP1)(도면에서는 표시하지 않았음)와 전기적으로 접속된다. 입력 단자(19b)는 연산 증폭기(11A)의 입력 단자(IM1)(도면에서는 표시하지 않았음)와 전기적으로 접속된다. 연산 증폭기(11A)의 출력 단자(OP1)(도면에서는 표시하지 않았음)는 소자(12B)와 전기적으로 접속된다. 연산 증폭기(11A)의 출력 단자(OM1)(도면에서는 표시하지 않았음)는 소자(13B)와 전기적으로 접속된다. 소자(12B)는 노드(N3)를 통하여 연산 증폭기(11B)의 입력 단자(IP2)(도면에서는 표시하지 않았음)와 트랜지스터(16A)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 소자(13B)는 노드(N4)를 통하여 연산 증폭기(11B)의 입력 단자(IM2)(도면에서는 표시하지 않았음)와 트랜지스터(16B)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 연산 증폭기(11B)의 출력 단자(OP2)(도면에서는 표시하지 않았음)는 출력 단자(19c)와 전기적으로 접속된다. 연산 증폭기(11A)의 출력 단자(OM2)(도면에서는 표시하지 않았음)는 출력 단자(19d)와 전기적으로 접속된다. 트랜지스터(16A) 및 트랜지스터(16B)의 게이트에는 신호선(G2)이 전기적으로 접속된다.
- [0087] 노드(N3)에는 트랜지스터(16A)를 통하여 프로그램 전위 Vref1A가 공급된다. 노드(N4)에는 트랜지스터(16B)를 통하여 프로그램 전위 Vref2A가 공급된다. 또한, 소자(12B), 소자(13B), 트랜지스터(16A), 및 트랜지스터(16B)의 기능에 대해서는, 소자(12C), 소자(13C), 트랜지스터(17A), 트랜지스터(17B)의 설명을 참조할 수 있다.
- [0088] 연산 증폭기(11A)는 제 1 신호 또는 제 2 신호의 진폭의 증폭을 수행하는 것이 바람직하다. 또는, 연산 증폭기(11A)는 콤퍼레이터로서 기능한다고 환언하여도 좋다. 연산 증폭기(11B)는 연산 증폭기(11A)에서 진폭이 증폭된 제 1 신호 또는 제 2 신호의 주파수 성분을 열화시키지 않고 구동할 수 있는 만큼의 주파수 특성을 가지는

것이 바람직하다.

- [0089] 또한, 연산 증폭기(11A) 또는 연산 증폭기(11B)는 각각의 연산 증폭기를 구성하는 트랜지스터의 편차로 인한 오프셋 성분을 가지는 경우가 있다. 따라서, 연산 증폭기(11A) 또는 연산 증폭기(11B)의 오프셋 성분을 제거하는 것이 바람직하다. 또한, 프로그램 전위 Vref1A 및 프로그램 전위 Vref2A로서, 프로그램 전위 Vref1과 같은 전위가 공급되는 것이 바람직하다. 프로그램 전위 Vref1A 및 프로그램 전위 Vref2A로서, 프로그램 전위 Vref1과 같은 전위가 공급됨으로써, 연산 증폭기(11B)의 편차로 인한 오프셋 성분이 소자(12C), 소자(13C)에 공급된다. 또한, 연산 증폭기(11A) 및 연산 증폭기(11B)가 하나의 연산 증폭기로 구성되어도 좋다.
- [0090] 도 3의 (A)에 도시된 수신 회로(10)의 회로도를 사용하여, 소자(12A) 내지 소자(12C) 및 소자(13A) 내지 소자(13C)에 대하여 자세히 설명한다. 도 3의 (A)에 나타난 예에서, 소자(12A) 내지 소자(12C) 및 소자(13A) 내지 소자(13C)는 용량 소자로 구성되어 있다. 용량 소자를 사용함으로써, 노드(N1) 내지 노드(N6)를 용이하게 플로팅 상태로 할 수 있다. 또한, 소자(12A) 내지 소자(12C) 및 소자(13A) 내지 소자(13C)에는 오프 전류가 작은 트랜지스터를 사용하여도 좋다. 오프 전류가 작은 트랜지스터를 사용한 예는, 도 5의 (A)에서 자세히 설명한다.
- [0091] 이어서, 수신 회로(10)가 가지는 회로(14)에 대하여, 도 3의 (B)에 도시된 회로도를 사용하여 자세히 설명한다. 회로(14)는 입력 단자(19e), 입력 단자(19f), 출력 단자(19g), 회로(14A), 회로(14B), 및 회로(14C)를 가진다. 회로(14A)는 트랜지스터(21A)와 트랜지스터(21B)를 가진다. 회로(14B)는 트랜지스터(22A), 트랜지스터(22B), 트랜지스터(23A), 트랜지스터(23B), 및 용량 소자(23C)를 가진다. 회로(14C)는 트랜지스터(24A), 트랜지스터(24B), 트랜지스터(24C), 및 용량 소자(24D)를 가진다. 입력 단자(19e)는 트랜지스터(21A)의 게이트와 전기적으로 접속된다. 입력 단자(19f)는 트랜지스터(21B)의 게이트와 전기적으로 접속된다.
- [0092] 트랜지스터(21A)의 소스 및 드레인 중 한쪽은 트랜지스터(21B)의 소스 및 드레인 중 한쪽, 트랜지스터(22B)의 게이트, 및 트랜지스터(23B)의 게이트와 전기적으로 접속된다. 트랜지스터(21A)의 소스 및 드레인 중 다른 쪽은 전원선(V1)과 전기적으로 접속된다. 트랜지스터(21B)의 소스 및 드레인 중 다른 쪽은 전원선(V6)과 전기적으로 접속된다.
- [0093] 트랜지스터(22A)의 소스 및 드레인 중 한쪽은 트랜지스터(22B)의 소스 및 드레인 중 한쪽, 트랜지스터(23A)의 게이트, 및 용량 소자(23C)의 전극의 한쪽과 전기적으로 접속된다. 트랜지스터(22A)의 게이트는 트랜지스터(22A)의 소스 및 드레인 중 다른 쪽과 전원선(V2)에 전기적으로 접속된다. 용량 소자(23C)의 전극의 다른 쪽은 트랜지스터(23A)의 소스 및 드레인 중 한쪽, 트랜지스터(23B)의 소스 및 드레인 중 한쪽, 및 트랜지스터(24B)의 게이트와 전기적으로 접속된다. 트랜지스터(23A)의 소스 및 드레인 중 다른 쪽은 전원선(V3)과 전기적으로 접속된다. 트랜지스터(22B)의 소스 및 드레인 중 다른 쪽은 전원선(V6)과 전기적으로 접속된다. 트랜지스터(23B)의 소스 및 드레인 중 다른 쪽은 전원선(V6)과 전기적으로 접속된다.
- [0094] 트랜지스터(24B)의 소스 및 드레인 중 한쪽은 트랜지스터(24A)의 소스 및 드레인 중 한쪽, 용량 소자(24D)의 전극의 한쪽, 및 출력 단자(19g)와 전기적으로 접속된다. 트랜지스터(24A)의 게이트는 용량 소자(24D)의 전극의 다른 쪽과 트랜지스터(24C)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(24A)의 소스 및 드레인 중 다른 쪽은 전원선(V5)과 전기적으로 접속된다. 트랜지스터(24C)의 소스 및 드레인 중 다른 쪽은 트랜지스터(24C)의 게이트 및 전원선(V4)과 전기적으로 접속된다. 트랜지스터(24B)의 소스 및 드레인 중 다른 쪽은 전원선(V6)과 전기적으로 접속된다.
- [0095] 회로(14)에는 제 4 신호 또는 제 5 신호가 가지는 오프셋 성분이 제거된 후의 신호가 공급된다. 또한, 회로(14)에 공급되는 제 4 신호 또는 제 5 신호는 디퍼렌셜 방식의 신호이다. 회로(14A)는 디퍼렌셜 방식의 제 4 신호 또는 제 5 신호를 싱글 엔드의 제 6 신호로 변환하기 위한 스위치 회로로서 기능한다. 전원선(V1)에 공급되는 전위는 연산 증폭기(11)의 출력 전위의 전위 폭보다 크게 하는 것이 바람직하다. 전원선(V6)에 공급되는 전위는 회로(14)의 기준 전위인 것이 바람직하다. 예를 들어, 전원선(V6)에 공급되는 전위는 접지 전위로 할 수 있다.
- [0096] 회로(14B)는 레벨 시프터 회로로서 기능한다. 전원선(V2)에 공급되는 전위는 회로(14)에 공급되는 전위 중에서 가장 높은 전위인 것이 바람직하다. 따라서, 제 6 신호의 진폭을 크게 할 수 있다. 트랜지스터(22A)는 다이오드 접속된 트랜지스터이고, 트랜지스터(22A)의 전류 공급 능력이 트랜지스터(23A)의 스위칭 속도를 결정한다. 전원선(V3)에 공급되는 전위는 후술하는 전원선(V5)에 공급되는 전위와 동일한 것이 바람직하다. 또한, 트랜지스터(23A)의 게이트에 공급되는 전위는 용량 소자(23C)를 사용한 부트 스트랩에 의하여 상승된다. 따라서, 트

랜지스터(23A)는 전류 공급 능력이 증대한다.

- [0097] 회로(14C)는, 버퍼 회로로서 기능한다. 전원선(V5)은 회로(14C)가 출력 단자(19g)로 신호 "H"를 출력하는 경우의 전위의 크기를 결정한다. 트랜지스터(24C)는 다이오드 접속된 트랜지스터이고, 트랜지스터(24C)의 전류 공급 능력이 트랜지스터(24A)의 스위칭 속도를 결정한다. 트랜지스터(24A)의 게이트에 공급되는 전위는 용량 소자(24D)를 사용한 부트 스트랩에 의하여 상승된다. 따라서, 트랜지스터(24A)는 전류 공급 능력이 증대한다. 또한, 전원선(V4)에 공급되는 전위는 전원선(V5)에 공급되는 전위보다 큰 것이 바람직하다. 또는, 전원선(V4)에 공급되는 전위가 전원선(V3) 및 전원선(V5)에 공급되는 전위와 같아도 좋다. 같은 전위로 함으로써, 사용하는 전원의 종류를 줄일 수 있다. 회로(14)에 접속된 전원선에 공급되는 전위의 크기는 전원선(V1)에 공급되는 전위가 가장 작고, 전원선(V5)에 공급되는 전위가 가장 큰 것이 바람직하다.
- [0098] 일례로서 연산 증폭기(11A)에 대하여, 도 4에 도시된 회로도를 사용하여 자세히 설명한다. 연산 증폭기(11A)는 입력 단자(11A1), 입력 단자(11A2), 출력 단자(11A3), 출력 단자(11A4)를 가진다.
- [0099] 연산 증폭기(11A)는 트랜지스터(31) 내지 트랜지스터(37), 용량 소자(38), 및 용량 소자(39)를 가진다. 트랜지스터(31)의 소스 및 드레인 중 한쪽은 전원선(V7)과 트랜지스터(32)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(31)의 소스 및 드레인 중 다른 쪽은 트랜지스터(33)의 소스 및 드레인 중 한쪽, 용량 소자(38)의 전극의 한쪽, 및 출력 단자(11A4)와 전기적으로 접속된다. 트랜지스터(32)의 소스 및 드레인 중 다른 쪽은 트랜지스터(34)의 소스 및 드레인 중 한쪽, 용량 소자(39)의 전극의 한쪽, 및 출력 단자(11A3)와 전기적으로 접속된다.
- [0100] 트랜지스터(33)의 소스 및 드레인 중 다른 쪽은 트랜지스터(35)의 소스 및 드레인 중 한쪽과 트랜지스터(34)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(35)의 소스 및 드레인 중 다른 쪽은 전원선(V8)과 전기적으로 접속된다. 트랜지스터(33)의 게이트는 입력 단자(11A1)와 전기적으로 접속된다. 트랜지스터(34)의 게이트는 입력 단자(11A2)와 전기적으로 접속된다.
- [0101] 트랜지스터(36)의 소스 및 드레인 중 한쪽은 트랜지스터(31)의 게이트와 용량 소자(38)의 전극의 다른 쪽에 전기적으로 접속된다. 트랜지스터(36)의 소스 및 드레인 중 다른 쪽은 전원선(V3)과 전기적으로 접속된다. 트랜지스터(37)의 소스 및 드레인 중 한쪽은 트랜지스터(32)의 게이트와 용량 소자(39)의 전극의 다른 쪽에 전기적으로 접속된다. 트랜지스터(37)의 소스 및 드레인 중 다른 쪽은 전원선(V3)과 전기적으로 접속된다. 트랜지스터(35)의 게이트는 전원선(VBIAS)과 전기적으로 접속된다. 트랜지스터(36) 및 트랜지스터(37)의 게이트는 신호선(G5)과 전기적으로 접속된다.
- [0102] 신호선(G5)에 공급되는 신호에 의하여 트랜지스터(36)가 온 상태가 되고, 트랜지스터(31)의 게이트에는 트랜지스터(36)를 통하여 전원선(V3)의 전위가 공급된다. 또한, 신호선(G5)에 공급되는 신호에 의하여 트랜지스터(37)가 온 상태가 되고, 트랜지스터(32)의 게이트에는 트랜지스터(37)를 통하여 전원선(V3)의 전위가 공급된다. 트랜지스터(31)의 게이트 및 트랜지스터(32)의 게이트는 신호선(G5)에 공급되는 신호에 의하여 트랜지스터(36)와 트랜지스터(37)가 오프 상태가 됨으로써 플로팅 상태가 된다. 또한, 전원선(V8)에 공급되는 전위는 도 3의 (B)의 전원선(V6)에 공급되는 전위보다 작은 전위인 것이 바람직하다.
- [0103] 용량 소자(38) 및 용량 소자(39)는 부트 스트랩의 기능을 가지고, 트랜지스터(31) 및 트랜지스터(32)의 게이트에 공급되는 전위를 상승시킴으로써, 트랜지스터(31) 또는 트랜지스터(32)의 전류 공급 능력을 증대시키는 효과를 가진다. 따라서 트랜지스터(31) 또는 트랜지스터(32)는 각각 출력 단자(11A3) 또는 출력 단자(11A4)로 출력하는 신호의 전류원으로서 기능한다.
- [0104] 수신 회로(10A)에 대하여, 도 5의 (A)에 도시된 회로도를 사용하여 자세히 설명한다. 수신 회로(10A)는 트랜지스터(19A), 트랜지스터(19B), 연산 증폭기(11B1), 및 회로(14D)를 가지는 점이 도 3의 (A)와 상이하다. 여기서는, 도 3의 (A)에서 설명한 수신 회로(10)와 상이한 점에 대하여 설명한다.
- [0105] 도 5의 (A)에서는, 트랜지스터(19A), 트랜지스터(19B)를 사용하여 노드(N1) 또는 노드(N2)를 플로팅 상태로 할 수 있다. 이 경우, 트랜지스터에는 오프 전류가 작은 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터에는 채널 형성 영역의 반도체층에 산화물 반도체를 가지는 트랜지스터를 사용할 수 있다. 또한, 트랜지스터(19A) 및 트랜지스터(19B)의 게이트는 신호선(G6)에 공급되는 신호에 의하여 온 상태 또는 오프 상태가 제어되는 것이 바람직하다.
- [0106] 다음으로, 연산 증폭기(11B1)에 대하여 설명한다. 연산 증폭기(11B1)는 싱글 엔드 방식의 신호를 출력하는 점이 상이하다. 디퍼렌셜 방식의 출력에 비하여 트랜지스터(17A), 소자(12C), 및 배선 등을 삭감할 수 있다는 효

과를 가진다.

- [0107] 다음으로, 회로(14D)에 대하여 도 5의 (B)의 회로도들 사용하여 자세히 설명한다. 회로(14D)는 회로(14C1)를 가지는 점이 도 3의 (B)와 상이하다. 회로(14C1)는 입력 단자(19h), 트랜지스터(24E), 트랜지스터(24F), 트랜지스터(24G), 및 용량 소자(24H)를 가진다.
- [0108] 트랜지스터(24F)의 게이트에는 입력 단자(19h)가 전기적으로 접속된다. 트랜지스터(24F)의 소스 및 드레인 중 한쪽은 트랜지스터(24E)의 소스 및 드레인 중 한쪽, 용량 소자(24H)의 전극의 한쪽, 트랜지스터(22B)의 게이트, 및 트랜지스터(23B)의 게이트와 전기적으로 접속된다. 트랜지스터(24E)의 게이트는 트랜지스터(24G)의 소스 및 드레인 중 한쪽과 용량 소자(24H)의 전극의 다른 쪽에 전기적으로 접속된다. 트랜지스터(24E)의 소스 및 드레인 중 다른 쪽은 전원선(V5A)과 전기적으로 접속된다. 트랜지스터(24G)의 소스 및 드레인 중 다른 쪽은 전원선(V4A)과 전기적으로 접속된다. 트랜지스터(24F)의 소스 및 드레인 중 다른 쪽은 전원선(V6)과 전기적으로 접속된다.
- [0109] 회로(14C1)는 회로(14C)와 같은 버퍼 회로로서 기능한다. 전원선(V5A)은 트랜지스터(22B)의 게이트 및 트랜지스터(23B)의 게이트에 공급되는 신호 "H"의 전위를 결정한다. 트랜지스터(24G)는 다이오드 접속된 트랜지스터이고, 트랜지스터(24G)의 전류 공급 능력이 트랜지스터(24E)의 스위칭 속도를 결정한다. 또한, 용량 소자(24H)는 부트 스트랩의 기능을 가지고, 트랜지스터(24E)의 게이트에 공급되는 전위를 상승시킴으로써, 트랜지스터(24E)의 전류 공급 능력을 증대시키는 효과를 가진다. 트랜지스터(22B)의 게이트, 및 트랜지스터(23B)의 게이트에 대하여 충방전을 빨리 할 수 있다. 또한, 전원선(V4A)에 공급되는 전위는 전원선(V5A)에 공급되는 전위보다 큰 것이 바람직하다. 또는 전원선(V4A) 및 전원선(V5A)에 공급되는 전위가 같아도 좋다. 같은 전위로 함으로써, 사용하는 전원의 종류를 줄일 수 있다.
- [0110] 또한, 수신 회로(10A)를 구성하는 연산 증폭기(11B1) 또는 회로(14A)를 구성하는 복수의 트랜지스터에는 채널 형성 영역의 반도체층에 산화물 반도체를 가지는 트랜지스터를 사용하는 것이 바람직하다.
- [0111] 도 3의 (A)에서 설명한 수신 회로(10)의 동작에 대하여 도 6에 나타낸 타이밍 차트를 사용하여 설명한다.
- [0112] 시각 T0에서는, 입력 단자(INP)에 신호 "H"가, 입력 단자(INM)에 신호 "L"이, 신호선(G1)에 신호 "H"가, 신호선(G2)에 신호 "H"가, 신호선(G3)에 신호 "H"가, 신호선(G4)에 신호 "H"가, 그리고 신호선(G5)에 신호 "L"이 공급된다. 예를 들어, 신호선(G1)에 공급되는 신호 "H"의 전위는 전원선(V2)의 전위 이상인 것이 바람직하다. 신호선(G2)에 공급되는 신호 "H"의 전위는 전원선(V3)의 전위 이상인 것이 바람직하다. 신호선(G3)에 공급되는 신호 "H"의 전위는 전원선(V4)의 전위 이상인 것이 바람직하다. 신호선(G4)에 공급되는 신호 "H"의 전위는 전원선(V3)의 전위 이상인 것이 바람직하다. 신호선(G5)에 공급되는 신호 "H"의 전위는 전원선(V6)의 전위인 것이 바람직하다.
- [0113] 입력 단자(INP), 입력 단자(INM)에 공급되는 신호는 디퍼렌셜 방식의 규격에 따른 전위가 공급되는 것이 바람직하다. 예를 들어, LVDS의 경우, 입력 단자(INP)에 1.4V의 전위가 공급되는 기간, 입력 단자(INM)에는 1.05V가 공급된다. 또는, 입력 단자(INP)에 1.05V의 전위가 공급되는 기간, 입력 단자(INM)에는 1.4V가 공급된다.
- [0114] 예를 들어, 신호선(G1) 또는 신호선(G2)에 공급되는 신호에 의하여, 노드(N1)에 공급되는 프로그램 전위 Vref1은 전원선(V6)을 기준으로 공급되고, 노드(N2)에 공급되는 프로그램 전위 Vref2는, 전원선(V6)을 기준으로 공급되고, 노드(N3)에 공급되는 프로그램 전위 Vref1A는 전원선(V6)을 기준으로 공급되고, 노드(N4)에 공급되는 프로그램 전위 Vref2A는 전원선(V6)을 기준으로 공급되는 것이 바람직하다. 또한, 도 6에서는 프로그램 전위 Vref1과 같은 전위가 프로그램 전위 Vref2, Vref1A, 및 Vref2A로서 공급되는 예를 나타내었다.
- [0115] 시각 T1에서는, 신호선(G5)에 신호 "H"가 공급된다. 신호선(G5)에 공급되는 신호의 크기는 전원선(V3)보다 큰 것이 바람직하다. 신호선(G5)에 신호 "H"가 공급됨으로써 트랜지스터(36), 및 트랜지스터(37)가 온 상태가 되고, 트랜지스터(31)의 게이트, 트랜지스터(32)의 게이트에는 전원선(V3)의 전위가 공급된다.
- [0116] 시각 T2에서는, 신호선(G1)에 신호 "L"이 공급되고, 신호선(G2)에 신호 "L"이 공급되고, 신호선(G3)에 신호 "L"이 공급되고, 신호선(G4)에 신호 "L"이 공급되고, 신호선(G5)에 신호 "L"이 공급된다. 신호선(G1) 내지 신호선(G5)에 공급되는 신호의 크기는 전원선(V6)에 공급되는 전위와 같은 전위인 것이 바람직하다. 신호선(G5)에 신호 "L"이 공급됨으로써 트랜지스터(36) 및 트랜지스터(37)가 오프 상태가 되고, 트랜지스터(31)의 게이트, 트랜지스터(32)의 게이트는 플로팅 상태가 되고 전원선(V3)에 공급되는 전위를 유지한다. 따라서, 트랜지스터(31) 또는 트랜지스터(32)는 출력 단자(11A3) 또는 출력 단자(11A4)로 출력하는 출력 신호의 전류원으로서 기능한다. 또한, 트랜지스터(31)의 게이트 또는 트랜지스터(32)의 게이트에 공급되는 전위는 용량 소자(38) 또는

용량 소자(39)를 사용한 부트 스트랩에 의하여 상승된다. 따라서, 트랜지스터(31) 또는 트랜지스터(32)는 전류 공급 능력이 증대한다.

- [0117] 시각 T3에서는, 입력 단자(INP)에 신호 "L"이 공급되고, 또한 입력 단자(INM)에 신호 "H"가 공급된다. 출력 단자(OUT)에는 신호 "L"이 출력된다.
- [0118] 시각 T4에서는, 입력 단자(INP)에 신호 "H"가 공급되고, 또한 입력 단자(INM)에 신호 "L"이 공급된다. 출력 단자(OUT)에는 신호 "H"가 출력된다.
- [0119] 시각 T5 이후는, 입력 단자(INP) 또는 입력 단자(INM)에 공급하는 신호에 따라 출력 단자(OUT)가 결정된다.
- [0120] 수신 회로(10)는 수신 회로(10)가 가지는 편차 또는 오프셋 성분을 제거할 수 있다. 따라서, 디퍼렌셜 방식으로 수신한 제 1 신호 또는 제 2 신호는 싱글 엔드 방식의 제 3 신호로 정상적으로 변환된다.
- [0121] 도 7에서는, 본 실시형태의 수신 회로를 가지는 전자 기기에 대하여 자세히 설명한다. 전자 기기(100)는 제어부(101)와 표시 장치(110)를 가지는 것이 바람직하다. 제어부(101)는 프로세서(102), 통신 회로(103), 입출력 회로(104), 스토리지(105), 및 메모리(106) 등을 가진다. 통신 회로(103)는 유선 통신, 무선 통신의 기능을 가지는 것이 바람직하다. 또한, 입출력 회로(104)는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것), 이미지 센서, 키보드 등을 가질 수 있다.
- [0122] 표시 장치(110)는 디스플레이 컨트롤러(111)와 표시 패널(121)을 가진다. 디스플레이 컨트롤러(111)는 제어부(112), 프레임 메모리(113), 및 드라이버 회로(114)를 가진다. 제어부(112)는 연산부(112A) 및 타이밍 생성 회로(112B)를 가진다. 드라이버 회로(114)는 복수의 송신 회로(53)를 가진다.
- [0123] 표시 패널(121)은 소스 드라이버 회로(122), 게이트 드라이버 회로(123), 및 표시부(124)를 가진다. 소스 드라이버 회로(122)는 복수의 수신 회로(54)를 가진다. 또한, 수신 회로(54)가 본 실시형태에서 설명한 수신 회로(10)에 상당한다. 표시부(124)는 복수의 화소(124A)를 가진다.
- [0124] 프레임 메모리(113)에 기억되는 화상 신호는 디스플레이 컨트롤러(111)에 의하여 송신 회로(53)를 사용하여 수신 회로(54)로 송신된다. 또한, 화상 신호는 송신 회로(53)에 의하여 디퍼렌셜 방식의 제 1 신호로 변환되어 송신된다.
- [0125] 수신 회로(54)는 디퍼렌셜 방식으로 수신한 제 1 신호 또는 제 2 신호를 싱글 엔드 방식의 제 3 신호로 변환할 수 있다. 소스 드라이버 회로(122)는 제 3 신호를 아날로그 신호로 변환할 수 있다. 게이트 드라이버 회로(123)에 의하여 선택되는 화소에는 제 3 신호가 공급되고, 화소는 제 3 신호에 의하여 표시를 수행할 수 있다.
- [0126] 표시 패널(121)의 표시부(124)가 가지는 화소(124A)에 대하여, 도 8의 (A)에 도시된 회로도들 사용하여 자세히 설명한다. 화소(124A)에는 신호선(G1), 신호선(G2), 신호선(G3), 배선(S1), 배선(MN1), 배선(Ano), 및 배선(Cath)이 접속된다. 화소(124A)는 트랜지스터(41), 트랜지스터(42), 트랜지스터(43), 트랜지스터(44), 용량 소자(45), 용량 소자(46), 발광 소자(47)를 가진다. 또한, 화소(124A)는 트랜지스터(44), 용량 소자(46)를 가지지 않는 구성이어도 좋다.
- [0127] 트랜지스터(41)의 게이트는 신호선(G1)과 전기적으로 접속된다. 트랜지스터(41)의 소스 및 드레인 중 한쪽은 배선(S1)과 전기적으로 접속된다. 트랜지스터(41)의 소스 및 드레인 중 다른 쪽은 트랜지스터(42)의 게이트, 용량 소자(45)의 전극의 한쪽, 및 용량 소자(46)의 전극의 한쪽과 전기적으로 접속된다.
- [0128] 트랜지스터(42)의 소스 및 드레인 중 한쪽에는 발광 소자(47)의 전극의 한쪽, 트랜지스터(43)의 소스 및 드레인 중 한쪽, 및 용량 소자(45)의 전극의 다른 쪽이 전기적으로 접속된다. 트랜지스터(42)의 소스 및 드레인 중 다른 쪽은 배선(Ano)과 전기적으로 접속된다. 발광 소자(47)의 전극의 다른 쪽은 배선(Cath)과 전기적으로 접속된다. 트랜지스터(43)의 소스 및 드레인 중 다른 쪽은 배선(MN1)과 전기적으로 접속된다.
- [0129] 트랜지스터(44)의 게이트는 신호선(G3)과 전기적으로 접속된다. 트랜지스터(44)의 소스 및 드레인 중 한쪽은 배선(S1)과 전기적으로 접속된다. 트랜지스터(44)의 소스 및 드레인 중 다른 쪽은 용량 소자(46)의 전극의 다른 쪽과 전기적으로 접속된다.
- [0130] 노드(FN1)는 트랜지스터(42)의 게이트, 용량 소자(45)의 전극의 한쪽, 및 용량 소자(46)의 전극의 한쪽이 접속되는 배선을 나타낸다. 노드(FN2)는 트랜지스터(44)의 소스 및 드레인 중 다른 쪽, 용량 소자(46)의 전극의 다른 쪽이 접속되는 배선을 나타낸다.

- [0131] 화소(124A)에는 신호선(G1), 신호선(G2), 및 신호선(G3)을 통하여 게이트 드라이버 회로(123)로부터 상이한 주사 신호가 공급된다. 또한, 화소(124A)에는 배선(S1)을 통하여 화상 신호가 공급된다. 또한, 화소(124A)는, 배선(MN1)을 통하여 화소(124A)를 흐르는 전류를 관측 신호로서 모니터링할 수 있다. 또한, 관측 신호는 트랜지스터(43)를 흐르는 전류 및 발광 소자(47)를 흐르는 전류 중 어느 것이다.
- [0132] 화소(124B)에 대하여, 도 8의 (B)에 도시된 회로도를 사용하여 자세히 설명한다. 여기서는, 도 8의 (A)에서 설명한 화소(124A)와 상이한 점에 대하여 설명한다. 화소(124B)는 트랜지스터(41), 트랜지스터(42), 트랜지스터(43), 및 트랜지스터(44) 중 어느 하나 또는 복수가, 백 게이트를 가지는 점이 상이하다. 또한 도 8의 (B)에서는, 모든 트랜지스터가 백 게이트를 가지는 예를 나타내었다. 트랜지스터가 백 게이트를 가짐으로써, 온 전류를 증대시킬 수 있다. 또한 트랜지스터의 문턱 전압을 제어할 수 있다.
- [0133] 또한, 표시 패널(121)은 게이트 드라이버 회로(123), 표시부(124), 및 소스 드라이버 회로에 포함되는 수신 회로(10)를 구성하는 연산 증폭기(11) 또는 회로(14)를 구성하는 복수의 트랜지스터가 같은 기판 위에 형성되어 있는 것이 바람직하다.
- [0134] 또한, 트랜지스터로서는 채널 형성 영역의 반도체층에 산화물 반도체를 가지는 트랜지스터가 바람직하다. 상기 트랜지스터는 오프 전류를 낮게 할 수 있다. 따라서, 프로그램 전위, 프리셋 전위, 또는 화상 신호 등의 유지 시간을 길게 할 수 있다. 따라서, 리프레시 동작의 빈도를 적게 할 수 있기 때문에, 소비전력을 저감하는 효과를 가진다. 반도체층에 산화물 반도체를 가지는 트랜지스터에 대해서는, 실시형태 5에서 자세히 설명한다.
- [0135] 또는, 트랜지스터의 채널 형성 영역의 반도체층에 실리콘을 사용하여도 좋다. 실리콘으로서 비정질 실리콘을 사용하여도 좋지만 특히 결정성을 가지는 실리콘을 사용하는 것이 바람직하다. 예를 들어, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용하는 것이 바람직하다. 특히, 다결정 실리콘은 단결정 실리콘에 비하여 저온에서 형성할 수 있고, 또한 비정질 실리콘에 비하여 높은 전계 효과 이동도와 높은 신뢰성을 가진다.
- [0136] 이상, 본 실시형태에서 나타낸 구성, 방법은 다른 실시형태에서 나타내는 구성, 방법과 적절히 조합하여 사용할 수 있다.
- [0137] (실시형태 2)
- [0138] 본 실시형태에서는, 액정 소자를 사용한 표시 장치의 구성예와, 발광 소자를 사용한 표시 장치의 구성예에 대하여 설명한다. 또한, 본 실시형태에 있어서는, 실시형태 1에서 설명한 표시 장치의 요소, 동작, 및 기능의 설명은 생략한다.
- [0139] 본 실시형태에서 설명하는 표시 장치에는, 실시형태 1에서 설명한 수신 회로를 사용할 수 있다. 또한, 이하에서 설명하는 주사선 구동 회로는 게이트 드라이버 회로에, 신호선 구동 회로는 소스 드라이버 회로에 상당한다. 도 9의 (A), (B), 및 (C)는 표시 장치를 설명하는 도면이다.
- [0140] 도 9의 (A)에서, 제 1 기판(4001) 위에 제공된 표시부(215)를 둘러싸도록 실재(4005)가 제공되고, 표시부(215)가 실재(4005) 및 제 2 기판(4006)에 의하여 밀봉되어 있다.
- [0141] 도 9의 (A)에서는, 주사선 구동 회로(221a), 신호선 구동 회로(231a), 신호선 구동 회로(232a), 및 공통선 구동 회로(241a)는 각각 인쇄 기판(4041) 위에 제공된 집적 회로(4042)를 복수로 가진다. 집적 회로(4042)는 단결정 반도체 또는 다결정 반도체로 형성되어 있다. 공통선 구동 회로(241a)는 실시형태 1에서 설명한 배선(Ano, Cath) 등에 규정의 전위를 공급하는 기능을 가진다.
- [0142] 주사선 구동 회로(221a), 공통선 구동 회로(241a), 신호선 구동 회로(231a), 및 신호선 구동 회로(232a)에 공급되는 각종 신호 및 전위는 FPC(FPC: Flexible printed circuit(4018))를 통하여 공급된다.
- [0143] 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)가 가지는 집적 회로(4042)는 표시부(215)에 선택 신호를 공급하는 기능을 가진다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)가 가지는 집적 회로(4042)는 표시부(215)에 화상 데이터를 공급하는 기능을 가진다. 집적 회로(4042)는 제 1 기판(4001) 위의 실재(4005)로 둘러싸여 있는 영역과는 다른 영역에 실장되어 있다.
- [0144] 또한 집적 회로(4042)의 접속 방법은 특별히 한정되는 것은 아니고, 와이어 본딩법, COG(Chip On Glass)법, TCP(Tape Carrier Package)법, COF(Chip On Film)법 등을 사용할 수 있다.
- [0145] 도 9의 (B)는, 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 집적 회로(4042)를 COG법으로 실장하는 예를 나타내었다. 또한, 구동 회로의 일부 또는 전체를 표시부(215)와 같은 기판 위에 일체로

형성하여, 시스템 온 패널을 형성할 수 있다.

- [0146] 도 9의 (B)에서는, 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 표시부(215)와 같은 기관 위에 형성하는 예를 나타내었다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성함으로써, 부품 점수를 삭감할 수 있다. 따라서 생산성을 높일 수 있다.
- [0147] 또한, 도 9의 (B)에서는, 제 1 기관(4001) 위에 제공된 표시부(215)와 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 둘러싸도록 실재(4005)가 제공되어 있다. 또한, 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a) 위에 제 2 기관(4006)이 제공되어 있다. 따라서, 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a)는 제 1 기관(4001)과 실재(4005)와 제 2 기관(4006)에 의하여 표시 소자와 함께 밀봉되어 있다.
- [0148] 또한, 도 9의 (B)에서는, 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 별도로 형성하여 제 1 기관(4001)에 실장하는 예를 나타내었지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성하여 실장하여도 좋다. 또한, 도 9의 (C)에 도시된 바와 같이, 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 표시부(215)와 같은 기관 위에 형성하여도 좋다.
- [0149] 또한, 표시 장치는 표시 소자가 밀봉된 상태인 표시 패널과, 상기 표시 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태인 모듈을 포함하는 경우가 있다.
- [0150] 또한, 제 1 기관 위에 제공된 표시부 및 주사선 구동 회로는 트랜지스터를 복수로 가진다. 상기 트랜지스터로서, 상기 실시형태에서 나타낸 트랜지스터를 적용할 수 있다.
- [0151] 주변 구동 회로가 가지는 트랜지스터와, 표시부의 화소 회로가 가지는 트랜지스터의 구조는 같아도 좋고, 상이하여도 좋다. 주변 구동 회로가 가지는 트랜지스터는, 모두 같은 구조이어도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다. 마찬가지로, 화소 회로가 가지는 트랜지스터는 모두 같은 구조이어도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다.
- [0152] 또한 제 2 기관(4006) 위에는 입력 장치(4200)를 제공할 수 있다. 도 9의 (A) 내지 (C)에 도시된 표시 장치에 입력 장치(4200)를 제공한 구성은 터치 패널로서 기능시킬 수 있다.
- [0153] 본 발명의 일 형태의 터치 패널이 가지는 검지 소자(센서 소자라고도 함)에 한정은 없다. 손가락이나 스타일러스 등의 피검지체의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 검지 소자로서 적용할 수 있다.
- [0154] 센서의 방식으로서의 예를 들어, 정전 용량 방식, 저항막 방식, 표면 탄성과 방식, 적외선 방식, 광학 방식, 감압 방식 등 다양한 방식을 사용할 수 있다.
- [0155] 본 실시형태에서는 정전 용량 방식의 검지 소자를 가지는 터치 패널을 예로 들어 설명한다.
- [0156] 정전 용량 방식으로서의 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다. 또한 투영형 정전 용량 방식으로서의 자기 용량 방식, 상호 용량 방식 등이 있다. 상호 용량 방식을 사용하면, 동시 다점 검지가 가능하게 되기 때문에 바람직하다.
- [0157] 본 발명의 일 형태의 터치 패널은, 따로 제작된 표시 장치와 검지 소자를 접합하는 구성, 표시 소자를 지지하는 기관 및 대향 기관 중 한쪽 또는 양쪽에 검지 소자를 구성하는 전극 등을 제공하는 구성 등, 다양한 구성을 적용할 수 있다.
- [0158] 도 10의 (A) 및 (B)는 터치 패널의 일례를 설명하는 도면이다. 도 10의 (A)는 터치 패널(4210)의 사시도이다. 도 10의 (B)는 입력 장치(4200)의 사시 개략도이다. 또한 명료화를 위하여 대표적인 구성 요소만을 도시하였다.
- [0159] 터치 패널(4210)은 따로 제작된 표시 장치와 검지 소자를 접합시킨 구성이다.
- [0160] 터치 패널(4210)은 입력 장치(4200)와 표시 장치를 가지고, 이들이 중첩되어 제공되어 있다.
- [0161] 입력 장치(4200)는 기관(4263), 전극(4227), 전극(4228), 복수의 배선(4237), 복수의 배선(4238), 및 복수의 배선(4239)을 가진다. 예를 들어, 전극(4227)은 배선(4237) 또는 배선(4239)과 전기적으로 접속할 수 있다. 또한 전극(4228)은 배선(4239)과 전기적으로 접속될 수 있다. FPC(4272b)는 복수의 배선(4237) 및 복수의 배선(4238)의 각각과 전기적으로 접속된다. FPC(4272b)에는 IC(4273b)를 제공할 수 있다.

- [0162] 또는, 표시 장치의 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하여도 좋다. 제 1 기판(4001)과 제 2 기판(4006) 사이에 터치 센서를 제공하는 경우에는 정전 용량 방식의 터치 센서 외에, 광전 변환 소자를 사용한 광학식의 터치 센서를 적용하여도 좋다.
- [0163] 도 11의 (A) 및 (B)는 표시 장치의 단면도를 설명하는 도면이다. 도 11의 (A) 및 (B)는 도 9의 (B) 중에서 N1-N2의 일점쇄선으로 나타낸 부분의 단면도이다. 도 11의 (A) 및 (B)에 도시된 표시 장치는 전극(4015)을 가지고, 전극(4015)은 FPC(4018)가 가지는 단자와 이방성 도전층(4019)을 통하여 전기적으로 접속되어 있다. 또한, 도 11의 (A) 및 (B)에서는, 전극(4015)은 절연층(4112), 절연층(4111), 및 절연층(4110)에 형성된 개구에서 배선(4014)과 전기적으로 접속되어 있다.
- [0164] 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010) 및 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성되어 있다.
- [0165] 또한, 제 1 기판(4001) 위에 제공된 표시부(215)와 주사선 구동 회로(221a)는 트랜지스터를 복수로 가지고, 도 11의 (A) 및 (B)에서는, 표시부(215)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(221a)에 포함되는 트랜지스터(4011)를 예시하였다. 또한, 도 11의 (A) 및 (B)에서는, 트랜지스터(4010) 및 트랜지스터(4011)로서 보텀 게이트형의 트랜지스터를 예시하였지만, 톱 게이트형의 트랜지스터이어도 좋다.
- [0166] 도 11의 (A) 및 (B)에서는, 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연층(4112)이 제공되어 있다. 또한, 도 11의 (B)에서는, 절연층(4112) 위에 격벽(4510)이 형성되어 있다.
- [0167] 또한, 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 제공되어 있다. 또한, 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4111) 위에 형성된 전극(4017)을 가진다. 전극(4017)은 백 게이트 전극으로서 기능할 수 있다.
- [0168] 또한, 도 11의 (A) 및 (B)에 도시된 표시 장치는 용량 소자(4020)를 가진다. 용량 소자(4020)는 트랜지스터(4010)의 게이트 전극과 같은 공정으로 형성된 전극(4021)과 소스 전극 및 드레인 전극과 같은 공정으로 형성된 전극을 가진다. 각각의 전극은 절연층(4103)을 개재(介在)하여 중첩되어 있다.
- [0169] 일반적으로, 표시 장치의 화소부에 제공되는 용량 소자의 용량은 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여, 소정의 기간, 전하를 유지할 수 있도록 설정된다. 용량 소자의 용량은 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다.
- [0170] 표시부(215)에 제공된 트랜지스터(4010)는 표시 소자와 전기적으로 접속된다. 도 11의 (A)는 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 일례이다. 도 11의 (A)에서, 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한 배향막으로서 기능하는 절연층(4032), 절연층(4033)이 액정층(4008)을 개재하도록 제공되어 있다. 제 2 전극층(4031)은 제 2 기판(4006) 측에 제공되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 개재하여 중첩된다.
- [0171] 액정 소자(4013)로서 다양한 모드가 적용된 액정 소자를 사용할 수 있다. 예를 들어, VA(Vertical Alignment) 모드, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Bend) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, ECB(Electrically Controlled Birefringence) 모드, VA-IPS 모드, 게스트 호스트 모드 등이 적용된 액정 소자를 사용할 수 있다.
- [0172] 또한 본 실시형태에 나타내는 액정 표시 장치에 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치를 적용하여도 좋다. 수직 배향 모드로서는, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다.
- [0173] 또한, 액정 소자는 액정의 광학 변조 작용에 의하여 광의 투과 또는 비투과를 제어하는 소자이다. 액정의 광학적 변조 작용은 액정에 가해지는 전계(가로 방향의 전계, 세로 방향의 전계, 또는 비스듬한 방향의 전계를 포함함)에 의하여 제어된다. 액정 소자에 사용되는 액정으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC: Polymer Dispersed Liquid Crystal), 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0174] 도 11의 (A) 및 (B)에서는, 수직 전계 방식의 액정 소자를 가지는 액정 표시 장치의 예를 나타내었지만, 본 발명의 일 형태에는 수평 전계 방식의 액정 소자를 가지는 액정 표시 장치를 적용할 수 있다. 가로 전계 방식을

채용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이고, 콜레스테릭 액정을 승온시키면 콜레스테릭상으로부터 등방상으로 전이(轉移)하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층(4008)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 빠르고 광학적 등방성을 나타낸다. 또한 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 배향 처리가 불필요하고 시야각 의존성이 작다. 또한, 배향막을 제공하지 않아도 되기 때문에 러빙 처리도 불필요하므로, 러빙 처리에 의하여 일어나는 정전 파괴를 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량 또는 파손을 경감할 수 있다.

[0175] 또한 스페이서(4035)는 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이고, 제 1 전극층(4030)과 제 2 전극층(4031)의 간격(셀 갭)을 제어하기 위하여 제공된다. 또한 구(球)상의 스페이서를 사용하여도 좋다.

[0176] 또한 필요에 따라, 블랙 매트릭스(차광층), 착색층(컬러 필터), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등을 적절히 제공하여도 좋다. 예를 들어, 편광 기관 및 위상차 기관에 의한 원편광을 사용하여도 좋다. 또한 광원으로서 백라이트, 사이드 라이트 등을 사용하여도 좋다. 또한, 상기 백라이트 및 사이드 라이트로서, 마이크로 LED 등을 사용하여도 좋다.

[0177] 도 11의 (A)에 도시된 표시 장치에서는, 기관(4006)과 제 2 전극층(4031) 사이에 차광층(4132), 착색층(4131), 절연층(4133)이 제공되어 있다.

[0178] 차광층으로서 사용할 수 있는 재료로서는 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 복수의 금속 산화물의 고용체를 포함하는 복합 산화물 등을 들 수 있다. 차광층은 수지 재료를 포함하는 막이어도 좋고, 금속 등 무기 재료의 박막이어도 좋다. 또한 차광층에 착색층의 재료를 포함하는 막의 적층막을 사용할 수도 있다. 예를 들어, 어떤 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 막과, 다른 색의 광을 투과시키는 착색층에 사용하는 재료를 포함하는 막의 적층 구조를 사용할 수 있다. 착색층과 차광층의 재료를 공통화함으로써, 장치를 공통화할 수 있을 뿐만 아니라 공정도 간략화할 수 있어 바람직하다.

[0179] 착색층에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 또는 안료 또는 염료가 포함된 수지 재료 등을 들 수 있다. 차광층 및 착색층의 형성은 상술한 각 층의 형성 방법과 마찬가지로 수행하면 좋다. 예를 들어, 잉크젯법 등으로 수행하여도 좋다.

[0180] 또한, 도 11의 (A) 및 (B)에 도시된 표시 장치는 절연층(4111)과 절연층(4104)을 가진다. 절연층(4111)과 절연층(4104)으로서 불순물 원소를 투과시키기 어려운 절연층을 사용한다. 절연층(4111)과 절연층(4104) 사이에 트랜지스터의 반도체층을 끼움으로써, 외부로부터의 불순물의 침입을 방지할 수 있다.

[0181] 또한 표시 장치에 포함되는 표시 소자로서 발광 소자를 사용할 수 있다. 발광 소자로서는, 예를 들어 일렉트로루미네선스를 이용하는 EL 소자를 적용할 수 있다. EL 소자는 한 쌍의 전극 사이에 발광성 화합물을 포함하는 층('EL층'이라고도 함)을 가진다. EL 소자의 문턱 전압보다 큰 전위차를 한 쌍의 전극 사이에 발생시키면, EL층에 양극 측으로부터 정공이 주입되고, 음극 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층에서 재결합하고, EL층에 포함되는 발광 물질이 발광한다.

[0182] 또한 EL 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

[0183] 유기 EL 소자에서는 전압을 인가함으로써, 한쪽 전극으로부터 전자가, 다른 쪽 전극으로부터 정공이 각각 EL층에 주입된다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 이 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 이와 같은 메커니즘을 가지기 때문에 이와 같은 발광 소자는 전류 여기형 발광 소자라고 불린다.

[0184] 또한, EL층은 발광성의 화합물 이외에, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 바이폴라성의 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 가져도 좋다.

[0185] EL층은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성될 수 있다.

[0186] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 내로 분산시킨 발광층을 가지는 것이며, 발광 메커니즘은 도너 준위와 역셀

터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 두고, 또한 그것을 전극 사이에 둔 구조를 가지고, 발광 메커니즘은 금속 이온의 내각 전자 전이(inner-shell electron transition)를 이용하는 국제형 발광이다. 또한 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

- [0187] 발광 소자는 발광을 추출하기 위하여, 적어도 한 쌍의 전극 중 한쪽이 투명하면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 상기 기판과 반대 측의 면으로부터 발광을 추출하는 상면 사출(톱 이미션) 구조나, 기판 측의 면으로부터 발광을 추출하는 하면 사출(보텀 이미션) 구조나, 양면으로부터 발광을 추출하는 양면 사출(듀얼 이미션) 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자도 적용할 수 있다.
- [0188] 도 11의 (B)는 표시 소자로서 발광 소자를 사용한 발광 표시 장치('EL 표시 장치'라고도 함)의 일례이다. 표시 소자인 발광 소자(4513)는 표시부(215)에 제공된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한 발광 소자(4513)의 구성은 제 1 전극층(4030), 발광층(4511), 제 2 전극층(4031)의 적층 구조이지만, 이 구성에 한정되지 않는다. 발광 소자(4513)로부터 추출되는 광의 방향 등에 따라 발광 소자(4513)의 구성은 적절히 변경할 수 있다.
- [0189] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구부를 형성하고 그 개구부의 측면이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0190] 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.
- [0191] 발광 소자(4513)의 발광색은 발광층(4511)을 구성하는 재료에 의하여, 백색, 적색, 녹색, 청색, 시안, 마젠타, 또는 황색 등으로 할 수 있다.
- [0192] 컬러 표시를 실현하는 방법으로서, 발광색이 백색인 발광 소자(4513)와 착색층을 조합하는 방법과, 화소마다 발광색이 상이한 발광 소자(4513)를 제공하는 방법이 있다. 전자의 방법은 후자의 방법보다 생산성이 높다. 한편, 후자의 방법에서는 화소마다 발광층(4511)을 따로 형성할 필요가 있으므로 전자의 방법보다 생산성이 떨어진다. 다만, 후자의 방법은 전자의 방법보다 색 순도가 높은 발광색을 얻을 수 있다. 후자의 방법에 더하여 발광 소자(4513)에 마이크로캐비티 구조를 부여함으로써, 색 순도를 더 높일 수 있다.
- [0193] 또한 발광층(4511)은 퀀텀닷(quantum dot) 등의 무기 화합물을 가져도 좋다. 예를 들어, 퀀텀닷을 발광층에 사용함으로써, 발광 재료로서 기능시킬 수도 있다.
- [0194] 발광 소자(4513)에 산소, 수소, 수분, 이산화탄소 등이 침입되지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호층을 형성하여도 좋다. 보호층으로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, DLC(Diamond Like Carbon) 등을 형성할 수 있다. 또한, 제 1 기판(4001), 제 2 기판(4006), 및 실재(4005)에 의하여 밀봉된 공간에는 충전재(4514)가 제공되고 밀봉되어 있다. 이와 같이, 외기에 노출되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0195] 충전재(4514)로서는 질소나 아르곤 등의 불활성 기체 외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴계 수지, 폴리이미드, 에폭시계 수지, 실리콘계 수지, PVB(폴리비닐부티랄), 또는 EVA(에틸렌바이닐 아세테이트) 등을 사용할 수 있다. 또한 충전재(4514)에 건조제가 포함되어도 좋다.
- [0196] 실재(4005)에는 유리 프릿 등의 유리 재료나, 2액 혼합형 수지 등의 상온에서 경화되는 경화 수지, 광 경화성 수지, 열 경화성 수지 등의 수지 재료를 사용할 수 있다. 또한 실재(4005)에 건조제가 포함되어도 좋다.
- [0197] 또한 필요에 따라 발광 소자의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한 편광판 또는 원 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜, 비침을 저감시킬 수 있는 안티글레어 처리를 수행할 수 있다.
- [0198] 또한 발광 소자를 마이크로캐비티 구조로 함으로써, 색 순도가 높은 광을 추출할 수 있다. 또한 마이크로캐비티 구조와 컬러 필터를 조합함으로써, 비침이 저감되어 표시 화상의 시인성을 높일 수 있다.
- [0199] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도

함)에서는, 추출되는 광의 방향, 전극층이 제공되는 위치, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.

- [0200] 제 1 전극층(4030), 제 2 전극층(4031)에는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다.
- [0201] 또한, 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브데넘(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속 또는 이의 합금 혹은 이의 금속 질화물로부터 1종류 이상을 사용하여 형성할 수 있다.
- [0202] 또한 제 1 전극층(4030), 제 2 전극층(4031)은 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성될 수 있다. 도전성 고분자로서는 소위 π 전자 공액 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 이의 유도체, 폴리피롤 또는 이의 유도체, 폴리싸이오펜 또는 이의 유도체, 또는 아닐린, 피롤, 및 싸이오펜 중 2종류 이상으로 이루어지는 공중합체 또는 이의 유도체 등을 들 수 있다.
- [0203] 또한 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에, 구동 회로 보호용 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성되는 것이 바람직하다.
- [0204] 또한, 도 12에 도시된 바와 같이, 트랜지스터나 용량 소자가 높이 방향으로 중첩되는 영역을 가지는 적층 구조로 하여도 좋다. 예를 들어, 구동 회로를 구성하는 트랜지스터(4011) 및 트랜지스터(4022)를 중첩시켜 배치하면, 슬림 베젤의 표시 장치로 할 수 있다. 또한 화소 회로를 구성하는 트랜지스터(4010), 트랜지스터(4023), 용량 소자(4020) 등이 일부라도 중첩되는 영역을 가지도록 배치하면 개구율이나 해상도를 향상시킬 수 있다. 또한, 도 12에서는 도 11의 (A)에 도시된 액정 표시 장치에 적층 구조를 응용한 예를 나타내었지만, 도 11의 (B)에 도시된 EL 표시 장치로 응용하여도 좋다.
- [0205] 또한 화소 회로에서 전극이나 배선에 가시광에 대한 투광성이 높은 투광성 도전막을 사용함으로써, 화소 내의 광의 투과율을 높일 수 있어, 실질적으로 개구율을 향상시킬 수 있다. 또한 OS 트랜지스터를 사용하는 경우에는 반도체층도 투광성을 가지기 때문에 개구율을 더 높일 수 있다. 이들은 트랜지스터 등을 적층 구조로 하지 않는 경우에서도 유효하다.
- [0206] 또한, 액정 표시 장치와 발광 장치를 조합하여 표시 장치를 구성하여도 좋다.
- [0207] 발광 장치는 표시면의 반대 측 또는 표시면의 단부에 배치된다. 발광 장치는 표시 소자에 광을 공급하는 기능을 가진다. 발광 장치는 백라이트라고도 부를 수 있다.
- [0208] 여기서, 발광 장치는, 판상 또는 시트상의 도광부(도광판이라고도 함)와, 상이한 색의 광을 나타내는 복수의 발광 소자를 가질 수 있다. 상기 발광 소자를 도광부의 측면 근방에 배치하면 도광부 측면으로부터 내부로 광을 발할 수 있다. 도광부는 광로를 변경하는 기구(광 추출 기구라고도 함)를 가지고, 이에 의하여 발광 장치는 표시 패널의 화소부에 광을 균일하게 조사할 수 있다. 또는, 도광부를 제공하지 않고, 화소의 직하에 발광 장치를 배치하는 구성으로 하여도 좋다.
- [0209] 발광 장치는 적색(R), 녹색(G), 청색(B)의 3색의 발광 소자를 가지는 것이 바람직하다. 또한 백색(W)의 발광 소자를 가져도 좋다. 이들 발광 소자로서 발광 다이오드(LED: Light Emitting Diode)를 사용하는 것이 바람직하다.
- [0210] 또한 발광 소자는 그 발광 스펙트럼의 반치전폭(FWHM: Full Width at Half Maximum)이 50nm 이하, 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인, 색 순도가 매우 높은 발광 소자인 것이 바람직하다. 또한 발광 스펙트럼의 반치전폭은 작으면 작을수록 좋지만, 예를 들어 1nm 이상으로 할 수 있다. 이에 의하여 컬러 표시를 수행할 때, 색 재현성이 높아 선명한 표시를 수행할 수 있다.
- [0211] 또한 적색의 발광 소자에는 발광 스펙트럼의 피크 파장이 625nm 이상 650nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다. 또한 녹색의 발광 소자에는 발광 스펙트럼의 피크 파장이 515nm 이상 540nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다. 청색의 발광 소자에는 발광 스펙트럼의 피크 파장이 445nm 이상 470nm 이하의 범위 내에 위치하는 소자를 사용하는 것이 바람직하다.

- [0212] 표시 장치는 3색의 발광 소자를 순차적으로 점멸시키면서 이와 동기시켜 화소를 구동하고, 계시 가법 혼색법에 의거하여 컬러 표시를 수행할 수 있다. 상기 구동 방법은 필드 시퀀셜 구동이라고도 부를 수 있다.
- [0213] 필드 시퀀셜 구동에서는 선명한 컬러 화상을 표시할 수 있다. 또한 매끄러운 동영상을 표시할 수 있다. 또한 상기 구동 방법을 사용함으로써 하나의 화소를 복수의 상이한 색의 부화소로 구성할 필요가 없고, 하나의 화소의 유효 반사 면적(유효 표시 면적, 개구율이라고도 함)을 크게 할 수 있어 밝은 표시를 수행할 수 있다. 또한 화소에 컬러 필터를 제공할 필요가 없기 때문에 화소의 투과율도 향상시킬 수도 있어 더 밝은 표시를 수행할 수 있다. 또한 제작 공정을 간략화할 수 있어 제작 비용을 저감할 수 있다.
- [0214] 도 13의 (A), (B)는 필드 시퀀셜 구동이 가능한 표시 장치의 단면 개략도의 일례이다. 상기 표시 장치의 기관(4001) 측에는 RGB 각 색의 발광이 가능한 백라이트 유닛이 제공된다. 또한 필드 시퀀셜 구동에서는 RGB 각 색의 시분할 발광으로 색을 표현하기 때문에 컬러 필터는 불필요하게 된다.
- [0215] 도 13의 (A)에 도시된 백라이트 유닛(4340a)은 화소의 직하에 확산판(4352)을 개재하여 발광 소자(4342)가 복수 제공된 구성이다. 확산판(4352)은 발광 소자(4342)로부터 기관(4001) 측으로 사출된 광을 확산시키고 표시부 면내의 휘도를 균일화하는 기능을 가진다. 발광 소자(4342)와 확산판(4352) 사이에는 필요에 따라 편광판을 제공하여도 좋다. 또한 확산판(4352)은 불필요하면 제공하지 않아도 된다. 또한 차광층(4132)을 생략한 구성으로 하여도 좋다.
- [0216] 백라이트 유닛(4340a)은 발광 소자(4342)를 많이 탑재할 수 있기 때문에 밝은 표시가 가능해진다. 또한 도광판이 불필요하고 발광 소자(4342)의 광의 효율이 쉽게 저하되지 않는 이점이 있다. 또한 필요에 따라 발광 소자(4342)에 광 확산용의 렌즈(4344)를 제공하여도 좋다.
- [0217] 도 13의 (B)에 도시된 백라이트 유닛(4340b)은 화소의 직하에 확산판(4352)을 개재하여 도광판(4341)이 제공된 구성이다. 도광판(4341)의 단부에는 발광 소자(4342)가 복수로 제공된다. 도광판(4341)은 확산판(4352)과 반대쪽에 요철 형상을 가지고 도파한 광을 상기 요철 형상으로 산란시켜 확산판(4352)의 방향으로 사출할 수 있다.
- [0218] 발광 소자(4342)는 프런트 기관(4347)에 고정할 수 있다. 또한, 도 13의 (B)에서는, RGB 각 색의 발광 소자(4342)가 중첩된 것으로 도시하였지만, 깊이 행 방향에 RGB 각 색의 발광 소자(4342)를 나란히 배치할 수도 있다. 또한 도광판(4341)에서 발광 소자(4342)와 반대 측의 측면에는 가시광을 반사하는 반사층(4348)을 제공하여도 좋다.
- [0219] 백라이트 유닛(4340b)은 발광 소자(4342)를 적게 할 수 있기 때문에 비용이 적고, 또한 박형으로 할 수 있다.
- [0220] 또한 액정 소자에는 광 산란형 액정 소자를 사용하여도 좋다. 광 산란형 액정 소자로서는 액정과 고분자의 복합 재료를 가지는 소자를 사용하는 것이 바람직하다. 예를 들어 고분자 분산형 액정 소자를 사용할 수 있다. 또는, 고분자 네트워크형 액정(PNLC(Polymer Network Liquid Crystal)) 소자를 사용하여도 좋다.
- [0221] 광 산란형 액정 소자는 한 쌍의 전극 사이에 끼워지는 수지부의 3차원 네트워크 구조 내에 액정부가 제공된 구조이다. 액정부에 사용하는 재료로서는 예를 들어 네마틱 액정을 사용할 수 있다. 또한 수지부로서는 광 경화 수지를 사용할 수 있다. 광 경화 수지로서는, 예를 들어 아크릴레이트, 메타크릴레이트 등의 단관능(單官能) 모노머, 다이아크릴레이트, 트리아크릴레이트, 다이메타크릴레이트, 트라이메타크릴레이트 등의 다관능(多官能) 모노머 또는 이들을 혼합시킨 중합성 화합물을 사용할 수 있다.
- [0222] 광 산란형 액정 소자는 액정 재료의 굴절률의 이방성을 이용하여, 광을 투과 또는 산란시킴으로써 표시를 수행한다. 또한 수지부도 굴절률의 이방성을 가져도 좋다. 광 산란형 액정 소자에 인가되는 전압에 따라 액정 분자가 일정 방향으로 배열되면, 액정부와 수지부의 굴절률의 차이가 작아지므로 상기 방향을 따라 입사하는 광은 액정부에서 산란되지 않고 투과한다. 따라서 광 산란형 액정 소자는 상기 방향으로부터는 투명한 상태로 시인된다. 한편, 인가되는 전압에 따라 액정 분자가 무작위로 배열되는 경우, 액정부와 수지부의 굴절률의 차이에 큰 변화가 생기지 않으므로, 입사하는 광은 액정부에서 산란된다. 따라서 광 산란형 액정 소자는 시인의 방향을 불문하고, 불투명의 상태가 된다.
- [0223] 도 14의 (A)는 도 13의 (A)의 표시 장치의 액정 소자(4013)를 광 산란형 액정 소자(4016)로 변경한 구성이다. 광 산란형 액정 소자(4016)는 액정부 및 수지부를 가지는 복합층(4009), 그리고 전극층(4030, 4031)을 가진다. 필드 시퀀셜 구동에 관한 요소는 도 13의 (A)와 같지만, 광 산란형 액정 소자(4016)를 사용하는 경우에는 배향막 및 편광판이 불필요하다. 또한 스페이서(4035)는 구상 형태로 도시되었지만 기둥 형상이어도 좋다.

- [0224] 도 14의 (B)는 도 13의 (B)의 표시 장치의 액정 소자(4013)를 광 산란형 액정 소자(4016)로 변경한 구성이다. 도 13의 (B)의 구성에서는, 광 산란형 액정 소자(4016)에 전압을 인가하지 않을 때 광을 투과하고, 전압을 인가할 때 광을 산란시키는 모드로 동작하는 구성으로 하는 것이 바람직하다. 상기 구성으로 함으로써 노멀 상태(표시시키지 않는 상태)에서 투명한 표시 장치로 할 수 있다. 이 경우에는 광을 산란시키는 동작을 수행하였을 때 컬러 표시를 수행할 수 있다.
- [0225] 도 14의 (B)에 도시된 표시 장치의 변형예를 도 15의 (A) 내지 (E)에 나타내었다. 또한, 도 15의 (A) 내지 (E)에서는, 명료화를 위하여 도 14의 (B)의 일부 요소를 사용하고, 다른 요소를 생략하여 도시하였다.
- [0226] 도 15의 (A)는 기관(4001)이 도광관으로서의 기능을 가지는 구성이다. 기관(4001)의 외측 면에는 요철 형상을 제공하여도 좋다. 상기 구성에서는 도광관을 별도로 제공할 필요가 없어지기 때문에 제조 비용을 저감할 수 있다. 또한 상기 도광관에 의한 광의 감쇠도 없어지기 때문에 발광 소자(4342)가 사출하는 광을 효율적으로 이용할 수 있다.
- [0227] 도 15의 (B)는 복합층(4009)의 단부 근방으로부터 광을 입사하는 구성이다. 복합층(4009)과 기관(4006)의 계면 및 복합층(4009)과 기관(4001)의 계면에서의 전반사를 이용하여, 광 산란형 액정 소자로부터 외부로 광을 사출할 수 있다. 복합층(4009)의 수지부에는 기관(4001) 및 기관(4006)보다 굴절률이 큰 재료를 사용한다.
- [0228] 또한, 발광 소자(4342)는 표시 장치의 1면 뿐만 아니라, 도 15의 (C)에 도시된 바와 같이 대향하는 2면에 제공하여도 좋다. 또한, 3면 또는 4면에 제공하여도 좋다. 발광 소자(4342)를 복수의 면에 제공함으로써 광의 감쇠를 보완할 수 있고, 면적이 큰 표시 소자에도 대응할 수 있다.
- [0229] 도 15의 (D)는, 발광 소자(4342)로부터 사출되는 광이 미러(4345)를 통하여 표시 장치로 도광되는 구성이다. 상기 구성에 의하여 표시 장치에 일정한 각도로부터의 도광이 수행되기 쉬워지기 때문에 효율적으로 전반사광을 얻을 수 있다.
- [0230] 도 15의 (E)는, 복합층(4009) 위에 층(4003) 및 층(4004)의 적층을 가지는 구성이다. 층(4003) 및 층(4004)의 한쪽은 유리 기관 등의 지지체이고, 다른 쪽은 무기막, 유기 수지의 코팅막, 또는 필름 등으로 형성할 수 있다. 복합층(4009)의 수지부에는 층(4004)보다 굴절률이 큰 재료를 사용한다. 또한 층(4004)에는 층(4003)보다 굴절률이 큰 재료를 사용한다.
- [0231] 복합층(4009)과 층(4004) 사이에는 첫 번째의 계면이 형성되고, 층(4004)과 층(4003) 사이에는 두 번째의 계면이 형성된다. 상기 구성에 의하여 첫 번째의 계면에서 전반사되지 않고 투과한 광을 두 번째의 계면에서 전반사시켜 복합층(4009)으로 되돌릴 수 있다. 따라서 발광 소자(4342)가 사출하는 광을 효율적으로 이용할 수 있다.
- [0232] 또한, 도 14의 (B) 및 도 15의 (A) 내지 (E)에서의 구성은 서로 조합할 수 있다.
- [0233] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0234] (실시형태 3)
- [0235] 본 실시형태에서는 상기 실시형태에 나타낸 각 트랜지스터 대신에 사용할 수 있는 트랜지스터의 일례에 대하여 도면을 참조하여 설명한다.
- [0236] 본 발명의 일 형태의 표시 장치는 보텀 게이트형 트랜지스터나 톱 게이트형 트랜지스터 등의 다양한 형태의 트랜지스터를 사용하여 제작할 수 있다. 따라서 기존의 제조 라인에 맞추어, 사용되는 반도체층의 재료나 트랜지스터 구조를 용이하게 바꿀 수 있다.
- [0237] [보텀 게이트형 트랜지스터]
- [0238] 도 16의 (A1)은 보텀 게이트형 트랜지스터의 일종인 채널 보호형 트랜지스터(810)의 채널 길이 방향의 단면도이다. 도 16의 (A1)에서, 트랜지스터(810)는 기관(771) 위에 형성된다. 또한 트랜지스터(810)는 기관(771) 위에 절연층(772)을 개재하여 전극(746)을 가진다. 또한 전극(746) 위에 절연층(726)을 개재하여 반도체층(742)을 가진다. 전극(746)은 게이트 전극으로서 기능할 수 있다. 절연층(726)은 게이트 절연층으로서 기능할 수 있다.
- [0239] 또한 반도체층(742)의 채널 형성 영역 위에 절연층(741)을 가진다. 또한 반도체층(742)의 일부와 접촉하고, 절연층(726) 위에 전극(744a) 및 전극(744b)을 가진다. 전극(744a)은 소스 전극 및 드레인 전극 중 한쪽으로서

기능할 수 있다. 전극(744b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 전극(744a)의 일부 및 전극(744b)의 일부는 절연층(741) 위에 형성된다.

- [0240] 절연층(741)은 채널 보호층으로서 기능할 수 있다. 채널 형성 영역 위에 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 발생하는 반도체층(742)의 노출을 방지할 수 있다. 따라서, 전극(744a) 및 전극(744b)의 형성 시에, 반도체층(742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다.
- [0241] 또한 트랜지스터(810)는 전극(744a), 전극(744b), 및 절연층(741) 위에 절연층(728)을 가지고, 절연층(728) 위에 절연층(729)을 가진다.
- [0242] 반도체층(742)에 산화물 반도체를 사용하는 경우, 전극(744a) 및 전극(744b)에서 적어도 반도체층(742)과 접촉되는 부분에, 반도체층(742)의 일부로부터 산소를 빼앗아, 산소 결손을 발생시킬 수 있는 재료를 사용하는 것이 바람직하다. 반도체층(742) 내의 산소 결손이 발생한 영역은 캐리어 농도가 증가되어, 상기 영역은 n형화되어 n형 영역(n⁺층)이 된다. 따라서, 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 반도체층(742)에 산화물 반도체를 사용하는 경우, 반도체층(742)으로부터 산소를 빼앗아 산소 결손을 발생시킬 수 있는 재료의 일례로서 텅스텐, 타이타늄 등을 들 수 있다.
- [0243] 반도체층(742)에 소스 영역 및 드레인 영역이 형성됨으로써, 전극(744a) 및 전극(744b)과 반도체층(742)의 접촉 저항을 저감할 수 있다. 따라서 전계 효과 이동도나 문턱 전압 등의 트랜지스터의 전기 특성을 양호한 것으로 할 수 있다.
- [0244] 반도체층(742)에 실리콘 등의 반도체를 사용하는 경우에는, 반도체층(742)과 전극(744a) 사이 및 반도체층(742)과 전극(744b) 사이에 n형 반도체 또는 p형 반도체로서 기능하는 층을 제공하는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.
- [0245] 절연층(729)은 외부로부터 트랜지스터로의 불순물의 확산을 방지하거나 저감하는 기능을 가지는 재료를 사용하여 형성하는 것이 바람직하다. 또한 필요에 따라 절연층(729)을 생략할 수도 있다.
- [0246] 도 16의 (A2)에 도시된 트랜지스터(811)는 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 가지는 점에서 트랜지스터(810)와 다르다. 전극(723)은 전극(746)과 같은 재료 및 방법으로 형성할 수 있다.
- [0247] 일반적으로 백 게이트 전극은 도전층으로 형성되고, 게이트 전극과 백 게이트 전극으로 반도체층의 채널 형성 영역을 끼우도록 배치된다. 따라서 백 게이트 전극을 게이트 전극과 마찬가지로 기능시킬 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같은 전위로 하여도 좋고, 접지 전위(GND 전위)나 임의의 전위로 하여도 좋다. 또한 백 게이트 전극의 전위를 게이트 전극과 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압을 변화시킬 수 있다.
- [0248] 또한 전극(746) 및 전극(723)은 양쪽 모두 게이트 전극으로서 기능할 수 있다. 따라서, 절연층(726), 절연층(728), 및 절연층(729)은 각각이 게이트 절연층으로서 기능할 수 있다. 또한 전극(723)은 절연층(728)과 절연층(729) 사이에 제공하여도 좋다.
- [0249] 또한 전극(746) 및 전극(723) 중 한쪽을 '게이트 전극'이라고 하는 경우, 다른 쪽을 '백 게이트 전극'이라고 한다. 예를 들어 트랜지스터(811)에서 전극(723)을 '게이트 전극'이라고 하는 경우, 전극(746)을 '백 게이트 전극'이라고 한다. 또한 전극(723)을 '게이트 전극'으로서 사용하는 경우에는, 트랜지스터(811)를 톱 게이트형 트랜지스터의 일종이라고 생각할 수 있다. 또한 전극(746) 및 전극(723) 중 어느 한쪽을 '제 1 게이트 전극'이라고 하고, 다른 쪽을 '제 2 게이트 전극'이라고 하는 경우가 있다.
- [0250] 반도체층(742)을 끼워 전극(746) 및 전극(723)을 제공함으로써, 또한 전극(746) 및 전극(723)을 동일한 전위로 함으로써, 반도체층(742)에서 캐리어가 흐르는 영역이 막 두께 방향에서 더 커지기 때문에, 캐리어의 이동량이 증가된다. 이 결과, 트랜지스터(811)의 온 전류가 커짐과 함께, 전계 효과 이동도가 높아진다.
- [0251] 따라서 트랜지스터(811)는 점유 면적에 대하여 큰 온 전류를 가지는 트랜지스터이다. 즉 요구되는 온 전류에 대하여 트랜지스터(811)의 점유 면적을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 점유 면적을 작게 할 수 있다. 따라서 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 실현할 수 있다.
- [0252] 또한 게이트 전극과 백 게이트 전극은 도전층으로 형성되기 때문에, 트랜지스터의 외부에서 발생하는 전계가 채널이 형성되는 반도체층에 작용하지 않도록 하는 기능(특히 정전기 등에 대한 전계 차폐 기능)을 가진다. 또한

백 게이트 전극을 반도체층보다 크게 형성하고, 백 게이트 전극으로 반도체층을 덮음으로써, 전계 차폐 기능을 높일 수 있다.

- [0253] 또한 백 게이트 전극을 차광성을 가지는 도전막으로 형성함으로써, 백 게이트 전극 측으로부터 반도체층에 광이 입사하는 것을 방지할 수 있다. 따라서 반도체층의 광 열화를 방지하고, 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성의 열화를 방지할 수 있다.
- [0254] 본 발명의 일 형태에 따르면, 신뢰성이 양호한 트랜지스터를 실현할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 실현할 수 있다.
- [0255] 도 16의 (B1)은, 도 16의 (A1)과는 구성이 다른 채널 보호형 트랜지스터(820)의 채널 길이 방향의 단면도이다. 트랜지스터(820)는 트랜지스터(810)와 거의 같은 구조를 가지지만, 절연층(741)이 반도체층(742)의 단부를 덮고 있는 점에서 다르다. 또한 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거하여 형성한 개구부에서, 반도체층(742)과 전극(744a)이 전기적으로 접속된다. 또한 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거하여 형성한 다른 개구부에서, 반도체층(742)과 전극(744b)이 전기적으로 접속된다. 절연층(729)에서 채널 형성 영역과 중첩되는 영역은 채널 보호층으로서 기능할 수 있다.
- [0256] 도 16의 (B2)에 도시된 트랜지스터(821)는 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 가지는 점에서 트랜지스터(820)와 다르다.
- [0257] 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 발생하는 반도체층(742)의 노출을 방지할 수 있다. 따라서, 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)의 박막화를 방지할 수 있다.
- [0258] 또한 트랜지스터(820) 및 트랜지스터(821)는 전극(744a)과 전극(746) 사이의 거리와 전극(744b)과 전극(746) 사이의 거리가 트랜지스터(810) 및 트랜지스터(811)보다 길다. 따라서 전극(744a)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 또한 전극(744b)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다.
- [0259] 도 16의 (C1)에 나타난 트랜지스터(825)는 보텀 게이트형 트랜지스터의 일종인 채널 에칭형 트랜지스터(825)의 채널 길이 방향의 단면도이다. 트랜지스터(825)는 절연층(741)을 사용하지 않고 전극(744a) 및 전극(744b)을 형성한다. 이 때문에, 전극(744a) 및 전극(744b)의 형성 시에 노출되는 반도체층(742)의 일부가 에칭되는 경우가 있다. 한편, 절연층(741)을 제공하지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.
- [0260] 도 16의 (C2)에 도시된 트랜지스터(826)는 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 가지는 점에서 트랜지스터(825)와 다르다.
- [0261] 도 17의 (A1), (A2), (B1), (B2), (C1), 및 (C2)에 트랜지스터(810, 811, 820, 821, 825, 및 826)의 채널 폭 방향의 단면도를 각각 도시하였다.
- [0262] 도 17의 (B2), (C2)에 나타난 구조에서는, 게이트 전극과 백 게이트 전극이 접속되고, 게이트 전극과 백 게이트 전극의 전위가 동일한 전위가 된다. 또한, 반도체층(742)은 게이트 전극과 백 게이트 전극 사이에 있다.
- [0263] 게이트 전극 및 백 게이트 전극의 각각의 채널 폭 방향의 길이는 반도체층(742)의 채널 폭 방향의 길이보다 길고, 반도체층(742)의 채널 폭 방향 전체는 절연층(726, 741, 728, 729)를 사이에 끼고 게이트 전극 또는 백 게이트 전극으로 덮인 구성이다.
- [0264] 상기 구성으로 함으로써, 트랜지스터에 포함되는 반도체층(742)을 게이트 전극 및 백 게이트 전극의 전계에 의하여 전기적으로 둘러쌀 수 있다.
- [0265] 트랜지스터(821) 또는 트랜지스터(826)와 같이, 게이트 전극 및 백 게이트 전극의 전계에 의하여 채널 형성 영역이 형성되는 반도체층(742)을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 Surrounded channel(S-channel) 구조라고 부를 수 있다.
- [0266] S-channel 구조로 함으로써, 게이트 전극 및 백 게이트 전극 중 한쪽 또는 양쪽에 의하여 채널을 유발시키기 위한 전계를 효과적으로 반도체층(742)에 인가할 수 있으므로, 트랜지스터의 전류 구동 능력이 향상되어, 높은 온 전류 특성을 얻을 수 있다. 또한 온 전류를 높게 할 수 있으므로, 트랜지스터를 미세화하는 것이 가능해진다. 또한 S-channel 구조로 함으로써, 트랜지스터의 기계적 강도를 높일 수 있다.
- [0267] [톱 게이트형 트랜지스터]

- [0268] 도 18의 (A1)에 예시된 트랜지스터(842)는 톱 게이트형 트랜지스터의 일종이다. 트랜지스터(842)는 절연층(729)을 형성한 후에 전극(744a) 및 전극(744b)을 형성하는 점이 트랜지스터(810)나 트랜지스터(820)와 상이하다. 전극(744a) 및 전극(744b)은 절연층(728) 및 절연층(729)에 형성한 개구부에서 반도체층(742)과 전기적으로 접속된다.
- [0269] 또한 전극(746)과 중첩되지 않는 절연층(726)의 일부를 제거하고, 전극(746)과 잔존한 절연층(726)을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입함으로써, 반도체층(742) 내에 자기정합(셀프 얼라인먼트)적으로 불순물 영역을 형성할 수 있다. 트랜지스터(842)는 절연층(726)이 전극(746)의 단부를 넘어 연장되는 영역을 가진다. 반도체층(742)의 절연층(726)을 통하여 불순물(755)이 도입된 영역의 불순물 농도는 절연층(726)을 통하지 않고 불순물(755)이 도입된 영역보다 작다. 반도체층(742)은 전극(746)과 중첩되지 않는 영역에 LDD(Lightly Doped Drain) 영역이 형성된다.
- [0270] 도 18의 (A2)에 도시된 트랜지스터(843)는 전극(723)을 가지는 점에서 트랜지스터(842)와 다르다. 트랜지스터(843)는 기판(771) 위에 형성된 전극(723)을 가진다. 전극(723)은 절연층(772)을 개재하여 반도체층(742)과 중첩되는 영역을 가진다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다.
- [0271] 또한, 도 18의 (B1)에 도시된 트랜지스터(844) 및 도 18의 (B2)에 도시된 트랜지스터(845)와 같이, 전극(746)과 중첩되지 않는 영역의 절연층(726)을 모두 제거하여도 좋다. 또한, 도 18의 (C1)에 도시된 트랜지스터(846) 및 도 18의 (C2)에 도시된 트랜지스터(847)와 같이, 절연층(726)을 남겨도 좋다.
- [0272] 트랜지스터(842) 내지 트랜지스터(847)에도, 전극(746)을 형성한 후에, 전극(746)을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입함으로써, 반도체층(742) 내에 자기정합적으로 불순물 영역을 형성할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 실현할 수 있다.
- [0273] 도 19의 (A1), (A2), (B1), (B2), (C1), 및 (C2)에 트랜지스터(842, 843, 844, 845, 846, 847)의 채널 폭 방향의 단면도를 각각 도시하였다.
- [0274] 트랜지스터(843), 트랜지스터(845), 및 트랜지스터(847)는 각각 상술한 S-channel 구조이다. 다만, 이에 한정되지 않고, 트랜지스터(843), 트랜지스터(845), 및 트랜지스터(847)를 S-channel 구조로 하지 않아도 된다.
- [0275] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0276] (실시형태 4)
- [0277] 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있는 전자 기기로서, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 가진 화상 기억 장치 또는 화상 재생 장치, 휴대 전화, 휴대용을 포함하는 게임기, 휴대 정보 단말기, 전자책 단말기, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 20의 (A) 내지 (F)에 도시하였다.
- [0278] 도 20의 (A)는 디지털 카메라이고,하우징(961), 셔터 버튼(962), 마이크로폰(963), 스피커(967), 표시부(965), 조작 키(966), 줌 레버(968), 렌즈(969) 등을 가진다. 표시부(965)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.
- [0279] 도 20의 (B)는 디지털 사이니지이고, 기둥(921)의 측면에 대형의 표시부(922)가 제공된 구성을 가진다. 표시부(922)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 표시 품위가 높은 표시를 수행할 수 있다.
- [0280] 도 20의 (C)는 휴대 전화기의 일례이고, 하우징(951), 표시부(952), 조작 버튼(953), 외부 접속 포트(954), 스피커(955), 마이크로폰(956), 카메라(957) 등을 가진다. 상기 휴대 전화기는 표시부(952)에 터치 센서를 구비한다. 전화를 걸거나, 또는 문자를 입력하는 등의 모든 조작은 손가락이나 스타일러스 등으로 표시부(952)를 터치함으로써 수행할 수 있다. 또한, 하우징(951) 및 표시부(952)는 가요성을 가지고, 도식한 바와 같이 굴곡시켜 사용할 수 있다. 표시부(952)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.
- [0281] 도 20의 (D)는 비디오 카메라이고, 제 1 하우징(901), 제 2 하우징(902), 표시부(903), 조작 키(904), 렌즈(905), 접속부(906), 스피커(907) 등을 가진다. 조작 키(904) 및 렌즈(905)는 제 1 하우징(901)에 제공되어

있고, 표시부(903)는 제 2 하우징(902)에 제공되어 있다. 표시부(903)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.

- [0282] 도 20의 (E)는 텔레비전이고, 하우징(971), 표시부(973), 조작 키(974), 스피커(975), 통신용 접속 단자(976), 광 센서(977) 등을 가진다. 표시부(973)에는 터치 센서가 제공되고, 입력 조작을 수행할 수도 있다. 표시부(973)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.
- [0283] 도 20의 (F)는 휴대 정보 단말기이고, 하우징(911), 표시부(912), 스피커(913), 카메라(919) 등을 가진다. 표시부(912)가 가지는 터치 패널 기능에 의하여 정보의 입출력을 수행할 수 있다. 표시부(912)에 본 발명의 일 형태의 표시 장치를 사용함으로써, 다양한 화상의 표시를 수행할 수 있다.
- [0284] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0285] (실시형태 5)
- [0286] 본 실시형태에서는 트랜지스터의 채널 형성 영역에 적합하게 사용할 수 있는 금속 산화물에 대하여 설명한다.
- [0287] 트랜지스터에 사용하는 반도체 재료로서는, 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적인 예로서는 인듐을 포함한 금속 산화물 등이 있고, 예를 들어 후술되는 CAC-OS 등을 사용할 수 있다.
- [0288] 실리콘보다 밴드 갭이 넓고, 또한 캐리어 밀도가 작은 금속 산화물을 사용한 트랜지스터는 오프 전류가 낮기 때문에, 트랜지스터에 직렬로 접속된 용량 소자에 축적된 전하가 장기간에 걸쳐 유지될 수 있다.
- [0289] 반도체층은, 예를 들어 인듐, 아연, 및 M(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함하는 In-M-Zn계 산화물로 표기되는 막으로 할 수 있다.
- [0290] 반도체층을 구성하는 금속 산화물이 In-M-Zn계 산화물인 경우, In-M-Zn 산화물을 성막하기 위하여 사용되는 스퍼터링 타겟의 금속 원소의 원자수비는 $In \geq M$, $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타겟의 금속 원소의 원자수비로서, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=3:1:2$, $In:M:Zn=4:2:3$, $In:M:Zn=4:2:4.1$, $In:M:Zn=5:1:6$, $In:M:Zn=5:1:7$, $In:M:Zn=5:1:8$ 등이 바람직하다. 또한 성막되는 반도체층의 원자수비는 각각 상기 스퍼터링 타겟에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 변동을 포함한다.
- [0291] 반도체층으로서, 캐리어 밀도가 낮은 금속 산화물막을 사용한다. 예를 들어 반도체층은 캐리어 밀도가 $1 \times 10^{17}/cm^3$ 이하, 바람직하게는 $1 \times 10^{15}/cm^3$ 이하, 더 바람직하게는 $1 \times 10^{13}/cm^3$ 이하, 더욱 바람직하게는 $1 \times 10^{11}/cm^3$ 이하, 더더욱 바람직하게는 $1 \times 10^{10}/cm^3$ 미만이고, $1 \times 10^{-9}/cm^3$ 이상의 캐리어 밀도의 금속 산화물을 사용할 수 있다. 이와 같은 금속 산화물을 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물이라고 부른다. 상기 금속 산화물은 결합 준위 밀도가 낮고, 안정적인 특성을 가지는 금속 산화물이라고 할 수 있다.
- [0292] 또한, 이들에 한정되지 않고, 필요한 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 산화물 반도체를 사용하면 좋다. 또한 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0293] 반도체층을 구성하는 금속 산화물에서, 14족 원소 중 하나인 실리콘이나 탄소가 포함되면 반도체층에서 산소 결손이 증가되어 n형화된다. 그러므로 반도체층에서의 실리콘이나 탄소의 농도(이차 이온 질량 분석법으로 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0294] 또한 알칼리 금속 및 알칼리 토금속은 금속 산화물과 결합하면 캐리어를 생성하는 경우가 있고 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그러므로 반도체층에서의 이차 이온 질량 분석법으로 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를, $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.
- [0295] 또한 반도체층을 구성하는 금속 산화물에 질소가 포함되면, 캐리어인 전자가 생기고 캐리어 밀도가 증가되어 n형화되기 쉽다. 이 결과, 질소가 포함되는 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 반도체층에서의 이차 이온 질량 분석법으로 얻어지는 질소 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.
- [0296] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서

는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.

- [0297] 또한 본 발명의 일 형태에 개시되는 트랜지스터의 반도체층에는 CAC-OS(Cloud-Aligned Composite oxide semiconductor)를 사용하여도 좋다.
- [0298] 또한, 본 발명의 일 형태에서 개시되는 트랜지스터의 반도체층은 상술한 비단결정 산화물 반도체 또는 CAC-OS를 적합하게 사용할 수 있다. 또한, 비단결정 산화물 반도체로서는, nc-OS 또는 CAAC-OS를 적합하게 사용할 수 있다.
- [0299] 또한, 본 발명의 일 형태에서는 트랜지스터의 반도체층으로서 CAC-OS를 사용하는 것이 바람직하다. CAC-OS를 사용함으로써, 트랜지스터에 높은 전기 특성 또는 높은 신뢰성을 부여할 수 있다.
- [0300] 또한, 반도체층이 CAAC-OS의 영역, 다결정 산화물 반도체의 영역, nc-OS의 영역, a-like OS의 영역, 및 비정질 산화물 반도체의 영역 중 2종류 이상을 가지는 혼합막이어도 좋다. 혼합막은 예를 들어 상술한 영역 중 어느 2종류 이상의 영역을 포함하는 단층 구조 또는 적층 구조를 가지는 경우가 있다.
- [0301] 이하에서는, 본 발명의 일 형태에 개시된 트랜지스터에 사용할 수 있는 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.
- [0302] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가, 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 이하에서는, 금속 산화물에서 하나 또는 그 이상의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.
- [0303] 또한, 금속 산화물은 적어도 인듐을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되어 있어도 좋다.
- [0304] 예를 들어, In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을, 특히 CAC-IGZO라고 불리도 좋음)란 인듐 산화물(이하, InO_{X1} ($X1$ 은 0보다 큰 실수)로 함) 또는 인듐 아연 산화물(이하, $In_{X2}Zn_{Y2}O_{Z2}$ ($X2$, $Y2$, 및 $Z2$ 는 0보다 큰 실수)로 함)과 갈륨 산화물(이하, GaO_{X3} ($X3$ 은 0보다 큰 실수)으로 함) 또는 갈륨 아연 산화물(이하, $Ga_{X4}Zn_{Y4}O_{Z4}$ ($X4$, $Y4$, 및 $Z4$ 는 0보다 큰 실수)로 함) 등으로 재료가 분리됨으로써 모자이크 패턴이 되고, 모자이크 패턴의 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$ 가 막 내에 균일하게 분포한 구성(이하, 클라우드상이라고도 함)이다.
- [0305] 즉, CAC-OS는, GaO_{X3} 이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역이 혼합되어 있는 구성을 가지는 복합 금속 산화물이다. 또한 본 명세서에서 예를 들어 제 1 영역의 원소 M에 대한 In의 원자수비가 제 2 영역의 원소 M에 대한 In의 원자수비보다 큰 것을, 제 1 영역은 제 2 영역과 비교하여 In의 농도가 높다고 한다.
- [0306] 또한 IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 말하는 경우가 있다. 대표적인 예로서, $InGaO_3(ZnO)_m$ (m 은 자연수) 또는 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_m$ ($-1 \leq x0 \leq 1$, $m0$ 은 임의의 수)으로 나타내어지는 결정성 화합물을 들 수 있다.
- [0307] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조는 복수의 IGZO의 나노 결정이 c축 배향을 가지고 또한 a-b면에서는 배향하지 않고 연결된 결정 구조이다.
- [0308] 한편, CAC-OS는 금속 산화물의 재료 구성에 관한 것이다. CAC-OS란 In, Ga, Zn, 및 O를 포함하는 재료 구성에서, 일부에 Ga를 주성분으로 하는 나노 입자상으로 관찰되는 영역과 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크 패턴으로 무작위로 분산되어 있는 구성을 말한다. 따라서, CAC-OS에서 결정 구조는 부차적인 요소이다.
- [0309] 또한 CAC-OS는 조성이 상이한 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어 In을 주성분으로 하는 막과, Ga를 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.
- [0310] 또한, GaO_{X3} 이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 이 주성분인 영역 사이에는 명확한 경계를 관찰할 수 없는

경우가 있다.

- [0311] 또한, 갈륨 대신에, 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되어 있는 경우, CAC-OS는 일부에 상기 금속 원소를 주성분으로 하는 나노 입자상으로 관찰되는 영역과, 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크 패턴으로 무작위로 분산되어 있는 구성을 말한다.
- [0312] CAC-OS는 예를 들어, 기판을 가열하지 않는 조건으로, 스퍼터링법으로 형성할 수 있다. 또한 CAC-OS를 스퍼터링법으로 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스 중에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하고, 예를 들어 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.
- [0313] CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법의 하나인 Out-of-plane법에 의한 $\theta/2\theta$ 스캔을 사용하여 측정하였을 때 명확한 피크가 관찰되지 않는다는 특징을 가진다. 즉, X선 회절 측정으로부터 측정 영역의 a-b면 방향 및 c축 방향의 배향이 보이지 않는 것을 알 수 있다.
- [0314] 또한 CAC-OS는, 프로브 직경이 1nm의 전자선(나노 빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자선 회절 패턴에 있어서, 휘도가 높은 링 형상의 영역과 상기 링 형상의 영역 내에 복수의 휘점이 관측된다. 따라서, 전자선 회절 패턴으로부터 CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서, 배향성을 가지지 않는 nc(nano-crystal) 구조를 가지는 것을 알 수 있다.
- [0315] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 맵핑으로부터, GaO_{x3} 이 주성분인 영역과, $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 이 주성분인 영역이 편재하고 혼합되어 있는 구조를 가지는 것을 확인할 수 있다.
- [0316] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 상이한 구조이고, IGZO 화합물과는 상이한 성질을 가진다. 즉, CAC-OS는 GaO_{x3} 등이 주성분인 영역과, $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크 패턴인 구조를 가진다.
- [0317] 여기서, $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 이 주성분인 영역은 GaO_{x3} 등이 주성분인 영역과 비교하여 도전성이 높은 영역이다. 즉, $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 이 주성분인 영역을 캐리어가 흐름으로써, 금속 산화물로서의 도전성이 발현된다. 따라서, $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 이 주성분인 영역이 금속 산화물 중에 클라우드로 분포됨으로써, 높은 전계 효과 이동도(μ)를 실현할 수 있다.
- [0318] 한편, GaO_{x3} 등이 주성분인 영역은 $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 이 주성분인 영역과 비교하여 절연성이 높은 영역이다. 즉, GaO_{x3} 등이 주성분인 영역이 금속 산화물 내에 분포됨으로써, 누설 전류를 억제하여 양호한 스위칭 동작을 실현할 수 있다.
- [0319] 따라서, CAC-OS를 반도체 소자에 사용한 경우, GaO_{x3} 등에 기인하는 절연성과, $In_{x2}Zn_{y2}O_{z2}$ 또는 InO_{x1} 에 기인하는 도전성이 상보적으로 작용함으로써, 높은 온 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.
- [0320] 또한 CAC-OS를 사용한 반도체 소자는 신뢰성이 높다. 따라서, CAC-OS는 디스플레이를 비롯한 다양한 반도체 장치에 최적이다.
- [0321] 또한, 반도체층에 CAC-OS를 가지는 트랜지스터는 전계 효과 이동도가 높고, 또한 구동 능력이 높기 때문에, 상기 트랜지스터를 구동 회로, 대표적으로는 게이트 신호를 생성하는 주사선 구동 회로에 사용함으로써, 베젤 폭이 좁은 표시 장치를 제공할 수 있다. 또한, 상기 트랜지스터를, 표시 장치가 가지는 신호선 구동 회로(특히 신호선 구동 회로가 가지는 시프트 레지스터의 출력 단자와 접속되는 디멀티플렉서)에 사용함으로써, 표시 장치와 접속되는 배선수가 적은 표시 장치를 제공할 수 있다.
- [0322] 또한, 반도체층에 CAC-OS를 가지는 트랜지스터는 저온 폴리실리콘을 사용한 트랜지스터와 같은 레이저 결정화 공정이 불필요하다. 이로써 대면적 기판을 사용한 표시 장치이어도 제조 비용을 저감할 수 있다. 또한, 울트라 하이비전('4K 해상도', '4K2K', '4K'), 슈퍼 하이비전('8K 해상도', '8K4K', '8K')과 같이 해상도가 높고,

또한 대형의 표시 장치에 있어서, 반도체층에 CAC-OS를 가지는 트랜지스터를 구동 회로 및 표시부에 사용함으로써 단시간에 기록할 수 있고, 표시 불량을 저감할 수 있어 바람직하다.

[0323] 또는, 트랜지스터의 채널이 형성되는 반도체에 실리콘을 사용하여도 좋다. 실리콘으로서 비정질 실리콘을 사용하여도 좋지만 특히 결정성을 가지는 실리콘을 사용하는 것이 바람직하다. 예를 들어, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용하는 것이 바람직하다. 특히, 다결정 실리콘은 단결정 실리콘에 비하여 저온에서 형성할 수 있고, 또한 비정질 실리콘에 비하여 높은 전계 효과 이동도와 높은 신뢰성을 가진다.

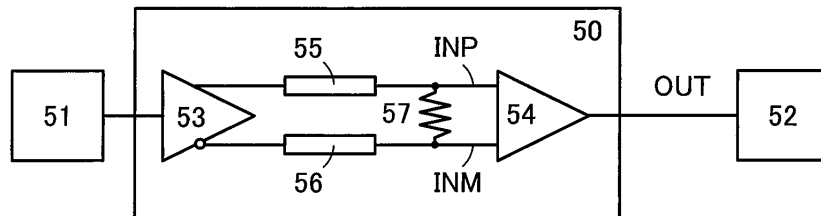
[0324] 본 실시형태는 적어도 그 일부를 본 명세서에 기재되는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0325] FN1: 노드, FN2: 노드, G1: 신호선, G2: 신호선, G3: 신호선, G4: 신호선, G5: 신호선, IM1: 입력 단자, IM2: 입력 단자, IP1: 입력 단자, IP2: 입력 단자, MN1: 배선, N1: 노드, N2: 노드, N3: 노드, N4: 노드, N5: 노드, N6: 노드, OM1: 출력 단자, OM2: 출력 단자, OP1: 출력 단자, OP2: 출력 단자, V1: 전원선, V2: 전원선, V3: 전원선, V4: 전원선, V4A: 전원선, V5: 전원선, V5A: 전원선, V6: 전원선, V7: 전원선, V8: 전원선, Vref1: 프로그램 전위, Vref1A: 프로그램 전위, Vref2: 프로그램 전위, Vref2A: 프로그램 전위, Vref3: 프리셋 전위, Vref4: 프리셋 전위, 10: 수신 회로, 10A: 수신 회로, 11: 연산 증폭기, 11A: 연산 증폭기, 11A1: 입력 단자, 11A2: 입력 단자, 11A3: 출력 단자, 11A4: 출력 단자, 11B: 연산 증폭기, 11B1: 연산 증폭기, 12: 트랜지스터, 12A: 소자, 12B: 소자, 12C: 소자, 13A: 소자, 13B: 소자, 13C: 소자, 14: 회로, 14A: 회로, 14B: 회로, 14C: 회로, 14C1: 회로, 15: 발광 소자, 15A: 트랜지스터, 15B: 트랜지스터, 16A: 트랜지스터, 16B: 트랜지스터, 17a: 트랜지스터, 17A: 트랜지스터, 17B: 트랜지스터, 18: 저항 소자, 19a: 입력 단자, 19A: 트랜지스터, 19b: 입력 단자, 19B: 트랜지스터, 19c: 출력 단자, 19d: 출력 단자, 19e: 입력 단자, 19f: 입력 단자, 19g: 출력 단자, 19h: 입력 단자, 20A: 회로, 20B: 회로, 21A: 트랜지스터, 21B: 트랜지스터, 22A: 트랜지스터, 22B: 트랜지스터, 23A: 트랜지스터, 23B: 트랜지스터, 23C: 용량 소자, 24A: 트랜지스터, 24B: 트랜지스터, 24C: 트랜지스터, 24D: 용량 소자, 24E: 트랜지스터, 24F: 트랜지스터, 24G: 트랜지스터, 24H: 용량 소자, 31: 트랜지스터, 32: 트랜지스터, 33: 트랜지스터, 34: 트랜지스터, 35: 트랜지스터, 36: 트랜지스터, 37: 트랜지스터, 38: 용량 소자, 39: 용량 소자, 41: 트랜지스터, 42: 트랜지스터, 43: 트랜지스터, 44: 트랜지스터, 45: 용량 소자, 46: 용량 소자, 47: 발광 소자, 50: 수신 회로, 51: 제어부, 52: 제어부, 53: 송신 회로, 54: 수신 회로, 55: 전송로, 56: 전송로, 57: 저항 소자, 100: 전자 기기, 101: 제어부, 102: 프로세서, 103: 통신 회로, 104: 입출력 회로, 105: 스토리지, 106: 메모리, 110: 표시 장치, 111: 디스플레이 컨트롤러, 112: 제어부, 112A: 연산부, 112B: 타이밍 생성 회로, 113: 프레임 메모리, 114: 드라이버 회로, 121: 표시 패널, 122: 소스 드라이버 회로, 123: 게이트 드라이버 회로, 124: 표시부, 124A: 화소, 124B: 화소

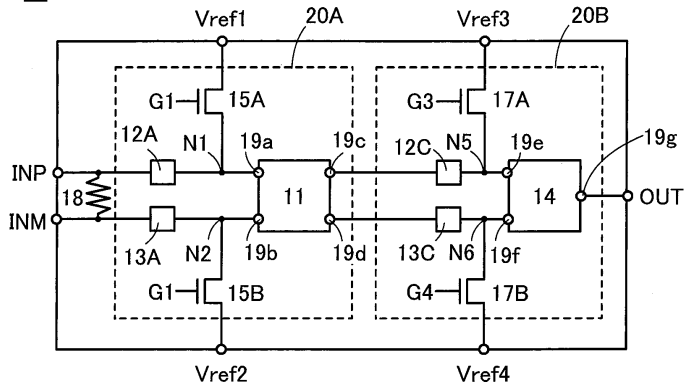
도면

도면1

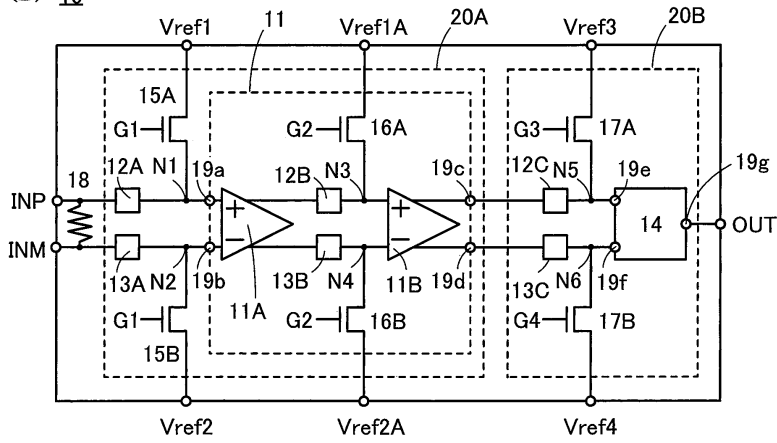


도면2

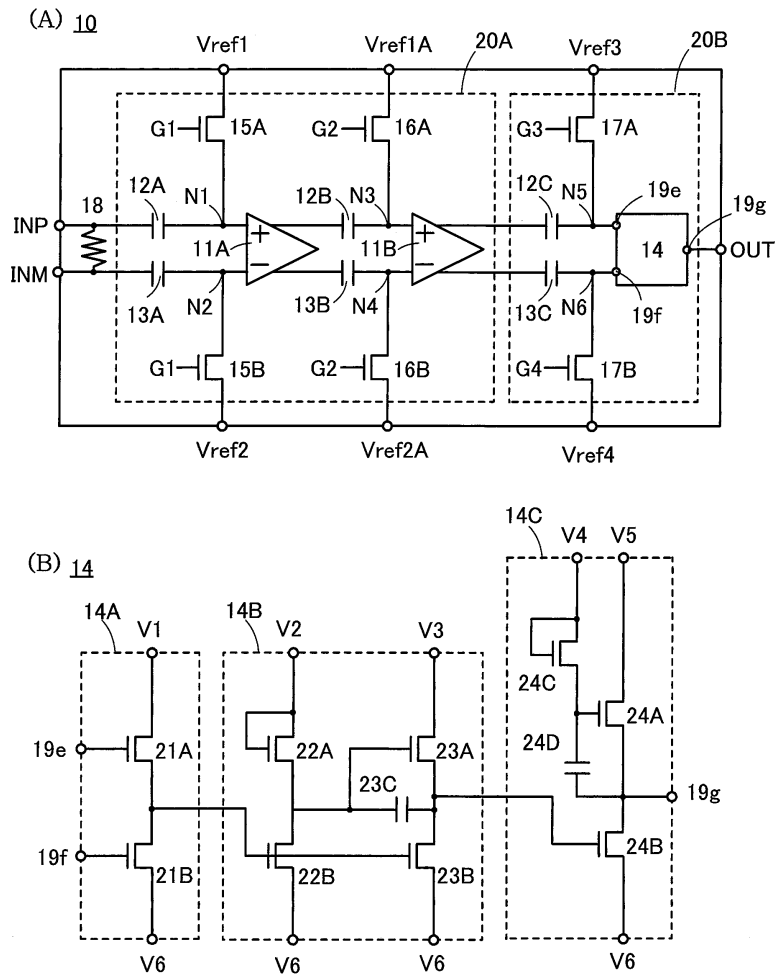
(A) 10



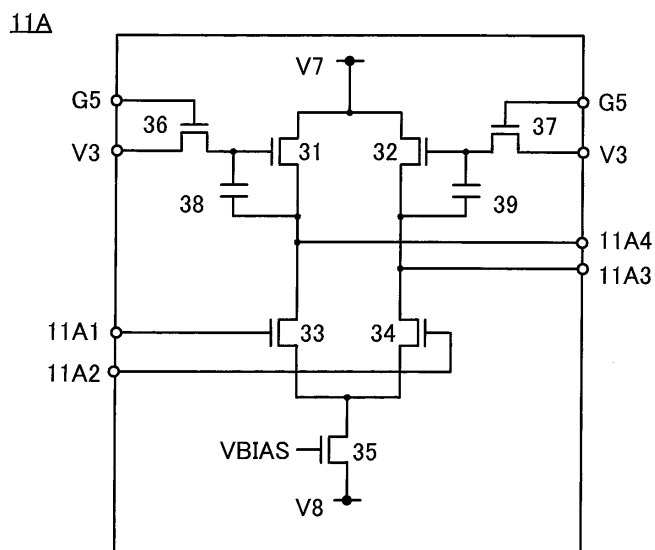
(B) 10



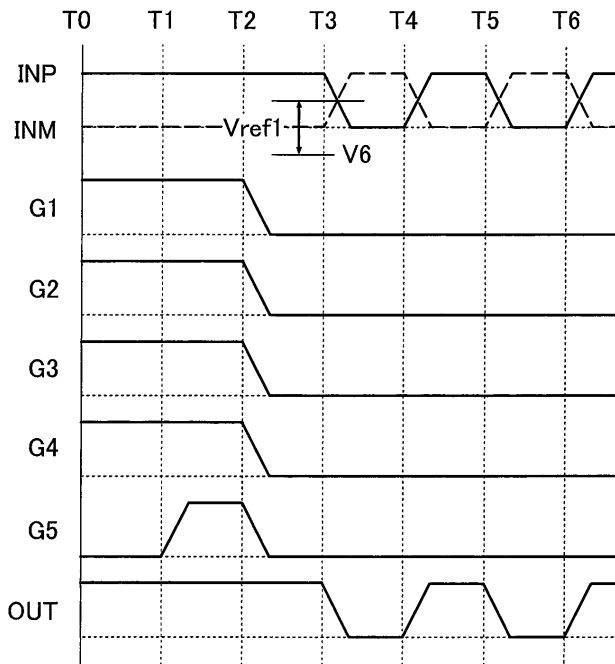
도면3



도면4

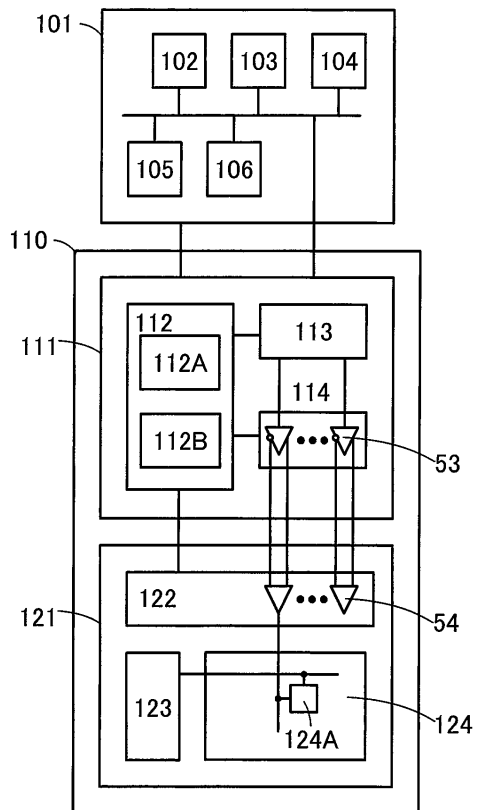


도면6



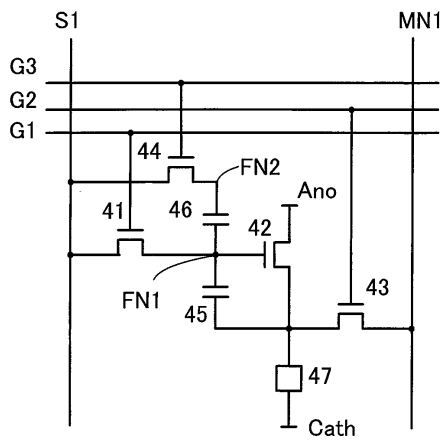
도면7

100

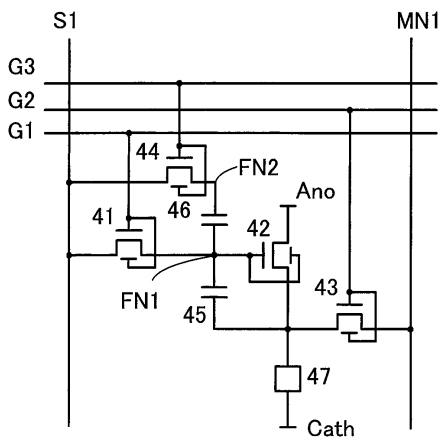


도면8

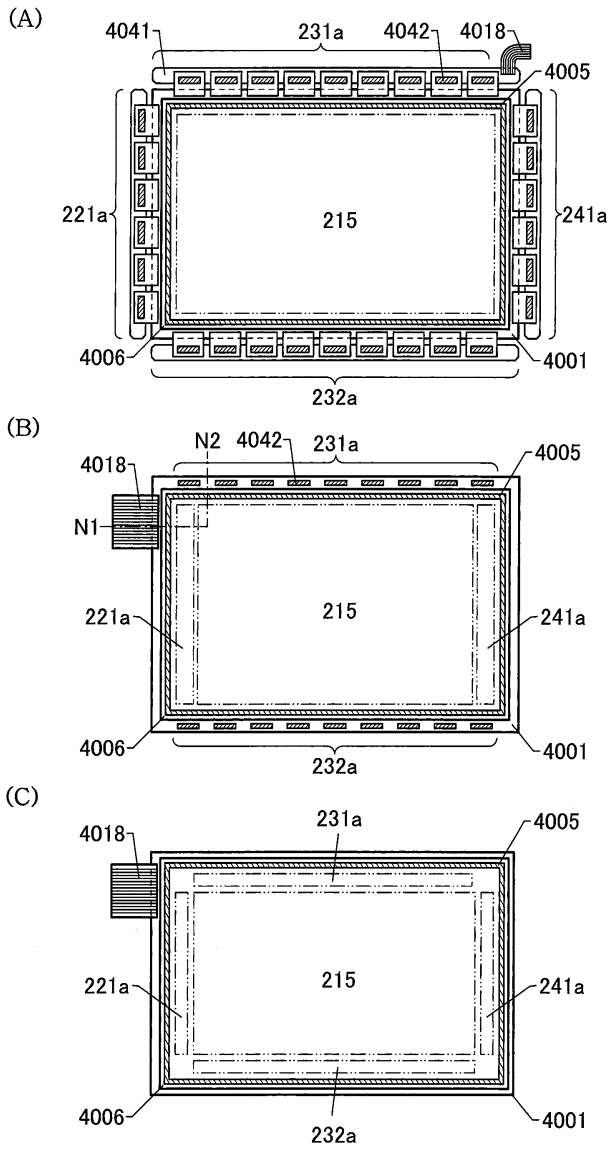
(A) 124A



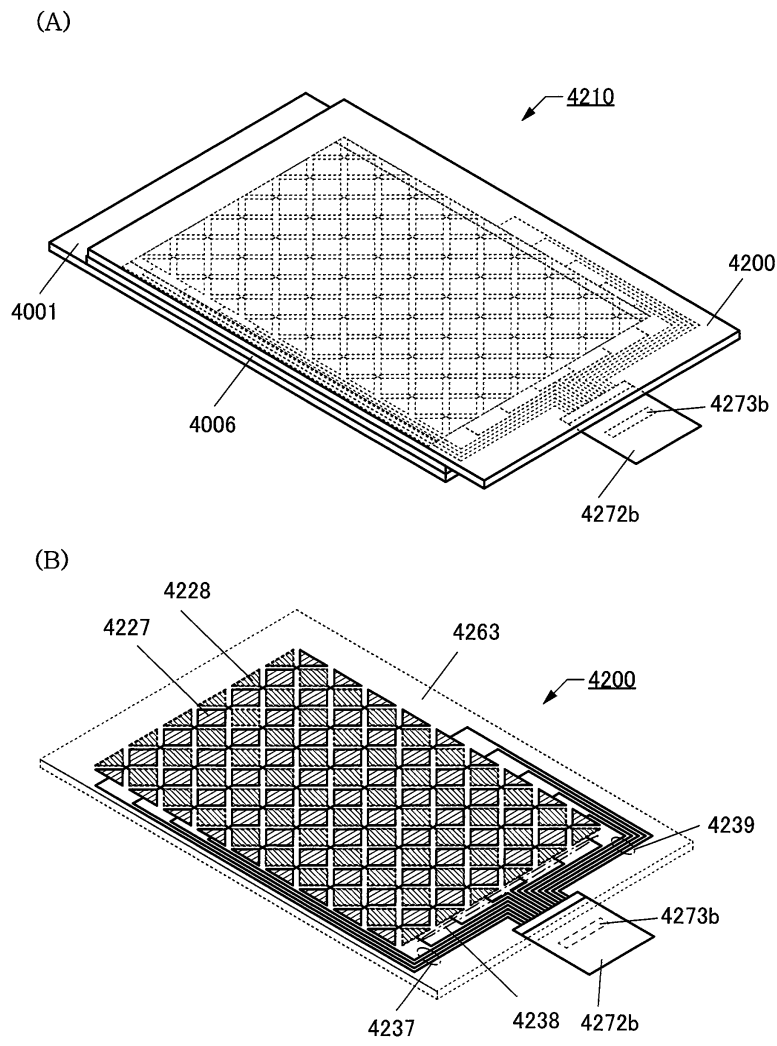
(B) 124B



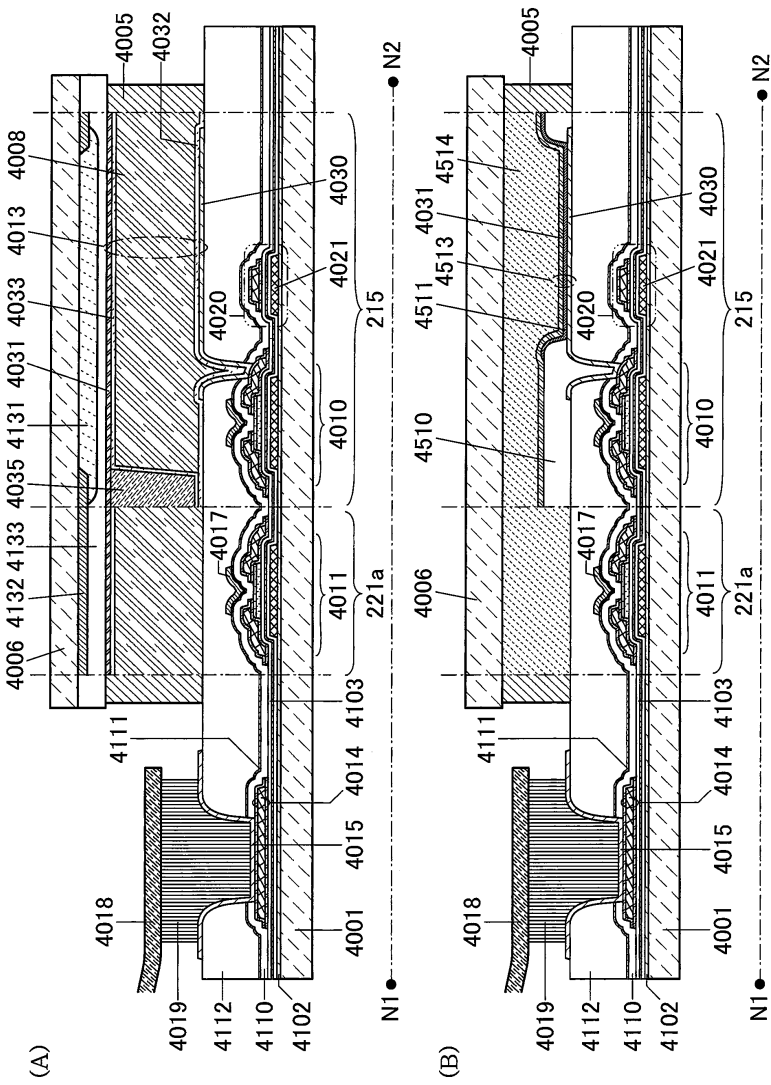
도면9



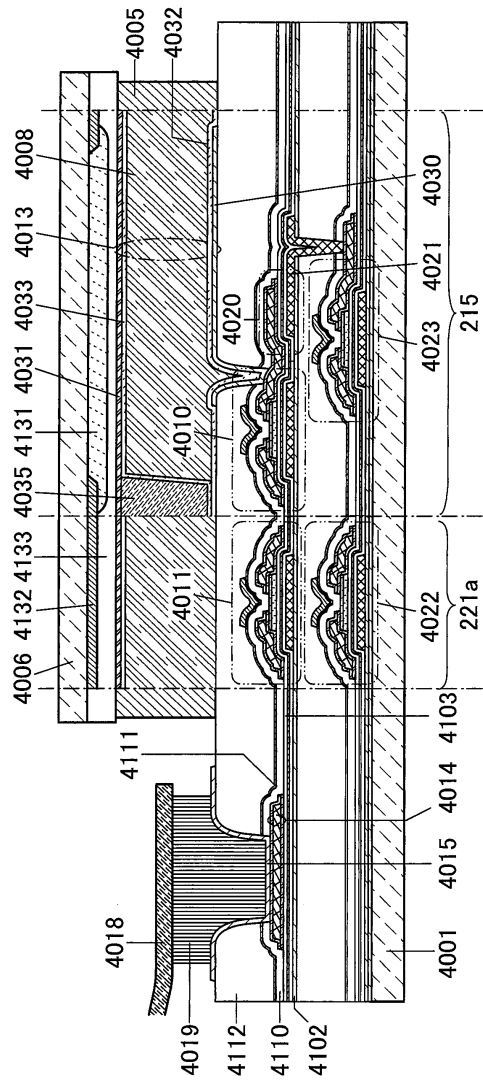
도면10



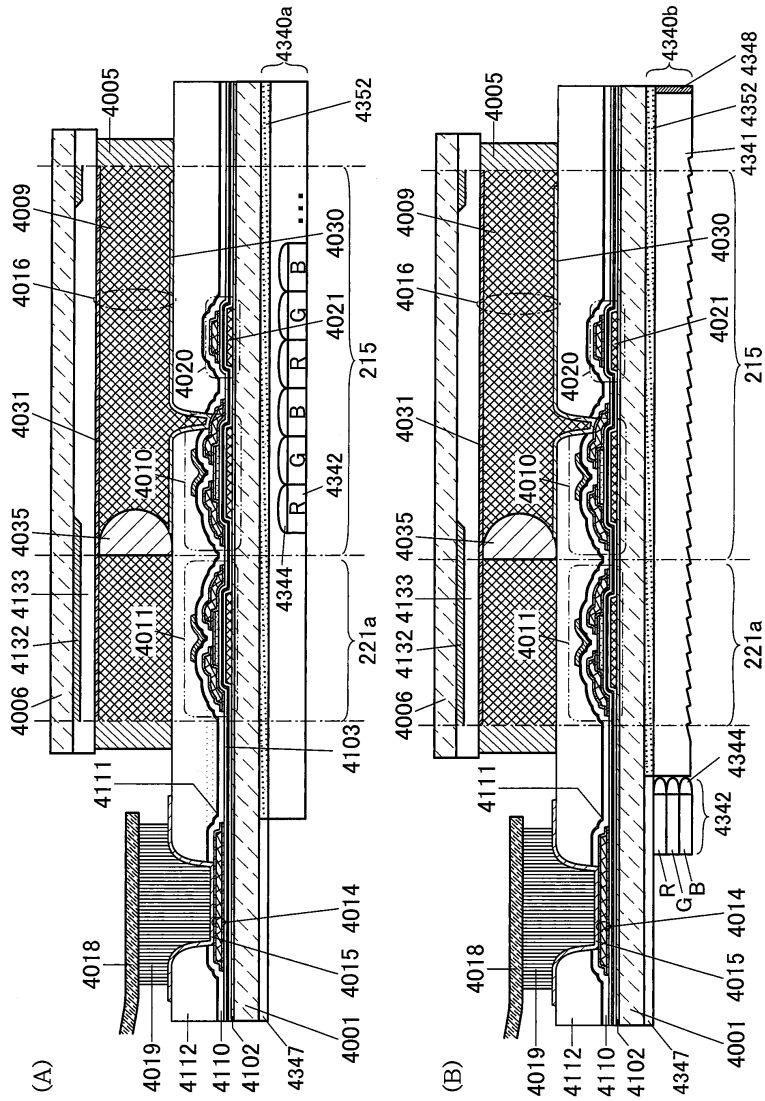
도면11



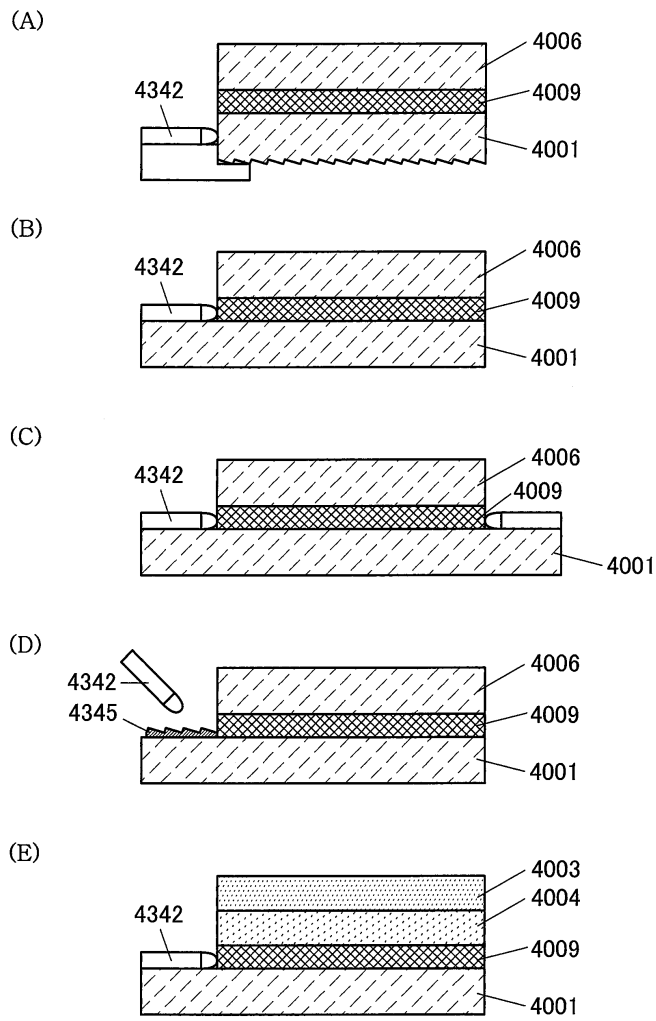
도면12



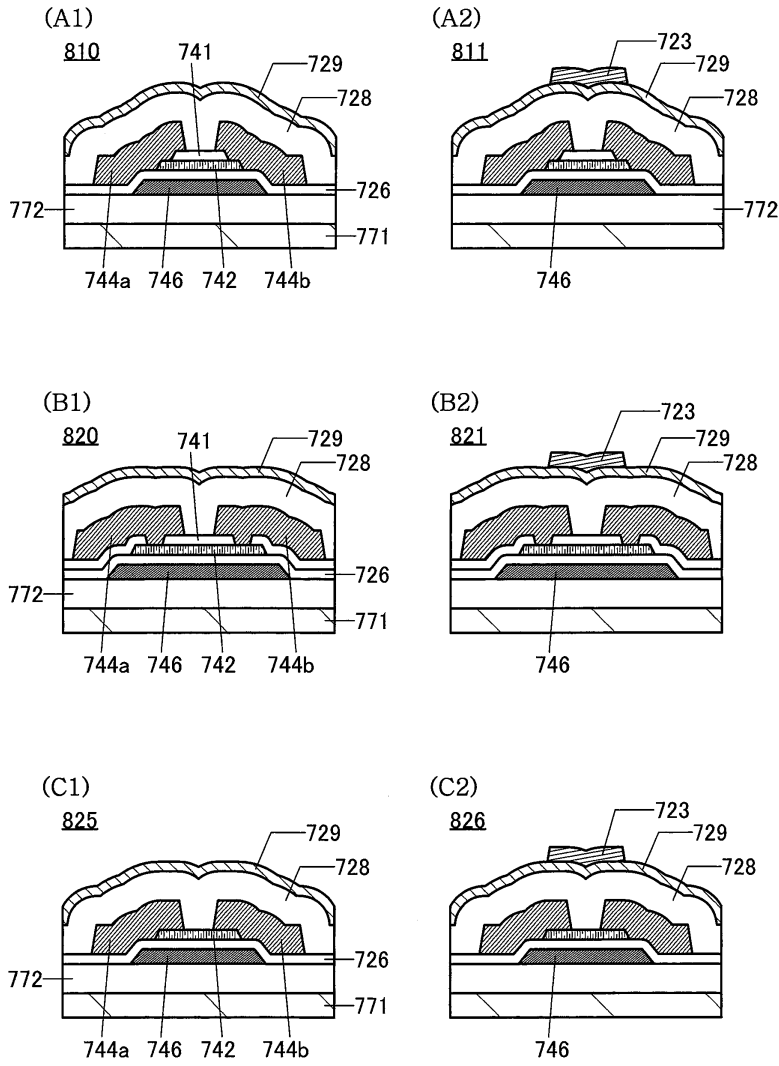
도면14



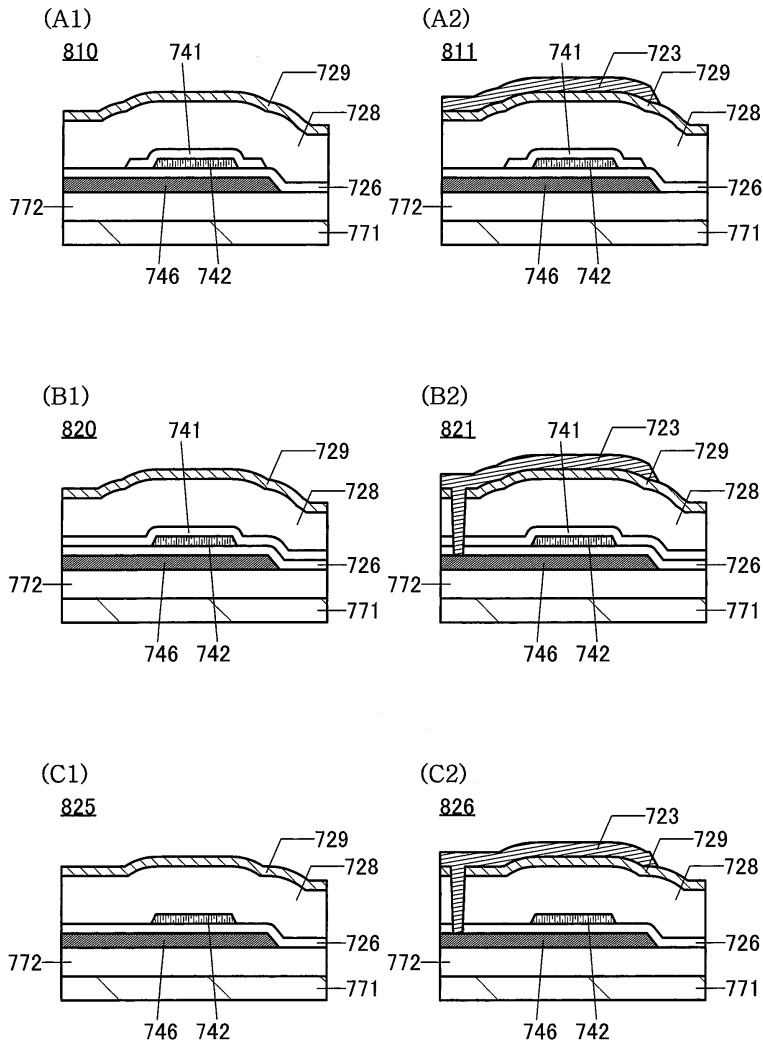
도면15



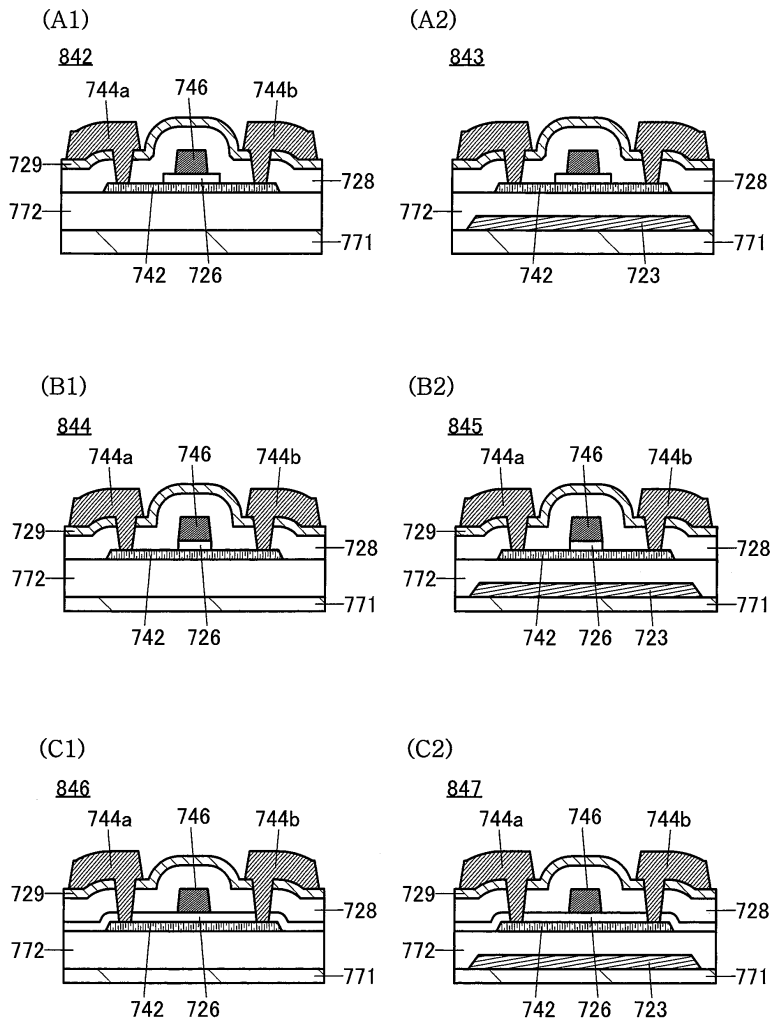
도면16



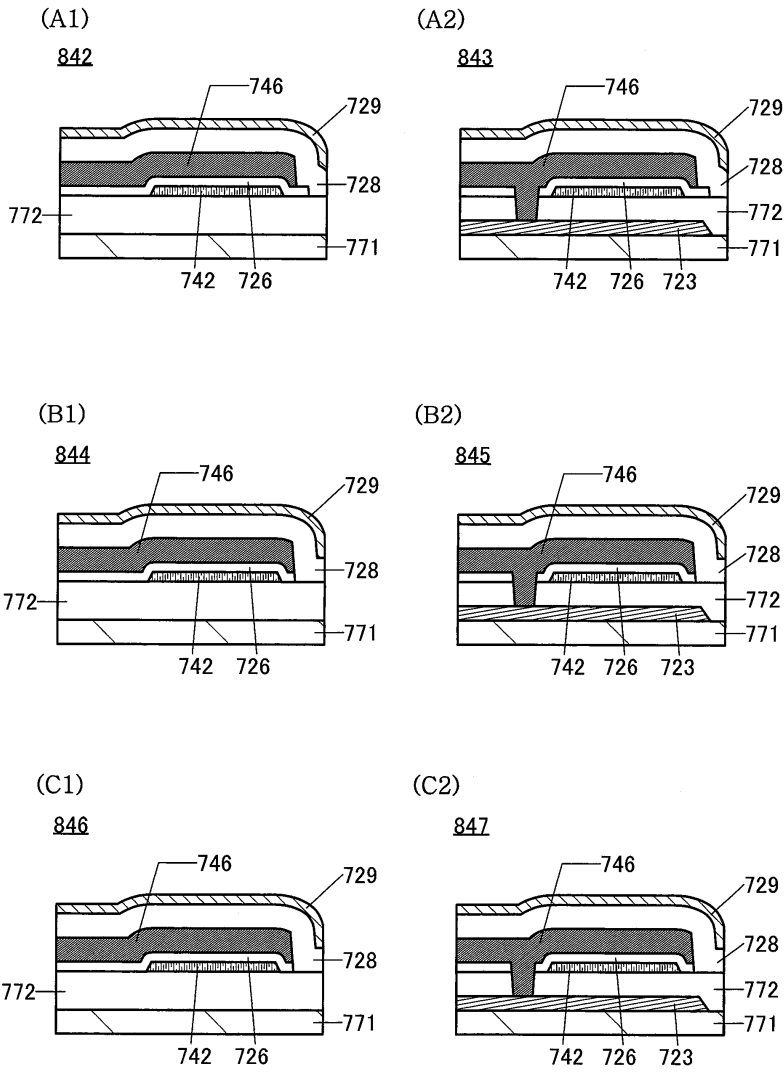
도면17



도면18



도면19



도면20

