(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G11C 13/02 (2006.01)

(11) 공개번호 10-2007-0067150
(43) 공개일자 2007년06월27일

(21) 출원번호 10-2007-7008869
(22) 출원일자 2007년04월19일
심사청구일자 없음
번역문 제출일자 2007년04월19일
(86) 국제출원번호 PCT/IB2005/053399
국제출원일자 2005년10월17일
(87) 국제공개번호 WO 2006/043230
국제공개일자 2006년04월27일

(30) 우선권주장 04105212.7 2004년10월21일 유럽특허청(EPO)(EP)

(71) 출원인 코닌클리즈케 필립스 일렉트로닉스 엔.브이.
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보드세베그 1

(72) 발명자 란코르스트 마티즌 에이치 알
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
후이징 헨드릭 지 에이
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6

(74) 대리인 김창세
김원준

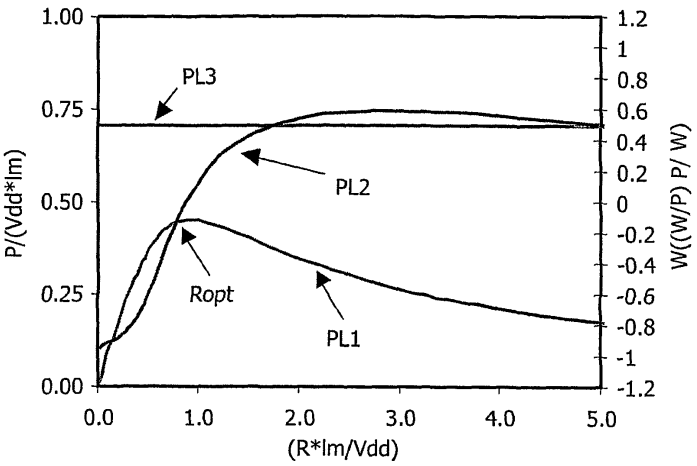
전체 청구항 수 : 총 6 항

(54) 집적 회로 및 메모리 셀 어드레싱 방법

(57) 요약

본 발명은 다수의 비트라인(bl) 및 다수의 워드라인(wl)과 상기 다수의 비트라인(bl) 및 워드라인(wl) 중의 개별 비트라인/워드라인 쌍 사이에 접속되어 데이터를 저장하기 위한 다수의 메모리 셀(MC을 포함하는 집적 회로에 관한 것이다. 각각의 메모리 셀은 선택 장치(T)와, 프로그램가능한 상변환 저항기(R)로 구성된다. 상변환 저항기(R)의 값은 제 1 상변환 저항기(Ropt)를 통해 최대 구동 전류(Im)에 의해 분할되는 공급 전압(Vdd)에 의해 정의되는 제 1 상변환 저항기(Ropt)의 값보다 더 크다.

대표도



특허청구의 범위

청구항 1.

집적 회로에 있어서,

다수의 비트라인(bl) 및 워드라인(wl)과,

상기 다수의 비트라인(bl) 및 워드라인(wl) 중의 개별 비트라인/워드라인 쌍 간에 접속되어 데이터를 저장하는 다수의 메모리 셀(MC)를 포함하되,

각각의 메모리 셀(MC)은 선택 장치(T)와 프로그램가능한 상변환 저항기(R)를 포함하며,

비율 RpcIm/Vdd 〉 1 이며, 여기서 Rpc는 상변환 저항기(R)의 저항값이며, Vdd는 메모리 셀(MC)의 공급 전압이며, Im은 선택 장치(T)의 최대 구동 전류(Im)인,

집적 회로.

청구항 2.

제 1 항에 있어서,

상기 비율은 1.2 내지 2.2에 대응하며, 특히 1.5 내지 2에 대응하는 집적 회로.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 비율은 1.8인 집적 회로.

청구항 4.

제 1 항에 있어서,

상기 비트라인 전압과 워드라인 전압은 모두 선택된 메모리 셀(MC) 상에서 SET 동작을 위해 낮아지게 되는 집적 회로.

청구항 5.

비트라인(bl) 및 워드라인(wl)을 갖는 메모리 셀 어레이 내의 메모리 셀(MC)을 어드레싱하는 방법으로서,

각각의 메모리 셀(MC)은 선택 장치(T)와 프로그램가능한 상변환 저항기(R)를 포함하며,

비율 RpcIm/Vdd 〉 1 이며, 여기서 Rpc는 상변환 저항기(R)의 저항값이며, Vdd는 메모리 셀(MC)의 공급 전압이며, Im은 선택 장치(T)의 최대 구동 전류(Im)인,

메모리 셀 어드레싱 방법.

청구항 6.

제 5 항에 있어서,

상기 비트라인 전압과 워드라인 전압은 선택된 메모리 셀(MC) 상에서 SET 동작을 위해 낮아지게 되는 메모리 셀 어드레싱 방법.

명세서

기술분야

본원 발명은 상변환(phase-change) 프로그램가능한 저항기를 포함한 메모리 셀을 구비한 집적 회로와 상변환 프로그램가능한 저항기를 포함한 메모리 셀 어드레싱 방법에 관한 것이다.

배경기술

데이터 저장 메카니즘으로서, 소위 상변환 물질의 사용에 기반을 두고 있는 새로운 반도체 메모리 장치, 가령 상변환 메모리는 차세대의 비휘발성 메모리가 될 수 있다. 상변환 메모리는 가령 칼코겐화물 합금의 결정 구조체에서 가역 변환(reversible changes)을 조사한다.

상변환 메모리는 전형적으로 구성 셀 어레이(an array of constituent cells)을 포함하는데, 각각의 셀은 데이터를 저장하기 위한 일부 상변환 물질을 갖는다. 칼코겐화물 합금을 셀과 같은 집적 회로 내로 합체하는 것은 고속의 스위칭 프로그램가능 저항기(fast switching programmable resistor)로서 작용할 수 있다. 특히, 그러한 상변환 메모리는 상변환 물질로 구성되는 저항기와 일종의 선택 수단의 직렬 장치를 포함한다. 이 상변환 저항기는 결정 상태에서의 낮은 저항값과 비정질 상태에서의 높은 저항값에 의해 특징지어진다. 두 개의 상태 간의 전이는 셀의 열 여기(thermal excitement)에 의해 가역가능하게 달성될 수 있다. 이는 가령, 셀에서의 전기 소비에 의해 수행될 수 있다. 비정질 상태는 소정의 임계 전압 이상에서 낮은 오믹 필라멘트(low ohmic filaments)가 형성되는 특성을 갖는다. 이에 따라 프로그래밍 전압에서의 저항기의 저항값은 비교적 낮으며, 결정 상태에서와 마찬가지로 비정질에서 모두 동일하다. 이러한 저항값은 동적 온 저항값(dynamic-on resistance)으로 지칭되며, 인가된 프로그래밍 전압 펄스에 대한 저항기의 유효 전기 응답을 결정하는 것은 바로 이 저항값으로서, 프로그램가능한 저항기 R의 저항값은 동적 온 저항값을 지칭한다.

결정 상태에서 비정질 상태로의 상변환 물질의 변환은 고전력의 단 펄스, 즉 RESET에 의해 프로그램될 수 있다. 비정질 상태에서 결정 상태로의 변환은 상기 물질을 비교적 길고 낮은 전력 펄스, 즉 SET로 프로그램함으로써 수행된다. 상변환 물질 메모리를 프로그래밍하기 위한 세부사항에 대해서는 WO 2004/025659를 참조하기 바란다.

선택 수단은 다이오드, 바이폴라 트랜지스터 혹은 (N)MOS 트랜지스터로서 구현될 수도 있다. 매립 애플리케이션과 관련하여 프로그램가능한 상변환 저항기와 직렬인 NMOS 트랜지스터의 용도는 제조와 관련하여 선호되는 옵션인데, 그 이유는 그것이 매립된 애플리케이션에 대해 가장 신뢰성있는 옵션이 되기 때문이다.

프로그램가능한 상변환 저항값을 갖는 전형적인 메모리 셀에 있어서 N(MOS) 트랜지스터의 소스는 기준 전압, 바람직하게는 공통의 접지에 접속되지만, 그 드레인은 프로그램가능한 저항기(R)에 직렬로 접속된다.

종래 기술에 따른 프로그램가능한 저항기를 갖는 NMOS 트랜지스터의 어레이에 기반한 메모리는 도 9에 도시된다. 각각의 트랜지스터의 드레인은 프로그램가능한 저항기를 통해 비트라인 bl에 접속된다. NMOS 트랜지스터의 게이트는 워드라인 wl에 접속된다. 트랜지스터의 소스는 공통의 접지에 접속된다. 여기서, 중앙 셀에 대한 워드라인 wl 및 비트라인 bl에 대해 Vdd를 인가함으로써 RESET 동작을 위한 중앙 셀을 단지 어드레싱하는 구현예가 도시된다. 다른 모든 워드라인 wl 및 비트라인 bl은 제로 전압으로 어드레싱된다. RESET 동작은 프로그램가능한 저항기에 대해 전달될 최대 전력을 필요로 하는 것으로 간주된다. 그러한 종래 기술의 상변환 메모리의 예들은 EP 1326254 및 WO 2004/057618에 개시되고 있다. EP 1326254에서 비트라인들에서의 전압들만이 조정되어 상이한 저항값을 갖는 셀을 프로그래밍하지만, 각각의 메모리 셀의 선택을 위해서는 단지 워드라인만이 선택된다.

도 10은 WO 00/57498에 따른 상변환 메모리 셀의 컨택트 셀(contact cell)의 일부를 도시한 측면도이다. 이 셀은 상변환 물질 PC의 상부상에 상부 전극 TE와 측벽 스페이서로서의 하부 전극 BE를 포함한다. 선택 수단, 가령 N(MOS) 트랜지스터는 도시되지 않는다. 하부 전극 BE의 폭 W는 이 메모리 셀의 중요 치수(critical dimension)로 간주되는데, 그 값은 필요한 RESET 전력으로서 모든 저항기의 저항값을 결정하기 때문이다.

도 11은 WO2004/057618에 따른 상변환 셀의 라인 셀의 상부 도시도이다. 여기서, 메모리 셀은 상변환 물질 PC와 접촉하고 있는 두개의 비아 혹은 플러그 VP로 구성된다. 상변환 물질 PC와 접촉하고 있는 비아 혹은 플러그 VP사이에는 상변환 물질 PC를 갖는 비아 VP의 컨택트 영역보다 작은 단면적을 갖는 상변환 물질을 포함하는 커넥션(connection)이 제공된다. 이러한 커넥션의 폭 W은 메모리 셀의 중요 치수로서 간주될 수도 있다.

도 10의 하부 전극 BE의 폭 W뿐만 아니라 도 11에 따른 상변환 라인 셀 내의 라인의 폭은 저항값뿐만 아니라 프로그램가능한 저항기의 필요한 프로그래밍 전력에도 영향을 미친다. 그 폭 W가 증가할 경우, 상기 필요한 프로그래밍 전력은 증가할 것이지만 그 셀의 저항값은 감소할 것이다. 따라서, 도 9 및 도 10에 따른 셀 내의 폭 W가 가령, 프로세스 변동으로 인하여 변동한다면, 이것은 메모리 어레이 내의 다양한 메모리 셀의 프로그래밍에 부정적인 영향을 끼치게 될 것이다.

WO 2004/025659호에서, 필요한 프로그래밍 시간에 대한 폭 변동의 영향을 감소시키는 방법이 개시된다. 여기서, 실질적으로 직사각형의 형태인 제 1 펄스는 메모리 셀을 리셋하기 위해 메모리 셀에 제공된다. 실질적으로 직사각형 형태인 제 2 펄스는 메모리 셀을 세트하기 위해 제공된다. 세트 펄스의 크기 및 감쇠율(decay rate)은 모든 셀이 세트되도록 선택된다.

프로그램가능한 저항기와 직렬인 NMOS 트랜지스터로 구성되는 메모리 셀의 경우, 직렬 접속에 대한 소정의 전압 펄스에 대해 저항기 내로의 전력 부하는 NMOS 트랜지스터의 유효 저항값에 대한 저항기의 저항값에 따라 달라진다. NMOS 트랜지스터의 유효 저항값이 소스 드레인 전압에 따라 달라지더라도, 공급 전압 Vdd와 최대 구동 전류 Im 간의 비율, 즉, Vdd/Im은 NMOS 트랜지스터를 특징짓는 우수한 저항값으로서 사용될 수 있다. 주목할 것은 프로그램가능한 저항기의 최적 저항값 Ropt에서 트랜지스터 저항값, 즉 Vdd/Im과 대략적으로 동일한 최대 전력 부하가 획득된다는 것이다. 저항기 내로의 대응 전력 부하는 대략 0.5*Vdd/Im이다.

전술한 메모리 셀의 전력 부하가 메모리 셀의 저항값에 의존적이기 때문에, 그것은 그에 따라 메모리 셀의 폭 W에 의존적일 것이다. 프로세스 변동으로 중요 치수 W에 변동이 발생할 것이며, 이로 인해 메모리 어레의 각각의 셀 내의 전력 부하에 변동이 발생하게 될 것이다. 이상적으로, 사용되는 프로그래밍 전압들은 어레이 내의 모든 셀에 대해 동일하다. 그러나, 대응하는 전력 부하에서의 변동으로 인해, 동일한 전압 펄스는 상이한 중요 치수 W를 갖는 셀에 대해 상이한 프로그래밍 상태를 초래하게 될 것이다.

발명의 상세한 설명

따라서, 본원 발명의 목적은 상변환 메모리 저항기를 포함하는 메모리 셀을 구비한 집적 회로뿐만 아니라 메모리 셀의 치수에서의 변동에 대해 상기 필요한 프로그래밍 전압 펄스가 민감하지 않는 상변환 저항기를 포함한 메모리 셀의 어드레싱 방법을 제공하는 데 있다.

전술한 목적은 청구항 제 1 항에 따른 집적 회로뿐만 아니라 청구항 제 6 항에 따른 메모리 셀을 어드레싱하는 방법에 의해 해결된다.

따라서, 다수의 비트라인 및 다수의 워드라인과 상기 다수의 비트라인 및 워드라인 중의 개별 비트라인/워드라인 쌍 사이에 접속되어 데이터를 저장하기 위한 다수의 메모리 셀을 포함하는 집적 회로가 제공된다. 각각의 메모리 셀은 선택 장치와 프로그램가능한 상변환 저항기로 구성된다. 상변환 저항기의 값은 최대 구동 전류에 의해 분할되는 공급 전압에 의해 정의되는 제 1 상변환 저항기의 값보다 더 크다. 따라서, 프로그램가능한 상변환 저항기의 값을 제공하게 되면 상기 필요한 프로그래밍 전력에서의 변동은 셀 치수의 변동에 대응하게 되고 그에 따라 셀은 셀 치수의 변동에 대해 민감하지 않게 된다.

본 발명의 제 1 측면에 의하면, 프로그램가능한 상변환 저항기의 값은 제 1 상변환 저항기의 값(Ropt)의 1.2 내지 2.2배가 된다. 따라서, 프로그램가능한 상변환 저항기의 값에 대해 RESET 동작을 위해 필요한 전압은 중요한 폭의 변동과는 무관한데, 그 이유는 저항값의 변동으로 인한 변동과 필요한 전력의 변동으로 인한 변동이 상쇄될 것이기 때문이다.

본 발명의 제 2 측면에 의하면, 프로그램가능한 상변환 저항기의 저항값은 제 1 상변환 저항기의 값(Ropt)의 1.8배에 대응하며, 1.8은 최적의 값에 대응한다.

본 발명은 또한 비트라인 및 워드라인을 갖는 메모리 셀 어레이 내의 메모리 셀을 어드레싱하는 방법에 관한 것이다. 각각의 메모리 셀은 선택 수단과 프로그램가능한 상변환 저항기를 포함한다. 프로그램가능한 상변환 저항기 R은 그 저항값이 최대 구동 전류에 의해 분할되는 공급 전압에 의해 정의되는 저항기 내로의 최적의 전력 부하에 대응하는 상변환 저항기의 값보다 더 크도록 설계된다.

본 발명의 다른 측면에 의하면, 비트라인 전압과 워드라인 전압은 선택된 메모리 셀 상에서 SET 동작을 위해 낮아지게 된다.

본 발명의 기본적 사상은 프로그램가능한 상변환 저항기의 값을 최적의 전력 입력, 즉 Vdd/Im이 달성될 수 있는 값보다 더 높은 값으로 설계한다는 것이다. 그러한 프로그램가능한 상변환 저항값에 대해 RESET 전압은 상변환 메모리 셀의 치수의 변동에 대해 무관하다. SET 동작은 SET 전압이 상변환 메모리 셀의 치수의 변동에만 약간 의존하도록 비트라인 전압을 낮춤으로써 달성될 수 있다. 또한 워드라인 전압을 낮추게 되면 메모리 셀의 셀 치수에 대해 의존성이 강해지게 된다. SET 프로그래밍을 위해 비트라인 전압 및 워드라인 전압을 조정하게 되면, SET 및 RESET 프로그래밍 전압이 모두 메모리 셀의 프로그램가능한 상변환 저항기의 셀 치수의 변동과는 무관하게 되는 상황을 초래할 수 있다.

본 발명의 이러한 것 및 기타 모든 측면은 이후 기술될 실시예를 참조하면 분명해 질 것이다.

실시예

도 1은 본 발명에 따른 기본적인 상변환 메모리 셀의 회로도이다. 메모리 셀은 선택 장치로서의 NMOS 트랜지스터 T와, 프로그램가능한 상변환 저항기 R을 포함한다. 프로그램가능한 상변환 저항기 R은 NMOS 트랜지스터 T의 드레인 단자에 접속되며 또한 비트라인 전압이 제공되는 비트라인에 접속된다. 여기서, 비트라인 전압은 공급 전압 Vdd이며, 최대 구동 전류 Im은 저항기 R에 제공될 수 있다. NMOS 트랜지스터 T의 게이트는 워드라인 wl에 접속되며 또한 그 게이트에는 공급 전압 Vdd가 제공된다. NMOS 트랜지스터 T의 소스는 공통의 접지일 수 있는 기준 전위에 접속된다. 도 1에 따른 메모리 셀은 도 9에 따른 어레이로 배열될 수 있다.

도 2는 도 1의 NMOS 트랜지스터의 간단한 해석 모델의 그래프이다. 여기서, NMOS 트랜지스터 T의 정규화된 구동 전류가 RESET 상태에 대해 정규화된 소스 드레인 전압차에 대해 도시된다.

저항기 R의 값이 최대 구동 전류 Vdd/Im에 의해 분할된 공급 전압과 비교할 때 작다면, 저항기 R 양단의 전압 강하도 또한 작아지는데, 그 이유는 V=R*I이며 대응 전력 부하가 최적보다 낮기 때문이다. 만약 저항기 R이 Vdd/Im과 비교할 때 크다

면, 저항기 R 양단의 전압 강하는 높지만 트랜지스터 양단의 전압 강하 Vtr은 낮다. 도 2에 도시된 바와 같이, 트랜지스터의 대응 구동 전류 Im은 낮으며, 또한 전력 부하는 최적보다 낮다. 최적 전력 부하는 저항기의 값이 대략 Vdd/Im과 동일하게 될 때 획득된다.

도 3은 도 1의 메모리 셀의 모델의 그래프이다. 곡선 PL1은 정규화된 저항값 R*Im/Vdd의 크기에 대해 저항기 내로의 정규화된 전력 부하 P/(Vdd*Im)를 도시하고 있다. 곡선 PL2 및 PL3은 메모리 셀의 라인 폭의 변동에 의한 관련 전력 변동을 나타낸다. 곡선 PL3은 라인 폭에서의 변동에 기인한 필요한 RESET 전력에서의 변동을 나타낸다. 주목할 것은 이러한 변동은 열적 고려에 기인한 것이라는 것이다. 보다 큰 중요 치수를 갖는 셀을 용융하는데 보다 많은 전력이 필요하다. 곡선 PL2는 저항값의 변동과 저항기로 실제 전달되는 전력 부하의 관련 변동을 나타낸다. 따라서, 최적의 전력 부하(곡선 PL1의 최대)가 R=0.9*Vdd/Im에 존재한다는 것을 알 수가 있다. 그러나, 이러한 지점에서, 곡선 PL2 및 PL3은 교차하지 않는다. 만약 곡선 PL2 및 PL3이 평가된다면, R=1/8*Vdd/Im에서 곡선들이 교차하며 RESET 전압이, 필요한 RESET 전력에서의 변동과 전력 부하에서의 변동이 상쇄되므로, 라인 폭 W의 변동에 무관할 것이라는 것을 알 수가 있다.

전술한 바와 같이, 도 11에 따른 라인 셀의 저항값은 1/W에 비례하는데, W는 라인 폭이 된다. 따라서, δR/R=-δW/W이다.

필요한 프로그래밍 전력은 중요 치수 W의 크기에 직접 비례한다. 광범위한 연산은 필요한 프로그래밍 전력이 W에 지수함수적 의존하는데, 즉 다음과 같이, W^n에 의존하는데, n은 0.33 내지 0.66의 범위 내에 있으며, 바람직하게는 0.5에 있다는 것을 분명하게 한다. 비록 n=0.5가 전술한 연산에 사용된다 할지라도, 본 발명의 원칙은 n이 다른 값을 갖는 경우에도 적용된다. 다음에, δP/P=1/2 *δW/W 가 된다.

도 4는 RESET 상태에 대해 도 1의 메모리 셀의 보다 정확한 수치의 트랜지스터 모델을 사용한 연산 그래프이다. x 축은 라인 폭 W를 ㎚로 나타낸다. 여기서, 1.2 볼트를 갖는 공급 전압과 1.2볼트의 게이트 소스 전압에 대해 RESET 상태가 도시된다. NMOS 트랜지스터의 폭은 500㎚이다. 이러한 연산에서 최대 구동 전류는 250㎂이다. 특히, 그래프는 도 11에 따른, 즉 WO 2004/057618에 따른 라인 셀에 대응한다. 상변환 라인의 저항값은 그 폭 W에 의존한다. 30㎚의 폭은 4.6kΩ에 대응할 것이다. 최적의 전력 입력 Popt는 30㎚ 및 4.6kΩ의 라인 폭에 대응된다. 후자인 4.6kΩ은 Vdd/Im=4.8kΩ과 거의 동일하다. 여기서, 곡선 PL은 전력 부하 내로 공급된 전력에 대응하며, 곡선 PT는 트랜지스터 T에서 소비되는 전력에 대응되며, 곡선 Preset은 RESET 동작에 필요한 전력에 대응한다.

저항기 R 내로의 최적의 전력 입력은 곡선 PL과 곡선 Preset이 교차하는 지점에 대응하는데, 그 이유는 저항기에 의해 요구되는 전력이 실제로 전달되는 전력에 대응하기 때문이다. 이는 30㎚의 폭에 대응한다. 여기서, 전력은 전류 185㎂를 갖는 157㎼에 대응한다.

도 5는 RESET 상태에 대해 도 4의 곡선 Preset와 PL의 미분치 dP/dW의 그래프이다. X축은 라인 폭을 ㎚으로 나타낸다. 도 5의 상태는 도 4의 상태에 대응한다. 여기서, 도 4의 필요한 RESET 전력의 미분치 Dreset, 즉 dP/dW와, 부하 내로의 전력의 미분치 DL, 즉 dP/dW가 도시된다. 두개의 곡선 Dreset 및 DL이 D1에서 교차한다. 이 지점 D1에서 RESET 전력의 미분치 Dreset와, 부하 내로의 전력의 미분치 DL은 서로에 대응한다. 미분치들은 곡선 Preset과 PL의 변경과 관련되므로, 지점 D1에서 필요한 RESET 전력의 변동과 부하 내로의 전력의 변동이 서로 대응하며 그에 따라 RESET 전압은 메모리 셀의 폭의 변동과는 무관할 것이다. 다시 말해서, RESET 상태에 대한 필요한 전력의 변동은 저항기 내로의 전력의 변동에 대응하는데, 그 이유는 도 4에 도시된 바와 같이 상변환 라인의 저항값이 그 라인 폭에 따라 변화되기 때문이다. 30㎚의 라인 폭은 4.6kΩ에 대응할 것이다. 21㎚(6.6kΩ에 대응함)의 라인 폭에서, 라인 폭의 변동이 RESET 상태에 영향을 끼치지 않을 지점 D1이 발견될 수 있는데, 그 이유는 그 변동들이 동일한 레이트를 포함하기 때문이라는 것이다. 대응 전력 입력은 도 4에 따라 대략 140㎼가 될 것이다. 6.6kΩ의 저항값은 Vdd/Im, 즉 4.8kΩ보다 대략 1.4배 더 크다.

도 6은 SET 상태에 대한 미분치 dP/dW의 그래프이다. X축은 라인 폭 W를 ㎚으로 나타낸다. 여기서, 0.705볼트의 공급 전압과 1.2볼트의 게이트 소스 전압을 위한 SET 상태가 도시된다. 여기서, 비트라인 전압은 도 4 및 도 5의 경우와 비교할 때보다 더 낮아지게 된다. 트랜지스터의 폭은 또한 500㎚에서 선택된다. 상변환 라인의 저항값은 도 4 및 도 5의 경우에 대응한다. 즉, 30㎚의 라인 폭은 4.6kΩ에 대응한다. 곡선 D3은 SET 동작을 위한 필요한 전력의 미분치, 즉 dP/dW에 대응하며, 곡선 D4는 부하로의 전력의 미분치, 즉 dP/dW에 대응한다. 이 두 곡선 D3 및 D4는 D5에서 교차한다. 따라서, D3 및 D4가 필요한 전력의 미분치 D3과 부하로의 전력의 미분치 D4를 도시함에 따라 D5에서 SET 동작의 파라미터는 라인 폭 변동에는 무관할 것이다. (5.3kΩ에 대응하는) 26㎚의 라인 폭에서, 라인 폭의 실제 변동은 SET 동작에 영향을 끼치지 않을 것이다. 그러나, 이러한 5.3kΩ의 값(26㎚의 라인 폭에 대응함)은 도 5에 따른 RESET 동작을 위한 저항값(6.6kΩ)보다 낮다. 따라서, 6.6kΩ의 값, 즉 21㎚의 라인 폭을 선택하면 약간의 변동이 발생하지만, 이러한 변동은 여전히 최적의 전력 부하가 달성되는 4.6kΩ의 값을 사용할 경우보다 더 작다.

도 7은 다른 SET 상태에 대한 미분치 dP/dW의 그래프이다. X축은 라인 폭 W를 ㎚으로 나타낸다. 여기서, 1.2볼트의 공급 전압 Vdd와 0.89볼트의 게이트 소스 전압을 갖는 SET 동작을 위한 상태가 도시된다. 따라서, 여기서, 비트라인 전압은 도 4 및 도 5의 경우와 마찬가지로 선택되지만 워드라인 전압은 그러한 경우와 비교할 때보다 더 낮아지게 된다. 다른 모든 조건들, 즉 500㎚의 NMOS 트랜지스터의 폭과 30㎚ 라인 폭에서의 4.6㏀의 상변환 라인의 저항값은 도 4, 5, 6에 따른 경우에 대응한다. 곡선 D6은 SET 동작을 위한 필요한 전력의 미분치, 즉 dP/dW에 대응하며, 곡선 D7은 부하로의 전력의 미분치, 즉 dP/dW에 대응한다. 이 두 곡선 D6 및 D7는 D8에서 교차한다. 필요한 전력의 변동과 부하로의 전력의 변동은 D8에서 동일할 것이다. 따라서, SET 전압은 라인 폭 W에서의 변동에는 무관할 것이다. 이러한 상태는 10.6㏀에 대응하는 13㎚의 라인 폭에서 발생할 것이다. 저항값은 6.6㏀의 RESET 동작을 위한 대응 저항값보다 높을 것이다. 그러나, (RESET 동작을 위해 바람직한) 6.6㏀의 값에서, 즉 21㎚의 라인 폭에서, 의존성이 매우 강한 라인 폭의 변동을 볼 수가 있다.

따라서, 워드라인 전압을 낮추게 되면 라인 폭 변동과 관련하여 SET 파라미터의 의존성이 매우 강해진다.

도 8은 다른 SET 상태에 대한 미분치 dP/dW의 다른 그래프이다. X축은 라인 폭 W를 ㎚으로 나타낸다. 여기서, 0.76볼트의 공급 전압과 1.05볼트의 게이트 소스 전압을 갖는 SET 동작을 위한 상태가 도시된다. 따라서, 비트라인 전압과 워드라인 전압은 모두 SET 동작을 위해 낮아지게 된다. 다른 파라미터들은 도 4, 5, 6에 따라 기술된 상태들에 대응한다. 곡선 D9는 SET 동작을 위한 필요한 전력의 미분치, 즉 dP/dW에 대응하며, 곡선 D10은 부하로의 전력의 미분치, 즉 dP/dW에 대응한다. 이 두 곡선 D9 및 D10은 D11에서 교차한다. 따라서, 이 지점에서 SET 파라미터는 라인 폭의 변동과는 무관할 것이다. 이러한 지점은 21㎚의 라인 폭에 대응하며, 6.6㏀의 저항값에 대응한다. 따라서, 라인 폭의 변동은 6.6㏀의 저항값에서 SET 동작에 어떠한 영향도 끼치지 않을 것이다. 주목할 것은 이러한 저항값은 도 5에 따른 RESET 상태를 위한 대응값에 대응할 것이라는 것이다.

따라서, 라인 폭이 21㎚로 선택되어 6.6㏀의 저항값을 발생시킨다면, RESET 값은 라인 폭의 변동에 무관할 것이며, 만약 SET 프로그래밍 동작을 위해 비트라인 전압과 워드라인 전압이 낮아지게 되면 SET 상태도 또한 라인 폭 변동에 무관할 것이다.

요약하면, 상변환 저항기의 값을 최적의 전력을 달성할 수 있는 저항기의 값보다 큰, 즉 1.2 내지 2.2 혹은 보다 바람직하게는 1.3 내지 2.0, 최적으로는 1.8로 선택함으로써, RESET 전압이 상변환 메모리 셀의 셀 치수의 변동에 무관할 것이라고 한다. 동일한 조건하에, 비트라인 전압은 SET 전압이 상변환 메모리 셀의 셀 치수의 변동에 약간만 의존하는 상황을 달성하도록 낮아질 수가 있다. 그러나, 워드라인 전압을 낮추게 되면 셀 치수에 대한 의존성이 매우 강해지게 되고 따라서 선호되지 못한다. 그러나, 만약 비트라인 전압뿐만 아니라 워드라인 전압이 SET 상태를 위해 조정된다면, SET 전압뿐만 아니라 RESET 프로그래밍 전압이 상변환 메모리 셀의 셀 치수의 변동에 무관하게 될 저항값이 발견될 수가 있다.

주목할 것은 전술한 실시예가 본 발명을 제한하기보다는 예시하는 것이며 당업자라면 첨부된 특허청구범위의 영역 내에서 여러 대안의 실시예를 설계할 수 있다는 것이다. 특허청구범위에서, 괄호 내의 임의의 참조 부호는 청구범위를 제한하는 것으로 해석되지는 않는다. 단어 "포함"이라는 것은 청구범위에 열거된 구성요소 혹은 단계들 외의 다른 구성요소 혹은 단계의 존재를 배제하는 것은 아니다. 단수의 구성 요소가 복수의 구성요소를 배제하는 것은 아니다. 수개의 수단을 열거하는 장치 청구항에서 이러한 수개의 수단은 하나의 동일한 하드웨어로 구현될 수가 있다. 소정의 수단들이 서로 상이한 종속항에서 열거된다고 하는 사실은 이들 수단의 조합물이 이점을 구현하기 위해 사용될 수 없다는 것을 나타내는 것은 아니다.

또한, 청구범위 내의 임의의 참조 부호는 특허청구범위의 영역을 제한하는 것으로 해석되어서는 안된다.

도면의 간단한 설명

도 1은 본 발명에 따른 기본적인 상변환 메모리 셀의 회로도를 도시한다.

도 2는 도 1의 NMOS 트랜지스터의 간이화된 모델의 그래프를 도시한다.

도 3은 도 1의 메모리 셀의 모델의 그래프를 도시한다.

도 4는 RESET 상태에 대한 도 1의 메모리 셀의 모델의 그래프를 도시한다.

도 5는 RESET 상태에 대한 도 4의 미분치의 그래프를 도시한다.

도 6은 SET 상태에 대한 미분치의 그래프를 도시한다.

도 7은 SET 상태에 대한 미분치의 그래프를 도시한다.

도 8은 SET 상태에 대한 미분치의 다른 그래프를 도시한다.

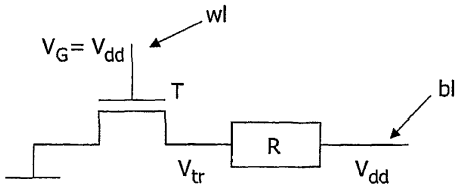
도 9는 종래 기술에 따른 상변환 메모리 셀의 어레이의 회로도를 도시한다.

도 10은 종래 기술의 상변환 메모리 셀의 일부의 측면도를 도시한다.

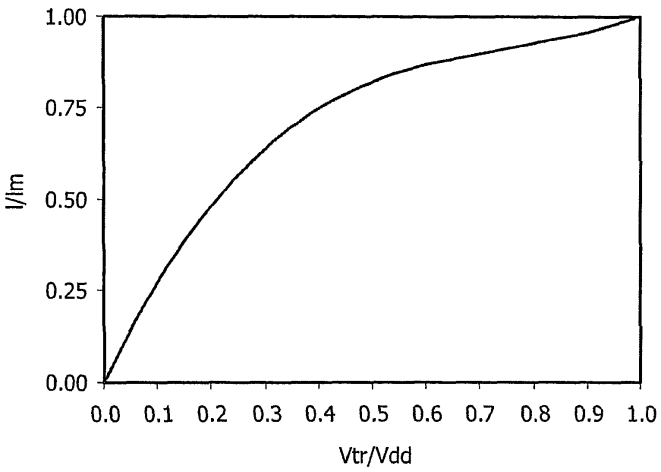
도 11은 종래 기술의 또다른 상변환 메모리 셀의 일부의 상부면을 도시한다.

도면

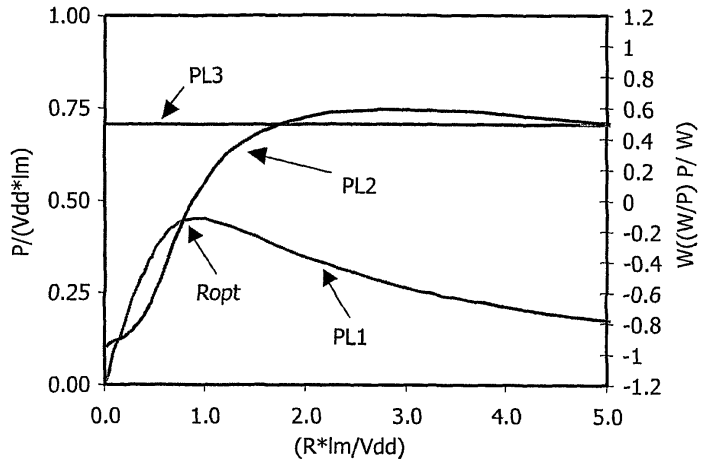
도면1



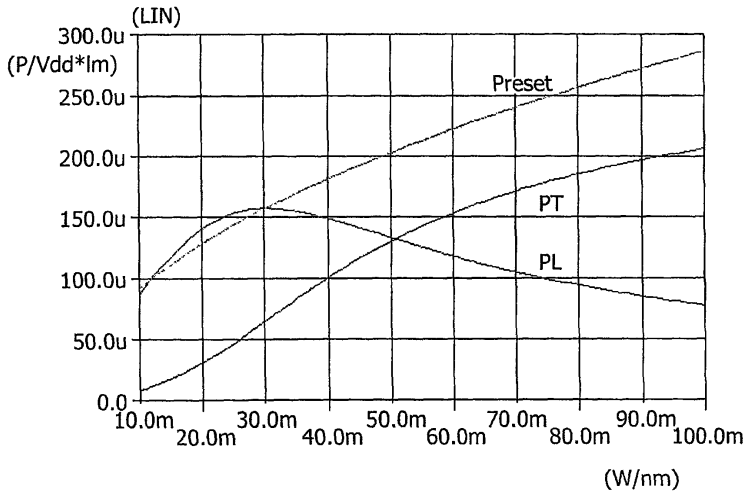
도면2



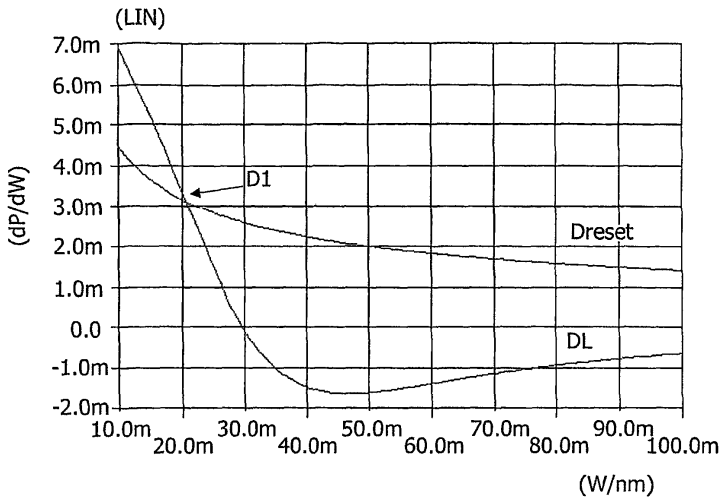
도면3


1.00
0.75
0.50
0.25
0.00
P/(Vdd*Im)
1.2
1
0.8
0.6
0.4
0.2
0
-0.2
-0.4
-0.6
-0.8
-1
-1.2
W((W/P) P/ W)
PL3
PL2
Ropt
PL1
0.0
1.0
2.0
3.0
4.0
5.0
(R*Im/Vdd)

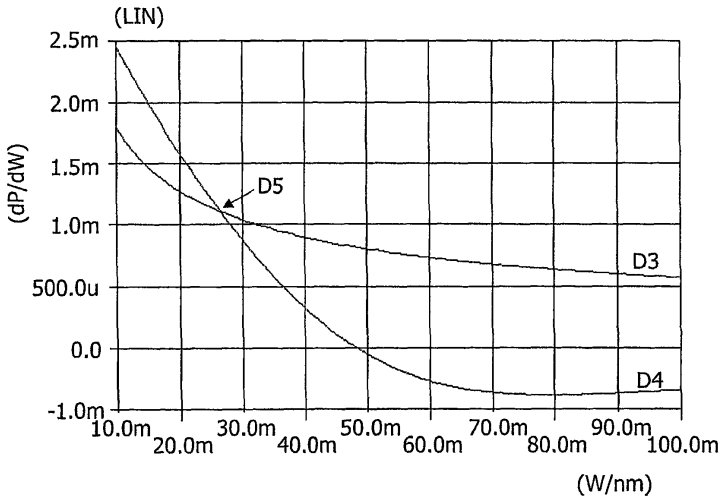
도면4


(LIN)
300.0u
(P/Vdd*Im)
250.0u
200.0u
150.0u
100.0u
50.0u
0.0
Preset
PT
PL
10.0m
20.0m
30.0m
40.0m
50.0m
60.0m
70.0m
80.0m
90.0m
100.0m
(W/nm)

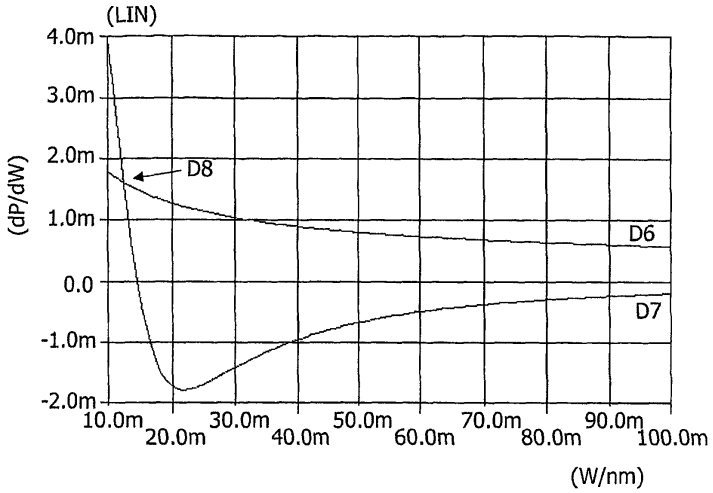
도면5


(LIN)
7.0m
6.0m
5.0m
4.0m
3.0m
2.0m
1.0m
0.0
-1.0m
-2.0m
(dP/dW)
D1
Dreset
DL
10.0m
20.0m
30.0m
40.0m
50.0m
60.0m
70.0m
80.0m
90.0m
100.0m
(W/nm)

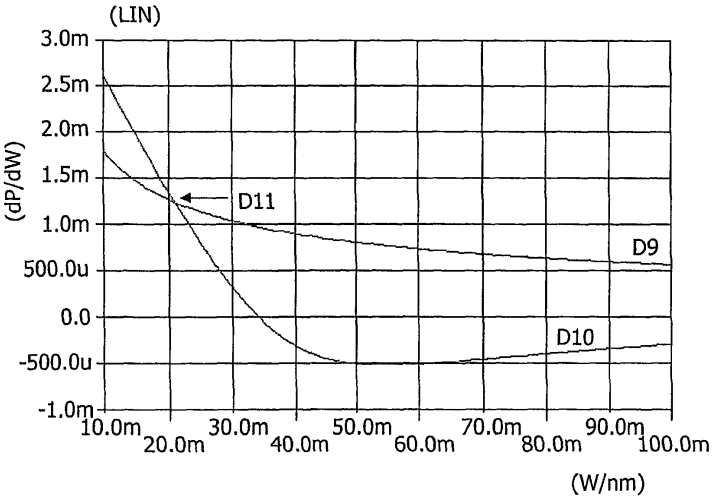
도면6


(LIN)
2.5m
2.0m
1.5m
1.0m
500.0u
0.0
-1.0m
(dP/dW)
D5
D3
D4
10.0m
20.0m
30.0m
40.0m
50.0m
60.0m
70.0m
80.0m
90.0m
100.0m
(W/nm)

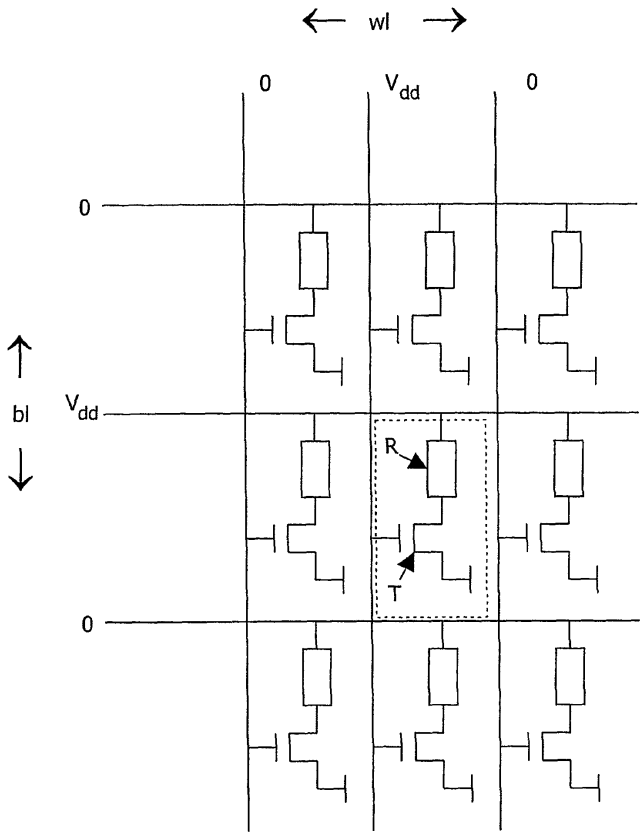
도면7


(LIN)
4.0m
3.0m
2.0m
1.0m
0.0
-1.0m
-2.0m
(dP/dW)
D8
D6
D7
10.0m
20.0m
30.0m
40.0m
50.0m
60.0m
70.0m
80.0m
90.0m
100.0m
(W/nm)

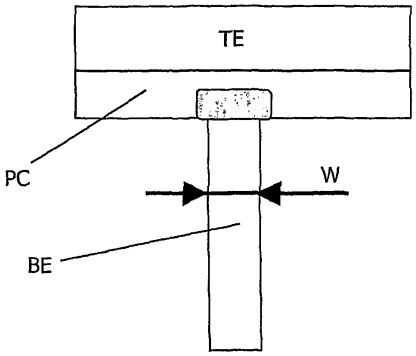
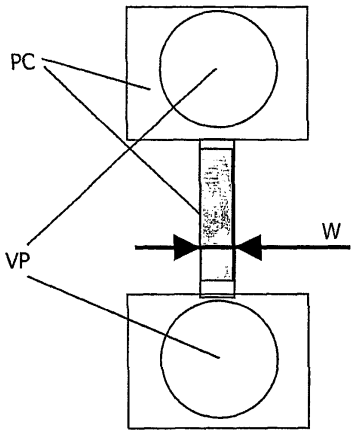
도면8


(LIN)
3.0m
2.5m
2.0m
1.5m
1.0m
500.0u
0.0
-500.0u
-1.0m
(dP/dW)
D11
D9
D10
10.0m
20.0m
30.0m
40.0m
50.0m
60.0m
70.0m
80.0m
90.0m
100.0m
(W/nm)

도면9



도면10



도면11