

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 8 月 4 日 (2016.8.4)

【公表番号】特表 2015-522214 (P2015-522214A)

【公表日】平成 27 年 8 月 3 日 (2015.8.3)

【年通号数】公開・登録公報 2015-049

【出願番号】特願 2015-520493 (P2015-520493)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

H 0 1 L 27/04 V

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 8 1

【手続補正書】

【提出日】平成 28 年 6 月 16 日 (2016.6.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アナログ半導体集積回路のための電氣的にプログラム可能なキャパシタ構造を含む、ボディの半導体表面において形成される集積回路であって、前記集積回路が、

第 1 のポリシリコン電極と、

前記第 1 のポリシリコン電極の上に配置されるシリサイドブロック膜であって、窒化ケイ素の層の下にある、2 酸化ケイ素の層を含む、前記シリサイドブロック膜と、

前記シリサイドブロック膜の上に配置され、前記シリサイドブロック膜の前記窒化ケイ素の層と直に接する、キャパシタ誘電体膜と、

金属を含み、或る導体レベルに形成される第 1 の導電プレートであって、前記第 1 のポリシリコン電極の第 1 の部分の上に配置され、それとの間に前記キャパシタ誘電体膜を備える、前記第 1 の導電プレートと、

直接反応により形成される金属シリサイドで被覆される部分を少なくとも有し、前記第 1 のポリシリコン電極と同じポリシリコン層から形成される、第 2 のポリシリコン電極と

、

金属を含み、前記導体レベルに形成される第 2 の導電プレートであって、前記第 2 のポリシリコン電極の前記被覆部分の前記金属シリサイドの上に配置され、それとの間に前記キャパシタ誘電体膜を備え、前記キャパシタ誘電体膜が前記第 2 のポリシリコン電極の前記被覆部分と直に接する、前記第 2 の導電プレートと、

を含む、集積回路。

【請求項 2】

請求項 1 に記載の集積回路であって、

前記第 1 及び第 2 の導電プレートが金属窒化物で構成される、集積回路。

【請求項 3】

請求項 2 に記載の集積回路であって、
前記金属窒化物が窒化タンタルである、集積回路。

【請求項 4】

請求項 1 に記載の集積回路であって、
前記金属シリサイドがコバルトシリサイドである、集積回路。

【請求項 5】

請求項 1 に記載の集積回路であって、
前記キャパシタ誘電体膜が、窒化ケイ素の第 1 の層と、前記窒化ケイ素の第 1 の層に重なる 2 酸化ケイ素の第 1 の層と、前記 2 酸化ケイ素の第 1 の層に重なる窒化ケイ素の第 2 の層とを含む、集積回路。

【請求項 6】

請求項 5 に記載の集積回路であって、
前記キャパシタ誘電体膜の前記窒化ケイ素の第 1 の層が、前記シリサイドブロック膜の前記窒化ケイ素の層に直接的に重なる、集積回路。

【請求項 7】

請求項 1 に記載の集積回路であって、
半導体表面の第 1 及び第 2 のアクティブ領域と、
前記半導体表面の前記第 1 及び第 2 のアクティブ領域の上に配置されるゲート誘電体膜と、
前記第 2 のアクティブ領域内に形成されるソース及びドレインのドーパされた領域と、
を更に含み、
第 1 のトンネルキャパシタを形成するように、前記第 1 のポリシリコン電極が、前記第 1 のアクティブ領域の上に延び、それとの間に前記ゲート誘電体膜を備える、第 2 の部分を有し、
前記第 1 のポリシリコン電極が、前記ソース及びドレインのドーパされた領域の間の前記半導体表面の上に延び、トランジスタゲート電極として機能する、第 3 の部分を有する、集積回路。

【請求項 8】

請求項 7 に記載の集積回路であって、
前記半導体表面の第 3 のアクティブ領域を更に含み、
第 2 のトンネルキャパシタを形成するように、前記第 1 のポリシリコン電極が、前記第 3 のアクティブ領域の上に延び、それとの間に配置される前記ゲート誘電体膜を備える、第 4 の部分を有する、集積回路。

【請求項 9】

ボディの半導体表面において形成されるアナログ半導体集積回路のための電氣的にプログラム可能なキャパシタ構造を作製する方法であって、
前記半導体表面の位置に隔離誘電体構造を形成することであって、前記隔離誘電体構造が、それら間の前記表面のアクティブ領域を画定する、前記隔離誘電体構造を形成するステップと、
その後、多結晶シリコンで構成される電極層を全体に形成するステップと、
その後、前記電極層上に、窒化ケイ素の第 1 の層の下にある 2 酸化ケイ素の第 1 の層を含むシリサイドブロック膜を堆積するステップと、
露出された表面に前記窒化ケイ素の第 1 の層を備える第 1 の電極に対応する前記電極層の一部の上に前記シリサイドブロック膜が残り、第 2 の電極に対応する前記電極層の一部から前記シリサイドブロック膜が除去されるように、前記電極層の一部から前記シリサイドブロック膜を選択的に除去するステップと、
その後、金属シリサイドを形成するために、前記第 2 の電極に対応する前記一部を含む、前記多結晶シリコン電極層の露出された部分を金属と反応させるステップと、
その後、キャパシタ誘電体層を全体に堆積するステップと、

その後、金属を含む導体層を堆積するステップと、

隔離誘電体構造に重なる位置において前記第 1 の電極の一部に重なり、それとの間に前記キャパシタ誘電体層と前記シリサイドブロック膜とを備える、第 1 の導電プレートを描定するように、及び、前記第 2 の電極の一部に重なり、それとの間に前記キャパシタ誘電体層を備える、第 2 の導電プレートを描定するように、前記導体層の一部を除去するステップと、

を含む、方法。

【請求項 10】

請求項 9 に記載の方法であって、

前記シリサイドブロック膜を選択的に除去するステップの後であって前記反応させるステップの前に、前記金属の層を全体に形成するステップを更に含む、方法。

【請求項 11】

請求項 10 に記載の方法であって、

前記反応させるステップの後、前記金属の非シリサイド部分を除去するステップを更に含む、方法。

【請求項 12】

請求項 10 に記載の方法であって、

前記シリサイドブロック膜を選択的に除去するステップの後であって前記金属の層を形成するステップの前に、表面クリーンアップを行なうステップを更に含む、方法。

【請求項 13】

請求項 9 に記載の方法であって、

前記シリサイドブロック層を堆積するステップの前に、前記第 1 及び第 2 の電極を描定するように前記電極層の一部を除去するステップを更に含み、前記第 1 の電極が隔離誘電体構造に重なる一部を含む、方法。

【請求項 14】

請求項 13 に記載の方法であって、

前記シリサイドブロック層を堆積するステップが、

前記第 1 及び第 2 の電極の上に前記 2 酸化ケイ素の第 1 の層を形成することと、

前記 2 酸化ケイ素の第 1 の層の上に前記窒化ケイ素の第 1 の層を堆積することと、

を含み、

前記選択的に除去するステップが、前記 2 酸化ケイ素の第 1 の層と前記窒化ケイ素の第 1 の層とが前記第 1 の電極の上に残るように、前記第 2 の電極から前記 2 酸化ケイ素の第 1 の層と前記窒化ケイ素の第 1 の層とを除去する、方法。

【請求項 15】

請求項 14 に記載の方法であって、

前記 2 酸化ケイ素の第 1 の層を形成するステップの後、前記 2 酸化ケイ素の第 1 の層をアニールするステップを更に含む、方法。

【請求項 16】

請求項 9 に記載の方法であって、

前記導体層が金属窒化物を含む、方法。

【請求項 17】

請求項 16 に記載の方法であって、

前記金属窒化物が窒化タンタルである、方法

【請求項 18】

請求項 9 に記載の方法であって、

前記反応させるステップが、コバルトシリサイドを形成するように、前記第 2 の電極の多結晶シリコンをコバルトと反応させる、方法。

【請求項 19】

請求項 9 に記載の方法であって、

前記アクティブ領域の上にゲート誘電体層を形成するステップと、

アクティブ領域に重なる複数の部分を有する第 1 の電極を形成するステップと、
第 1 のアクティブ領域に重なる前記第 1 の電極の一部の向かい合う両側にソース及びド
レイン領域を形成するステップと、
を更に含む、方法。

【請求項 20】

請求項 19 に記載の方法であって、
前記第 1 の電極の少なくとも一部が、第 2 及び第 3 のアクティブ領域に重なり、
前記ソース及びドレイン領域を形成するステップが、前記第 2 及び第 3 のアクティブ領
域に重なる前記第 1 の電極の一部の向かい合う両側にもソース及びドレイン領域を形成す
る、方法。

【請求項 21】

請求項 9 に記載の方法であって、
前記キャパシタ誘電体膜を堆積するステップが、
窒化ケイ素の第 2 の層を全体に堆積することと、
その後、2 酸化ケイ素の第 2 の層を全体に堆積することと、
その後、窒化ケイ素の第 3 の層を全体に堆積することと、
を含む、方法。