



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년10월14일

(11) 등록번호 10-1449969

(24) 등록일자 2014년10월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/13 (2006.01) B41J 2/01 (2006.01)

(21) 출원번호 10-2007-0138229

(22) 출원일자 2007년12월27일

심사청구일자 2012년12월13일

(65) 공개번호 10-2008-0061316

(43) 공개일자 2008년07월02일

(30) 우선권주장

JP-P-2006-00351985 2006년12월27일 일본(JP)

(56) 선행기술조사문헌

JP2001030478 A*

JP2004080041 A*

JP2005012179 A*

JP2005103820 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

후지이 겐

일본, 253-0085, 가나가와Ken, 치가사카시, 야바타
64-4-204

다카하시 에리카

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 6 항

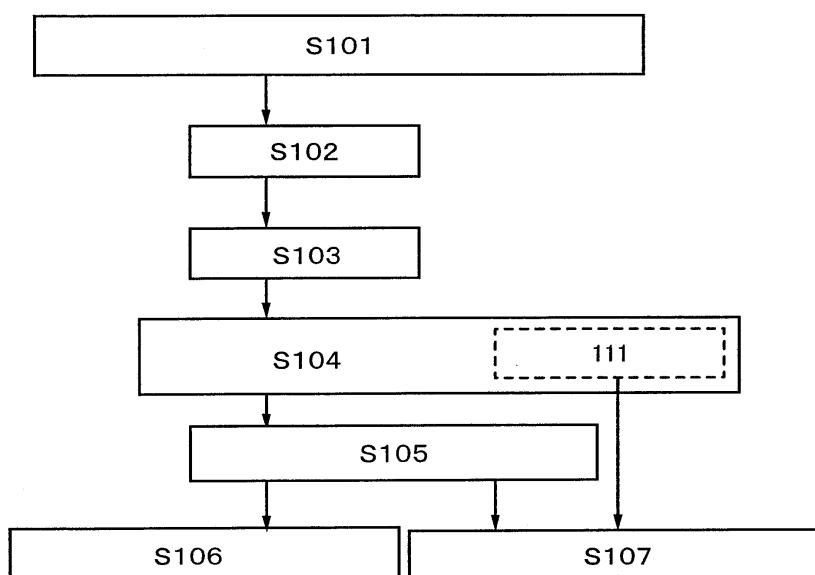
심사관 : 권호영

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

종래의 CAD 툴에 의한 반도체 장치의 설계도를 사용하는 경우, 잉크젯 장치로 형성할 수 있는 패턴이 한정되기 때문에, 반도체 장치의 회로 중에는 그대로 전용할 수 없는 회로도 생길 우려가 있다.

잉크젯 장치에서 토출하여 그리는 것이 가능한 기본 패턴을 복수 준비하고, 이들을 조합하여 원하는 집적회로의 레이아웃을 한다. 얻어진 레이아웃을 기초로 하여 노광 마스크를 형성한다. 노광 마스크를 사용하여 노광을 한 후, 현상하여 액적의 직경보다도 폭이 가는 노광 영역에 레지스트막을 잔존시킨다. 그리고, 피처리 표면의 노정 부분에 대하여 발액 처리를 한 후, 레지스트막상에 재료 액적을 적하한다. 액적 토출법에 의해 선택적으로 토출을 하여, 도트 직경보다도 폭이 가는 배선을 형성한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

반도체 장치를 제작하는 방법에 있어서,
 액적 토출 장치를 사용하여 표면상에 착탄된(landed) 액적의 직경을 측정하는 단계;
 상기 액적의 직경보다 짧은 길이의 1변을 갖는 직사각형 요소를 결정하는 단계;
 기판의 면적에 상당하는 영역을 상기 직사각형 요소로 분할함으로써, X 좌표 및 Y 좌표에 복수의 상기 직사각형 요소가 배치된 데이터 맵을 작성하는 단계;
 2차 데이터에 상당하는 복수 종류의 도형 블록들을 갖는 도형 등록 라이브러리로부터 도형 블록을 선택하여 회로를 설계하는 단계;
 상기 데이터 맵에 상기 도형 블록들을 배치하여, 도형 데이터 맵을 작성하는 단계;
 상기 도형 데이터 맵을 기초로 노광 마스크를 제작하는 단계;
 상기 노광 마스크를 사용하여 상기 기판상에 서로 습윤성이 다른 제 1 영역 및 제 2 영역을 형성하는 단계;
 상기 도형 데이터 맵 및 상기 도형 등록 라이브러리를 기초로 래스터 데이터(raster data)를 작성하는 단계;
 상기 래스터 데이터에 따라서 상기 액적 토출 장치를 사용하여 상기 제 1 영역에 액적을 토출하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

반도체 장치를 제작하는 방법에 있어서,
 도형 데이터 맵을 기초로 노광 마스크를 제작하는 단계;
 상기 노광 마스크를 사용하여 기판상에 서로 습윤성이 다른 제 1 영역 및 제 2 영역을 형성하는 단계;
 상기 도형 데이터 맵 및 도형 등록 라이브러리를 기초로 래스터 데이터를 작성하는 단계; 및
 상기 래스터 데이터에 따라서 액적 토출 장치를 사용하여 상기 제 1 영역에 액적을 토출하는 단계를 포함하고,
 상기 도형 데이터 맵은 2차 데이터에 상당하는 복수 종류의 도형 블록들을 갖는 상기 도형 등록 라이브러리로부터 도형 블록을 선택하고 데이터 맵에 상기 도형 블록들을 배치함으로써 회로를 설계하여 제작되고, 상기 데이터

터 맵에 있어서 복수의 직사각형 요소들은 상기 액적의 직경보다 짧은 길이의 1변을 갖는 상기 직사각형 요소들 중 하나로 상기 기판의 면적에 상당하는 영역을 분할함으로써, X 좌표 및 Y 좌표에 배치된, 반도체 장치 제작 방법.

청구항 9

제 1 항 또는 제 8 항에 있어서,

미리 결정된 상기 복수 종류의 도형 블록들은 상기 도형 등록 라이브러리에 기억되는, 반도체 장치 제작 방법.

청구항 10

제 1 항 또는 제 8 항에 있어서,

상기 제 1 영역은 친액성을 갖고, 상기 제 2 영역은 발액성을 갖는, 반도체 장치 제작 방법.

청구항 11

제 1 항 또는 제 8 항에 있어서,

상기 직사각형 요소의 1변은 상기 액적의 직경의 50% 이상 90% 미만인, 반도체 장치 제작 방법.

청구항 12

제 1 항 또는 제 8 항에 있어서,

상기 도형 등록 라이브러리는 적어도 제 1 도형 블록 및 제 2 도형 블록을 갖고,

상기 제 1 도형 블록은 상기 액적의 직경보다 폭이 넓은 배선이 배치되는 부분이고,

상기 제 2 도형 블록은 상기 액적의 직경보다 폭이 좁은 배선이 배치되는 부분인, 반도체 장치 제작 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막트랜지스터(이하, TFT라고 함)로 구성된 회로를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들면, 액정표시 패널로 대표되는 전기광학장치나 유기발광소자를 갖는 발광표시장치를 부품으로서 탑재한 전자기기에 관한 것이다.

[0002] 또, 본 명세서 중에서 반도체 장치는 반도체 특성을 이용하는 것으로 기능할 수 있는 장치 전반을 가리키고, 전기광학장치, 반도체회로 및 전자기기는 모두 반도체 장치이다.

배경기술

[0003] 최근, 절연 표면을 갖는 기판상에 형성된 반도체 박막(두께 수 내지 수백nm 정도)을 사용하여 박막트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막트랜지스터는 IC나 전기광학장치와 같은 전자디바이스에 널리 응용되고, 특히 화상표시장치의 스위칭소자로서 개발을 서두르고 있다.

[0004] 반도체회로를 갖는 전자기기의 제조에 있어서는 대량생산을 효율 좋게 하기 위해서, 웨이퍼기판이 아니라 마더유리기판을 사용하여, 한 장의 마더유리기판으로부터 복수의 디바이스를 잘라내는 다(多)모폐기가 자주 행하여지고 있다. 마더유리기판의 사이즈는 1990년 초에 제 1 세대의 300×400mm에서, 2000년에는 제 4 세대가 되어 680×880mm, 또는 730×920mm로 대형화되어, 한 장의 기판으로부터 복수의 디바이스, 대표적으로는 표시 패널을 얻을 수 있도록 생산 기술이 진보하여 왔다.

[0005] 금후, 더욱 기판이 대형화되면, 스펀 도포법을 사용하는 성막방법에서는 대형의 기판을 회전시키는 기구가 대규모 되는 점, 재료액의 로스 및 폐액량이 많은 점때문에 대량생산상 불리하다고 생각된다. 또한, 직사각형의 기판을 스펀 도포시키면 회전축을 중심으로 하는 원형의 얼룩이 도포막에 생기기 쉽다. 또한, 스크린인쇄법도 장

치를 기관의 대형화에 대응시키는 것이 곤란하다.

[0006] 최근, 피에조 방식이나 서멀젯 방식으로 대표되는 액적 토출 기술, 또는 연속식의 액적 토출 기술이 주목을 받고 있다. 이 액적 토출 기술은 활자, 화상의 묘화에 사용되었지만, 최근, 배선 패턴 형성 등의 반도체분야에 응용하는 시도가 시작되고 있다. 예를 들면, 액적 토출 기술에 의해 배선 패턴 형성을 하는 방법이 특허문현 1에 개시되어 있다.

[0007] [특허문현 1] 일본 공개특허공보 2005-12179

발명의 내용

해결 하고자하는 과제

[0008] 반도체 장치의 제작에서, 우선, CAD 툴에 의한 반도체 장치의 마스크 설계가 행하여진다. 이 마스크 설계는 스퍼터법이나 플라즈마 CVD법 등에 의해 여러 가지의 재료의 적층이 행하여지고, 각 층을 선택적으로 에칭하기 위한 마스크를 제작하기 위한 설계이다.

[0009] 마스크를 사용하지 않는 형성방법인 액적 토출 장치, 대표적으로는 잉크젯 장치는 데이터가 2차화되어 토출, 비토출의 래스터 데이터를 기초로 재료 액적의 토출위치를 제어한다. 잉크젯 장치의 잉크젯 헤드는 복수의 토출구가 일렬 또는 복수 나열되어 있고, 피토출 표면(예를 들면 유리기판면)과 헤드를 상대적으로 이동시켜, 원하는 토출구로부터 액적을 선택적으로 토출한다. 복수의 토출구가 나열된 방향은 상대적으로 이동시키는 방향과 수직으로 하는 것으로 헤드의 주사가 피토출 표면 위쪽에서 행하여진다. 래스터 데이터는 피토출면을 이동시키는 방향, 즉 인쇄방향에 수직인 방향(행방향)으로 나열된 복수의 데이터이고, 이를 각각 대응하는 열로 나누는 것으로 래스터 비트맵으로 할 수 있다. 이 래스터 데이터나 래스터 비트맵을 보아도 복잡한 집적회로의 경우, 회로 구성이나 배선 배치를 파악하는 것이 곤란하다. 또한, 복잡한 집적회로의 경우, 처음부터 래스터 데이터나 래스터 비트맵으로 회로 설계하는 것도 곤란하다.

[0010] 잉크젯 장치는 헤드의 토출용량이나, 노즐로부터 토출되는 재료 액적이나, 기판 표면상태 등에 의해서 형성되는 착탄 후의 액적의 직경(d)이 결정된다. 재료 액적은 노즐 등으로부터 토출 가능한 유동성(점도)을 갖추고 있으면 좋고, 고체물질을 혼입시켜도 액적 전체적으로 유동체이면 좋다. 잉크젯 장치는 하나의 헤드에 복수의 노즐이 배치되어 있고, 상대적으로 헤드와 피처리기판을 이동시킴으로써 주사를 하여, 노즐로부터의 재료 액적의 토출 또는 비토출을 선택한다. 예를 들면, 헤드를 고정하여 피처리기판을 이동시키거나 또는 피처리기판을 고정하여 헤드를 이동시켜 주사를 하면 좋다.

[0011] 또한, 착탄 후의 액적의 직경(d)이 결정되면 그릴 수 있는 선의 선폭도 거의 결정된다. 따라서, 인터젯장치로 그릴 수 있는 선폭의 가늘기의 한계는 헤드에 의존하는 바가 크다. 전기회로의 제조에 있어서, 잉크젯 장치를 사용하여 미세한 배선 등을 형성하고자 하는 경우, 미세한 배선의 선폭을 그릴 수 있는 헤드를 준비할 필요가 있다. 헤드는 노즐 직경이 작고 정밀해질 수록 높은 가공 정밀도가 요구되어, 고가의 부품이 되어 버린다. 또한, 잉크젯 장치를 사용하여 복수의 선을 좁은 간격으로 그리고자 하는 경우, 잉크젯 장치의 헤드로부터 토출된 액적이 피처리면에 착탄하였을 때에 넓어지기 때문에, 어떤 일정한 면적에 대하여 복수개의 선을 고밀도로 형성하는 것이 곤란하다.

[0012] 또한, 종래의 CAD 툴에 의한 반도체 장치의 설계도를 사용하는 경우, 인터젯장치에서 형성할 수 있는 패턴이 한정되기 때문에, 반도체 장치의 회로 중에는 그대로 전용(轉用)할 수 없는 회로도 생길 우려가 있다.

과제 해결수단

[0013] 상기 과제의 적어도 하나를 해결하기 위해서, 헤드로부터 토출된 착탄 후의 액적의 직경(d)보다도 가는 선폭의 선을 형성하기 위해서, 미리 피처리 표면에 대하여 발액(撥液) 처리나 친액(親液) 처리를 하여 두면, 미세한 선을 그리는 것도 가능해진다. 그렇지만, 착탄 후의 액적의 직경(d)보다도 가는 선을 형성할 수 있더라도, 잉크젯 장치는 착탄 후의 액적의 직경(d)보다도 가는 선을 형성하기 위해서 설계되어 있는 것이 아니기 때문에, 헤드를 구동하는 기구를 사용하여 착탄 후의 액적의 직경(d)보다도 가는 선을 포함한 복잡한 패턴을 형성하는 것이 곤란하다.

[0014] 그래서, 원하는 배선을 형성할 때, 미리, 잉크젯 장치에서 토출하여 배선을 형성할 수 있는 복수 종류의 기본 패턴을 조합하여 노광 영역을 설계하여 둔다.

- [0015] 즉, 종래의 CAD 툴을 사용하는 것이 아니라, 잉크젯 장치에서 토출하여 그리는 것이 가능한 기본 패턴을 복수 준비하고, 이들을 조합하여 원하는 칩적회로의 레이아웃을 한다. 이렇게 함으로써 칩적회로의 레이아웃의 설계 시간을 단축할 수 있다. 얻어진 레이아웃을 기초로 하여 노광 마스크를 형성한다. 따라서, 이 노광 마스크는 잉크젯 장치에서 토출되는 액적 사이즈보다도 작은 사이즈(50% 이상 90% 미만)를 1개의 단위로 하는 설계규칙에 따라서 형성된다. 그리고, 피처리 표면상에 얇은 막 두께의 네거티브형의 레지스트막을 형성하고, 노광 마스크를 사용하여 노광을 한 후, 현상하여 착탄 후의 액적의 직경보다도 폭이 가는 노광 영역에 레지스트막을 잔존시킨다. 그리고, 피처리 표면의 노정부분에 대하여 발액 처리를 한 후, 레지스트막상에 재료 액적을 적하한다. 액적 토출법에 의해 선택적으로 토출을 하여, 착탄 후의 액적의 직경보다도 폭이 가는 배선을 형성한다. 얻어지는 배선의 폭은 착탄 후의 액적의 직경이 아니라, 발액 처리 전의 노광 정밀도에 의존한다.
- [0016] 이와 같이 함으로써, 착탄 후의 액적의 직경보다도 폭이 가는 배선을 형성하고, 또한, 종래의 에칭 공정을 생략할 수 있다. 또한, 잉크젯법을 사용하기 때문에, 재료를 효율 좋게 이용할 수 있다. 종래에는 금속막을 기판 전면에 형성한 후, 포토리소 기술을 사용하여 웨트에칭 또는 드라이에칭에 의해서 선택적으로 제거한 배선을 형성하였기 때문에, 재료의 로스가 많고, 공정도 복잡해졌다. 또한, 에칭조건에 따라서는 에칭을 하는 금속막 이외의 재료층까지 에칭될 우려가 있었다.
- [0017] 대량생산을 하는 데에 있어서, 종래의 에칭 공정을 생략하는 것의 메리트는 크다. 에칭장치를 불필요로 하고, 다른 재료층에 대한 에칭의 영향을 고려할 필요가 없어져, 반도체 장치의 제조에 사용할 수 있는 재료의 종류를 증가시킬 수 있다.
- [0018] 또한, 네거티브형의 레지스트막을 형성하는 것에 한정되지 않고, 포지티브형의 레지스트막을 사용하여도 좋다. 포지티브형의 레지스트막을 사용하는 경우는 피처리 표면상에 얇은 막 두께의 레지스트막을 형성하고, 노광 마스크를 사용하여 노광을 한 후, 현상하여 피처리 표면의 일부를 노정시켜, 착탄 후의 액적의 직경보다도 폭이 가는 노정영역에 대하여 친액 처리를 한 후, 레지스트를 제거한다. 액적 토출법에 의해 선택적으로 토출을 하여, 착탄 후의 액적의 직경보다도 폭이 가는 배선을 형성한다.
- [0019] 또한, 본 발명은 래스터 데이터의 작성에 대해서도 연구를 하고 있다. 그리고자 하는 패턴에 일치하는 좌표 매스의 전체에 토출을 하는 래스터 데이터를 작성하는 것은 아니다. 본 발명에서는 기본 패턴 및 기본 패턴이 연속하여 나열되는 수에 맞추어 적하수를 줄여, 최적의 적하수로 한다. 또한, 복수의 배선의 배치도 액적의 직경보다도 가는 친액영역을 복수 한줄로 나열함으로써, 1직을 분할하여 효율 좋게 묘사할 수 있다. 예를 들면, 굵은 배선과의 간격을 착탄 후의 액적의 직경보다도 떨어뜨려 가는 1개의 배선을 배치하는 것이 아니라, 이들의 간격을 착탄 후의 액적의 직경보다도 가깝게 하는 것으로 효율 좋게 묘사할 수 있다.
- [0020] 즉, 래스터 데이터도 노광 마스크와 같이, 인터켓장치에서 토출되는 액적 사이즈보다도 작은 사이즈(50% 이상 90% 미만)를 1개의 단위로 하는 설계규칙에 따라서 형성한다. 이와 같이 하여, 래스터 데이터를 작성하고, 그 래스터 데이터를 사용하여 액적 토출 장치를 구동시키는 것으로, 착탄 후의 액적의 직경(d)보다도 가는 선을 포함하는 복잡한 패턴을 형성한다. 특히, 본 수법을 사용한 액적 토출을 하는 것으로, 복잡한 패턴, 예를 들면 복잡하게 구부러진 전극 형상이나, 분기된 전극 형상을 제작하는 경우에 유용하다.
- [0021] 본 명세서에서 개시하는 발명의 구성은 액적 토출 장치를 사용하여 피처리면에 착탄시킨 액적의 직경을 측정하고, 상기 액적의 직경보다도 작은 길이를 1번으로 하는 직사각형 요소를 결정하여, 피처리기판의 면적에 상당하는 영역을 복수의 상기 직사각형 요소로 분할하여 X좌표 및 Y좌표에 상기 직사각형 요소가 복수 배치된 데이터맵을 작성하고, 복수 종류의 도형 블록을 갖는 도형 등록 라이브러리로부터 도형 블록을 선택하여 회로 설계를 하고, 상기 데이터 맵에 각각 도형 블록을 배치하여, 도형 데이터 맵을 작성하고, 상기 도형 데이터 맵을 기초로 노광 마스크를 제작하고, 상기 노광 마스크를 사용하여 피처리기판상에 서로 습윤성이 다른 제 1 영역 및 제 2 영역을 형성하고, 상기 도형 데이터 맵 및 상기 도형 등록 라이브러리를 기초로 작성한 래스터 데이터를 작성하고, 상기 래스터 데이터에 따라서 액적 토출 장치를 사용하여 액적의 토출을 상기 제 1 영역에 행하는 반도체 장치의 제작 방법이다.
- [0022] 또한, 상기 구성에서, 상기 도형 등록 라이브러리는 미리 정한 복수 종류의 상기 도형 블록이 기억되어 있다.
- [0023] 또한, 상기 구성에서, 상기 제 1 영역은 친액성을 갖는 영역이고, 상기 제 2 영역은 발액성 영역이다.
- [0024] 또한, 상기 구성에서, 상기 직사각형 요소의 1번은 액적의 직경의 50% 이상 90% 미만이다.

- [0025] 또한, 다른 발명의 구성은 절연 표면을 갖는 기판상에 적어도 배선을 액적 토출 장치로 형성하는 반도체 장치의 제작 방법으로, 액적 토출 장치를 사용하여 액적의 직경을 측정하기 위한 기판에, 후의 공정에서 피처리면에 착탄시키는 도전 재료를 포함하는 액적을 적하하여, 그 직경을 측정하고, 상기 도전 재료를 포함하는 액적의 직경의 50% 이상 90% 미만의 사이즈를 1번으로 하는 직사각형 요소를 1단위로 하는 마스크를 형성하고, 상기 마스크를 사용하여 피처리기판상에 선택적으로 친액영역 또는 발액영역을 형성하고, 상기 마스크와 같은 사이즈를 1번으로 하는 직사각형 요소를 1단위로 하는 래스터 데이터를 작성하고, 상기 래스터 데이터에 기초하여 도전 재료를 포함하는 액적의 토출을 하여, 액적의 직경보다도 가는 폭을 갖는 배선을 형성하는 반도체 장치의 제작 방법이다.
- [0026] 상기 구성에서, 상기 액적 토출 장치는 복수의 노즐을 갖는 헤드를 구비하고, 상기 액적 토출 장치의 헤드의 장축방향과, 부주사방향이 이루는 헤드 경사 각도(θ)를 결정하고, 상기 헤드 경사 각도(θ)에 기초하여 각 노즐의 토출 타이밍을 보정한 제 2 래스터 데이터를 작성하고, 상기 헤드 경사 각도(θ)를 유지한 채로, 헤드와 기판을 주(主)주사방향 또는 부(副)주사방향으로 상대적으로 이동시켜 상기 제 2 래스터 데이터에 근거하는 액적 토출을 하여, 절연 표면을 갖는 기판상에 배선을 형성한다.
- [0027] 또한, 상기 구성에서, 상기 도형 등록 라이브러리는 적어도 제 1 도형 블록과 제 2 도형 블록을 갖고, 상기 제 1 도형 블록은 액적의 직경보다도 폭이 넓은 배선이 배치되는 부분이고, 상기 제 2 도형 블록은 액적의 직경보다도 폭이 좁은 배선이 배치되는 부분이다.
- [0028] 또한, 상기 구성에서, 상기 도형 등록 라이브러리는 적어도 제 1 도형 블록과 제 2 도형 블록을 갖고, 예를 들면, 상기 제 1 도형 블록에 상당하는 2차 데이터는 1이고, 상기 제 2 도형 블록에 연속하여 3개 배치되어 있는 경우, 상당하는 2차 데이터는 0, 1, 0이다.
- [0029] 또한, 상기 구성에서, 상기 도형 등록 라이브러리는 적어도 제 1 도형 블록과 제 2 도형 블록을 갖고, 예를 들면, 제 1 도형 블록에 상당하는 2차 데이터는 1이고, 제 2 도형 블록에 연속하여 5개 배치되어 있는 경우, 상당하는 2차 데이터는 0, 0, 1, 0, 0이다.
- [0030] 또한, 복수의 선을 묘사할 때에, 양호한 선을 형성할 수 있는 간격(주사방향에 수직인 방향(또는 평행한 방향)에서의 도트 피치 dp)의 범위는 착탄 후의 액적의 직경(d; 도트 직경이라고도 부름)의 약 0.5 내지 0.9배(50% 이상 90% 미만) 정도이고, 본 발명에서는 이 사이즈를 마스크의 작성 및 래스터 데이터의 작성의 1단위로 하고 있다. 1단위를 액적의 직경의 50% 미만의 작은 사이즈로 하면 액적간의 간격이 지나치게 좁아 착탄이 겹치는 면적이 많아져, 복수의 액적이 융집하여 버린다. 또한, 1단위를 액적의 직경의 90% 이상의 사이즈로 하면, 적하하는 액적끼리의 간격이 넓어져 버려, 고밀도로 복수의 배선을 묘사하는 것이 곤란해진다. 본 명세서 중에서, 착탄 후의 액적의 직경(d)은 착탄 후의 형상이 원형인 경우에는 직경을 가리키고, 착탄 후의 형상이 타원인 경우, 단직경이 아니라 장직경을 가리킨다. 또한, 착탄 후의 형상은 원형이나 타원에 한정되지 않고, 착탄 후의 형상이 복잡한 형상의 경우에는 직경(d)은 전체 길이를 가리키는 것으로 한다.
- [0031] 이 도트 피치 dp를 1번으로 하는 면적(주사방향에 수직인 방향에서의 도트 피치 Xdp×주사방향에 평행한 방향에서의 도트 피치 Ydp)을 1단위로 하여 데이터 맵을 작성하고, 마스크와 래스터 데이터를 작성한다.
- [0032] 상술한 이들의 수단은 단순한 설계사항이 아니라, 액적 토출 장치를 사용하여 배선을 형성하고, 이 배선을 사용한 반도체 장치를 제작하여 구동시키는 등, 발명자들의 거듭된 검토 후 발명된 사항이다.
- [0033] 또한, 배선에 한정되지 않고, 안테나나, 반도체소자에 사용되는 각종 부분 등에 사용할 수 있다.

효과

- [0034] 액적 토출 장치로부터 토출되는 액적의 착탄 면적에 맞추어 마스크 및 래스터 데이터를 설계하기 때문에, 액적 토출 장치를 사용하여 패턴을 형성하는 경우에 최적의 회로 레이아웃이 가능해진다.

발명의 실시를 위한 구체적인 내용

- [0035] 본 발명의 실시형태에 관해서, 아래에 설명한다.
- [0036] (실시형태 1)
- [0037] 본 실시형태에서는 도 1을 사용하여, 마스크 작성의 순서와, 래스터 데이터 작성의 순서를 설명한다.
- [0038] 우선, 액적 토출 장치를 사용하여, 피처리면에 액적을 토출하여, 착탄시킨 액적의 직경(d)의 측정을 한다

(S101). 이 액적의 직경(d)의 측정에 의해서, 마스크 및 래스터 데이터의 설계단위를 결정한다.

[0039] 이어서, 액적의 직경(d)의 50% 이상 90% 미만의 사이즈를 1단위로 하는 좌표를 작성한다(S102). 여기에서는 이 1단위를 도트 퍼치라고 부르고, 좌표의 1블록단위를 도트 퍼치 dpx(주주사방향)×도트 퍼치 dpy(부주사방향)의 정방형 요소로 한다. 단, 좌표의 1요소는 정방형에 한정되지 않고, $dpx \neq dpy$ 인 직사각형으로 하여도 좋다.

[0040] 이어서, 액적 토출 장치를 사용하여 그리고자 하는 배선의 배치 등을 결정하기 위한 회로 설계를 한다(S103). 여기에서는 개략적인 레이아웃을 생각하여, 어떠한 회로를 형성할지를 결정한다.

[0041] 이어서, 개략적인 회로 설계에 맞추어, 미리 등록되어 있는 등록 도면 라이브러리(111)로부터 등록 도면을 선택하여, 각각을 적절하게 합성한다(S104). 또, 등록 도면 라이브러리에는 마스크를 사용하여 표면 처리를 선택적으로 행한 후, 액적 토출법으로 그릴 수 있는 패턴 형상을 실시자가 미리 축적하여 둔다.

[0042] 등록 도면의 일례를 도 3a, 도 3b, 도 3c, 도 3d, 도 3e, 및 도 3f에 도시한다. 또한, 이들의 등록 도면에 각각 요하는 좌표 매스의 수도 미리 결정한다. 최적의 좌표 매스의 수는 토출하는 재료 및 그 점도 등에도 의존하기 때문에, 실제로 액적 토출 장치를 사용하여 토출을 하여 실시자가 미리 확인하여 둔다. 또한, 각각의 좌표 매스의 수로부터 최적의 토출 회수나, 최적의 래스터 데이터도 작성할 수 있다.

[0043] 또한, 도 3a 내지 도 3f에서, 등록 도면은 정방형 요소에 대응시키고 있지만, 특별히 한정되지 않고, 복수의 정방형 요소의 그룹을 1개의 등록 도면으로 하여도 좋다. 복수의 정방형 요소의 그룹을 1개의 등록 도면으로 하면, 설계할 때의 실시자의 부담을 경감할 수 있다.

[0044] 그리고, 등록 도면을 선택하여, 각각을 적절하게 합성하는 것을 반복하여, 각각 배치해야 하는 좌표에 배치하는 것으로 도형 맵을 작성하여 기억수단에 기록한다(S105).

[0045] 이와 같이 하여 기억한 도형 맵의 데이터를 이용하여 마스크 및 래스터 데이터를 작성한다.

[0046] 이어서, 형성한 도형 맵에 기초하여 마스크를 작성한다(S106). 또는 래스터 데이터를 작성한다(S107).

[0047] 각각 마스크와 래스터 데이터는 상기 스텝을 거쳐서 형성된다. 따라서, 양쪽 모두 같은 좌표, 즉 액적 사이즈의 50% 이상 90% 미만을 기초로 각각 형성되게 된다. 액적 토출 장치로부터 토출되는 액적의 착탄 면적에 맞추어, 마스크 및 래스터 데이터를 설계하기 때문에, 액적 토출 장치를 사용하여 패턴을 형성하는 경우에 최적의 회로 레이아웃이 가능해진다.

[0048] (실시형태 2)

[0049] 여기에서는 피처리면상에 도전 재료의 액적을 토출할 때까지의 플로도를 도 2에 설명한다. 또, 도 1과 공통의 부분은 공통의 부호를 사용한다. 유리기판의 피처리면에 은나노입자를 포함하는 액적을 토출하여 은을 주성분으로 하는 배선을 형성하는 방법을 이하에 설명한다.

[0050] 우선, 피처리면에 레지스트를 도포한다(S201). 레지스트 재료는 포지티브형 레지스트 또는 네거티브형 레지스트를 사용한다. 여기에서는 피처리면이 무기 재료인 유리기판이고, 은나노입자와의 밀착성을 향상시키기 위해서, 네거티브형 레지스트를 사용한다.

[0051] 이어서, 실시형태 1에서 형성한 마스크를 노광 마스크로 하여 노광을 한다(S202). 도 4a에 마스크의 레이아웃의 일례를 도시한다. 노광 마스크는 도 4a의 사선부분(401)이 개구부분이 되는 차광 마스크이다. 도 4a에서는 도 3a 및 도 3d에 도시한 도형 등록 라이브러리로부터 선택된 블록 패턴(A1, 및 D1)을 좌표위치에 배치하고 있다.

[0052] 이어서, 레지스트막을 현상한다(S203). 네거티브형 레지스트이기 때문에 노광된 영역이 잔존하여, 노광되지 않은 영역의 레지스트가 현상액에 의해 제거된다.

[0053] 이어서, 노정하고 있는 표면의 표면 개질을 하기 위한 표면 처리를 한다(S204). 여기에서의 표면 처리는 괴형 성영역 표면의 습윤성을 조절하는 처리를 가리키고 있다. 괴형성물질인 고체 표면의 습윤성은 표면의 화학적 성질에 영향을 받는다. 유동성을 갖는 조성물에 대하여, 습윤성이 낮은 물질이면 그 표면은 유동성을 갖는 조성물에 대하여 습윤성이 낮은 영역(이하, 저습윤성영역이라고도 함)이 되고, 반대로 유동성을 갖는 조성물에 대하여, 습윤성이 높은 물질이면 그 표면은 유동성을 갖는 조성물에 대하여 습윤성이 높은 영역(이하, 고습윤성영역이라고도 함)이 된다.

[0054] 예를 들면, 노정하고 있는 표면, 즉, 배선을 형성하지 않는 영역(제 1 영역)을 습윤성이 낮은 영역으로 하고,

후의 공정에서, 배선을 형성하는 영역(제 2 영역), 즉, 제 1 영역과 비교하여 습윤성이 높은 영역에 도전 재료의 액적을 적하한다. 습윤성이 높은 영역은 접촉각이 작기 때문에, 표면상에서 유동성을 갖는 조성물은 넓어진다. 또한, 그 이외의 영역, 즉 습윤성이 낮은 영역은 후의 공정에서, 습윤성이 낮은 영역에 도전 재료의 액적을 토출한 경우, 접촉각이 크기 때문에, 액적이 튀긴다. 또, 여기에서의 표면 처리는 후의 공정에서 토출하는 유동성을 갖는 조성물에 대하여, 습윤성에 차를 갖는 제 1 영역 및 제 2 영역을 형성하면 좋고, 특별히 한정되지 않는다.

[0055] 이어서, 네거티브형의 레지스트를 잔존시킨 영역상에 유동성을 갖는 조성물, 여기에서는 은나노입자를 포함하는 도전 재료의 액적 토출을 한다. 여기에서는 상기 실시형태 1에서 형성한 래스터 데이터를 사용하여 액적 토출 장치를 구동시켜, 선택적으로 도전 재료의 액적 토출을 한다(S205). 도 4b는 도 4a에 대응하는 래스터 데이터의 일례를 도시하고 있다. 도 4b에 있어서, X가 표시된 장소(402)에 대응시켜 각각의 위치에 액적을 토출한다. 블록 패턴(D1)에 대응하는 개소에는 패턴수와 같은 토출수로 하고, 블록 패턴(A1)에 대응하는 개소는 5개 연속하는 피치에 관하여, 1회의 토출수로 하고 있다. 실시자는 도형 등록 라이브러리를 형성할 때에, 미리, 블록 패턴(A1)은 Y방향에 4개 또는 5개 연속시키는 것이 바람직하고, 이들의 중앙에 1적 토출시키는 것을 실측하여 확인하여 둔다.

[0056] 액적 토출 장치로서, 대표적으로는 잉크젯 장치를 사용한다. 인터젯장치는 A 개($A \geq 2$ 의 정수)의 노즐을 일렬로 갖는 헤드를 설치하고 있고, 피처리체, 여기에서는 기판과 헤드의 상대위치를 변화시켜 액적을 다른 노즐로부터 토출시킨다. 잉크젯 장치는 2치화 처리 또는 다치화 처리된 데이터를 기초로 재료의 액적을 토출한다. 토출한 후는 건조, 또는 소성에 의해 배선을 형성한다. 도 4b에 도시된 래스터 데이터에 따라서 액적 토출을 하는 것으로, 도 4a에 도시된 사선부분(401)에 대응한 거의 동일 사이즈의 배선 패턴을 얻을 수 있다.

[0057] 이상의 공정을 거쳐서 도전 재료의 패턴이 형성된다. 즉, 유리기판상에 네거티브형 레지스트막이 형성되고, 그 위에 은을 주성분으로 하는 배선이 형성된다.

[0058] 또 래스터 데이터를 보정함으로써, 높은 정밀도의 토출 제어를 실현할 수 있다. 예를 들면, 토출위치 어긋남에 기인하는 파라미터의 하나인 헤드의 경사 각도(θ)를 고려한 데이터 보정을 한다.

[0059] 또한, 설계 효율을 향상시키기 위해서, 잉크젯 장치에 전기적으로 접속하는 컴퓨터를 설치하고, 그 컴퓨터를 사용하여, 도형 등록 라이브러리를 작성하고, 그 도형 등록 라이브러리로부터 선택한 복수의 도형을 전기회로의 설계도면 데이터로 하고, 또, 설계도면 데이터 및 도형 등록 라이브러리에 기초하여 자동적으로 원하는 래스터 데이터를 작성하는 프로그램을 작성하여, 실행하여도 좋다.

[0060] 또한, 최초에 좌표를 결정하는 기준이 되는 피처리면에 대한 액적의 착탄 면적은 CCD 등의 활상수단에 의해서 자동으로 촬영하여, 컴퓨터에 입력하여도 좋고, 수동으로 그 때마다, 컴퓨터에 입력하도록 하여도 좋다. 또한, 액적의 점도, 헤드의 장축이 주주사방향에 수직인 방향, 즉 부주사방향과 이루는 각도(θ) 등의 파라미터는 미리 메모리 등에 기억하여 두어도 좋다.

[0061] 또한, 본 실시형태는 실시형태 1과 자유롭게 조합할 수 있다.

[0062] (실시형태 3)

[0063] 여기에서는 도 4와는 다른 블록 패턴을 사용한 마스크 설계도의 일례 및 래스터 데이터의 일례를 도 5 또는 도 6에 설명한다.

[0064] 도 5a는 도면 등록 라이브러리로부터 선택된 3종류의 블록 패턴(B1, C1, D1)을 사용하여 작성한 마스크 설계도이다.

[0065] 도 5a는 박막트랜지스터의 소스 배선과 드레인 전극을 잉크젯 장치로 형성하는 경우의 마스크 설계도이다. 도 5a의 사선부분(501)이 개구부분이 되는 차광 마스크를 제작한다.

[0066] 또한, 도 5a에 대응하는 래스터 데이터의 일례를 도 5b에 도시한다. 블록 패턴(D1)에 대응하는 개소에는 패턴 수와 같은 토출수(20)로 하고, 블록 패턴(C1)에 대응하는 개소는 3개 연속하는 피치에 관하여, 1회의 토출수로 하고 있다. 또한, C1과 B1은 Y방향, 즉 헤드의 주사방향의 최적 피치가 같기 때문에, C1과 B1이 합계로 3개 나열된 영역(4개소)에 관하여, 각각 1회의 토출수로 하고 있다. 도 5b에 있어서, X가 표시된 장소 502에 대응시켜 각각의 위치에 액적을 토출한다. 도 5b에 도시한 구획에는 합계 24적 토출한다.

[0067] 도 5a에 근거하는 차광 마스크를 사용하여 피처리기판에 표면 처리를 하여, 서로 습윤성이 다른 제 1 영역 및

제 2 영역을 형성하고, 도 5b에 도시하는 래스터 데이터에 근거하여 도전 재료를 포함하는 액적 토출을 하면, 원하는 소스 배선과 드레인 전극을 형성할 수 있다.

[0068] 본 발명에 의해, 액적의 직경보다도 가는 드레인 전극을 형성할 수 있고, 또, 소스 배선과 드레인 전극의 간격을 액적의 직경보다도 좁게 할 수 있다.

[0069] 또한, 이(齒)의 부분을 마주 향하여 배치한 2개의 빗살형의 전극을 잉크젯 장치로 형성하는 경우의 마스크 설계도를 도 6a에 도시한다. 도 6a는 도면 등록 라이브러리로부터 선택된 5종류의 블록 패턴(B2, E1, E2, F2, F3)을 사용하여 작성한 마스크 설계도이다. 도 6a의 사선부분(601)이 개구부분이 되는 차광 마스크를 제작한다.

[0070] 또한, 도 6a에 대응하는 래스터 데이터의 일례를 도 6b에 도시한다. 블록 패턴(E1, E2, F2, F3)에 대응하는 개소에는 패턴수와 같은 토출수로 하고 있다. 또한, 블록 패턴(B2)에 대응하는 개소는 5개 연속하는 퍼치에 관하여, 2회의 토출수로 하고 있다. 도 6b에 있어서, X가 표시된 장소(602)에 대응시켜 각각의 위치에 액적을 토출한다. 도 6a에 근거하는 차광 마스크를 사용하여 피처리기판에 표면 처리를 하여, 서로 습윤성이 다른 제 1 영역 및 제 2 영역을 형성하고, 도 6b에 도시하는 래스터 데이터에 근거하여 도전 재료를 포함하는 액적 토출을 하면, 이의 부분을 마주 향하여 배치한 2개의 빗살형의 전극을 형성할 수 있다.

[0071] 본 발명에 의해, 액적의 직경보다도 가는 빗살 전극을 형성할 수 있고, 또, 한쪽의 빗살 전극과 다른쪽의 빗살 전극의 간격을 액적의 직경보다도 좁게 할 수 있다.

[0072] 블록 패턴(B2)은 Y방향, 즉 헤드의 주사방향에 평행한 방향에 배선이 복수개 배치되는 경우에 사용하는 것이 적합하다. 액적 토출 장치에서 그릴 수 있는 패턴 형상은 헤드의 주사방향이나, 헤드에 설치된 노즐 간격에도 의존하기 때문에, 미리 도형 등록 라이브러리에 묘화 가능한 패턴을 복수 축적시켜 두는 것이 중요하다.

[0073] 예를 들면, 빗살형의 전극을 형성하는 경우에는 회로 설계 레이아웃은 도 6a에 도시하는 바와 같은 방향에 일치시켜 결정하면 좋다. CAD 툴을 사용하여 회로 레이아웃을 결정한 후, 래스터 데이터로 변환하는 경우는 실제로 회로 레이아웃을 기초로 마스크를 제작하고 액적 토출까지 하지 않으면, 원하는 패턴을 묘화할 수 있는지 확인하는 것이나 최적의 액적의 적하수를 결정하는 것이 곤란하였다. 본 발명은 미리 액적 토출에 의해서 묘화할 수 있는 도형 블록을 도형 등록 라이브러리에서 축적시키고 있기 때문에, 그 도형 블록을 조합하여 형성된 회로 레이아웃은 액적 토출 장치로 묘화할 수 있다. 또한, 도형 블록을 기초로 하면, 래스터 데이터를 작성하는 데에 있어서 필요한 최적의 액적의 적하수도 결정할 수 있다.

[0074] (실시형태 4)

[0075] 실시형태 2에서는 네거티브형의 레지스트를 잔존시킨 영역상에 은나노입자를 포함하는 도전 재료의 액적 토출을 하는 예를 개시하였지만, 여기에서는 레지스트를 제거한 후에 은나노입자를 포함하는 도전 재료의 액적 토출을 하는 예를 개시한다.

[0076] 우선, 피처리면에 레지스트를 도포한다. 레지스트 재료는 포지티브형 레지스트 또는 네거티브형 레지스트를 사용한다. 여기에서는 피처리면이 플라스틱기판을 사용하고, 레지스트 재료로서 포지티브형 레지스트를 사용한다.

[0077] 이어서, 실시형태 1에서 형성한 마스크를 노광 마스크로서 노광을 한다. 노광 마스크는 도 4a의 사선부분이 차광부분이 되는 차광 마스크로 한다.

[0078] 이어서, 레지스트막의 현상을 한다. 포지티브형 레지스트이기 때문에 노광된 영역(제 1 영역)이 현상액에 의해 제거되고, 노광되지 않은 영역(제 2 영역)의 레지스트가 잔존된다.

[0079] 이어서, 노정하고 있는 표면의 표면 개질을 하기 위한 표면 처리를 한다. 예를 들면, 노정하고 있는 표면, 즉, 배선을 형성하지 않는 영역(제 1 영역)을 습윤성이 낮은 영역으로 하고, 후의 공정에서, 배선을 형성하는 영역(제 2 영역), 즉, 제 1 영역과 비교하여 습윤성이 높은 영역에 도전 재료의 액적을 적하한다.

[0080] 이어서, 제 2 영역에 잔존하고 있는 포지티브형 레지스트를 제거한다.

[0081] 이어서, 제 2 영역상에 유동성을 갖는 조성물, 여기에서는 은나노입자를 포함하는 도전 재료의 액적 토출을 한다. 여기에서도, 상기 실시형태 1에서 형성한 래스터 데이터를 사용하여 액적 토출 장치를 구동시켜, 선택적으로 도전 재료의 액적 토출을 한다.

- [0082] 액적 토출 장치로서, 대표적으로는 잉크젯 장치를 사용한다. 잉크젯 장치는 A개($A \geq 2$ 의 정수)의 노즐을 일렬로 갖는 헤드를 설치하고 있고, 피처리체, 여기에서는 기판과 헤드의 상대위치를 변화시켜 액적을 다른 노즐로부터 토출시킨다. 잉크젯 장치는 2차화 처리 또는 다치화 처리된 데이터를 기초로 재료의 액적을 토출한다. 토출한 후는 건조, 또는 소성에 의해 배선을 형성한다.
- [0083] 이상의 공정을 거쳐서 도전 재료의 패턴이 형성된다. 즉, 플라스틱기판상에 은을 주성분으로 하는 배선이 형성된다. 본 실시형태에서도, 실시형태 1과 같이, 착탄 후의 액적의 직경보다도 폭이 좁은 배선을 형성할 수 있고, 또 인접하는 배선과의 배선 간격도 착탄 후의 액적의 직경보다도 좁게 할 수 있다.
- [0084] 또, 본 실시형태 4는 본 실시형태 1과 비교하여, 노광 후의 포지티브형 레지스트를 제거하는 공정이 많다. 그러나, 본 실시형태 4는 종래의 애칭 공정과 비교하여, 공정수를 삭감할 수 있다.
- [0085] 이상의 구성이 되는 본 발명에 관해서, 이하에 개시하는 실시예에서 더욱 상세한 설명을 하기로 한다.
- [0086] 실시예 1
- [0087] 본 실시예에서는 기판상에 포토 마스크를 사용하여 도포성이 다른 영역을 형성하고, 도포성이 높은 영역에 도전 층을 형성하여 안테나를 형성하는 방법에 관해서, 도 7, 및 도 8을 사용하여 설명한다. 도 7a, 7d, 및 7f는 안테나를 형성하는 과정에서의 기판의 사시도이고, "A"- "B"에서의 단면도를 도 7b, 7c, 및 7e에 도시한다.
- [0088] 우선, 기판(100)상에 무기 절연막(101)을 형성한다. 기판(100)으로서는 유리기판이나 석영기판을 사용하면 좋다. 또한, 처리온도에 견딜 수 있는 내열성을 갖는 플라스틱기판을 사용하여도 좋다. 또한, 상술의 기판 외에 실리콘기판을 사용하여도 좋다. 또한, 무기 절연막(101)으로서는 공지의 수단(스퍼터법, LPCVD법, 또는 플라즈마 CVD법 등)에 의해, 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막 등의 절연막으로 이루어지는 하지막을 형성한다. 여기에서는 하지막으로서 단층 구조를 사용한 예를 개시하지만, 상기 절연막을 2층 이상 적층시킨 구조를 사용하여도 좋다. 또, 기판의 요철이나, 기판으로부터의 불순물 확산이 문제가 되지 않으면, 특별히 기초 절연막을 형성하지 않아도 좋다.
- [0089] 이어서, 무기 절연막(101)상에 감광 재료막(102)을 형성한다. 감광 재료막(102)은 스픈 코팅법, 스프레이법, 인쇄법, 액적 토출법 등을 사용하여 형성한다. 또한, 감광 재료막(102)은 네거티브형의 레지스트 재료, 또는 포지티브형의 레지스트 재료를 사용한다. 본 실시예에서는 폴리비닐시나메이트(PVCi)를 용매에 용해시킨 용액을 스픈 코팅법에 의해 감광 재료막(102)을 형성한다. 또, 용매로서는 메틸에틸케톤을 사용하고, PVCi의 농도가 1중량%가 되는 용액을 사용하고 있다. 용매의 재료, 및 농도는 특별히 한정되지 않는다. 또한, 소성온도는 120°C의 가열 처리를 10분하여, 용매를 증발시킨다. 이 단계에서의 사시도를 도 7a에 도시한다. 또, 도 7a에서는 무기 절연막은 도시하지 않았다.
- [0090] 이어서, 노광 마스크(103)를 사용하여 선택적으로 노광을 한다. 노광 마스크(103)의 개구부를 통과시켜, 자외 광 등의 광(104)을 부분적으로 조사한다. 그리고, 조사된 영역(제 1 영역)에 가교반응을 발생시킨다. 노광의 모양을 도 7b에 도시한다. 노광 마스크(103)는 실시형태 1에 개시하는 순서에 따라서 제작한다. 예를 들면, 안테나 구성 중, 도전층의 선이 3개 나열되어 있는 개소는 도형 등록 라이브러리 중, 블록(B2)과 블록(A2)을 조합하는 것으로 마스크를 형성한다.
- [0091] 이어서, 현상액을 사용하여, 광이 조사되지 않은 영역(제 2 영역)의 감광 재료막을 선택적으로 제거한다. 여기에서는 현상액으로서 디메틸포름아미드(DMF) 등을 사용할 수 있다. 이 단계에서의 단면도가 도 7c에 상당하고, 사시도가 도 7d에 상당한다.
- [0092] 이어서, 산소 분위기하의 자외선의 조사로 오존을 발생시켜, 제 2 영역상에 약간 남아 있는 감광 재료를 분해 및 제거한다. 소위, UV 오존 처리를 여기에서는 3분 행한다. 오존 처리를 하는 것으로, 후에 발액제를 형성할 때에 발액제를 제 2 영역에 흡착시키기 쉽게 할 수 있다.
- [0093] 이어서, 헥사메틸디실라잔(HMDS) 증기에 기판을 노출시킨다. 이렇게 하는 것으로 무기 절연막이 노정되어 있는 제 2 영역에 HMDS를 흡착시킨다. 이와 같이 하여, 도 7e의 단면 공정도 및 도 7f의 사시도에 도시하는 바와 같이, HMDS가 흡착되어 발액성을 갖는 표면(121)이 형성된다. 또, 노광 후의 감광 재료막(112)상에도 약간 HMDS가 부착되는 경우도 있다.
- [0094] 이어서, 도형 등록 라이브러리로부터 얻어지는 최적의 적하위치와 최적의 적하수에 따라서, 제 1 영역상에 유동성을 갖는 조성물, 여기에서는 은나노입자를 포함하는 도전 재료의 액적 토출을 한다. 은나노입자를 포함하는 도전 재료의 액체는 은나노입자를 디에틸렌글리콜모노부틸에테르에 분산시켜, 은나노입자가 20중량%가 되는 농

도의 용액을 사용한다. 또한, 적하 도중의 단면도를 도 8a에 도시한다. 도 8a에 도시하는 바와 같이, 비상 중인 액적(114)의 직경 사이즈는 제 1 영역의 폭, 즉 안테나의 선폭보다도 크다. 액적(114)이 피처리면에 착탄된 직후의 피착탄 면적은 비상 중인 액적(114)의 사이즈보다도 커진다. 그리고, 착탄 후 잠시 지나면, 발액 표면을 갖는 제 2 영역상의 액체가 제 1 영역으로 이동하여 도 8b에 도시하는 상태를 얻을 수 있다. 또한, 헤드(113)의 주사가 종료한 단계에서의 사시도를 도 8c에 도시한다. 여기에서는 도 8c 중에 도시하는 화살표시의 방향, 즉 인쇄방향(115)으로 기판(100)을 이동시켜 1회의 주사로 행하고 있는 예를 개시하지만 특별히 한정되지 않는다. 또한, 헤드(113)는 기판의 1면보다도 긴 길이방향의 폭을 갖고 있는 예를 개시하고 있고, 특별히 한정되지 않는다. 대면적기판에 복수의 안테나를 복수 형성하는 경우에는 복수의 헤드를 준비하고, 또 복수회의 주사를 하는 것으로 한 장의 대면적기판에 대한 액적 토출을 하면 좋다.

[0095] 이어서, 건조 및 소성을 한다. 여기에서는 120°C, 10분의 건조를 한 후, 200°C, 30분의 소성을 한다. 이와 같이 하여, 액적(114)의 직경 사이즈보다도 좁은 배선(131)을 얻을 수 있다.

[0096] 또한, 도 8a에 도시하는 바와 같이, 헤드(113)의 노즐의 간격, 즉, 토출구의 간격은 안테나의 배선 간격이나 넓이에 관계없이, 배선 간격이 좁은 안테나를 형성할 수 있다.

[0097] 또한, 본 실시예에서는 네거티브형의 감광 재료인 PVCi를 사용하는 예를 개시하였지만, 포지티브형의 감광 재료를 사용할 수 있다. 예를 들면, 노볼락·디아조나프트퀴논계 레지스트를 사용할 수 있다. 또한, 그 때의 현상액으로서는 테트라메틸암모늄하이드로옥사이드(TMAH)를 사용하면 좋다. 단, 포지티브형의 감광 재료를 사용하는 경우에는 상기 노광 마스크를 사용할 수 없다. 포지티브형의 감광 재료를 사용하는 경우에는 네거티브형의 감광 재료를 노광하는 마스크와 개구부분의 위치 및 차광부분의 위치가 반대로 되어 있는 노광 마스크를 사용한다.

[0098] 또한, 본 실시예는 실시형태 1 내지 4 중 어느 하나와 자유롭게 조합할 수 있다.

[0099] 실시예 2

[0100] 실시예 1에서는 안테나를 형성하는 예를 개시하였지만, 본 실시예에서는 트랜지스터를 제작하는 예를 개시한다.

[0101] 도 9에, 역스태거형의 구조의 박막트랜지스터의 단면도의 일례를 도시한다. 절연 표면을 갖는 기판(280)상에, 역스태거형의 구조의 트랜지스터(290)가 설치되어 있다. 트랜지스터(290)는 절연층(288), 게이트 전극층(281), 반도체층(282), 1도전형을 갖는 반도체층(283a), 1도전형을 갖는 반도체층(283b), 소스 전극층(285), 드레인 전극층(286)을 갖는다.

[0102] 우선, 절연 표면을 갖는 기판(280)상에 게이트 전극층(281)을 형성한다. 기판(280)으로서는 투광성을 갖는 기판, 예를 들면 유리기판, 결정화 유리기판, 또는 플라스틱기판을 사용할 수 있다. 플라스틱기판으로서는 필름형의 플라스틱기판, 예를 들면, 폴리에틸렌테레프탈레이트(PET), 폴리에테르설폰(PES), 폴리에틸렌나프탈레이트(PEN), 폴리카보네이트(PC), 나일론, 폴리에테르에테르케톤(PEEK), 폴리설폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리프틸렌테레프탈레이트(PBT) 등의 플라스틱기판이 바람직하다. 또한, 내열성을 갖는 플라스틱기판, 예를 들면 직경 수mm의 무기입자가 유기 폴리머 매트릭스에 분산된 재료를 시트형으로 가공한 플라스틱기판을 사용하여도 좋다.

[0103] 게이트 전극층(281)은 액적 토출법으로 형성할 수 있고, 또 상술한 실시형태 1에 도시한 방법을 사용하여 게이트 전극폭이 좁은 게이트 전극층(281)을 형성할 수도 있다. 예를 들면, 착탄 후의 액적의 직경이 55μm인 경우, 게이트 전극층(281)의 선폭을 25μm로 할 수 있다. 또한, 더블게이트 구조로 하는 경우, 인접하는 게이트 전극층(281)의 간격, 즉 1개의 트랜지스터에서의 2개의 채널 형성영역의 간격을 15μm로 할 수 있다.

[0104] 이어서, 게이트 전극층(281)을 덮는 절연층(288)을 형성한다. 절연층(288)은 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막 등의 절연막을 사용한다. 또한, 절연층(288)으로서, 폴리실라잔이나 실록산폴리머를 포함하는 용액을 도포 소성하여 얹어지는 막, 광경화성 유기수지막, 열경화성 유기수지막 등을 사용하여도 좋다. 절연층(288)은 트랜지스터(290)의 게이트 절연막으로서 기능한다.

[0105] 이어서, 반도체막 및 1도전형을 갖는 반도체막을 적층 형성한다. 반도체막은 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용하여 기상성장법이나 스퍼터링법이나 열 CVD법으로 제작되는 비정질반도체, 결정성반도체, 다결정반도체, 미결정반도체 등 여러 가지의 반도체를 사용할 수 있다. 또한, 반도체막으로서, 스퍼터법이나 PLD(Pulse Laser Deposition)법으로 제작되는 ZnO나 아연갈륨인듐의 산화물을 사용하여도 좋지만,

이 경우에는 게이트 절연막을 알루미늄이나 티타늄을 포함하는 산화물로 하는 것이 바람직하다. 또한, 반도체 막으로서 도포법이나 액적 토출법이나 증착법으로 제작되는 펜타센, 테트라센, 티오펜올리고머 유도체, 폐닐렌 유도체, 프탈로시아닌 화합물, 폴리아세틸렌 유도체, 폴리티오펜 유도체, 시아닌색소 등의 유기 재료를 사용하여, 유기트랜지스터를 형성하여도 좋다.

[0106] 1도전형을 갖는 반도체막은 n형 또는 p형의 불순물이 첨가되어 n형 또는 p형의 도전형을 나타내는 반도체막을 사용한다. 1도전형을 갖는 반도체막은 실란 가스와 포스핀 가스를 사용한 PCVD법으로 형성하면 좋다. 또, 반도체막으로서 펜타센 등의 유기 재료를 사용하는 경우는 1도전형을 갖는 반도체막 대신에 전하 수송층을 사용하여, 예를 들면 정공 수송층으로서 기능하는 트리페닐디아민, 전자 수송층으로서 기능하는 옥사디아졸을 사용하면 좋다.

[0107] 이어서, 공지의 포토리소 기술을 사용한 패터닝을 하여, 섬 형상의 반도체층(282), 1도전형을 갖는 반도체층(283a, 283b)을 얻는다. 또, 공지의 포토리소 기술 대신에, 액적 토출법이나 인쇄법(철판, 평판, 요판, 스크린 등)을 사용하여 마스크를 형성하고, 선택적으로 에칭을 하여도 좋다.

[0108] 이어서, 소스 전극층(285) 및 드레인 전극층(286)을 형성한다. 소스 전극층(285), 및 드레인 전극층(286)은 액적 토출법으로 형성할 수 있고, 또 실시형태 1에 개시한 방법을 사용하여 전극폭이 좁은 소스 전극층(285) 및 드레인 전극층(286)을 형성할 수 있다. 예를 들면, 상술한 실시형태 3에 개시하는 순서에 따라서 도 5에 도시하는 노광 마스크를 제작하고, 액적 토출 장치를 사용하여, 전극 간격이 좁은 소스 전극층(285) 및 드레인 전극층(286)을 형성한다. 예를 들면, 착탄 후의 액적의 직경이 $55\mu\text{m}$ 인 경우, 소스 전극층(285) 및 드레인 전극층(286)의 선폭을 $25\mu\text{m}$ 로 할 수 있다. 또한, 소스 전극층(285)과 드레인 전극층(286)의 간격을 $15\mu\text{m}$ 로 할 수 있다.

[0109] 이어서, 소스 전극층(285) 및 드레인 전극층(286)을 마스크로 하여 1도전형을 갖는 반도체층, 및 반도체층의 상부를 에칭하여 반도체층의 일부를 노출시킨다. 반도체층의 노출시킨 부분은 TFT의 채널 형성영역으로서 기능하는 개소이다.

[0110] 이어서, 채널 형성영역을 불순물 오염으로부터 막기 위한 보호막을 포함하는 층간 절연막(287)을 형성한다. 보호막으로서는 스퍼터법, 또는 PCVD법에 의해 얻어지는 질화규소, 또는 질화산화규소를 주성분으로 하는 재료를 사용한다. 본 실시형태에서는 보호막을 형성한 후에 수소화 처리를 한다. 또한, 층간 절연막은 에폭시수지, 아크릴수지, 폐놀수지, 노볼락수지, 멜라민수지, 우레탄수지 등의 수지 재료를 사용한다. 또한, 벤조사이클로부텐, 파릴렌, 투파성을 갖는 폴리이미드 등의 유기 재료, 실록산계 폴리머 등의 중합에 의해서 생긴 화합물 재료, 수용성 호모폴리머와 수용성 공중합체를 포함하는 조성물 재료 등을 사용할 수 있다.

[0111] 이어서, 층간 절연막(287)을 선택적으로 에칭하여 드레인 전극층(286)에 이르는 개구를 형성한다.

[0112] 이어서, 드레인 전극층(286)과 전기적으로 접속하는 도전층(292)을 형성한다.

[0113] 도전층(292)을 화소 전극으로 하여, 액티브 매트릭스형의 액정표시장치를 제작할 수 있다. 또한, 도전층(292)의 단부를 덮는 격벽을 형성하고, 도전층(292)상에 유기 화합물을 포함하는 층과 전극을 적층 형성하여 액티브 매트릭스형의 발광표시장치도 제작할 수 있다.

[0114] 게이트 전극층(281), 소스 전극층(285), 드레인 전극층(286), 도전층(292) 중 어느 하나를, 상술한 실시형태 1 내지 4에 개시하는 방법을 사용하여 액적 토출 장치로 형성할 수 있다. 상술한 실시형태 1 내지 4에 개시하는 방법을 사용하는 것으로 공정수를 저감할 수 있다.

[0115] 도 9에서는 절연 표면을 갖는 기판(280)상에 역스테거형의 박막트랜지스터를 설치한 예를 도시하고 있지만, 스태거형이나 평면형 등의 구조로 트랜지스터를 형성하는 것도 가능하다.

[0116] 또한, 본 실시예는 트랜지스터를 제작하는 예를 개시하였지만, 특별히 한정되지 않고, 본 발명을 사용하여, 그밖의 반도체소자, 저항소자, 기억소자(불휘발성 메모리, 판독을 전용으로 하는 ROM(Read Only Memory) 등), 필름형의 전지 등을 제작할 수 있다.

[0117] 또한, 본 실시예는 실시형태 1 내지 4 중 어느 하나와 자유롭게 조합할 수 있다. 또한, 본 실시예는 실시예 1과 자유롭게 조합할 수 있다.

[0118] 실시예 3

[0119] 실시예 1에서 제작한 안테나에 대하여 IC 칩을 전기적으로 접속시킴으로써, 비접촉형 박막접적회로장치(무선 IC

태그, RFID(무선인증, Radio Frequency Identification)라고도 불림)로서 사용할 수 있다.

[0120] 실시예 1에서 제작한 안테나로서 기능하는 도전층(1517)이 설치된 카드형 기판(1518)에 IC 칩(1516)을 접착한 ID 카드의 예를 도 10에 도시한다. 안테나로서 기능하는 도전층(1517)은 액적 토출법으로 형성되어 있다. 이와 같이, IC 칩(1516)은 소형, 박형, 경량이며, 다종다양의 용도가 실현되어, 물품에 접착하여도 그 물품의 디자인성을 손상시키지 않는다.

[0121] 또, IC 칩(1516)은 카드형 기판(1518)에 접착하는 형태에 제약되지 않고, 곡면이나 여러 가지의 형상의 물품에 접착할 수도 있다. 도 11에 그 일례를 도시하지만, 예를 들면, 지폐, 경화, 유가증권류, 무기명채권류, 증서류(운전면허증이나 주민등록증 등, 도 11a 참조), 포장용 용기류(포장지나 병 등, 도 11c 참조), 기록매체(DVD 소프트나 비디오테이프 등, 도 11b 참조), 탈것류(자전거 등, 도 11d 참조), 신변품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 전자기기 등의 상품이나 짐의 꼬리표(도 11e, 도 11f 참조) 등의 물품에 설치하여 사용할 수 있다. 전자기기는 액정표시장치, EL표시장치, 텔레비전장치(단순히 텔레비전, 텔레비전 수상기, 텔레비전 수상기라고도 부름) 및 휴대전화 등을 가리킨다.

[0122] 무선칩은 물품의 표면에 붙이거나, 물품에 매립하거나 하여, 물품에 고정된다. 예를 들면, 책이면 종이에 매립하거나, 유기수지로 이루어지는 패키지이면 해당 유기수지에 매립하거나 하면 좋다. 지폐, 경화, 유가증권류, 무기명채권류, 증서류 등에 무선칩을 설치함으로써, 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록매체, 신변품, 식품류, 의류, 생활용품류, 전자기기 등에 무선칩을 설치함으로써, 검품 시스템이나 렌탈점의 시스템 등의 효율화를 도모할 수 있다. 본 발명으로부터 형성하는 것이 가능한 무선칩은 기판상에 형성한 박막집적회로를, 공지의 박리공정에 의해 박리한 후, 커버재에 설치하기 때문에, 소형, 박형, 경량이고, 물품에 실장하여도, 디자인성을 손상시키지 않는다. 또, 가요성을 갖기 때문에, 병이나 파이프 등 곡면을 갖는 것에도 사용하는 것이 가능하다.

[0123] 또한, 본 발명으로부터 형성하는 것이 가능한 무선칩을, 물건의 관리나 유통의 시스템에 응용하는 것으로, 시스템의 고기능화를 도모할 수 있다. 예를 들면, 꼬리표에 설치되는 무선칩에 기록된 정보를, 벨트 컨베이어의 옆에 설치된 리더 라이터로 읽어내는 것으로, 유통과정 및 배달장소 등의 정보가 판독되어, 상품의 검품이나 하물의 분배를 간단히 할 수 있다.

[0124] 또한, IC 칩은 반도체기판으로부터 잘라낸 칩이 아니라, TFT를 사용하여 형성할 수도 있다. 예를 들면, 실시예 2에 도시한 TFT를 복수 사용하여 회로를 구성하면 좋다. TFT를 사용하는 경우, 동일 기판상에 회로와 안테나를 형성할 수도 있다.

[0125] 또한, 본 실시예는 실시형태 1 내지 4 중 어느 하나와 자유롭게 조합할 수 있다. 또한, 본 실시예는 실시예 1 또는 실시예 2와 자유롭게 조합할 수 있다.

[0126] 실시예 4

[0127] 본 실시예에서는 액티브 매트릭스형의 표시 패널을 제작하는 경우, 상기 실시예 2에서 제작되는 TFT를 스위칭소자로 한 표시 패널을 갖는 모듈에 관해서, 도 12를 사용하여 설명한다. 도 12는 표시 패널(9501)과 회로기판(9502)을 조합한 모듈을 도시하고 있다.

[0128] 회로기판(9502)에는 예를 들면, 컨트롤회로(9504)나 신호분할회로(9505) 등이 형성되어 있다. 또한, 표시 패널(9501)과 회로기판(9502)은 접속 배선(9503)으로 접속되어 있다. 표시 패널(9501)에 실시예 2에서 개시하는 바와 같은 TFT를 사용한 액정표시 패널, 발광표시 패널을 적절하게 사용할 수 있다.

[0129] 이 표시 패널(9501)은 발광소자가 각 화소에 설치된 화소부(9506)와, 주사선 구동회로(9507), 선택된 화소에 비디오신호를 공급하는 신호선 구동회로(9508)를 구비하고 있다. 화소부(9506)의 TFT는 실시예 2에 따라서 형성한다. 또한, 주사선 구동회로(9507)나 신호선 구동회로(9508)는 공지의 이방성 도전 접착제, 및 이방성 도전필름을 사용한 실장방법, COG 방식, 와이어 본딩방법, 및 땀납 범프를 사용한 리플로 처리 등에 의해, 기판상에 IC 칩으로 형성되는 주사선 구동회로(9507), 신호선 구동회로(9508)를 실장한다.

[0130] 본 실시예에 의해, 저비용으로 표시 모듈을 형성하는 것이 가능하다.

[0131] 도 12에서는 표시 모듈로서 액정표시 모듈의 예를 도시하였지만, 이것에 한정되는 것이 아니라, 발광표시 모듈, DMD(Digital Micromirror Device; 디지털 마이크로미러 디바이스), PDP(Plasma Display Panel), FED(Field Emission Display), 전기영동표시장치(전자페이퍼), 일렉트로 디포지션형 화상표시장치 등의 표시 모듈의 배선

형성에, 본 발명을 적절하게 적용할 수 있다.

[0132] 배선 형성이나, TFT 형성에 본 발명을 사용하여 완성된 반도체 장치를 갖는 전자기기로서, 텔레비전장치(단순히 텔레비전, 또는 텔레비전 수신기라고도 부름)를 들 수 있다. 여기에서는 텔레비전장치의 구체적인 예에 관해서, 도 13을 참조하여 설명한다.

[0133] 도 13a는 텔레비전장치의 블록도를 도시하고, 도 13b는 텔레비전장치의 사시도를 도시한다. 상기 실시예에 개시되는 표시 모듈에 의해, 액정 텔레비전장치나 EL 텔레비전장치를 완성시킬 수 있다.

[0134] 도 13a는 텔레비전장치의 주요한 구성을 도시하는 블록 도면이다. 튜너(9511)는 영상신호와 음성신호를 수신한다. 영상신호는 영상검파회로(9512)와, 거기로부터 출력되는 신호를 빨강, 초록, 파랑의 각 색에 대응한 색신호로 변환하는 영상신호 처리회로(9513)와, 그 영상신호를 드라이버 IC의 입력사양으로 변환하기 위한 컨트롤허로(9514)에 의해 처리된다. 컨트롤허로(9514)는 표시 패널(9515)의 주사선 구동회로(9516)와 신호선 구동회로(9517)에 각각 신호가 출력된다. 디지털 구동하는 경우에는 신호선측에 신호분할회로(9518)를 설치하고, 입력 디지털신호를 8개로 분할하여 공급하는 구성으로 하여도 좋다.

[0135] 튜너(9511)에서 수신한 신호 중, 음성신호는 음성검파회로(9521)에 보내지고, 그 출력은 음성신호 처리회로(9522)를 거쳐서 스피커(9523)에 공급된다. 제어회로(9524)는 수신국(수신 주파수)이나 음량의 제어정보를 입력부(9525)로부터 받아, 튜너(9511)나 음성신호 처리회로(9522)에 신호를 송출한다.

[0136] 도 13b에 도시하는 바와 같이, 모듈을 케이스(9531)에 내장하여, 텔레비전장치를 완성시킬 수 있다. 액정 모듈로 대표되는 모듈에 의해, 표시화면(9532)이 형성된다. 또한, 스피커(9533), 조작 스위치(9534) 등이 적절하게 구비되어 있다.

[0137] 이 텔레비전장치는 표시 패널(9515)을 포함하여 구성됨으로써, 텔레비전장치의 코스트 다운을 도모하는 것이 가능하다. 또한, 고세밀한 표시가 가능한 텔레비전장치를 제작하는 것이 가능하다.

[0138] 또, 본 발명은 텔레비전 수상기에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도역이나 공항 등에서의 정보표시반이나, 가두에서의 광고표시반 등 특히 대면적의 표시매체로서 여러 가지의 용도에 적용할 수 있다.

[0139] 또한, 본 실시예는 실시형태 1 내지 4 중 어느 하나와 자유롭게 조합할 수 있다. 또한, 본 실시예는 실시예 1 또는 실시예 2와 자유롭게 조합할 수 있다.

산업이용 가능성

[0140] 포토리소그래피법에 의한 애칭 공정수를 저감할 수 있기 때문에, 재료액의 로스 및 폐액량을 저감할 수 있다. 또한, 재료충이 복잡한 패턴인 경우에 적합한 액적 토클 프로세스를 제공할 수 있다. 또한, 대량생산상, 대형의 기판에 적합한 액적 토클법을 사용한 제조 프로세스를 실현할 수 있다.

도면의 간단한 설명

[0141] 도 1은 플로를 도시하는 도면.

[0142] 도 2는 플로를 도시하는 도면.

[0143] 도 3은 등록 도면 라이브러리의 일례를 도시하는 도면.

[0144] 도 4는 마스크의 설계도 및 래스터 데이터의 일례를 도시하는 도면.

[0145] 도 5는 마스크의 설계도 및 래스터 데이터의 일례를 도시하는 도면.

[0146] 도 6은 마스크의 설계도 및 래스터 데이터의 일례를 도시하는 도면.

[0147] 도 7은 공정 단면도 및 사시도를 도시하는 도면.

[0148] 도 8은 공정 단면도 및 사시도를 도시하는 도면.

[0149] 도 9는 트랜지스터의 단면을 도시하는 도면.

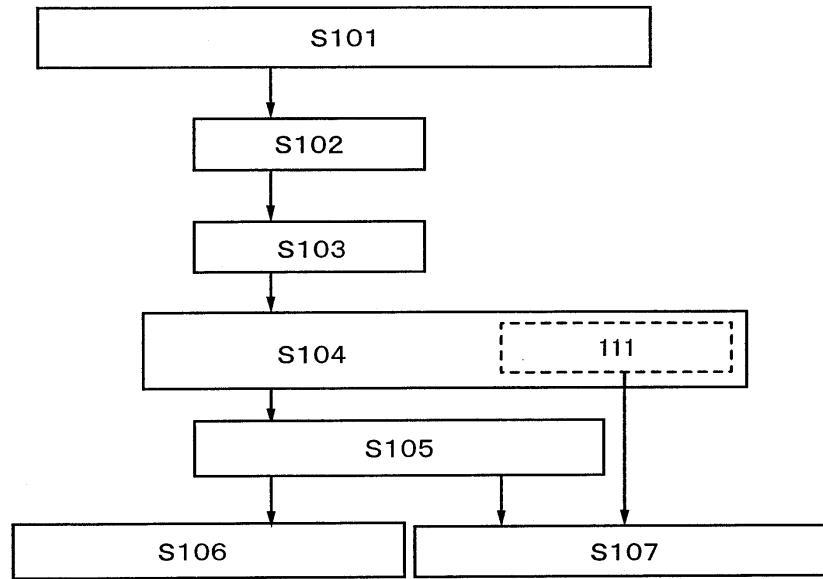
[0150] 도 10은 안테나를 갖는 카드를 도시하는 사시도.

[0151] 도 11은 전자기기의 일례를 도시하는 도면.

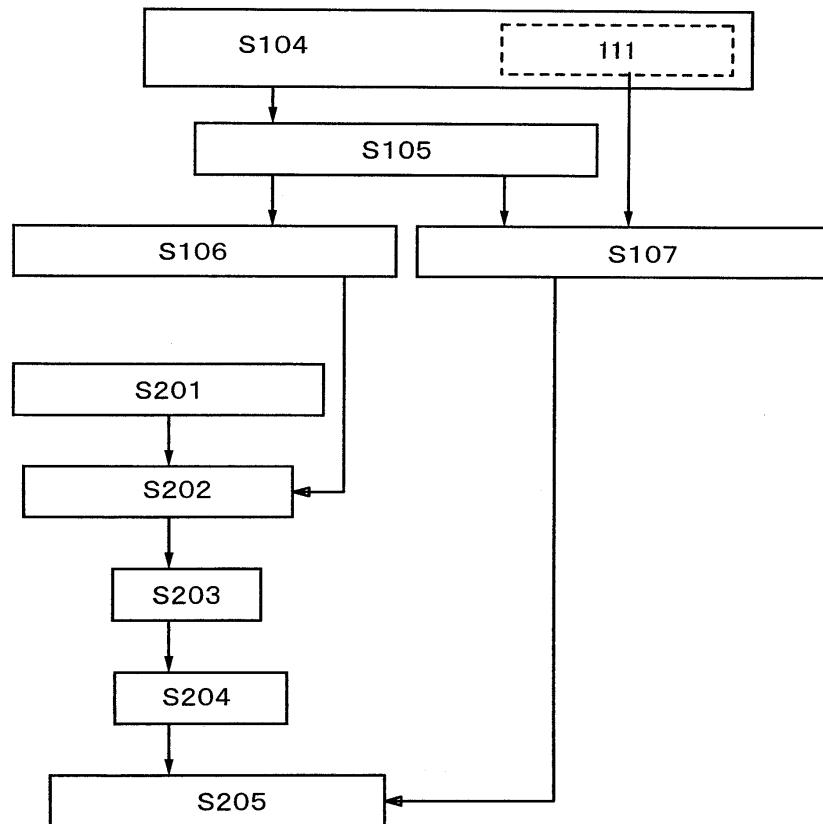
[0152]	도 12는 전자기기의 일례를 도시하는 도면.	
[0153]	도 13은 전자기기의 일례를 도시하는 도면.	
[0154]	* 도면의 주요 부분에 대한 부호의 설명 *	
[0155]	100 : 기판	101 : 무기 절연막
[0156]	102 : 감광 재료막	103 : 노광 마스크
[0157]	104 : 광	111 : 등록 도면 라이브러리
[0158]	112 : 노광 후의 감광 재료막	113 : 헤드
[0159]	114 : 액적	115 : 인쇄방향
[0160]	121 : 발액성을 갖는 표면	131 : 배선
[0161]	280 : 기판	281 : 게이트
[0162]	282 : 반도체	283a : 제 1 도체층을 갖는 반도체층
[0163]	283b : 제 1 도체층을 갖는 반도체층	285 : 소스 전극층
[0164]	286 : 드레인 전극층	288 : 절연층
[0165]	290 : 트랜지스터	292 : 도전층
[0166]	401 : 사선부분	402 : 장소
[0167]	501 : 사선부분	502 : 장소
[0168]	601 : 사선부분	602 : 장소
[0169]	1516 : IC 칩	1517 : 도전층
[0170]	1518 : 카드형 기판	9501 : 표시 패널
[0171]	9502 : 회로기판	9503 : 접속 배선
[0172]	9504 : 컨트롤회로	9505 : 신호분할회로
[0173]	9506 : 화소부	9507 : 주사선 구동회로
[0174]	9508 : 신호선 구동회로	9511 : 튜너
[0175]	9512 : 영상검파회로	9513 : 영상신호 처리회로
[0176]	9514 : 컨트롤회로	9515 : 표시 패널
[0177]	9516 : 주사선 구동회로	9517 : 신호선 구동회로
[0178]	9518 : 신호분할회로	9521 : 음성검파회로
[0179]	9522 : 음성신호 처리회로	9523, 9533 : 스피커
[0180]	9524 : 제어회로	9525 : 입력부
[0181]	9531 : 케이스	9532 : 표시화면
[0182]	9534 : 조작 스위치	

도면

도면1



도면2



도면3a

	A1	A2	피치수 (Y 방향)	피치수 (X 방향)
블록 A			4, 5	1

도면3b

	B1	B2	피치수 (Y 방향)	피치수 (X 방향)
블록 B			2, 3	1

도면3c

	C1	C2	피치수 (Y 방향)	피치수 (X 방향)
블록 C			2, 3	1

도면3d

	D1	피치수 (Y 방향)	피치수 (X 방향)
블록 D		1	1

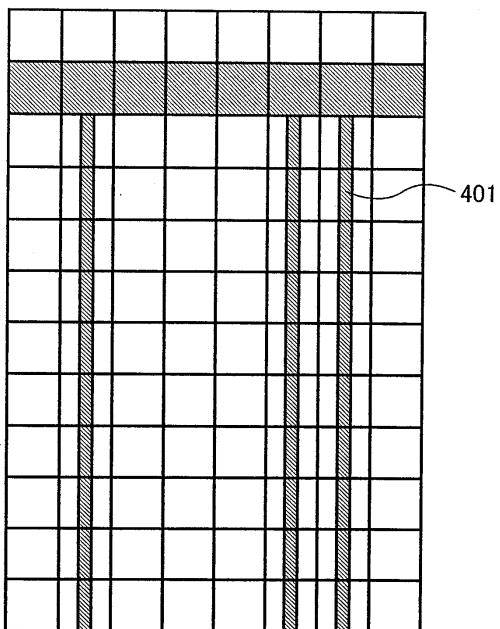
도면3e

	E1	E2	피치수 (Y 방향)	피치수 (X 방향)
블록 E			1	1

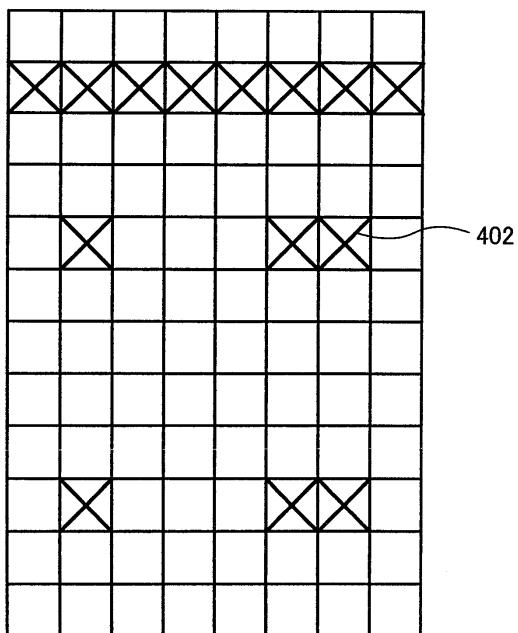
도면3f

	F1	F2	F3	F4	피치수 (Y 방향)	피치수 (X 방향)
블록 F					1	1

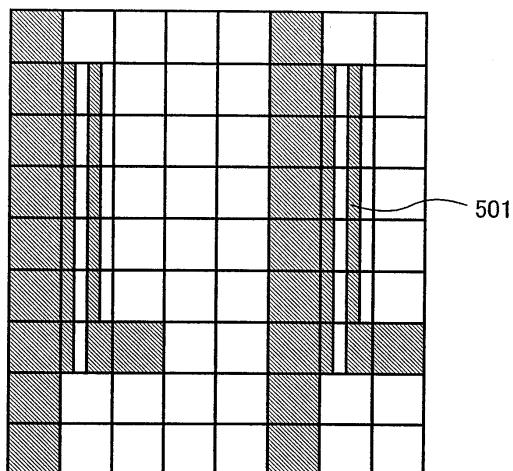
도면4a



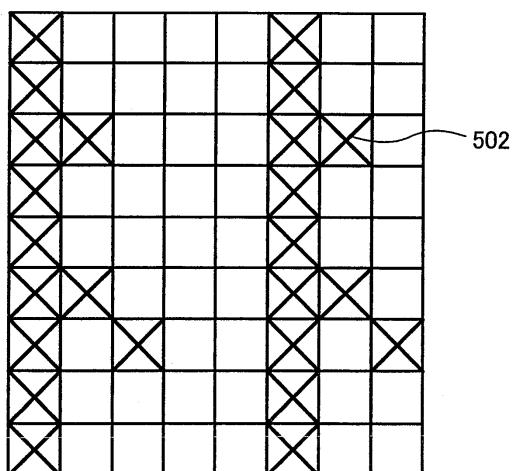
도면4b



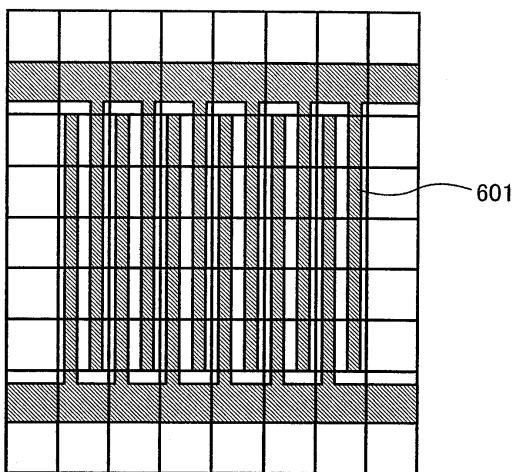
도면5a



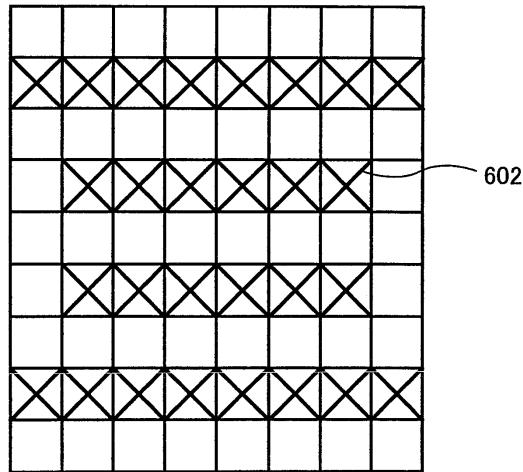
도면5b



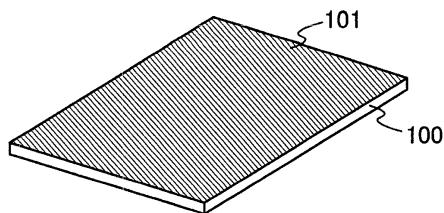
도면6a



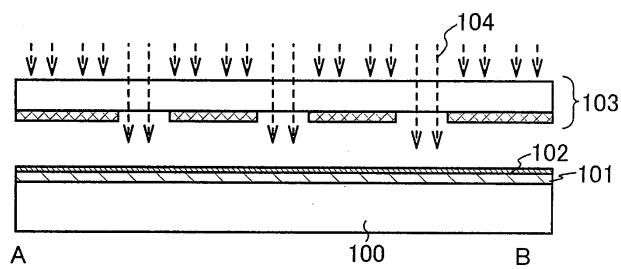
도면6b



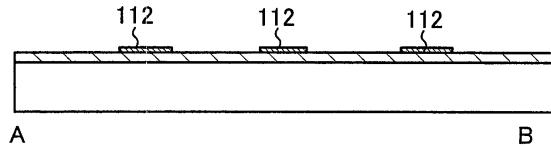
도면7a



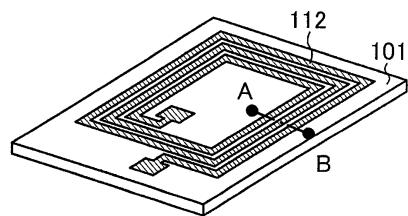
도면7b



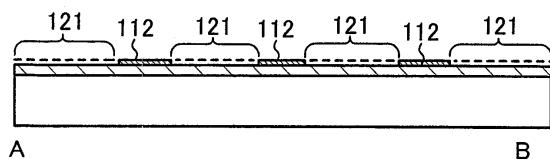
도면7c



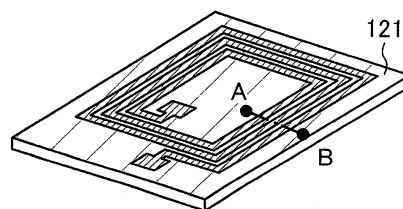
도면7d



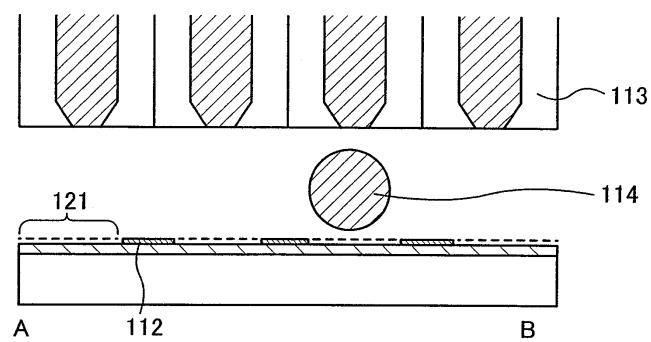
도면7e



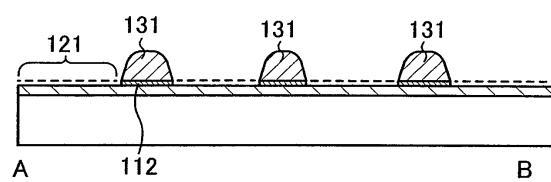
도면7f



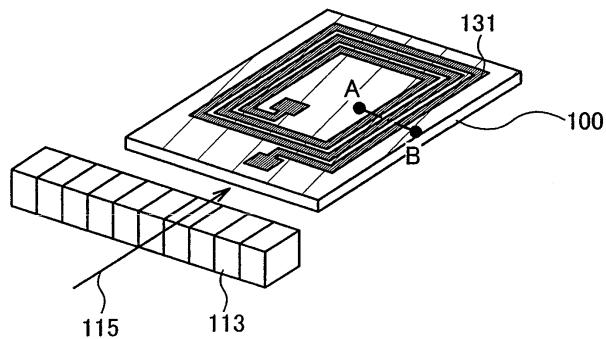
도면8a



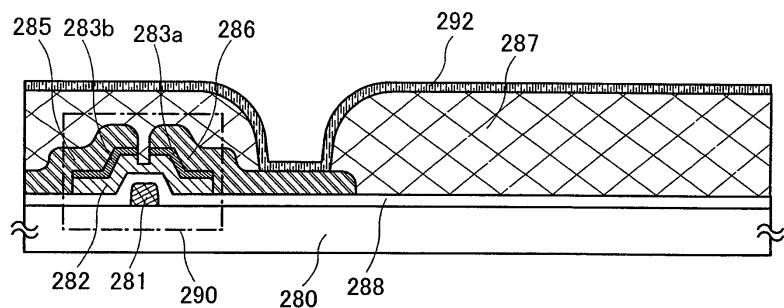
도면8b



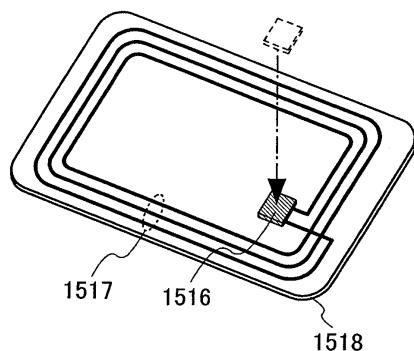
도면8c



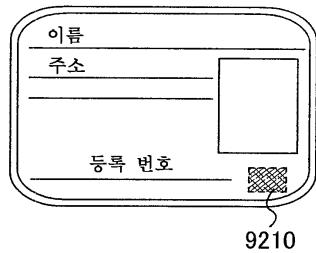
도면9



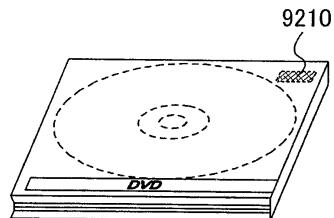
도면10



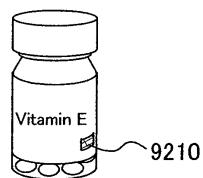
도면11a



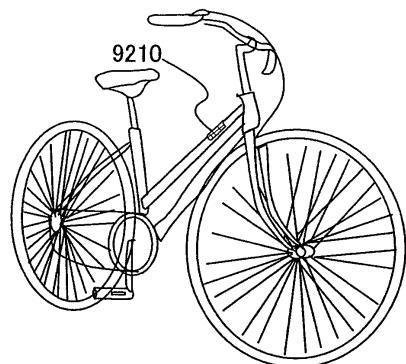
도면11b



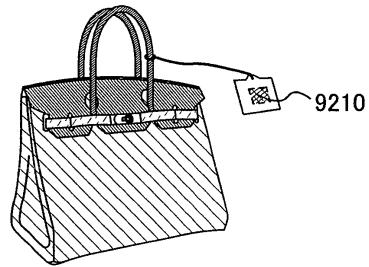
도면11c



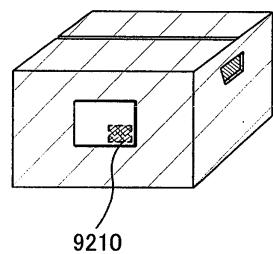
도면11d



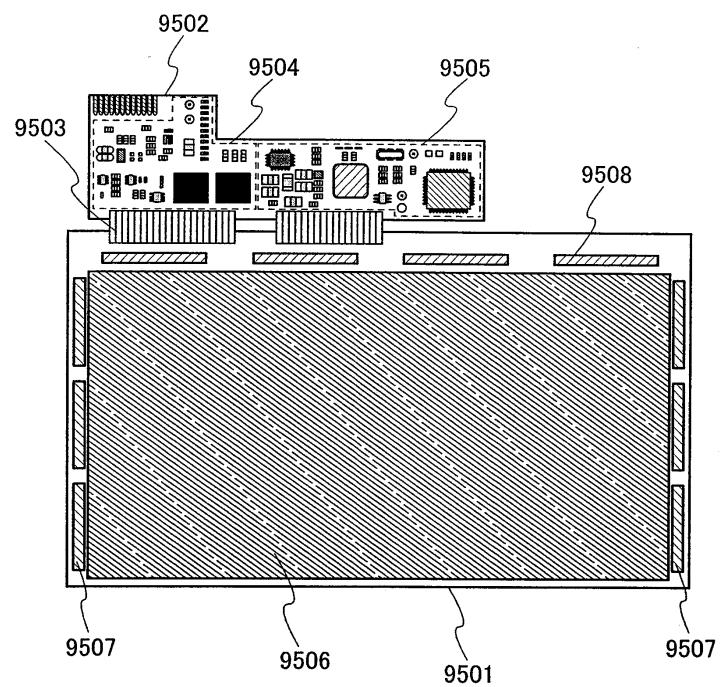
도면11e



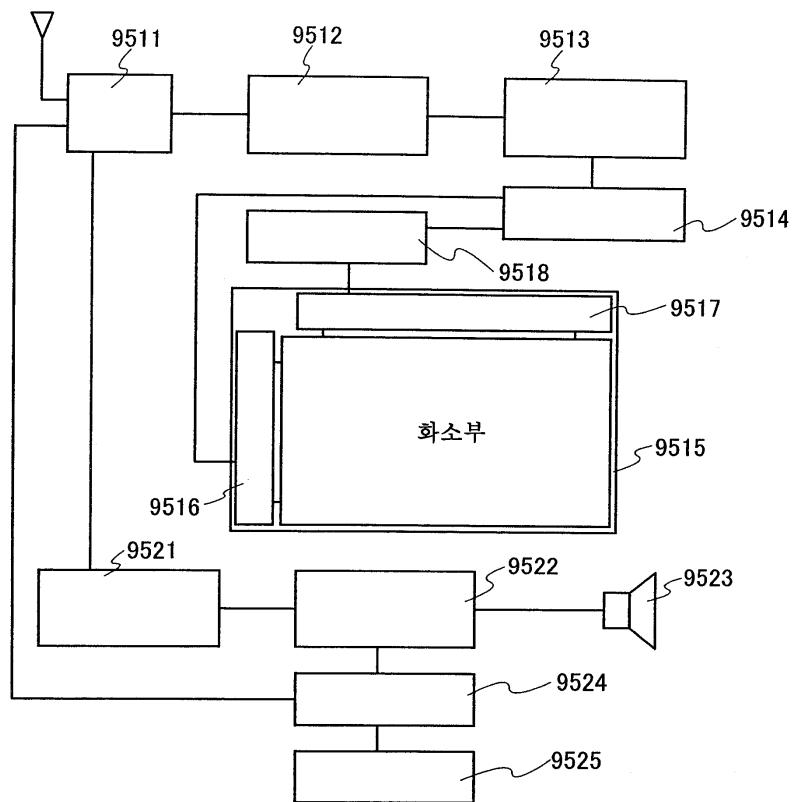
도면11f



도면12



도면13a



도면13b

