



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101996900565540
Data Deposito	23/12/1996
Data Pubblicazione	23/06/1998

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	C		

Titolo

POMPA DI CARICA AD ALTA TENSIONE, IN PARTICOLARE PER MEMORIE FLASH EEPROM

DESCRIZIONE

a corredo di una domanda di Brevetto d'Invenzione avente per titolo:

" POMPA DI CARICA AD ALTA TENSIONE, IN PARTICOLARE PER
MEMORIE FLASH EEPROM "

a nome: CONSORZIO EAGLE

Inventore : MENICHELLI Stefano

La presente invenzione si riferisce in linea generale alle memorie a semiconduttore e concerne in modo più particolare una originale implementazione di un circuito moltiplicatore di tensione che permette di far funzionare i circuiti integrati realizzati in tecnologia CMOS con una classica tensione di alimentazione di 3.3 volt o di 5.0 volt anche in quei casi in cui, internamente al circuito ed in determinate circostanze, si richiedano tensioni più elevate.

È noto, per esempio, che, nelle memorie EEPROM, si utilizzano, oltre alle tensioni di alimentazione normali di 5.0 o di 3.3 volt, anche delle tensioni superiori, che possono essere di 12 volt oppure, in certi casi, anche di 18 volt, allo scopo di effettuare, per esempio, delle operazioni di programmazione delle celle o la loro cancellazione. Chiaramente, queste memorie hanno bisogno di una alimentazione addizionale, cosa che comporta qualche problema, se non altro per il fatto che la esigenza di fornire due alimentazioni invece di una non è certamente favorevole. Esiste, quindi, il problema di avere sul chip una tensione superiore a quella di alimentazione.

ING. BARZANO' & ZANARDO ROMA S.p.A.

I moltiplicatori di tensione su-chip, a cui spesso viene fatto riferimento come "pompe di cariche", sono tipicamente utilizzati per permettere il funzionamento di circuiti integrati dalla normale classica alimentazione elettrica, anche se, come si verifica nelle memorie Flash EEPROM, internamente si richiedono, in certi modi operativi, tensioni negative e/o tensioni positive superiori alle tensioni di normale alimentazione.

Come è noto agli esperti nel ramo, uno degli elementi che debbono sempre essere tenuti in molto conto nella progettazione ed implementazione di un circuito integrato è il grado di utilizzazione dell'area del chip di silicio su cui il circuito viene realizzato. Quindi, in questo quadro, bisogna tener conto del fatto che l'area di silicio necessaria per implementare un circuito di pompa di carica può variare notevolmente in dipendenza di tre fattori principali: la tensione di alimentazione, le esigenze di uscita e la capacità per unità di area dei condensatori su-chip che vengono realizzati.

Come cenno della tecnica precedente, nota, si faccia riferimento alla Figura 1, la quale mostra un circuito di pompa di carica tradizionale schematizzato. Come si vede, esso consiste fondamentalmente di una catena di diodi $D_1, D_2, \dots, D_{N-1}, D_N$ più un diodo di uscita D_{out} alimentati da una tensione di alimentazione V_{pp} . I nodi alternati fra i diodi della catena sono collegati a due segnali di clock o di cadenzamento PH e PH_{-} attraverso condensatori $C_1, C_3, \dots, C_{N-1}$ e rispettivamente $C_2, C_4, \dots, C_N$.

In questo circuito, i pacchetti di carica vengono "pompati" lungo la catena dei diodi a mano a mano che i condensatori di accoppiamento vengono caricati e scaricati sotto l'azione alternata dei due segnali di clock PH e PH_ che sono in opposizione di fase, con ampiezza V_{pp} .

Come è noto, in tecnologia CMOS non sono disponibili diodi e quelli del circuito della Figura 1 sono tipicamente sostituiti da transistori NMOS oppure NPN bipolari configurati in modo da operare come diodi. Sebbene i transistori bipolari non siano dispositivi standard in tecnologia CMOS, alcuni processi CMOS possono avere una serie di operazioni che, seppure siano concepite ed ottimizzate per altri scopi, possono essere "impropriamente" ma convenientemente utilizzate per ottenere transistori bipolari. È chiaro che i transistori bipolari costruiti in questa maniera non sono per niente ottimizzati e la loro utilizzazione è soggetta a molte limitazioni. In particolare, essi presentano tipicamente una elevata resistenza di collettore che, spesso associata ad un indesiderato transistor parassita di tipo PNP, pregiudica la loro capacità di svolgere efficientemente la loro funzione di diodi per valori di corrente medi o elevati.

Le prestazioni del circuito della Figura 1 sono strettamente correlate alla efficienza dei diodi ed alla tensione di alimentazione. Nella tecnologia CMOS classica, per effetto della caduta di tensione attraverso i dispositivi impiegati come diodi, la pompa di carica della Figura 1 presenta, specialmente per basse tensioni di alimentazione, prestazioni scadenti, sia in termini di efficienza di moltiplicazione di

tensione, sia in termini di capacità di pilotaggio della corrente. In pratica ciò si verifica perchè, in un circuito moltiplicatore di tensione, vengono tipicamente usati transistori MOS per alta tensione. Però, i transistori MOS per alta tensione hanno una scarsissima capacità di svolgere efficientemente la loro funzione di diodi a causa dell' elevato valore di V_T e del basso valore di K_p in confronto con i transistori MOS a bassa tensione.

Inoltre, la tensione di uscita tende a collassare se la corrente di uscita aumenta al disopra del valore massimo ammissibile. Infine, si dovrebbe notare che, nel circuito in questione, i condensatori debbono permanere soggetti ad alte tensioni e questo è un inconveniente in termini di utilizzazione dell'area di silicio, come verrà spiegato nel seguito, parlando della capacità per unità di area in relazione allo spessore dello strato di ossido del dielettrico.

In vista di questa tecnica precedente, lo scopo generale della presente invenzione è quello di realizzare un circuito di pompa di carica implementato in tecnologia CMOS in grado di generare su-chip tensioni positive molto elevate senza gli inconvenienti e le complessità delle soluzioni precedenti.

Un altro scopo dell'invenzione è di realizzare un circuito di pompa di carica come già detto, il quale sia anche molto flessibile nonchè facilmente modificabile per soddisfare ogni diversa e specifica esigenza applicativa.

Ulteriori scopi dell'invenzione sono di realizzare un circuito di pompa di carica come già detto, il quale presenti una elevata efficienza

in termini di potenza, una elevata capacità di pilotaggio di corrente, nonché una efficiente utilizzazione dell'area di silicio.

Gli scopi suesposti vengono specificamente raggiunti a mezzo di circuito moltiplicatore di tensione per circuiti integrati costituito da due sezioni speculari pilotate da segnali di controllo generati da una circuiteria logica avente come segnali di ingresso un segnale di abilitazione ed un segnale di clock, in cui ciascuna delle sezioni speculari è costituita da N stadi e ciascuno stadio comprende un condensatore avente un terminale inferiore ed un terminale superiore, il cui terminale inferiore è collegato ad un primo interruttore che, quando è chiuso, connette il terminale inferiore del condensatore a massa, il terminale inferiore del condensatore è inoltre collegato ad un secondo interruttore che, quando è chiuso, connette il terminale inferiore del condensatore alla tensione di alimentazione, se trattasi del primo stadio, oppure al terminale superiore del condensatore dello stadio precedente; il terminale superiore del condensatore è collegato ad un terzo interruttore che, quando è chiuso, connette il terminale superiore del condensatore alla tensione di alimentazione, il terminale superiore del condensatore dell'ultimo stadio è connesso ad un ultimo interruttore a due terminali che, quando è chiuso, connette il terminale superiore del condensatore dell'ultimo stadio all'uscita del moltiplicatore di tensione; detti segnali di controllo comandano direttamente o indirettamente i detti interruttori in modo tale che, quando il moltiplicatore di tensione è abilitato, con una temporizzazione scandita dal segnale di clock, ciascuna sezione speculare passa

alternativamente nel tempo da una fase di carica ad una fase di scarica, per cui mentre una sezione speculare è in fase di carica, l'altra è in fase di scarica e viceversa; quando una sezione speculare del circuito è in fase di carica, l'ultimo e tutti i suoi secondi interruttori sono aperti, mentre i suoi primi e terzi interruttori sono chiusi, per cui tutti i condensatori della sezione circuitale risultano collegati in parallelo tra la tensione di alimentazione e la massa e si caricano alla tensione di alimentazione; quando una sezione speculare del circuito è in fase di scarica, tutti i suoi primi e terzi interruttori sono aperti, mentre l'ultimo e tutti i suoi secondi interruttori sono chiusi, per cui tutti i condensatori risultano collegati in serie tra loro, con il terminale inferiore del condensatore del primo stadio connesso alla tensione di alimentazione e con il terminale superiore del condensatore dell' N-simo stadio connesso all'uscita del moltiplicatore di tensione; quando il moltiplicatore di tensione è disabilitato, entrambe le sezioni speculari sono in fase di carica.

Nel circuito sopra esposto le due sezioni circuitali speculari sono pilotate ciascuna da un primo e da un secondo segnale di controllo aventi polarità opposta; quando la sezione speculare è in fase di carica detto primo segnale di controllo è a massa mentre detto secondo segnale di controllo è alla tensione di alimentazione; quando la sezione speculare è in fase di scarica detto primo segnale di controllo è alla tensione di alimentazione mentre detto secondo segnale di controllo è a massa.

Nella preferita forma di realizzazione, il primo e il secondo interruttore del primo stadio di ciascuna sezione speculare sono realizzati mediante un tradizionale invertitore CMOS per cui il primo interruttore è realizzato da un transistor MOS a canale N la cui regione di source è connessa alla massa, la cui regione di drain è connessa al terminale inferiore del condensatore del primo stadio e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo, il secondo interruttore è invece realizzato da un transistor MOS a canale P la cui regione di source e quella di diffusione N in cui il transistor è realizzato sono connesse alla tensione di alimentazione, la cui regione di drain è connessa al terminale inferiore del condensatore del primo stadio e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo.

Inoltre, detti primi interruttori, ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale N, la cui regione di source è connessa a detto primo segnale di controllo, la cui regione di drain è collegata al terminale inferiore del condensatore e la cui regione di gate è connessa alla tensione di alimentazione.

Ancora nella preferita forma di realizzazione, detti secondi interruttori, ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale P, la cui regione di source e quella di diffusione N in cui il transistor è realizzato sono connesse al terminale superiore del condensatore dello stadio precedente, la cui regione di drain è collegata al terminale inferiore del

condensatore del proprio stadio e la cui regione di gate è connessa a detto secondo segnale di controllo.

Infine, detti terzi interruttori sono realizzati con transistori MOS a canale N, la cui regione di source è connessa al terminale superiore del condensatore, la cui regione di drain è collegata alla tensione di alimentazione e la cui regione di gate è collegata al terminale superiore di uno dei condensatori dell'altra sezione speculare del circuito in modo tale da poter prelevare dalla sezione in scarica una conveniente tensione da applicare sulle regioni di gate di detti transistori MOS al fine di portarli in piena conduzione quando emulano l'interruttore chiuso.

Nel circuito moltiplicatore di tensione sopra esposto, a ciascun stadio è aggiunto un diodo il cui anodo è collegato alla tensione di alimentazione e il cui catodo è collegato al terminale superiore del condensatore al fine di garantire una precarica dei condensatori quando il moltiplicatore di tensione è disabilitato, essendo detti interruttori aperti in quanto realizzati con transistori MOS a canale N, le cui regioni di gate si trovano ad una tensione insufficiente per portarli in conduzione, in quanto essendo il moltiplicatore di tensione disabilitato entrambe le sezioni speculari si trovano in fase di carica.

Come si vedrà, detti diodi sono realizzati con transistori MOS a canale N, la cui regione di source è collegata al terminale superiore del condensatore e le cui regioni di drain e gate sono collegate entrambe alla tensione di alimentazione, mentre detto ultimo interruttore è costituito da un diodo il cui anodo è connesso al terminale superiore

del condensatore dell'ultimo stadio e il cui catodo è collegato all'uscita del moltiplicatore di tensione.

Sempre nella preferita forma di realizzazione, detto diodo è realizzato con un transistor bipolare NPN connesso a diodo, cioè con la base ed il collettore collegati insieme in qualità di anodo e l'emettitore che funziona da catodo.

Ulteriori particolarità e vantaggi della presente invenzione appariranno evidenti dal seguito della descrizione con riferimento ai disegni allegati, in cui è rappresentata a titolo illustrativo e non restrittivo la preferita forma di realizzazione.

Nei disegni:

la Figura 1 mostra un circuito di pompa di carica realizzato in tecnologia tradizionale,

la Figura 2 mostra un circuito di pompa di carica ad alta tensione secondo la presente invenzione,

la Figura 3 mostra l'andamento della tensione di uscita V_{out} del circuito di pompa di carica della Figura 2.

Con riferimento ora alla Figura 2, è illustrato un nuovo schema di circuito moltiplicatore di tensione appositamente concepito per fornire una elevata efficienza di moltiplicazione di tensione ed una grande capacità di pilotaggio di corrente. Questo circuito è destinato a generare una tensione di uscita elevata fino ai limiti ammessi dal processo, con una corrente di uscita che è limitata soltanto dalla corrente che può essere maneggiata con sicurezza da un transistor di tipo NPN usato come diodo. Come considerazione pratica, è

necessario ridurre nella massima misura possibile le sovratensioni nei nodi interni del circuito per evitare la scarica (breakdown) e, quindi, la rottura dei transistori. Pertanto, poiché la tensione di uscita è prossima alla tensione di breakdown, le massime tensioni del circuito debbono essere limitate o "clampate" ad un valore il più vicino possibile alla tensione di uscita.

Questo risultato può essere efficientemente raggiunto soltanto utilizzando transistori di tipo NPN collegati come diodi. Nonostante l'inconveniente già in precedenza accennato, questa non è una reale limitazione, né un effettivo inconveniente per questo tipo di circuito, dato che la funzione dei transistori bipolari, così come impiegati nel circuito di pompa di carica della Figura 2, è soltanto quella di portare la corrente di uscita che, nella maggior parte dei casi, ammonta solo ad alcune centinaia di μA .

La struttura di base del moltiplicatore di tensione è costituita da due parti speculari pilotate con segnali di clock con fasi non sovrappendenti. La perfetta simmetria del circuito consente di limitare la analisi soltanto ad una metà di esso e di fare riferimento all'altra metà soltanto nella misura necessaria per spiegare tutti i passi del funzionamento. Ciascuna metà del moltiplicatore di tensione è costituita da N stadi: ciascuno stadio è costituito da un condensatore e da alcuni transistori MOS operanti come interruttori. Gli N condensatori vengono isolati tra loro e caricati in parallelo alla tensione V_{pp} durante una fase del segnale di clock, mentre, durante la successiva fase del segnale di clock, gli N condensatori vengono connessi in serie, per

consentire che essi si scarichino direttamente all'uscita. In accordo con il segnale di clock, gli N condensatori vengono isolati uno dall'altro e vengono collegati insieme per mezzo di transistori PMOS. Durante la fase di carica, gli N condensatori sono isolati uno dall'altro ed i due terminali di ciascun condensatore sono collegati uno alla tensione V_{pp} e l'altro a massa GND per mezzo di transistori NMOS. Durante la fase di scarica, gli N condensatori sono collegati in serie, essendo la placca inferiore del condensatore del primo stadio collegata alla tensione V_{pp} e la placca superiore del condensatore dell'ultimo stadio collegata all'uscita per mezzo di un transistor di tipo NPN connesso come diodo.

Il circuito di pompa di carica della Figura 2 è particolarmente adatto per una memoria Flash EEPROM incorporata (embedded) ed è stato illustrato per il caso di $N = 3$ e per fornire una tensione di uscita di 12 Volt.

I segnali di controllo sono generati da porte logiche che sono rappresentate nella parte di fondo della Figura 2 e che formano in pratica un generatore di fasi non sovrappendenti.

In condizione di stand-by o di attesa, nella quale il segnale en è basso, le fasi PH00, PH01, PH11 e PH10 sono a massa GND, mentre le fasi PH0_P e PH1_P sono a tensione V_{pp} . I condensatori C00, C01, C02, C10, C11 e C12 sono caricati a $V_{pp} - V_d$, in cui V_d rappresenta la caduta di tensione attraverso il relativo transistor NMOS impiegato come diodo. In effetti, considerando uno qualsiasi dei condensatori, per esempio C01, nel modo di attesa, il nodo 1 viene mantenuto a $V_{pp} - V_d$

dal transistor NCH06 ed il nodo 6 viene collegato a massa GND dal transistor NCH00 che è acceso perchè ha la regione di gate collegata a V_{pp} e perchè la fase PH01 è bassa e, quindi, la sua regione di drain si trova a massa GND.

Ciò significa che, in condizione di attesa, ciascuno dei condensatori C00, C01, C02 e C10, C11, C12 è precaricato a $V_{pp} - V_d$.

In condizione operativa o di funzionamento, il segnale di abilitazione *en* è alto, mentre il segnale di clock *clk* è in libera oscillazione. Supponendo, come punto di partenza della analisi, che il segnale di clock *clk* sia basso, allora le fasi PH00, PH01 e PH1_P sono a massa GND, mentre le fasi PH0_P, PH11 e PH10 sono a tensione V_{pp} . In questo caso, il lato sinistro del circuito moltiplicatore di tensione si trova in fase di carica, mentre il lato destro si trova in fase di scarica. Nel lato sinistro del circuito moltiplicatore di tensione, che si trova in fase di carica, poiché la fase PH0_P si trova alla tensione V_{pp} , i transistori PCH00 e PCH01 sono spenti (OFF) ed i condensatori C00, C01 e C02 sono isolati uno dall'altro. Dato che le fasi PH00 e PH01 sono a massa GND ed il nodo 23 si trova ad appropriata alta tensione, come apparirà chiaro nel seguito, i transistori NCH00, NCH01, NCH02, NCH03 ed NCH04 sono in conduzione o accesi (ON) caricando così completamente i condensatori C00, C01 e C02 alla tensione V_{pp} .

Nel lato destro del circuito moltiplicatore di tensione, che si trova in fase di scarica, dato che la fase PH1_P si trova a massa GND,

i transistori PCH10 e PCH11 sono accesi collegando conseguentemente i condensatori C10, C11 e C12 in serie. Poiché le

fasi PH10 e PH11 si trovano alla tensione V_{pp} ed il nodo 1 si trova ad una tensione non superiore a V_{pp} , perchè il lato sinistro del circuito si trova in fase di carica, allora i transistori NCH10, NCH11, NCH12, NCH13 ed NCH14 sono spenti. Infatti, per quanto riguarda i transistori NCH10 e NCH11, si vede che le loro regioni di gate sono connesse a V_{pp} , ma anche le loro regioni di source sono connesse a V_{pp} , dato che la fase PH11 si trova a V_{pp} , per cui essi hanno una tensione gate - source nulla. Per quanto riguarda i transistori NCH12, NCH13 e NCH14, si osserva che il nodo 1 si trova a V_{pp} e quindi le regioni di gate dei transistori NCH12, NCH13, NCH14 sono V_{pp} , per cui essi si trovano nella stessa condizione dei transistori NCH10 e NCH11 e sono anch'essi spenti. La serie dei condensatori C10, C11 e C12 può scaricarsi all'uscita attraverso il transistor bipolare Q1 di tipo NPN usato come diodo.

Quando il segnale di clock clk passa da basso ad alto, in primo luogo tutte le tensioni di fase PH11 e PH10 passano a basso, facendo accendere i transistori NCH10 ed NCH11, mentre la tensione di fase PH1_P diventa alta, portando allo spegnimento i transistori PCH10 e PCH11. La tensione sul nodo 23, che è la tensione residua sul condensatore C11, discende ad un valore non superiore alla tensione V_{pp} , per cui i transistori NCH02, NCH03 ed NCH04 vengono portati allo spegnimento. Infatti, questi transistori erano accesi grazie alla tensione del nodo 23, il quale ora, discendendo ad una tensione non superiore a V_{pp} li spegne.

Dopo che la tensione di fase PH11 è diventata bassa, la tensione di fase PH01 diventa alta, precaricando il nodo 6 ed il nodo 3 attraverso i transistori NCH00 ed NCH01 che agiscono come diodi fino a che vengono portati allo spegnimento. Questo precaricamento migliora le prestazioni del circuito, quando condensatori parassiti sono connessi a questi nodi.

È noto, infatti, che, in tecnologia MOS, un condensatore i cui terminali possono essere pilotati a tensioni non negative viene tipicamente realizzato utilizzando uno strato di polisilicio, in qualità di primo terminale, su un sottostante strato di sottile o spesso ossido di gate di transistori MOS, in qualità di dielettrico, il quale è disposto su una zona di diffusione di tipo N- (N- well) , in qualità di seconda placca. Una diffusione N+, all'interno della diffusione N-, circonda la struttura verticale di polisilicio/ossido/diffusione N-, riducendo la resistenza serie e consentendo la esecuzione dei contatti per la diffusione N+ del secondo terminale del condensatore. La giunzione di tipo pn che si forma tra la diffusione N- ed il substrato P rappresenta una capacità parassita, associata al condensatore, il cui valore è funzione della tensione della diffusione N , poiché il substrato P è tipicamente connesso a massa. Questa capacità parassita diminuisce con l'aumentare della tensione attraverso la giunzione pn polarizzata in senso inverso. Pertanto, il rapidissimo precaricamento del nodo 6, del nodo 3, del nodo 18 e del nodo 5, prima di entrare nella fase di scarica, evita una perdita della carica "utile" dei condensatori per caricare i condensatori parassiti nel primo intervallo di tensioni in cui essi

presentano il loro massimo valore della capacità. Infine, i condensatori costruiti con sottile ossido di gate del transistor MOS invece che con spesso ossido di gate presentano una capacità parassita molto inferiore, poiché il valore della capacità parassita è proporzionale all'area della giunzione pn.

Ritornando ora all'esame del circuito, si vede che successivamente la tensione di fase PH0_P diventa bassa, portando così all'accensione i transistori PCH00 e PCH01, la tensione di fase PH00 diventa alta ed il nodo 1 sale ad una tensione data da V_{pp} più la tensione attraverso i condensatori C00 e C01 meno la tensione source - drain del transistor PCH00. La tensione sul nodo 1 commuta i transistori NCH12, NCH13 ed NCH14 in uno stato di piena conduzione. A questo punto, le transizioni nel circuito dovute alle commutazioni del segnale di clock *clk* sono complete.

Il lato sinistro del circuito moltiplicatore di tensione si trova ora in fase di scarica, mentre il lato destro si trova in fase di carica. Dato che il circuito di Figura 2 è perfettamente simmetrico, una descrizione del comportamento del circuito perfettamente analoga potrebbe essere ripetuta per analizzare il funzionamento quando il segnale di clock *clk* passa da alto a basso.

Tutti i transistori MOS ad alta tensione del circuito della Figura 2 commutano sempre in condizioni di grande sicurezza per evitare qualsiasi rischio di breakdown della placca di campo, che è un tipo di breakdown che si verifica nei transistori quando commutano con elevate tensioni ai loro capi. Assumendo, quindi, che il processo CMOS

renda disponibili transistori NMOS isolati, essi possono essere impiegati per diminuire la tensione attraverso le giunzioni pn maggiormente sollecitate, come mostrato nella Figura 2, in cui le diffusioni P isolate dei transistori NMOS NCH07, NCH04, NCH14 ed NCH17 sono appropriatamente pilotate.

Come è noto, un transistor NMOS isolato viene tipicamente realizzato utilizzando una profonda diffusione N- che contiene una diffusione P- in cui è ricavato il transistor NMOS. Il corpo di un transistor NMOS di questo tipo è isolato dal substrato P- tramite la profonda diffusione N e può essere pilotato a diverse tensioni, a condizione che tutte le giunzioni pn non vengano mai polarizzate in senso diretto. Per tensioni positive, la diffusione P può essere cortocircuitata alla profonda diffusione N e può salire ad una tensione positiva non superiore alla tensione di drain o di source del transistor NMOS isolato. Tuttavia, i transistori NMOS isolati sono principalmente costruiti per maneggiare tensioni negative. In effetti, con la connessione della profonda diffusione N alla tensione V_{pp} oppure a massa GND, le regioni di source e di drain di un transistor NMOS isolato possono essere portate a valori di tensione negativi, a condizione che tali tensioni non siano inferiori alla tensione della diffusione P.

Alcune delle operazioni del procedimento destinate alla fabbricazione di un transistor NMOS isolato possono anche essere utilizzate per la fabbricazione di un transistor bipolare di tipo NPN. Il collettore del transistor di tipo NPN è ricavato da una profonda

diffusione N che contiene una diffusione P, in qualità di base, mentre l'emettitore è costituito da una diffusione N+ all'interno della diffusione P. A causa della elevata resistenza di quadro della profonda diffusione N, questo transistor di tipo NPN presenta una elevata resistenza di collettore. Quando i terminali di collettore e di base sono cortocircuitati per configurare il transistor come diodo, con l'aumentare della corrente, la tensione della giunzione base - collettore diminuisce, fino a che la giunzione viene polarizzata in senso diretto, commutando in conduzione il transistor parassita di tipo PNP. Come è noto agli esperti nel ramo, il transistor parassita di tipo PNP è costituito dalla diffusione P, dalla profonda diffusione N e dal substrato P-, i quali agiscono rispettivamente come emettitore, come base e come collettore. Naturalmente, quando questo transistor parassita di tipo PNP diventa conduttore, si verifica una rilevante perdita di corrente verso massa, che pregiudica gravemente la funzionalità del diodo.

Diversamente dal circuito della Figura 1, nello schema del moltiplicatore di tensione secondo la presente invenzione, la tensione massima attraverso ciascun condensatore è soltanto uguale alla tensione di alimentazione V_{pp} . Questa osservazione è molto importante sotto l'aspetto della efficienza della utilizzazione dell'area di silicio quando, come in molti casi, il dielettrico dei condensatori è costituito dall'ossido di gate di transistori MOS. Infatti, la massima tensione ammessa attraverso l'ossido di gate di un transistor MOS dipende dallo spessore dello stesso ossido di gate. I transistori MOS per bassa tensione sono realizzati con sottile ossido di gate che

presenta una elevatissima capacità per unità di area. Invece, i transistori MOS per alta tensione sono realizzati con spesso ossido di gate, perchè essi debbono sopportare elevate tensioni; però, un ossido di gate spesso, in confronto con un ossido di gate sottile, presenta una capacità per unità di area molto minore.

Il moltiplicatore di tensione secondo lo schema della presente invenzione consente di impiegare un ossido di gate molto sottile per la realizzazione dei condensatori e ciò rappresenta effettivamente un notevole vantaggio in termini di sfruttamento dell'area di silicio. In alcune realizzazioni pratiche della presente invenzione (tecnologia Epic3-Flash merged technology (33M12)) il sottile ossido di gate del MOS ha uno spessore di 8 nm ed una capacità per unità di area di circa $3.8 \text{ FF}/\mu\text{m}^2$, l'ossido di gate MOS spesso ha uno spessore di 21 nm ed una capacità per unità di area di $1.6 \text{ FF}/\mu\text{m}^2$. L'area di silicio per costruire lo stesso condensatore è più del doppio se viene usato un ossido di gate MOS spesso, che se viene usato un ossido di gate MOS sottile.

Il circuito di pompa di carica della Figura 2 è stato simulato impiegando SPICE, un periodo di clock di 40 ns ed una tensione di alimentazione di 4 volt, fornita da un regolatore di tensione ad alta corrente integrato con la memoria Flash EEPROM incorporata. Nella simulazione SPICE si è tenuto conto della capacità parassita collegando un condensatore extra tra la placca inferiore di ciascun condensatore e la massa. Ciascuna capacità parassita è stata stimata all' 1.2% del valore del condensatore a cui essa è associata. Inoltre,

una sorgente di corrente ideale I_{OUT} è stata inserita tra l'uscita e la massa per emulare la corrente di carico. La forma d'onda della tensione di uscita V_{OUT} è riportata nella Figura 3. Essa dimostra che la pompa di carica ad alta tensione della Figura 2 è equivalente ad un generatore di tensione ideale di 15 V in serie ad un resistore di 7000 Ω . Un moltiplicatore di tensione basato su questo nuovo schema è equivalente ad un generatore di tensione ideale V_o con in serie un resistore R_o i cui valori, nell'intervallo di interesse e come buona approssimazione, sono proporzionali rispettivamente a V_{pp} ed al periodo di clock T , vale a dire $V_o \cong \alpha \cdot V_{pp}$ e $R_o \cong \beta \cdot T$. I coefficiente α e β dipendono solo dal circuito. Come dimostrato dalla simulazione SPICE, per una corrente di uscita fra 400 μA e 600 μA , il rendimento di potenza è praticamente costante ed uguale al 54%, che è un valore molto elevato per un circuito di pompa di carica.

In quel che precede è stata descritta la preferita forma di realizzazione e sono state suggerite delle varianti, ma deve essere chiaro che gli esperti nel ramo potranno apportare modificazioni e cambiamenti nella componentistica senza con ciò uscire dall'ambito di protezione della presente privativa industriale.



UN MANDATARIO
per se e per gli altri
Antonio Taliercio
(N° d'iscr. 171)

RIVENDICAZIONI

1.- Circuito moltiplicatore di tensione per circuiti integrati costituito da due sezioni speculari pilotate da segnali di controllo (PH00, PH01, PH0_P; PH10, PH11, PH1_P) generati da una circuiteria logica avente come segnali di ingresso un segnale di abilitazione (en) ed un segnale di clock (clk), in cui ciascuna delle sezioni speculari è costituita da N stadi e ciascuno stadio comprende un condensatore (C00, C01, C02; C10, C11, C12) avente un terminale inferiore ed un terminale superiore, il cui terminale inferiore è collegato ad un primo interruttore (INV0, NCH00, NCH01; INV1, NCH10, NCH11) che, quando è chiuso, connette il terminale inferiore del condensatore a massa (GND), il terminale inferiore del condensatore è inoltre collegato ad un secondo interruttore (INV0, PCH00, PCH01; INV1, PCH10, PCH11) che, quando è chiuso, connette il terminale inferiore del condensatore alla tensione di alimentazione (V_{pp}), se trattasi del primo stadio, oppure al terminale superiore del condensatore dello stadio precedente; il terminale superiore del condensatore è collegato ad un terzo interruttore (NCH02, NCH03, NCH04; NCH12, NCH13, NCH14) che, quando è chiuso, connette il terminale superiore del condensatore alla tensione di alimentazione (V_{pp}), il terminale superiore del condensatore (C02; C12) dell'ultimo stadio è connesso ad un ultimo interruttore a due terminali (Q0; Q1) che, quando è chiuso, connette il terminale superiore del condensatore dell'ultimo stadio all'uscita del moltiplicatore di tensione; detti segnali di controllo comandano

direttamente o indirettamente i detti interruttori in modo tale che, quando il moltiplicatore di tensione è abilitato ($en = 1$), con una temporizzazione scandita dal segnale di clock (clk), ciascuna sezione speculare passa alternativamente nel tempo da una fase di carica ad una fase di scarica, per cui mentre una sezione speculare è in fase di carica, l'altra è in fase di scarica e viceversa; quando una sezione speculare del circuito è in fase di carica, l'ultimo ($Q0$; $Q1$) e tutti i suoi secondi interruttori ($INV0$, $PCH00$, $PCH01$; $INV1$, $NCH10$, $NCH11$) sono aperti, mentre i suoi primi ($INV0$, $NCH00$, $NCH01$; $INV1$, $NCH10$, $NCH11$) e terzi interruttori ($NCH02$, $NCH03$, $NCH04$; $NCH12$, $NCH13$, $NCH14$) sono chiusi, per cui tutti i condensatori della sezione circuitale risultano collegati in parallelo tra la tensione di alimentazione (V_{pp}) e la massa (GND) e si caricano alla tensione di alimentazione (V_{pp}); quando una sezione speculare del circuito è in fase di scarica, tutti i suoi primi ($INV0$, $NCH00$, $NCH01$; $INV1$, $NCH10$, $NCH11$) e terzi interruttori ($NCH02$, $NCH03$, $NCH04$; $NCH12$, $NCH13$, $NCH14$) sono aperti, mentre l'ultimo ($Q0$, $Q1$) e tutti i suoi secondi interruttori ($INV0$, $PCH00$, $PCH01$; $INV1$, $PCH10$, $PCH11$) sono chiusi, per cui tutti i condensatori risultano collegati in serie tra loro, con il terminale inferiore del condensatore ($C00$; $C10$) del primo stadio connesso alla tensione di alimentazione (V_{pp}) e con il terminale superiore del condensatore dell' N-simo stadio connesso all'uscita del moltiplicatore di tensione; quando il moltiplicatore di tensione è disabilitato ($en = 0$), entrambe le sezioni speculari sono in fase di carica.

2.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1, caratterizzato dal fatto che le due sezioni circuitali speculari sono pilotate ciascuna da un primo e da un secondo segnale di controllo (PH01 e PH0_P; PH11 e PH1_P) aventi polarità opposta; quando la sezione speculare è in fase di carica detto primo segnale di controllo è a massa (GND) mentre detto secondo segnale di controllo è alla tensione di alimentazione (V_{pp}); quando la sezione speculare è in fase di scarica detto primo segnale di controllo è alla tensione di alimentazione (V_{pp}) mentre detto secondo segnale di controllo è a massa (GND).

3.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1 e 2, caratterizzato dal fatto che il primo e il secondo interruttore del primo stadio di ciascuna sezione speculare sono realizzati mediante un tradizionale invertitore CMOS (INV0, INV1) per cui il primo interruttore è realizzato da un transistor MOS a canale N la cui regione di source è connessa alla massa, la cui regione di drain è connessa al terminale inferiore del condensatore del primo stadio (C00, C10) e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo (PH0_P, PH1_P), il secondo interruttore è invece realizzato da un transistor MOS a canale P la cui regione di source e quella di diffusione N in cui il transistor è realizzato sono connesse alla tensione di alimentazione (V_{pp}), la cui regione di drain è connessa al terminale inferiore del condensatore del primo stadio (C00, C10) e la cui regione di gate è connessa alla linea di detto secondo segnale di controllo (PH0_P, PH1_P).

4.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1 e 2, caratterizzato dal fatto che detti primi interruttori, ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale N (NCH00, NCH01, NCH10, NCH11) la cui regione di source è connessa a detto primo segnale di controllo (PH01, PH11), la cui regione di drain è collegata al terminale inferiore del condensatore e la cui regione di gate è connessa alla tensione di alimentazione (V_{pp}).

5.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1 e 2, caratterizzato dal fatto che detti secondi interruttori (PCH00, PCH01, PCH10, PCH11), ad esclusione di quelli del primo stadio delle due sezioni speculari, sono realizzati con transistori MOS a canale P, la cui regione di source e quella di diffusione N in cui il transistor è realizzato sono connesse al terminale superiore del condensatore dello stadio precedente, la cui regione di drain è collegata al terminale inferiore del condensatore del proprio stadio e la cui regione di gate è connessa a detto secondo segnale di controllo (PH0_P, PH1_P).

6.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1, caratterizzato dal fatto che detti terzi interruttori (NCH02, NCH03, NCH04, NCH12, NCH13, NCH14) sono realizzati con transistori MOS a canale N, la cui regione di source è connessa al terminale superiore del condensatore, la cui regione di drain è collegata alla tensione di alimentazione (V_{pp}) e la cui regione di gate è collegata al terminale superiore di uno dei condensatori (C01,

C11) dell'altra sezione speculare del circuito in modo tale da poter prelevare dalla sezione in scarica una conveniente tensione da applicare sulle regioni di gate di detti transistori MOS al fine di portarli in piena conduzione quando emulano l'interruttore chiuso.

7.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1 e 6, caratterizzato dal fatto che a ciascun stadio è aggiunto un diodo (NCH05, NCH06, NCH07; NCH15, NCH16, NCH17) il cui anodo è collegato alla tensione di alimentazione (V_{pp}) e il cui catodo è collegato al terminale superiore del condensatore al fine di garantire una precarica dei condensatori quando il moltiplicatore di tensione è disabilitato ($en=0$), essendo detti interruttori aperti in quanto realizzati con transistori MOS a canale N, le cui regioni di gate si trovano ad una tensione insufficiente per portarli in conduzione, in quanto essendo il moltiplicatore di tensione disabilitato entrambe le sezioni speculari si trovano in fase di carica.

8.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1, 6 e 7, caratterizzato dal fatto che detti diodi (NCH05, NCH06, NCH07, NCH15, NCH16, NCH17) sono realizzati con transistori MOS a canale N, la cui regione di source è collegata al terminale superiore del condensatore e le cui regioni di drain e gate sono collegate entrambe alla tensione di alimentazione (V_{pp}).

9.- Circuito moltiplicatore di tensione per circuiti integrati secondo la rivendicazione 1, caratterizzato dal fatto che detto ultimo interruttore (Q0; Q1) è costituito da un diodo il cui anodo è connesso al

terminale superiore del condensatore dell'ultimo stadio e il cui catodo è collegato all'uscita del moltiplicatore di tensione..

10.- Circuito moltiplicatore di tensione per circuiti integrati secondo le rivendicazioni 1 e 9, caratterizzato dal fatto che detto diodo (Q0; Q1) è realizzato con un transistor bipolare NPN connesso a diodo, cioè con la base ed il collettore collegati insieme in qualità di anodo e l'emettitore che funziona da catodo.

11.- Circuito moltiplicatore di tensione per circuiti integrati secondo una qualsiasi delle precedenti rivendicazioni e sostanzialmente come descritto nella descrizione e rappresentato nei disegni.

Roma, 23 DIC. 1996

p.p.: CONSORZIO EAGLE

ING. BARZANO' & ZANARDO ROMA S.p.A.

TA

UN MANDATO A HIC
per se e per gli altri
Antonio Taliencio
(N° d'iscr. 171)

Taliencio



ING. BARZANO' & ZANARDO ROMA S.p.A.

1/2

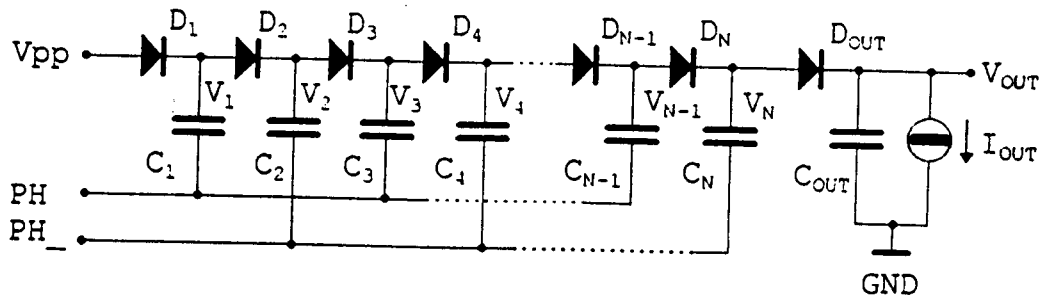


FIG. 1

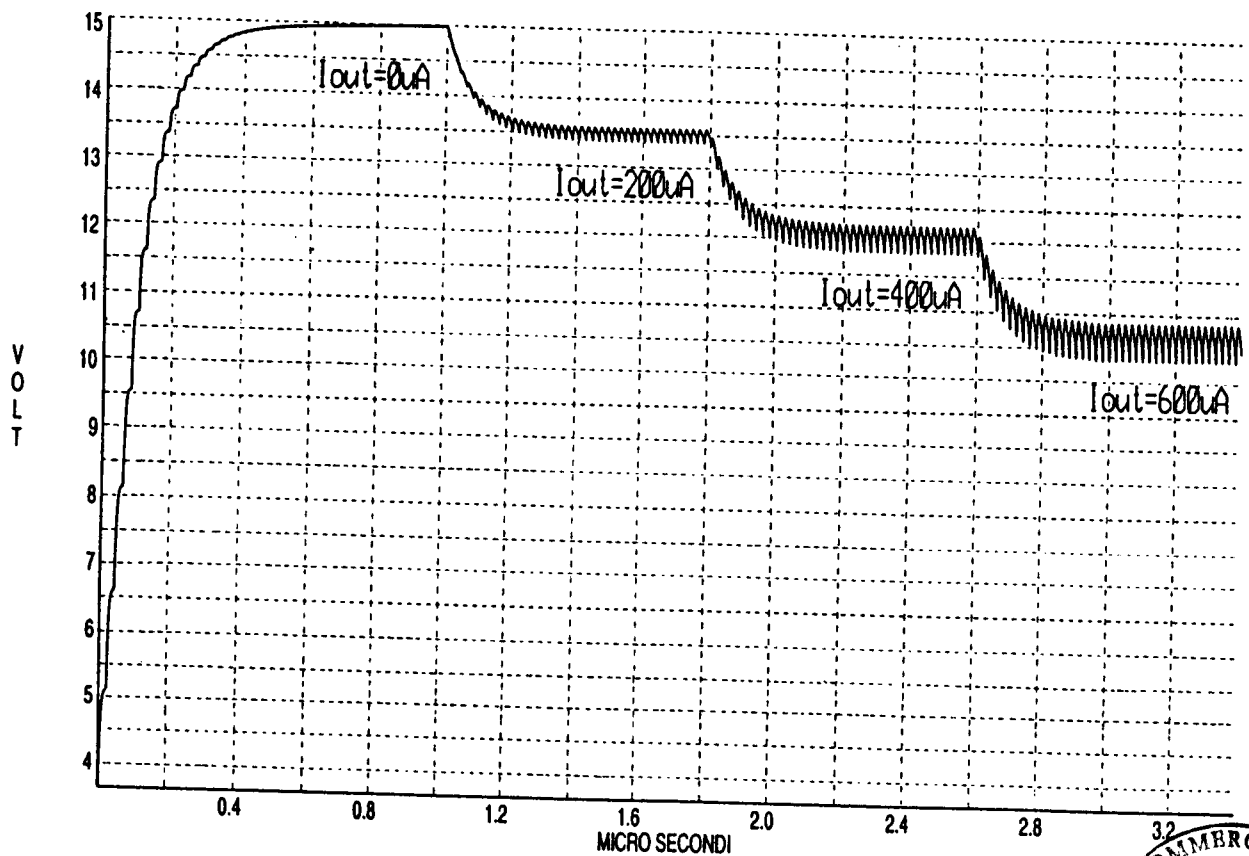


FIG. 3

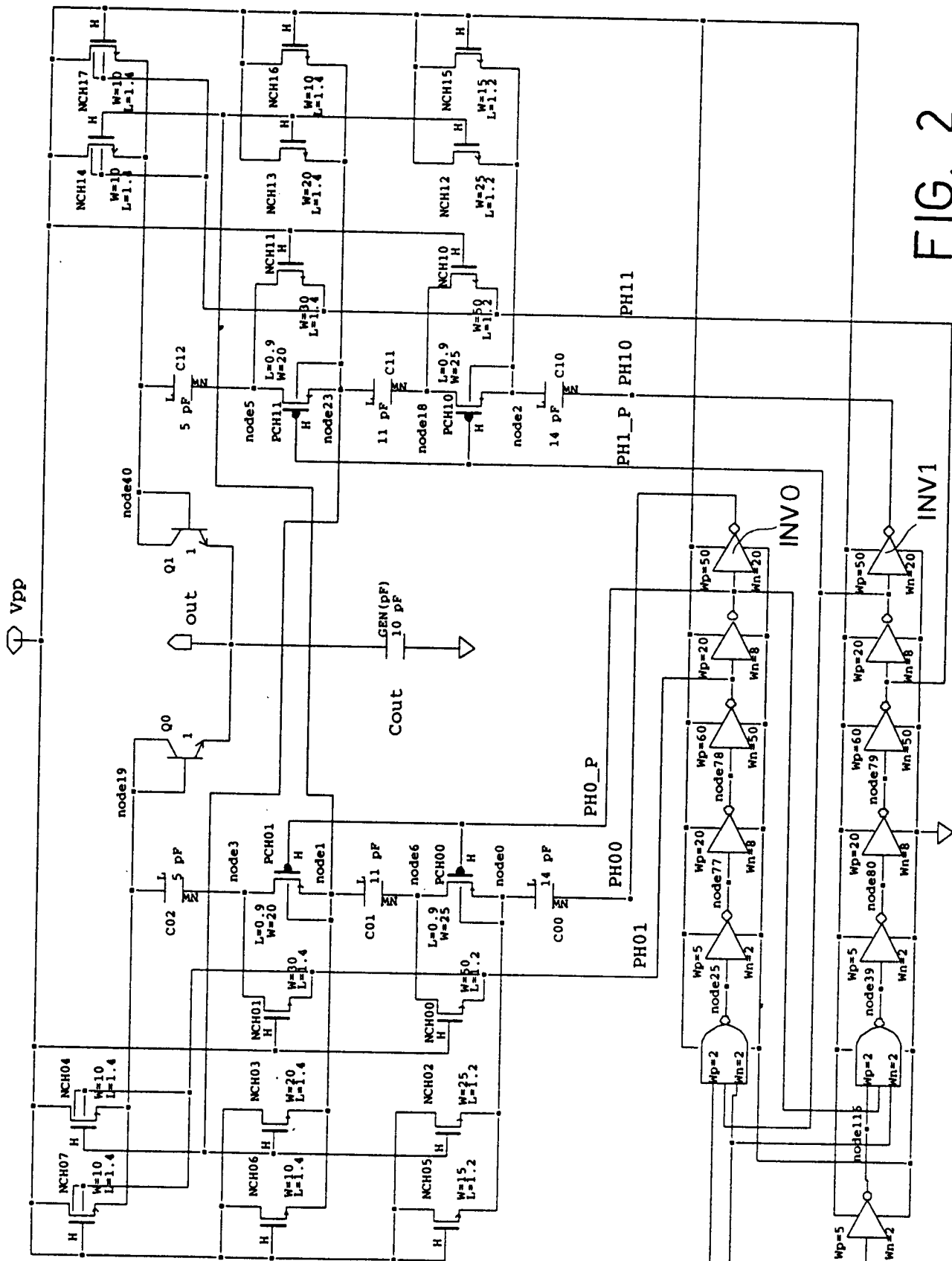
P.P.: CONSORZIO EAGLE
ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDATARIO
per se e per gli altri
Antonio Taliencio
(N° d'iscr. 171)

Taliencio



FIG. 2



P.P.: CONSORZIO EAGLE
ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDATARIO
per se e per gli altri
Antonio Taliario
(N° d'isr. 171)

Taliario

