

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
22 mai 2008 (22.05.2008)

PCT

(10) Numéro de publication internationale
WO 2008/059160 A2

- (51) Classification internationale des brevets : Non classée
- (21) Numéro de la demande internationale : PCT/FR2007/052321
- (22) Date de dépôt international : 9 novembre 2007 (09.11.2007)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité : 06 54864 13 novembre 2006 (13.11.2006) FR
- (71) Déposant (pour tous les États désignés sauf US) : FRANCE TELECOM [FR/FR]; 6 place d'Alleray, F-75015 Paris (FR).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement) : DORE, Jean-Baptiste [FR/FR]; 19 rue du Calvaire, F-35510 Cesson Sevigne (FR). HAMON, Marie-Hélène [FR/FR]; 60 rue du Martin Pêcheur, F-35690 Acigne (FR). PENARD, Pierre [FR/FR]; 5 rue Bigarré, F-35000 Rennes (FR).
- (74) Mandataire : FRANCE TELECOM R & D/PIV/BREVETS; 38-40, rue du Général Leclerc, F-92794 Issy Les Moulineaux Cedex 9 (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

[Suite sur la page suivante]

(54) Title: ENCODING AND DECODING OF A DATA SIGNAL ACCORDING TO A CORRECTING CODE

(54) Titre : CODAGE ET DECODAGE D'UN SIGNAL DE DONNEES EN FONCTION D'UN CODE CORRECTEUR

$$H = \begin{bmatrix}
 c1 & c2 & c3 & \dots & ck & ck+1 & \dots & cK & p1 & p2 & \dots & pm & \dots & pM \\
 1 & 0 & 1 & \dots & 0 & 1 & \dots & 0 & 1 & 0 & \dots & 0 & \dots & 0 \\
 1 & 1 & 0 & \dots & 0 & 0 & \dots & 1 & 0 & 1 & \dots & 1 & \dots & 0 \\
 \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\
 0 & 1 & 0 & \dots & 1 & 0 & \dots & 1 & 1 & 0 & \dots & 1 & \dots & 0 \\
 \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\
 0 & 0 & 1 & \dots & 1 & 1 & \dots & 0 & 0 & 1 & \dots & 0 & \dots & 1
 \end{bmatrix}
 \begin{matrix}
 eq1 \\
 eq2 \\
 \\
 eqm \\
 \\
 eqM
 \end{matrix}$$

$\underbrace{\hspace{15em}}_{H_c} \qquad \underbrace{\hspace{15em}}_{H_p}$

(57) Abstract: The invention relates to the encoding and decoding of a data signal according to a correcting code. According to the invention, a signal including data variables is encoded into an encoded signal including data variables and parity variables. The encoding and decoding operations are based on a parity check matrix (H) formed by a systematic matrix (H_c) and a parity matrix (H_p), the lines of said check matrix corresponding to parity equation coefficients (eq1 - eqM) and being distributed in same-size decoding windows. In order to increase iterative decoding convergence, the elements from at least one column of the systematic matrix which are associated with a decoding window are all "0" except one element which is "1". A data variable is only involved in one equation from the window and is not involved in the equation resolution for other windows as long as the resolution of the equations from the window has not yet finished.

(57) Abrégé : Un signal incluant des variables de données est codé en un signal codé incluant les variables de données et des variables de parité. Le codage et le décodage sont basés sur une matrice de contrôle de parité (H) composée d'une matrice systématique (H_c) et d'une matrice de parité (H_p) et dont les lignes correspondent à des coefficients d'équations de parité (eq1 - eqM) et sont réparties en des fenêtres

[Suite sur la page suivante]



WO 2008/059160 A2



MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,
RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) **États désignés** (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL,

PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Déclaration en vertu de la règle 4.17 :

— *relative à la qualité d'inventeur (règle 4.17.iv)*

Publiée :

— *sans rapport de recherche internationale, sera republiée dès réception de ce rapport*

de décodage de même taille. Pour augmenter la convergence du décodage itératif, les éléments d'au moins une colonne de la matrice systématique associés à une fenêtre de décodage sont des "0" à l'exception d'un seul qui est un "1". Une variable de données n'est impliquée que dans une équation de la fenêtre et n'est pas impliquée dans la résolution d'équation d'autres fenêtres tant que la résolution des équations de la fenêtre n'est pas terminée.

**Codage et décodage d'un signal de données
en fonction d'un code correcteur**

La présente invention concerne des codes correcteurs pour coder et décoder un signal de données notamment dans le domaine de la communication numérique et dans le domaine du stockage de données.

Plus particulièrement, elle a trait à des codes correcteurs LDPC ("Low Density Parity Check" en anglais) afin d'optimiser le décodage d'un signal de données codées.

Ces codes peuvent notamment être mis en œuvre par différents protocoles de communication tel que le protocole IEEE 802.11n destiné aux réseaux locaux sans fil (WLAN ("Wireless Local Area Network" en anglais)) à très haut débit ou encore tel que le protocole IEEE 802.16 (WIMAX Mobile ("World wide Interoperability Microwave Access" en anglais)).

Les systèmes de communication numérique offrant les meilleures qualités de transmission actuellement sont ceux où les données sont protégées par un codage de canal très performant et décodées itérativement par un décodeur à sortie pondérée.

Dans le domaine des transmissions numériques, et plus particulièrement lorsque le canal est de type radio électrique, des codes correcteurs d'erreurs ont pour fonction principale de lever des ambiguïtés apportées par le canal sur un signal transmis. Le gain en performance apporté par ces codes peut être affecté à la réduction de consommation de terminaux, à l'augmentation du volume d'informations transmis ou encore à une plus grande flexibilité dans la gestion de la taille des cellules de transmission.

Il est connu que les codes à contrôle de parité et faible densité LDPC ("Low Density Parity Check" en anglais) inventés en 1960 par Gallager offrent de très bonnes performances. Ils sont construits à partir d'une matrice de contrôle de parité pour obtenir des bits redondants, dits bits de parité, en fonction de bits de données relatifs au message à transmettre. Les bits de données et les bits de parité forment un mot de code inclus dans le signal codé à transmettre.

En particulier, les codes LDPC quasi cycliques (QC LDPC), dont la construction a été proposé dans le document de Marc P. C. Fossorier, intitulé "Quasi-cyclic Low-Density Parity -Check Codes From Circulant Permutation Matrices", IEEE Transaction on Information Theory, Août 2004, consiste à construire la matrice de contrôle de parités à partir de sous-matrices identités dont les colonnes sont permutées circulairement δ fois vers la gauche ou vers la droite. Cette forme de matrice permet une paramétrisation simple d'un code LDPC et permet également une réduction de la complexité de décodage du code grâce à sa structure quasi cyclique.

L'inconvénient majeur de cette construction est la difficulté d'encodage.

Pour pallier cet inconvénient la construction proposée dans le document de H.Jin, "Irregular repeat-accumulate codes", Proc. 2nd Int Symp Turbo codes and related topics, Brest, France, Septembre 2000 consiste en la division de la matrice de contrôle de parité H en deux sous-matrices, une matrice générée aléatoirement H_1 et une matrice de forme bi diagonale H_2 telles que $H = [H_1 \ H_2]$. Les

bits de parité sont déterminés en fonction des bits de données suivant la relation :

$$p^T = H_2^{-1} H_1 C^T$$

avec p^T et C^T les transposées respectives du vecteur P contenant les bits de parité et du vecteur C contenant les bits de données.

L'inconvénient majeur de cette construction est l'irrégularité de la partie systématique du code représentée par la matrice de contrôle de parité aléatoire H_1 , ayant pour conséquence un décodage parallèle non optimal. Ces codes sont appelés codes IRA ("Irregular Repeat-Accumulate" en anglais).

Pour pallier cet inconvénient, Kazunori Shimizu et al dans leur article "Partially-Parallel LDPC Decoder Based on High-Efficiency Message-Passing Algorithm", International Conference on Computer Design, San José, Californie, 02-05 Octobre 2005, pages 503-510, se sont intéressés à la construction de matrice de contrôle de parité régulière de forme quasi cyclique à partir de règles pour mettre en œuvre un décodage partiellement parallèle. Cependant, la restriction à une forme régulière de la matrice de contrôle de parité rend difficile l'encodage. En outre, l'algorithme de décodage relatif à la matrice de contrôle de parité n'est pas optimal en termes de rapidité de convergence vers le résultat et de ressources utiles induisant de multiples accès mémoire simultanés.

L'article de Frank Kienle et Norbert Wehn, intitulé "Design methodology for IRA codes", Proc.EDA Technofair Design Automation Conference Asia and South Pacific, 2004, décrit un procédé de construction de codes IRA dédiés à une architecture

de décodeur mettant en œuvre une parallélisation des tâches de décodage. Dans cet article les auteurs proposent une construction fixe de la matrice de contrôle de parité pour éviter des conflits d'accès mémoire caractéristiques d'une implémentation en parallèle de plusieurs processeurs. Cependant cette construction de code correcteur ne garantit pas une convergence optimale de l'algorithme de décodage. En outre, l'architecture du décodeur et la matrice de contrôle de parité telle que construite mettent en œuvre uniquement un ordonnancement parallèle des tâches de décodage. D'autres types d'ordonnancement ou de combinaisons d'ordonnancement ne sont pas considérés.

La présente invention remédie aux inconvénients évoqués ci-dessus par une détermination de code au moyen d'une construction d'une matrice de contrôle de parité composée d'une matrice systématique et d'une matrice de parité et dont les lignes correspondent respectivement à des coefficients d'équations de parité et sont réparties en des fenêtres de décodage de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, caractérisée en ce que les éléments d'au moins une colonne de la matrice systématique associés à une fenêtre de décodage sont des "0" à l'exception d'un seul qui est un "1".

La matrice systématique ainsi construite permet qu'une variable de données ne soit impliquée que dans l'une des équations de parité d'une fenêtre de décodage ce qui confère une rapidité de la convergence du décodage itératif d'un signal de données codées et une activité optimale d'un dispositif décodeur mettant en œuvre ledit décodage

et facilite l'accès à des mémoires dans le dispositif décodeur.

Selon une première caractéristique de la détermination de code pour un décodage du type série d'un signal de données codées, la matrice systématique est constituée de matrices identités permutées de même taille respectivement associées à des coefficients de permutation, et les coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique sont différents.

Selon une deuxième caractéristique de la détermination de code pour un décodage du type semi-parallèle d'un signal de données codées, la matrice systématique est constituée de matrices identités permutées de même taille respectivement associées à des coefficients de permutation, les coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique sont différents, et deux coefficients de permutation quelconques dans ladite colonne ont une différence différente de 1 modulo la taille des matrices identités.

Selon une troisième caractéristique de la détermination de code pour un décodage du type parallèle inter-décodeur d'un signal de données codées, selon lequel la matrice systématique est constituée de matrices identités permutées de même taille respectivement associées à des coefficients de permutation, les coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique sont différents, deux coefficients de permutation quelconques dans ladite colonne ont une différence différente de 1 modulo la

taille des matrices identités, et deux coefficients de permutation quelconques dans ladite colonne ont une différence différente de 2 modulo la taille des matrices identités.

Selon une quatrième caractéristique de la détermination de code pour un décodage du type parallèle intra-décodeur d'un signal de données codées, la matrice systématique est constituée de matrices identités permutées de même taille respectivement associées à des coefficients de permutation, et deux coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique ont leur différence différente de $\beta z/h$ modulo z , où h est un sous-multiple entier de la taille des matrices identités z et β est un entier compris entre 1 et h .

Selon une cinquième caractéristique de la détermination de code, la matrice systématique est constituée en outre de matrices carrées nulles de même taille que les matrices identités, chaque colonne de la matrice systématique comportant au moins une matrice identité.

L'invention concerne également un codage et un décodage selon le code déterminé d'un signal.

Le codage d'un signal incluant des variables de données en un signal incluant les variables de données et des variables de parité, comprenant une résolution d'équations de parité dont les coefficients correspondent respectivement aux lignes d'une matrice de contrôle de parité composée d'une matrice systématique et d'une matrice de parité et qui sont réparties en des fenêtres de décodage de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la

matrice de contrôle de parité, est caractérisé en ce que les éléments d'au moins une colonne de la matrice systématique associés à une fenêtre de décodage sont des "0" à l'exception d'un seul qui est un "1".

Le décodage d'un signal de données codées incluant des variables de données et des variables de parité, fondé sur une matrice de contrôle de parité composée d'une matrice systématique et d'une matrice de parité et dont les lignes correspondent respectivement à des coefficients d'équations de parité et sont réparties en des fenêtres de décodage de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, est caractérisé en ce qu'il comprend une résolution simultanée des équations de parité d'au moins une fenêtre de décodage dont les éléments dans au moins une colonne de la matrice systématique sont des "0" à l'exception d'un seul qui est un "1", une variable de données n'étant impliquée que dans l'une des équations de parité de la fenêtre de décodage et n'étant pas impliquée dans la résolution d'équation de parité d'autres fenêtres de décodage tant que la résolution des équations de parité de la fenêtre de décodage n'est pas terminée.

Selon une caractéristique du décodage de l'invention, les variables de données qui sont impliquées dans les équations de parité de la fenêtre de décodage ne sont impliquées chacune que dans l'une des équations de parité de la fenêtre de décodage, et ne sont pas impliquées dans la résolution d'équations de parité d'autres fenêtres de décodage tant que la résolution des équations de parité de la fenêtre de décodage n'est pas terminée. Cette caractéristique concernant les variables de données impliquées dans

les équations de parité de la fenêtre de décodage accroît la rapidité de la convergence du décodage itératif.

L'invention a aussi pour objet un dispositif encodeur et un dispositif décodeur pour respectivement coder un signal de données et décoder un signal de données codées.

Le dispositif encodeur pour coder un signal incluant des variables de données en un signal incluant les variables de données et des variables de parité, comprenant des moyens pour résoudre des équations de parité dont les coefficients correspondent respectivement aux lignes d'une matrice de contrôle de parité composée d'une matrice systématique et d'une matrice de parité et qui sont réparties en des fenêtres de décodage de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, est caractérisé en ce que les éléments d'au moins une colonne de la matrice systématique associés à une fenêtre de décodage sont des "0" à l'exception d'un seul qui est un "1".

Le dispositif décodeur pour décoder un signal de données codées incluant des variables de données et des variables de parité, fondé sur une matrice de contrôle de parité composée d'une matrice systématique et d'une matrice de parité et dont les lignes correspondent respectivement à des coefficients d'équations de parité et sont réparties en des fenêtres de décodage de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, est caractérisé en ce qu'il comprend des moyens pour résoudre simultanément des équations de

parité d'au moins une fenêtre de décodage dont les éléments dans au moins une colonne de la matrice systématique sont des "0" à l'exception d'un seul qui est un "1", une variable de données n'étant impliquée que dans l'une des équations de parité de la fenêtre de décodage et n'étant pas impliquée dans la résolution d'équation de parité d'autres fenêtres de décodage tant que la résolution des équations de parité de la fenêtre de décodage n'est pas terminée.

Pour traiter itérativement toutes les fenêtres de décodage, les moyens pour résoudre peuvent comprendre pour exécuter chaque itération de décodage :

un moyen pour résoudre des équations de la fenêtre de décodage associées à la matrice systématique afin de déterminer des premières variables extrinsèques en fonction des variables de données et de deuxièmes variables extrinsèques déterminées lors de l'itération précédente,

un moyen pour déterminer des premières variables intermédiaires en dépendance de la matrice systématique et des premières variables extrinsèques déterminées,

un moyen pour résoudre les équations de parité de la fenêtre de décodage associées à la matrice de parité en fonction des premières variables intermédiaires et des variables de parité afin d'obtenir des deuxièmes variables intermédiaires, et

un moyen pour résoudre les équations de parité de la fenêtre de décodage associées à la matrice systématique pour déterminer des deuxièmes variables extrinsèques en fonction des deuxièmes variables intermédiaires et des premières variables extrinsèques, et

à chaque itération de décodage, un moyen pour estimer d'autres variables de données en fonction des variables de données du signal de données codées et des deuxièmes variables extrinsèques déterminées lors du traitement de toutes les fenêtres de décodage.

Enfin l'invention se rapporte à des programmes d'ordinateur téléchargeables depuis un réseau de communication et/ou stockés sur un support lisible par ordinateur et/ou exécutables par un processeur. Les programmes comprennent des instructions pour la mise en œuvre respectivement du codage d'un signal de données et du décodage d'un signal de données codées selon l'invention.

D'autres caractéristiques et avantages de la présente invention apparaîtront plus clairement à la lecture de la description suivante de plusieurs réalisations de l'invention données à titre d'exemples non limitatifs, en référence aux dessins annexés correspondants dans lesquels :

- la figure 1 est un bloc-diagramme schématique d'un système de communication selon l'invention ;
- les figures 2a à 2e sont des représentations schématiques d'une matrice de contrôle de parité selon l'invention et de matrices qui la constituent;
- les figures 3 et 4 sont respectivement un bloc diagramme représentatif de l'architecture du dispositif décodeur selon l'invention et un diagramme temporel représentatif du fonctionnement du dispositif décodeur, selon un premier ordonnancement;
- la figure 5 est un algorithme de décodage relatif au premier ordonnancement de fonctionnement du dispositif décodeur selon l'invention;

- les figures 6, 7 et 8 sont des blocs-diagrammes schématiques représentatifs de trois décodeurs dans le dispositif décodeur selon l'invention;

- les figures 9 et 10 sont respectivement un diagramme temporel représentatif du fonctionnement du dispositif décodeur et un bloc diagramme représentatif de l'architecture associée du dispositif décodeur, selon un deuxième ordonnancement;

- les figures 11 et 12 sont respectivement un diagramme temporel représentatif du fonctionnement du dispositif décodeur et un bloc diagramme représentatif de l'architecture associée du dispositif décodeur, selon un troisième ordonnancement; et

- les figures 13 et 14 sont respectivement un diagramme temporel représentatif du fonctionnement du dispositif décodeur et un bloc diagramme représentatif de l'architecture associée du dispositif décodeur, selon un quatrième ordonnancement.

En référence à la figure 1, un système de communication selon l'invention comprend une entité émettrice EM et une entité réceptrice ER. L'entité émettrice émet des données via un canal de transmission CT vers l'entité réceptrice ER.

L'entité émettrice EM comprend une unité source SC qui génère des séquences de données chacune représentée par un vecteur de données C fourni à un dispositif encodeur CD. Le dispositif encodeur détermine un vecteur de parité P codé suivant un code LDPC généré à partir d'une matrice de contrôle de parité H décrite en relation avec la figure 2a. Les

deux vecteurs C et P relatifs à une séquence de données forment un mot de code X. Des mots de code issus de séquences de données sont produits successivement par le dispositif encodeur pour constituer un signal de données codées.

Le signal de données codées contenant le mot de code X est transmis par l'entité émettrice EM via le canal de transmission CT à l'entité réceptrice ER. Cette dernière reçoit alors un signal codé de réception qui est déformé par rapport au signal codé de transmission. Le canal de transmission, dit également canal de propagation, peut être un canal aérien ou tout autre type de canal tel qu'un câble. A cause de perturbations du canal de transmission, chaque mot de code X subit des distorsions et devient un mot déformé Y inclus dans le signal de données reçu en entrée de l'entité réceptrice ER. Le canal de transmission se comporte comme une application déformante non déterministe entre le signal de données codées en entrée du canal et le signal de données codées en sortie du canal.

Afin de compenser les effets dus à la transmission, l'entité réceptrice ER comporte un dispositif décodeur DC qui détermine une meilleure estimation de chaque vecteur de données pour former un signal de code estimé comportant des vecteurs de données estimés.

Le dispositif décodeur DC décode de manière itérative chaque mot reçu Y suivant un algorithme de décodage contenant un code LDPC généré à partir de la matrice de contrôle de parité H. Le dispositif décodeur estime un vecteur sensiblement identique au vecteur de données C généré par la source SC de l'entité émettrice EM. Chaque signal de code contenant le vecteur estimé est fourni à un récepteur

d'information RI, par exemple un dispositif de reproduction sonore doté d'un haut-parleur.

Un mot de code X en sortie de l'entité émettrice EM comprend $N = K + M$ variables dont K variables d'information ou de données c_1 à c_K formant un vecteur de données C, et M variables de parité p_1 à p_M formant un vecteur de parité P. Les variables sont des bits "0" ou "1". Le rendement R du code est le rapport $R = K/N$.

En référence à la figure 2a, la matrice de contrôle de parité H est de taille $M \times N$, soit M lignes et N colonnes, et fait correspondre les N variables du mot de code X aux M équations de parité eq_1 à eq_M . Ainsi, chaque équation de parité dont les coefficients sont les éléments d'une ligne de la matrice H comporte dc variables correspondant aux dc éléments à "1" de ladite ligne, et chaque variable relative à une colonne de la matrice H est impliquée dans dv équations de parité correspondant aux dv éléments à "1" de ladite colonne. Selon une implémentation de l'invention, la matrice de contrôle de parité H est semi-régulière, c'est-à-dire chaque équation de parité eq_1 à eq_M a le même nombre de variables, mais chaque variable c_1 à c_K et p_1 à p_M n'est pas connectée au même nombre d'équations. Ceci correspond à une matrice de parité comportant le même nombre de "1" par ligne et un nombre différent de "1" par colonne.

La matrice de contrôle de parité H est composée de deux matrices : une matrice systématique H_C de taille $M \times K$ associée aux variables de données c_1 à c_K du vecteur de données C, et une matrice de parité

carrée H_p de taille $M \times M$ associée aux variables de parité p_1 à p_M du vecteur de parité P .

Le mot de code X est décomposé de la façon suivante $X = [C P]$ et respecte l'équation :

$$HX^T = [H_C H_p] \begin{bmatrix} C^T \\ P^T \end{bmatrix} = 0^T \quad (1)$$

où X^T , C^T et P^T sont les transposées des vecteurs X , C et P , l'équation (1) se décomposant en M équations de parité eq_1 à eq_M .

Un vecteur de projection V comprenant des variables de projection v_1 à v_M est défini par la relation suivante :

$$V^T = H_C C^T \quad (2)$$

Les variables de parité p_1 à p_M du vecteur de parité P sont déduites des relations précédentes (1) et (2) dans le dispositif encodeur CD :

$$P^T = H_p^{-1} V^T \quad (3)$$

En référence à la figure 2b et la relation (2), la matrice systématique H_C de forme quasi-cyclique fait correspondre les variables de données c_1 à c_K du vecteur de données C aux variables de projection v_1 à v_M du vecteur de projection V . La matrice systématique H_C est constituée de $A \times B$ sous-matrices carrées $I(a,b)$ de taille $z \times z$ avec $1 \leq a \leq A$ et $1 \leq b \leq B$. Les sous-matrices carrées sont des matrices nulles et/ou des matrices identités permutées à gauche selon un coefficient de permutation propre à chacune de ces matrices identités.

Dans le but de minimiser l'espace mémoire du dispositif encodeur CD et du dispositif décodeur DC, la matrice systématique H_C est définie par une matrice simplifiée S représentée à la figure 2d. La matrice S contient les coefficients de permutation respectifs des sous-matrices carrées, chaque coefficient définissant le type de sous-matrice auquel il est associé. Ainsi chaque sous-matrice carrée $I(a,b)$ de la matrice H_C est associée à un coefficient de permutation $\delta(a,b)$ de la matrice S . Si le coefficient $\delta(a,b)$ est négatif alors la sous-matrice carrée $I(a,b)$ est une matrice nulle. Dans le cas contraire, la sous-matrice carrée $I(a,b)$ est une matrice identité permutée de $\delta(a,b)$ positions à gauche.

Selon l'invention, le choix des valeurs des coefficients de permutation répertoriés dans la matrice simplifiée S respecte une ou des règles de construction de la matrice de contrôle de parité H , en particulier de la matrice systématique H_C . Ces règles, détaillées dans la suite de la description, optimisent le décodage du mot reçu Y en terme de rapidité de convergence de l'algorithme de décodage et sont basées sur des contraintes matérielles imposées dans le dispositif décodeur.

En se référant à la figure 2c et la relation (3), la matrice de parité H_p , qui est constante, fait correspondre les variables de projection v_1 à v_M du vecteur de projection V aux variables de parité p_1 à p_M du vecteur de parité P . La matrice de parité H_p est composée de $A \times A$ sous-matrices carrées dont les sous-matrices I et $I_p(1, A)$ de même taille $z \times z$. Les sous-matrices carrées I sont des matrices identités disposées bi-diagonalement dans la matrice H_p , c'est-

à-dire dans la diagonale centrale et une sous-diagonale jouxtant et parallèle à la diagonale centrale dans la matrice H_p . La sous-matrice carrée $I_p(1, A)$ est une matrice identité permutée non circulairement d'une position par exemple vers la gauche, c'est-à-dire ayant la colonne de droite constituée de "0". Par exemple la sous-matrice carrée $I_p(1, A)$ de taille 4×4 est :

$$\begin{bmatrix} 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}$$

La définition d'une telle sous matrice permet un codage simple du code LDPC.

La forme de la matrice de contrôle de parité H_p définit un code de la famille des codes IRA (Irregular Repeat-Accumulate). Ce code est une accumulation série de codes de parité et d'un code convolutif récursif à une bascule, représentée à la figure 7.

Ainsi la matrice de contrôle de parité H telle que représentée à la figure 2e relativement aux figures 2b et 2c représentant respectivement les matrices H_c et H_p , comporte A lignes de sous-matrices carrées de taille $z \times z$ et $A + B$ colonnes de sous-matrices carrées de taille $z \times z$. Chaque ligne a de sous-matrices, avec $1 \leq a \leq A$, comprend z équations de parité, la matrice de contrôle de parité comportant alors un total de $A z = M$ équations de parité.

Afin d'optimiser le décodage d'un signal de données codées reçu en entrée du dispositif décodeur DC, la matrice de contrôle de parité H est découpée

en z fenêtres de décodage comportant chacune A équations de parité. Chaque fenêtre de décodage F_f d'indice f , avec $1 \leq f \leq z$, comprend les A équations suivantes : eq_f , $eq(z+f)$, ..., $eq((a-1)z+f)$, ..., $eq((A-1)z+f)$. Une fenêtre de décodage F_f comprend une équation de parité par ligne de sous-matrices carrées de taille $z \times z$.

Le décodage d'un signal de données codées divisé en fenêtres de décodage F_f a pour avantage d'améliorer la convergence de l'algorithme de décodage. Des variables déterminées lors du décodage d'une fenêtre F_f à A équations de parité sont utilisées pour le décodage des A équations de parité des fenêtres de décodage suivantes $F_{(f+1)}$.

La matrice de contrôle de parité selon l'invention est construite afin d'une part d'optimiser la convergence de l'algorithme de décodage, d'autre part de considérer les exigences de coût de matériel imposées. Ces deux contraintes sont respectées par une gestion diversifiée de l'ordonnancement d'exécution du dispositif décodeur, telle que représentée aux figures 3, 8, 12 et 14, le contenu de la matrice de contrôle de parité H dépendant de l'ordonnancement choisi et de l'architecture du dispositif décodeur choisie.

La matrice H et plus particulièrement la matrice systématique H_c sont construites selon une ou des règles de construction basées sur les valeurs des coefficients de permutation $\delta(a,b)$ répertoriés dans la matrice simplifiée S . A chaque type d'ordonnancement série, parallèle ou semi-parallélisé, correspond une ou des règles de construction de la matrice systématique H_c . Ces règles de construction évitent des conflits d'accès

mémoire dans le dispositif décodeur dus notamment à l'implication d'une même variable de données dans au moins deux équations de parité traitées de manière simultanée, ce qui accroît la rapidité de convergence de l'algorithme de décodage et le débit du dispositif décodeur. Ainsi une première règle de construction consiste en ce qu'une variable de données impliquée dans le traitement d'une fenêtre de décodage F_f contenant A équations de parité ne soit impliquée que dans l'une des A équations de parité de la fenêtre et ne soit pas impliquée dans des étapes de décodage d'au moins une autre fenêtre de décodage, par exemple lorsque plusieurs fenêtres de décodage sont traitées simultanément, tant que le traitement de ladite fenêtre n'est pas terminé. Ceci est exprimé au moins par un "1" pour un seul des A éléments dans au moins une colonne de la matrice systématique H_C associés à une fenêtre de décodage F_f et par des "0" pour les autres $A - 1$ éléments de la colonne associées à la fenêtre de décodage F_f .

En se référant de nouveau à la figure 1, le dispositif encodeur CD de l'entité émettrice EM comprend deux codeurs CD1 et CD2 correspondant chacun à un processeur ayant généré un code pour coder à partir de la matrice de contrôle de parité H . Le code du codeur CD1 détermine les variables v_1 à v_M du vecteur de projection V selon la relation (2) en fonction de la matrice systématique H_C et des variables c_1 à c_K du vecteur de données C générées par la source SC. Le code du codeur CD2 détermine les variables p_1 à p_M du vecteur de parité P selon la relation (3) en fonction de la matrice H_p et des variables v_1 à v_M du vecteur de projection V précédemment déterminées par le codeur CD1. Le mot de

code X en sortie du dispositif encodeur CD est formé des variables c_1 à c_K du vecteur de données C et des variables p_1 à p_M du vecteur de parité P. Les variables impliquées dans le codage de la séquence de données sont des valeurs binaires "0" ou "1".

A la réception du signal de données codées déformé, les variables binaires des vecteurs C et P sont pour certaines également déformées et erronées. Pour obtenir des variables de données similaires à celles générées par l'unité source SC du dispositif encodeur CD, en sortie du dispositif décodeur DC, celui-ci estime à chaque itération i des variables de données, appelées dans la suite de la description "variables de vraisemblance", qui formeront le signal de code estimé. Après un nombre prédéfini I d'itérations, les variables de vraisemblance sont utilisées pour déterminer le vecteur C^I estimé se rapprochant le plus du vecteur C généré. L'algorithme de décodage mis en œuvre dans le dispositif décodeur DC est basé sur l'algorithme de propagation de croyance BP ("Belief Propagation" en anglais) qui est un algorithme itératif à entrées souples.

Toutes les variables impliquées dans l'algorithme de décodage sont des variables pondérées par exemple du type LLR ("Log Likelihood Ratio" en anglais), comportant chacune un signe définissant la valeur binaire dure "0" ou "1" de la variable et une valeur souple précisant la fiabilité de cette valeur binaire dure.

En référence à la **figure 3**, le dispositif décodeur DCs mettant en œuvre l'algorithme de décodage selon le premier ordonnancement comprend trois décodeurs DC1, DC2 et DC3, des mémoires MR1,

MR2 et MP et une unité de contrôle UC qui contrôle l'ensemble des éléments du dispositif décodeur DC. Tous ces éléments sont représentés sous forme de blocs fonctionnels dont la plupart assurent des fonctions ayant un lien avec l'invention et peuvent correspondre à des modules logiciels et/ou matériels.

Les trois décodeurs DC1, DC2 et DC3 sont des processeurs comportant chacun une partie des instructions de décodage selon l'algorithme de décodage LDPC, établies en dépendance de la matrice de contrôle de parité H. Le fonctionnement des trois décodeurs est décrit plus en détail en référence aux figures 5, 6, 7 et 8.

La mémoire MR1 comprend au moins un espace mémoire M_{cv} contenant pour chaque traitement d'une fenêtre de décodage F_f des premières variables extrinsèques $m1_{ck,vm}^i$ déterminées par le décodeur DC1 et échangées entre le décodeur DC1 et le décodeur DC3, avec l'indice ck tel que $c1 \leq ck \leq cK$ et l'indice vm tel que $v1 \leq vm \leq vM$.

La mémoire MR2 comprend un espace mémoire M_{vc} contenant pour chaque itération i des deuxièmes variables extrinsèques $m2_{vm,ck}^i$ déterminées par le décodeur DC3 et échangées entre le décodeur DC3 et le décodeur DC1, avec les indices vm et ck tels que $v1 \leq vm \leq vM$ et $c1 \leq ck \leq cK$. La mémoire MR2 comprend également un espace mémoire de données MC contenant des variables de données intrinsèques m_{c1}^0 à m_{cK}^0 obtenues à partir de l'observation du canal de transmission CT et des variables de vraisemblance m_{c1}^i à m_{cK}^i estimées par le décodeur DC3 à chaque itération I et devant correspondre aux variables de données émises c1 à cK.

La mémoire de parité MP, accessible par le décodeur DC2, comprend des variables de parité

intrinsèques m_{p1}^0 et m_{pM}^0 obtenues à partir de l'observation du vecteur de parité P provenant du canal CT.

Pour diminuer les coûts matériels liés à l'architecture du dispositif décodeur, les espaces-mémoires MC, Mvc et Mcv et la mémoire MP sont considérées comme des mémoires ayant un simple port dont les accès en lecture et en écriture ne sont pas simultanés.

Les variables $m_{ck,vm}^i$, m_{c1}^0 à m_{ck}^0 , $m_{vm,ck}^i$, m_{c1}^i à m_{ck}^i et m_{p1}^0 et m_{pM}^0 sont des variables pondérées de type LLR ("Log Likelihood Ratio" en anglais).

Les décodeurs DC1, DC2, DC3 et les mémoires du dispositif décodeur DCs sont contrôlées par l'unité de contrôle UC qui gère l'accès aux mémoires et l'ordonnancement du fonctionnement des décodeurs en fonction du contenu de la matrice de contrôle de parité H et plus particulièrement de la matrice simplifiée S, et des fenêtres de décodage F1 à Fz. L'unité UC comprend ou est reliée à une mémoire de contrôle MRC contenant notamment la matrice simplifiée S et la matrice de parité H_p .

Selon un premier ordonnancement de fonctionnement de type série, représenté à la figure 4, les trois décodeurs DC1, DC2 et DC3 fonctionnent chacun à leur tour pour traiter une fenêtre de décodage à la fois.

Pour optimiser la convergence du décodage, la règle de construction de la matrice de contrôle de parité H relative à l'ordonnancement série est la suivante. Toutes les variables de données impliquées dans les équations de parité d'une fenêtre de décodage doivent être différentes, ce qui conduit à

ce que les coefficients de permutation positifs associés aux matrices identités dans une même colonne de la matrice systématique S soient différents.

Cette règle de construction s'exprime par la relation suivante pour la colonne d'indice b :

$$\delta(a, b) \neq \delta(j, b),$$

$\forall a \neq j$ tels que $1 \leq a \leq A$ et $1 \leq j \leq A$, et $\forall b$ tel que $1 \leq b \leq B$, en référence à la figure 2c.

L'algorithme de décodage relatif à l'ordonnancement série représenté à la figure 5 comprend des étapes E1 à E12.

A la réception du signal de transmission contenant le mot de code déformé Y , aux étapes E1 et E2, l'unité de contrôle UC du dispositif décodeur DCs détermine une variable intrinsèque de type LLR en fonction de chaque variable binaire transmise c_1 à c_K et p_1 à p_M des vecteurs déformés respectifs C et P , à l'étape E3. L'unité de contrôle UC détermine les variables de données intrinsèques $m_{c_1}^0$ à $m_{c_K}^0$ à partir des variables transmises du vecteur de données C déformé, et les variables de parité intrinsèques $m_{p_1}^0$ à $m_{p_M}^0$ à partir des variables transmises du vecteur de parité P déformé. Toutes les variables intrinsèques déterminées sont mémorisées dans l'espace mémoire MC de la mémoire MR2.

A chaque itération i aux étapes E4 à E11, le dispositif décodeur DCs traite les z fenêtres de décodage. Lors du traitement d'une fenêtre de décodage F_f comprenant A équations de parité, avec $1 \leq f \leq z$ et pour tout type d'ordonnancement, l'algorithme de décodage comprend trois étapes distinctes de décodage E5, E6 et E7 traitées

respectivement dans les décodeurs DC1, DC2 et DC3 du dispositif décodeur DCs.

A chaque traitement d'une fenêtre de décodage Ff, l'unité UC autorise les décodeurs à accéder en écriture et lecture dans les mémoires MR1, MR2 et MP pour y lire et écrire des variables impliquées respectivement dans les A équations de la fenêtre Ff en dépendance des éléments de la matrice simplifiée S et de la matrice H_p lues dans la mémoire MRC, au cours du décodage.

La première étape de décodage E5 mise en œuvre dans le **décodeur DC1**, activée par l'unité de contrôle UC, consiste à résoudre les A équations de parité de la fenêtre Ff définies par la matrice systématique H_c à partir notamment des variables de données intrinsèques m_{c1}^0 à m_{cK}^0 pour obtenir A premières variables intermédiaires, dites premières variables de projection pondérées $V1_{vf}^i$, $V1_{v(z+f)}^i, \dots, V1_{v((a-1)z+f)}^i, \dots, V1_{v((A-1)z+f)}^i$ à fournir au décodeur DC2.

La partie des instructions de décodage LDPC dans le décodeur DC1 est schématisée à la figure 6 par des nœuds de données N1c1 à N1cK gérant les variables de données c1 à cK et connectés en conformité avec la matrice systématique H_c à des nœuds de projection N1v1 à N1vM gérant des variables de projection v1 à vM. Seuls les nœuds de projection N1vf, N1v(z+f), ..., N1v((a-1)z+f), ... et N1v((A-1)z+f) interviennent dans le traitement des A équations de parité de la fenêtre Ff, en accord avec la figure 2e.

Lors du traitement de l'une des A équations de la fenêtre Ff, mettant en relation dc nœuds de données à un nœud de projection, par exemple le nœud de projection N1vf, chaque nœud de données N1ck associée à une variable de données ck intervenant

dans l'équation détermine une première variable extrinsèque $m1^i_{ckvf}$ à fournir au nœud de projection Nlvf. La première variable extrinsèque $m1^i_{ckvf}$ associée à la variable de donnée ck est déterminée par application d'une fonction g à la variable de données intrinsèque m^0_{ck} mémorisée dans l'espace mémoire MC et à des deuxièmes variables extrinsèques $m2^{i-1}_{vj,ck}$ associées aux autres variables de projection vj, avec l'indice j différent de l'indice f, relatives aux autres équations de parité eqj qui contiennent la variable de donnée ck. Ces deuxièmes variables extrinsèques $m2^{i-1}_{vj,ck}$ sont déterminées par le décodeur DC3 lors de l'itération précédente i-1 et sont mémorisées dans l'espace mémoire Mvc de la mémoire MR2. La détermination de ces variables extrinsèques est détaillée en référence à la figure 8.

Selon un exemple illustré à la figure 6 et en partie à la figure 8, lors de la résolution de l'une des A équations de la fenêtre Ff mettant en correspondance les nœuds de données N1c1, N1c3 et N1ck au nœud de projection Nlvf, le nœud de données N1c1 détermine et transmet au nœud de projection Nlvf la première variable extrinsèque $m1^i_{c1,vf}$ déterminée selon la relation suivante :

$$m1^i_{c1,vf} = g(m^0_{c1}, m2^{i-1}_{v(z+f),c1}),$$

Dans cette relation, la deuxième variable extrinsèque $m2^{i-1}_{vf,c1}$ relative à la variable de projection vf et déterminée par le décodeur DC3 lors de l'itération précédente i-1 n'est pas impliquée dans la détermination de la première variable extrinsèque $m1^i_{c1,vf}$, et la fonction g est la fonction de résolution d'une équation de parité. Pour des variables de type LLR et dans le cas d'un algorithme simplifié, la fonction g peut être telle que :

$g(x_1, \dots, x_q, \dots, x_Q) =$
 $\text{sign}(x_1) \dots \text{sign}(x_q) \dots \text{sign}(x_Q) \min(|x_1|, \dots, |x_q|, \dots, |x_Q|),$
 où "sign" est la fonction signe définissant la valeur binaire dure "0" ou "1" d'une variable x_q et $|x_q|$ une valeur souple positive précisant la fiabilité de cette valeur binaire dure.

Les premières variables extrinsèques résultant de la résolution des A équations de la fenêtre Ff pour l'itération i à partir de la matrice systématique H_c sont déterminées simultanément et sont fournies aux A nœuds de projection associés $N1vf, N1v(z+f), \dots, N1v((a-1)z+f), \dots$ et $N1v((A-1)z+f)$.

A la réception des premières variables extrinsèques, chaque nœud de projection, par exemple le nœud $N1vf$, intervenant dans la résolution des A équations de la fenêtre de décodage Ff détermine une première variable de projection pondérée $V1_{vf}^i$ à transmettre au décodeur DC2.

La première variable de projection pondérée $V1_{vf}^i$ est déterminée dans le nœud de projection $N1vf$ par application de la fonction g sur toutes les premières variables extrinsèques transmises par les dc nœuds de données auxquels le nœud $N1vf$ est relié.

Selon un exemple en référence à la figure 6, le nœud de projection $N1vf$ connecté aux nœuds de données $N1c1, N1c3$ et $N1ck$ reçoit les premières variables extrinsèques $m1_{c1,vf}^i, m1_{c3,vf}^i$ et $m1_{ck,vf}^i$ respectivement depuis les trois nœuds de données précités et détermine la première variable de projection $V1_{vf}^i$ selon la relation suivante :

$$V1_{vf}^i = g(m1_{c1,vf}^i, m1_{c3,vf}^i, m1_{ck,vf}^i).$$

Le décodeur DC1 fournit au décodeur DC2 les premières variables de projection pondérées $V1_{vf}^i, V1_{v(z+f)}^i, \dots, V1_{v((a-1)z+f)}^i, \dots, V1_{v((A-1)z+f)}^i$ déterminées lors de la résolution des A équations de la fenêtre

Ff. Puis l'unité de contrôle UC désactive le décodeur DC1.

La deuxième étape de décodage E6 mise en œuvre dans le **décodeur DC2** activé par l'unité de contrôle UC consiste à déterminer le code interne, c'est-à-dire à résoudre les A équations de parité de la fenêtre Ff définies par la matrice de parité H_p à partir des A premières variables de projection pondérées $V1^i_{vf}, V1^i_{v(z+f)}, \dots, V1^i_{v((a-1)z+f)}, \dots, V1^i_{v((A-1)z+f)}$ produites par le décodeur DC1 et des A variables de parité intrinsèques $m^0_{pf}, m^0_{p(z+f)}, \dots, m^0_{p((a-1)z+f)}, \dots, m^0_{p((A-1)z+f)}$ mémorisées dans la mémoire MP pour obtenir A deuxièmes variables intermédiaires, dites deuxièmes variables de projection pondérées $V2^i_{vf}, V2^i_{v(z+f)}, \dots, V2^i_{v((a-1)z+f)}, \dots, V2^i_{v((A-1)z+f)}$ à fournir au troisième décodeur DC3.

Le décodeur DC2 est un décodeur différentiel et utilise une technique de décodage de code convolutif à sortie pondérée selon le contenu de la matrice de parité H_p , comme les algorithmes d'"aller retour" FBA (Forward Backward Algorithm) tels que l'algorithme BCJR (Bahl-Cocke-Jelinek-Raviv).

La partie des instructions de décodage LDPC du décodeur DC2 de type FBA est schématisée à la figure 7 par A nœuds de projection $N2v_{vf}$ à $N2v_{((A-1)z+f)}$ gérant des variables de projection et connectés respectivement à A nœuds de parité $N2p_{pf}$ à $N2p_{((A-1)z+f)}$ gérant des variables de parité selon les A équations de parité de la fenêtre Ff définies par la matrice H_p .

Chaque équation de parité définie par la matrice H_p , par exemple l'équation $eq(z+f)$, relie le nœud de projection $N2v(z+f)$ au nœud de parité $N2p(z+f)$

associé par une bascule BSf₂ elle-même reliée au nœud de parité N2pf relatif à l'équation précédente eqf. La première bascule BSf₁ n'est reliée qu'au nœud de parité N2pf associé, et le dernier nœud de parité N2p((A-1)z+f) n'est relié qu'à la bascule BSf_A associée.

L'algorithme de décodage dans le décodeur DC2 de type FBA comprend trois sous-étapes connues.

A la première sous-étape, chaque bascule BSf_a relative à la résolution de l'équation de parité respective eq((a-1)z+f), avec a variant de 1 à A, détermine et mémorise successivement une valeur d'aller VA_a selon la relation suivante :

$$VA_a = g((m_p^0((a-2)z+f) + VA_{a-1}), V1_v^i((a-1)z+f))$$

dans laquelle la variable de parité intrinsèque $m_p^0((a-2)z+f)$ est relative à l'équation de parité eq((a-2)z+f), la valeur d'aller VA_{a-1} est déterminée précédemment dans la bascule BSf_{a-1} relative également à l'équation eq((a-2)z+f), et la première variable de projection pondérée $V1_v^i((a-1)z+f)$ est relative à l'équation eq((a-1)z+f).

A la deuxième sous-étape, chaque bascule successive BSf_a, avec a variant de A à 1, détermine et mémorise une valeur de retour VR_a selon la relation suivante :

$$VR_a = g((m_p^0(az+f) + VR_{a+1}), V1_v^i(az+f))$$

dans laquelle la variable de parité intrinsèque $m_p^0(az+f)$ et la première variable de projection $V1_v^i(az+f)$ sont relatives à l'équation de parité eq(az+f) et la variable de retour VR_{a+1} est déterminée précédemment dans la bascule BSf_{a+1} relative à l'équation eq(az+f).

Enfin à la troisième sous-étape, chaque bascule BSf_a, avec a compris entre 1 et A, détermine une

deuxième variable de projection pondérée $V2^i_{v((a-1)z+f)}$ selon la relation suivante :

$$V2^i_{v((a-1)z+f)} = g(m^0_{p(az+f)+VA_{a-1}}, m^0_{p((a-1)z+f)+VR_a})$$

Toutes les deuxièmes variables de projection pondérées $V2^i_{vf}$, $V2^i_{v(z+f)}$, ..., $V2^i_{v((a-1)z+f)}$, ..., $V2^i_{v((A-1)z+f)}$ relatives à la fenêtre de décodage Ff et déterminées par le décodeur DC2 sont fournies au décodeur DC3. Puis l'unité de contrôle UC désactive le décodeur DC2.

Le décodage par fenêtre de décodage a pour avantage de diminuer l'espace mémoire utile dans le décodeur DC2 en ne mémorisant uniquement que les A variables d'aller VA_1 à VA_A et les A variables de retour VR_1 à VR_A à chaque traitement d'une fenêtre de décodage Ff. Cependant le décodage par fenêtre induit une discontinuité des variables au bord de chaque fenêtre Ff lors de la détermination de la première variable d'aller VA_1 qui ne dépend pas de la dernière variable VA_A de la fenêtre précédente F(f-1). Pour minimiser les effets de bord et initialiser proprement le décodage de parité dans la fenêtre suivante Ff, après la fourniture des deuxièmes variables de projection pondérées au décodeur DC3, le décodeur DC2 mémorise dans la bascule BSf₁ la valeur VA_A qui devient alors la valeur VA_1 lors du traitement de la fenêtre suivante Ff.

La troisième étape de décodage E7 mise en œuvre dans le décodeur DC3 activé par l'unité de contrôle UC consiste à vérifier les A équations de parité de la fenêtre Ff définies par à la matrice systématique H_C en déterminant des deuxièmes variables intrinsèques à partir des deuxièmes variables de

projection pondérées $V2_{vf}^i$, $V2_{v(z+f)}^i, \dots, V2_{v((a-1)z+f)}^i, \dots, V2_{v((A-1)z+f)}^i$ fournies par le décodeur DC2.

La partie des instructions de décodage LDPC dans le **décodeur DC3** est schématisée à la figure 8 par des nœuds de projection N3v1 à N3vM gérant des variables de projection v1 à vM, connectés selon la matrice systématique H_c à des nœuds de données N3c1 à N3cK gérant des variables de données c1 à cK. Seuls les nœuds de projection N1vf, N1v(z+f), ..., N1v((a-1)z+f), ... et N1v((A-1)z+f) interviennent dans le traitement des A équations de parité de la fenêtre Ff.

Lors de la vérification de l'une des A équations de parité de la fenêtre de décodage Ff, par exemple l'équation eqf, le nœud de projection N3vf associé à la variable de projection $V2_{vf}^i$ détermine dc deuxièmes variables extrinsèques à fournir aux dc nœuds de données dont les variables de données associées sont impliquées dans l'équation de parité eqf. La deuxième variable extrinsèque $m2_{vf,ck}^i$ à fournir au nœud de donnée N3ck dont la variable de données ck associée est impliquée dans l'équation de parité eqf, est déterminée par application de la fonction g sur la deuxième variable de projection pondérée $V2_{vf}^i$ associée à la variable de projection vf et fournie par le décodeur DC2, et sur les premières variables extrinsèques $m1_{cj,vf}^i$ associées aux autres variables de données cj, avec j différent de k, impliquées dans l'équation de parité eqf et déterminées par le décodeur DC1 lors de la première étape de décodage.

Selon un exemple en référence à la figure 8, le nœud de projection N3vf détermine et transmet respectivement aux nœuds de données N3c1, N3c3 et N3ck les deuxièmes variables extrinsèques $m2_{vf,c1}^i$, $m2_{vf,c3}^i$ et $m2_{vf,ck}^i$.

Le nœud de projection N3vf détermine la deuxième variable extrinsèque $m2_{vf,c1}^i$ à fournir au nœud de données N3c1 selon la relation suivante :

$$m2_{vf,c1}^i = g(V2_{vf}^i, m1_{c3,vf}^i, m1_{ck,vf}^i),$$

où la première variable extrinsèque $m1_{c1,vf}^i$ relative à la variable de données c1 et déterminée précédemment par le décodeur DC1 n'est pas impliquée dans la détermination de la variable extrinsèque $m2_{vf,c1}^i$.

Chaque nœud de données N3ck commande la mémorisation des deuxièmes variables extrinsèques fournies dans l'espace mémoire Mvc de la mémoire MR2. Puis l'unité de contrôle UC désactive le décodeur DC3.

Les deuxièmes variables extrinsèques fournies seront impliquées dans la détermination des premières variables extrinsèques dans le décodeur DC1 lors de l'itération suivante $i+1$.

A l'**étape E8** l'unité de contrôle UC vérifie si toutes les z fenêtres de décodage sont traitées. Dans le cas contraire une autre fenêtre de décodage est implémentée à l'étape E9 et est traitée aux étapes E5 à E7.

Si les z fenêtres de décodage sont traitées, l'unité de contrôle UC active le décodeur DC3 à l'étape E10 pour estimer les variables de vraisemblance m_{c1}^i à m_{ck}^i . Chaque variable de vraisemblance m_{ck}^i est estimée par application de la fonction g sur la variable intrinsèque m_{ck}^0 associée et mémorisée dans l'espace mémoire MC et sur les deuxièmes variables extrinsèques $m2_{vf,ck}^i$ associées à la variable de données ck et mémorisées dans l'espace mémoire Mcv de la mémoire MR2.

Selon un exemple en référence à la figure 8, le nœud de données N3c1 estime la variable de vraisemblance m_{c1}^i suivant la relation, en supposant que seules les deuxièmes variables extrinsèques $m_{vf,c1}^i$ et $m_{v(z+f),c1}^i$ sont associées à la variable de données c1 :

$$m_{c1}^i = g(m_{c1}^0, m_{vf,c1}^i, m_{v(z+f),c1}^i).$$

A l'**étape E11**, l'unité de contrôle UC vérifie si toutes les I itérations sont exécutées. Dans le cas contraire, une autre itération i est implémentée à l'étape E4 et les z fenêtres de décodage sont à nouveau traitées aux étapes E5 à E8.

Si les I itérations sont traitées, l'unité de contrôle UC établit un signal de données estimé contenant les variables de vraisemblance m_{c1}^I à m_{cK}^I correspondant sensiblement aux variables de données générées par la source SC de l'entité émettrice EM, et fournit le signal de données estimées au récepteur d'information RI de l'entité réceptrice ER, à l'étape E12.

Idéalement, la résolution d'une équation de parité devrait se faire en un coup d'horloge nécessitant le chargement en parallèle de toutes les variables impliquées dans la résolution de l'équation de parité.

Une première réalisation consiste à lire dans les mémoires MR1, MR2, et MP à une cadence supérieure à la cadence de fonctionnement des décodeurs.

Une deuxième réalisation consiste à diviser les espaces-mémoires MC, Mcv et Mvc et la mémoire MP en sous-bancs mémoires, les espaces-mémoires et la mémoire MP étant des mémoires simple port nécessitant une écriture et une lecture à la fois. La division

des mémoires simple port se fait en tenant compte des propriétés de construction de la matrice de contrôle de parité H. Les dc variables impliquées dans une équation de parité sont définies par dc "1" dans la ligne de la matrice de contrôle de parité H définissant l'équation. Par construction, chaque "1" appartient à dc blocs de taille z×z différents. Une découpe judicieuse pour les espaces-mémoires MC, Mcv et Mvc et la mémoire MP, définie en A bancs-mémoires de taille z évite tout conflit d'accès à une mémoire simple port.

Le débit de décodage D de l'ordonnancement série s'exprime par la relation suivante :

$$D = K / (3 F T I)$$

avec K le nombre total de variables de données, z la taille d'une matrice carré, I le nombre d'itération et le temps T tel que : $T = \alpha A T_{clk}$, où α est un coefficient supérieur ou égal à 1 et proche de 1, A est le nombre d'équation de parité dans une fenêtre de décodage et T_{clk} est la période d'horloge du dispositif décodeur.

L'ordonnancement série implémenté dans le dispositif décodeur DCs représenté à la figure 3 impose un traitement en série des z fenêtres de décodage lors d'une itération i, présentant ainsi une grande période d'inactivité des différents décodeurs DC1, DC2, DC3, deux des trois décodeurs étant inactifs pendant que le troisième est activé, comme cela apparaît à la figure 4.

Afin de pallier la période d'inactivité des décodeurs dans le dispositif décodeur DCs, un deuxième ordonnancement dit **semi-parallèle**, représenté à la **figure 9**, met en œuvre un fonctionnement simultané de deux décodeurs sur les

trois, sans activer simultanément les décodeurs DC1 et DC3 du dispositif de décodage DCsp ce qui engendrerait un problème d'accès en lecture et en écriture à l'espace mémoire Mcv dans la mémoire à simple port MR1. Les deux décodeurs DC1 et DC2, ou DC2 et DC3, fonctionnant simultanément traitent des parties différentes de deux fenêtres de décodage successives.

Dans le deuxième ordonnancement, seules deux fenêtres successives F_f et $F_{(f+1)}$ sont traitées semi-parallèlement à la fois, leurs traitements se chevauchant sur deux étapes de décodage. La fenêtre de décodage $F_{(f+1)}$ ne bénéficie pas du décodage de la fenêtre précédente F_f . La matrice de contrôle de parité H est construite de telle sorte que les variables de données impliquées dans la résolution des A équations de la fenêtre F_f et celles impliquées dans la résolution des A équations de la fenêtre $F_{(f+1)}$ soient différentes.

Ainsi, pour que l'algorithme de décodage converge plus rapidement tout en diminuant la latence du décodage comparativement au premier ordonnancement, les règles de construction de la matrice de contrôle de parité H relatives à l'ordonnancement semi-parallèle sont les suivantes. Selon une première règle, les coefficients de permutation positifs associés aux matrices identités dans une même colonne de la matrice simplifiée S doivent être différents entre eux. Selon une deuxième règle, dans une colonne de la matrice H_c correspondant à une variable de données, cette variable de données ne peut être traitée que pendant l'une de deux fenêtres successives ce qui est illustrée dans la matrice H_c par un seul élément "1" dans les lignes de ladite colonne relatives aux deux

fenêtres successives, ou par deux coefficients de permutation quelconques dans ladite colonne de la matrice S ayant leur différence différente de 1 modulo z , où z est la taille de la matrice identité.

Ces règles de construction s'expriment par les relations suivantes pour une colonne d'indice b de la matrice S :

$$1) \delta(a, b) \neq \delta(j, b),$$

$$2) \delta(a, b) \neq (1 + \delta(j, b)) \bmod z,$$

$\forall a \neq j$ tels que $1 \leq a \leq A$ et $1 \leq j \leq A$, et $\forall b$ tel que $1 \leq b \leq B$, en référence à la figure 2c.

Ces règles de construction ont pour avantage d'optimiser la convergence de l'algorithme de décodage de manière identique à l'ordonnement série tout en parallélisant le fonctionnement de deux décodeurs à la fois.

L'architecture du dispositif décodeur DCsp mettant en œuvre l'ordonnement semi-parallèle et représentée à la figure 10 ne diffère de celle mettant en œuvre l'ordonnement série que par l'organisation de l'espace dans la mémoire MR1 permettant l'échange des premières variables extrinsèques entre le décodeur DC1 et le décodeur DC3. La mémoire MR1 comprend deux espaces mémoires Mcv1 et Mcv2. L'espace mémoire Mcv1 est dédié à la mémorisation des premières variables extrinsèques déterminées par le décodeur DC1 lors du traitement d'une première fenêtre de décodage Ff. L'espace mémoire Mcv2 est dédié à la mémorisation des premières variables extrinsèques déterminées par le décodeur DC1 lors du traitement de la fenêtre de décodage suivante F(f+1) succédant à la première fenêtre Ff.

Selon le troisième ordonnancement, dit **parallèle inter-décodeur**, représenté à la **figure 11**, les trois décodeurs DC1, DC2 et DC3 fonctionnent simultanément dans le dispositif décodeur DCpir et traitent chacun une partie de trois fenêtres de décodage successives F_f , $F(f+1)$ et $F(f+2)$. Ainsi en parallèle, le décodeur DC1 résout les équations de parité de la fenêtre de décodage $F(f+2)$ définie par la matrice systématique H_C , le décodeur DC2 traite les équations de parité de la fenêtre de décodage $F(f+1)$ définies par la matrice de parité H_p et le décodeur DC3 vérifie les équations de parité de la fenêtre F_f définies par à la matrice systématique H_C .

Au cours du décodage parallèle inter-décodeur des équations de parité de la fenêtre $F(f+2)$ par le décodeur DC1 et des équations de parité de la fenêtre F_f par le décodeur DC3, une même première variable extrinsèque pourrait être impliquée dans les deux fenêtres, entraînant alors un conflit d'accès à la mémoire MR1. Pour pallier ce problème, la matrice de contrôle de parité H est construite de sorte que les variables de données impliquées dans la résolution des A équations de la fenêtre F_f , celles impliquées dans la résolution des A équations de la fenêtre $F(f+1)$ et celles impliquées dans la résolution des A équations de la fenêtre $F(f+2)$ soient différentes.

Ainsi, pour que l'algorithme de décodage converge plus rapidement tout en diminuant la latence du décodage et en évitant les problèmes d'accès simultanés à la mémoire MR1, les règles de construction de la matrice de contrôle de parité H relatives à l'ordonnancement parallèle inter-décodeur comprennent les première et deuxième règles définies pour le deuxième ordonnancement dit semi-parallèle et une troisième règle similaire à la deuxième règle.

Dans une colonne d'indice b de la matrice H_c correspondant à une variable de données,

1) les coefficients de permutation positifs associés aux matrices identités dans une même colonne de la matrice simplifiée S sont différents entre eux, soit :

$$\delta(a, b) \neq \delta(j, b);$$

2) la variable de données ne peut être traitée que pendant l'une de deux fenêtres successives ce qui est illustrée dans la matrice H_c par un seul élément "1" dans les lignes de ladite colonne relatives aux deux fenêtres successives, ou par deux coefficients de permutation quelconques dans ladite colonne de la matrice S ayant leur différence différente de 1 modulo z , où z est la taille de la matrice identité, soit :

$$\delta(a, b) \neq (1 + \delta(j, b)) \bmod z; \text{ et}$$

3) la variable de données ne peut être traitée que pendant l'une de trois fenêtres successives ce qui est illustrée dans la matrice H_c par un seul élément "1" dans les lignes de ladite colonne relatives aux trois fenêtres successives, ou par deux coefficients de permutation quelconques dans ladite colonne de la matrice S ayant leur différence différente de 2 modulo z , où z est la taille de la matrice identité, soit :

$$\delta(a, b) \neq (2 + \delta(j, b)) \bmod z;$$

$\forall a \neq j$ tels que $1 \leq a \leq A$ et $1 \leq j \leq A$, et $\forall b$ tel que $1 \leq b \leq B$, en référence à la figure 2c.

Le troisième ordonnancement maximise l'activité de chaque décodeur et augmente le débit de décodage d'une séquence de données du facteur suivant F_a :

$$F_a = 3 K / (K + 2 A)$$

avec K le nombre total de variables de données et A le nombre d'équations de parité dans une fenêtre de décodage.

L'architecture du dispositif décodeur DCpir mettant en œuvre l'ordonnancement parallèle inter-décodeurs et représentée à la figure 12 ne diffère de celles mettant en œuvre les ordonnancements série et semi-parallèle que par l'organisation de l'espace dans la mémoire MR1 permettant l'échange des premières variables extrinsèques relatives au décodage d'une fenêtre de décodage entre le décodeur DC1 et le décodeur DC3. La mémoire MR1 comprend trois espaces mémoires Mcv1, Mcv2 et Mcv3. L'espace mémoire Mcv1 est dédié à la mémorisation des premières variables extrinsèques déterminées par le décodeur DC1 lors du traitement d'une première fenêtre de décodage F_f . L'espace mémoire Mcv2 est dédié à la mémorisation des premières variables extrinsèques déterminées par le décodeur DC1 lors du traitement d'une deuxième fenêtre de décodage $F(f+1)$ succédant à la première fenêtre. L'espace mémoire Mcv3 est dédié à la mémorisation des premières variables extrinsèques déterminées par le décodeur DC1 lors du traitement d'une troisième fenêtre de décodage $F(f+2)$ succédant à la deuxième fenêtre. Lorsque la première fenêtre de décodage F_f a entièrement été traitée par les trois décodeurs, les premières variables extrinsèques relatives au traitement de la première fenêtre sont effacées de l'espace mémoire Mcv1. Ainsi lors du décodage d'une quatrième fenêtre de décodage $F(f+3)$, les premières variables extrinsèques déterminées par le décodeur DC1 sont mémorisées dans l'espace mémoire Mcv1 et ainsi de suite.

La lecture par le décodeur DC1 des variables de données intrinsèques m_{c1}^0 à m_{cK}^0 mémorisées dans

l'espace mémoire MC et intervenant dans le décodage de la fenêtre $F(f+2)$ et l'écriture des variables de vraisemblance m_{c1}^i à m_{cK}^i relatives à la fin de chaque itération i par le décodeur DC3 dans l'espace mémoire MC, pourrait conduire à un conflit d'accès à l'espace mémoire MC. Pour remédier à ce problème, une première réalisation consiste à utiliser une mémoire à double port permettant la lecture et l'écriture de variables simultanément, sous condition que les adresses de ces variables dans l'espace mémoire MC soient différentes. Cette condition est respectée lorsque les règles de construction de la matrice H sont satisfaites.

Une autre réalisation consiste à utiliser une mémoire simple port et à diviser l'espace mémoire MC en deux bancs de mémoire, un premier banc de mémoire mémorisant les variables de données intrinsèques m_{c1}^0 à m_{cK}^0 , et le deuxième banc de mémoire mémorisant les variables de vraisemblance m_{c1}^i à m_{cK}^i .

Selon le quatrième ordonnancement, dit **parallèle intra-décodeur**, représenté à la **figure 13**, chaque décodeur traite simultanément h fenêtres de décodage, le facteur h étant un sous-multiple entier du nombre de fenêtres de décodage z découpant la matrice H , l'activation de chaque décodeur DC1, DC2 et DC3 dans le dispositif décodeur DCpia se faisant en série. Le quatrième ordonnancement est représenté à la figure 14 selon un exemple pour lequel $2h = Az$.

L'architecture du dispositif de décodage DCpia mettant en oeuvre le quatrième ordonnancement comprend pour chaque décodeur DC1, DC2, DC3 du dispositif de décodage DCpia, h sous-décodeurs D11 à D1h, D21 à D2h, D31 à D3h, pour traiter simultanément les h

fenêtres de décodage, comme représenté à la figure 14.

L'ordonnancement parallèle intra-décodeur pourrait introduire une baisse de l'optimisation de la convergence de l'algorithme de décodage. Pour assurer une convergence rapide, une variable de données ne doit pas être impliquée plus d'une fois dans le groupe de $h \times A$ équations de parité. La règle de construction de la matrice de contrôle de parité est alors la suivante. Deux coefficients de permutation positifs associés aux matrices identités dans une même colonne d'indice b de la matrice simplifiée S doivent avoir leur différence différente de $\beta z/h$ modulo z , où z est la taille de la matrice identité et β est un entier compris entre 1 et h .

Cette règle de construction s'exprime par la relation suivante :

$$\delta(a, b) \neq (\delta(j, b) + \beta z/h) \bmod z,$$

$\forall a \neq j$ tels que $1 \leq a \leq A$ et $1 \leq j \leq A$, $\forall b$ tel que $1 \leq b \leq B$, et $\forall \beta \in [1, 2, \dots, h]$, en référence à la figure 2c.

A partir des différentes règles de construction énoncées, tout type d'ordonnancement associé à une architecture de décodeur peut être mis en œuvre. Par exemple, une matrice de contrôle de parité peut définir un ordonnancement parallèle inter-décodeur combiné à un ordonnancement parallèle intra-décodeur en respectant les règles de construction associées aux deux ordonnancements afin d'optimiser la convergence de l'algorithme de décodage et d'éviter des conflits d'accès mémoire.

L'invention décrite ici concerne une détermination d'un code au moyen d'une construction

de matrice de contrôle de parité, un codage et un dispositif encodeur pour coder un signal de données, un décodage et un dispositif décodeur pour décoder un signal de données codées. Selon une implémentation, les étapes du procédé de l'invention sont déterminées par les instructions de programmes d'ordinateur incorporés dans les dispositifs encodeur et décodeur. Les programmes comportent des instructions de programme qui, lorsque lesdits programmes sont exécutés respectivement dans le dispositif encodeur et le dispositif décodeur dont le fonctionnement est alors commandé par l'exécution des programmes, réalisent les étapes du codage et décodage selon l'invention.

En conséquence, l'invention s'applique également à des programmes d'ordinateur, notamment des programmes d'ordinateur enregistrés sur ou dans un support d'informations lisible par un ordinateur et tout dispositif de codage et de décodage de données, adapté à mettre en œuvre l'invention. Ces programmes peuvent utiliser n'importe quel langage de programmation, et être sous la forme de code source, code objet, ou de code intermédiaire entre code source et code objet tel que dans une forme partiellement compilée, ou dans n'importe quelle autre forme souhaitable pour implémenter le procédé selon l'invention.

Le support d'informations peut être n'importe quelle entité ou dispositif capable de stocker les programmes. Par exemple, le support peut comporter un moyen de stockage ou support d'enregistrement sur lequel sont enregistrés les programmes d'ordinateur selon l'invention, tel qu'une ROM, par exemple un CD ROM ou une ROM de circuit microélectronique, ou encore une clé USB, ou un moyen d'enregistrement

magnétique, par exemple une disquette (floppy disc) ou un disque dur.

D'autre part, le support d'informations peut être un support transmissible tel qu'un signal électrique ou optique, qui peut être acheminé via un câble électrique ou optique, par radio ou par d'autres moyens. Les programmes selon l'invention peuvent être en particulier téléchargés sur un réseau de type internet.

Alternativement, le support d'informations peut être un circuit intégré dans lequel les programmes sont incorporés, le circuit étant adapté pour exécuter ou pour être utilisé dans l'exécution du procédé selon l'invention.

REVENDEICATIONS

1 - Procédé de détermination de code au moyen d'une construction d'une matrice de contrôle de parité (H) composée d'une matrice systématique (H_C) et d'une matrice de parité (H_P) et dont les lignes correspondent respectivement à des coefficients d'équations de parité ($eq1 - eqM$) et sont réparties en des fenêtres de décodage ($F1 - Fz$) de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, caractérisée en ce que les éléments d'au moins une colonne de la matrice systématique associés à une fenêtre de décodage (Ff) sont des "0" à l'exception d'un seul qui est un "1".

2 - Procédé de détermination de code conforme à la revendication 1, selon laquelle la matrice systématique (H_C) est constituée de matrices identités permutées de même taille respectivement ($I(a,b)$) associées à des coefficients de permutation ($\delta(a,b)$), et les coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique sont différents.

3 - Procédé de détermination de code conforme à la revendication 1, selon laquelle la matrice systématique (H_C) est constituée de matrices identités permutées de même taille respectivement ($I(a,b)$) associées à des coefficients de permutation ($\delta(a,b)$), les coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique sont différents, et deux coefficients de permutation quelconques dans ladite

colonne ont une différence différente de 1 modulo la taille des matrices identités.

4 - Procédé de détermination de code conforme à la revendication 1, selon laquelle la matrice systématique (H_C) est constituée de matrices identités permutées de même taille respectivement ($I(a,b)$) associées à des coefficients de permutation ($\delta(a,b)$), les coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique sont différents, deux coefficients de permutation quelconques dans ladite colonne ont une différence différente de 1 modulo la taille des matrices identités, et deux coefficients de permutation quelconques dans ladite colonne ont une différence différente de 2 modulo la taille des matrices identités.

5 - Procédé de détermination de code conforme à la revendication 1, selon laquelle la matrice systématique (H_C) est constituée de matrices identités permutées de même taille respectivement ($I(a,b)$) associées à des coefficients de permutation ($\delta(a,b)$), et deux coefficients de permutation associés aux matrices identités dans une même colonne de la matrice systématique ont leur différence différente de $\beta z/h$ modulo z , où h est un sous-multiple entier de la taille des matrices identités z et β est un entier compris entre 1 et h .

6 - Procédé de détermination de code conforme à l'une des revendications 2 à 5, selon laquelle la matrice systématique (H_C) est constituée en outre de matrices carrées nulles de même taille que les matrices identités, chaque colonne de la matrice

systematique comportant au moins une matrice identité.

7 - Procédé de détermination de code conforme à l'une des revendications 1 à 6, selon laquelle la matrice de parité (H_p) est constituée de matrices identités (I) de même taille disposées bi-diagonalement et d'une matrice identité permutée non circulairement (I_p) de même taille que les autres matrices identités de la matrice de parité.

8 - Procédé de codage d'un signal incluant des variables de données (ck) en un signal incluant les variables de données et des variables de parité (pm), comprenant une résolution d'équations de parité ($eq1 - eqM$) dont les coefficients correspondent respectivement aux lignes d'une matrice de contrôle de parité (H) composée d'une matrice systématique (H_c) et d'une matrice de parité (H_p) et qui sont réparties en des fenêtres de décodage ($F1 - Fz$) de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, caractérisé en ce que les éléments d'au moins une colonne de la matrice systématique associés à une fenêtre de décodage (Ff) sont des "0" à l'exception d'un seul qui est un "1".

9 - Procédé de décodage d'un signal de données codées incluant des variables de données (ck) et des variables de parité (pm), fondé sur une matrice de contrôle de parité (H) composée d'une matrice systématique (H_c) et d'une matrice de parité (H_p) et dont les lignes correspondent respectivement à des coefficients d'équations de parité ($eq1 - eqM$) et sont réparties en des fenêtres de décodage ($F1 - Fz$) de

même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, caractérisé en ce qu'il comprend une résolution simultanée (E5, E6, E7) des équations de parité (eq_f à $eq_{(B-1)z+f}$) d'au moins une fenêtre de décodage (Ff) dont les éléments dans au moins une colonne de la matrice systématique sont des "0" à l'exception d'un seul qui est un "1", une variable de données n'étant impliquée que dans l'une des équations de parité de la fenêtre de décodage et n'étant pas impliquée dans la résolution d'équation de parité d'autres fenêtres de décodage tant que la résolution des équations de parité de la fenêtre de décodage n'est pas terminée.

10 - Procédé de décodage conforme à la revendication 9, selon lequel les variables de données (ck) qui sont impliquées dans les équations de parité de la fenêtre de décodage ne sont impliquées chacune que dans l'une des équations de parité de la fenêtre de décodage, et ne sont pas impliquées dans la résolution d'équations de parité d'autres fenêtres de décodage tant que la résolution des équations de parité de la fenêtre de décodage n'est pas terminée.

11 - Procédé de décodage conforme à la revendication 9 ou 10, caractérisé en ce qu'il est itératif et comprend un traitement de toutes les fenêtres de décodage (F1 à Fz) pour chaque itération (i), et

le traitement d'une fenêtre de décodage (Ff) comprend les trois étapes suivantes :

une résolution (E5) des équations de la fenêtre de décodage associées à la matrice systématique (H_C)

pour déterminer des premières variables extrinsèques ($m1_{ck,vm}^i$) en fonction des variables de données (ck) et de deuxièmes variables extrinsèques ($m2_{vm,ck}^{i-1}$) déterminées lors de l'itération précédente (i-1), et une détermination de premières variables intermédiaires ($V1_{vm}^i$) en dépendance de la matrice systématique et des premières variables extrinsèques déterminées;

une résolution (E6) des équations de parité de la fenêtre de décodage associées à la matrice de parité (H_p) en fonction des premières variables intermédiaires et des variables de parité (pm) pour obtenir des deuxièmes variables intermédiaires ($V2_{vm}^i$), et

une résolution (E7) des équations de parité de la fenêtre de décodage associées à la matrice systématique pour déterminer des deuxièmes variables extrinsèques ($m2_{vmck}^i$) en fonction des deuxièmes variables intermédiaires et des premières variables extrinsèques, et

à chaque itération de décodage (i), estimer (E10) d'autres variables de données (m_{ck}^i) en fonction des variables de données du signal de données codées et des deuxièmes variables extrinsèques déterminées lors du traitement de toutes les fenêtres de décodage.

12 - Dispositif encodeur pour coder un signal incluant des variables de données (ck) en un signal incluant les variables de données et des variables de parité (pm), comprenant des moyens (CD1, CD2) pour résoudre des équations de parité (eq1 - eqM) dont les coefficients correspondent respectivement aux lignes d'une matrice de contrôle de parité (H) composée d'une matrice systématique (H_C) et d'une matrice de

parité (H_p) et qui sont réparties en des fenêtres de décodage ($F_1 - F_z$) de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, caractérisé en ce que les éléments d'au moins une colonne de la matrice systématique associés à une fenêtre de décodage (F_f) sont des "0" à l'exception d'un seul qui est un "1".

13 - Dispositif décodeur pour décoder un signal de données codées incluant des variables de données (ck) et des variables de parité (pm), fondé sur une matrice de contrôle de parité (H) composée d'une matrice systématique (H_c) et d'une matrice de parité (H_p) et dont les lignes correspondent respectivement à des coefficients d'équations de parité ($eq_1 - eq_M$) et sont réparties en des fenêtres de décodage ($F_1 - F_z$) de même taille, les lignes de même rang dans les fenêtres de décodage étant successives dans la matrice de contrôle de parité, caractérisé en ce qu'il comprend des moyens (DC_1, DC_2, DC_3) pour résoudre simultanément des équations de parité (eq_f à $eq_{(B-1)z+f}$) d'au moins une fenêtre de décodage (F_f) dont les éléments dans au moins une colonne de la matrice systématique sont des "0" à l'exception d'un seul qui est un "1", une variable de données n'étant impliquée que dans l'une des équations de parité de la fenêtre de décodage et n'étant pas impliquée dans la résolution d'équation de parité d'autres fenêtres de décodage tant que la résolution des équations de parité de la fenêtre de décodage n'est pas terminée.

14 - Dispositif décodeur conforme à la revendication 13, caractérisé en ce que, pour traiter itérativement toutes les fenêtres de décodage (F_1 à

Fz), les moyens pour résoudre comprennent pour exécuter chaque itération de décodage (i) :

un moyen (DC1) pour résoudre des équations de la fenêtre de décodage associées à la matrice systématique (H_c) afin de déterminer des premières variables extrinsèques ($m1_{ck,vm}^i$) en fonction des variables de données (ck) et de deuxièmes variables extrinsèques ($m2_{vm,ck}^{i-1}$) déterminées lors de l'itération précédente (i-1),

un moyen (DC1) pour déterminer des premières variables intermédiaires ($V1_{vm}^i$) en dépendance de la matrice systématique et des premières variables extrinsèques déterminées;

un moyen (DC2) pour résoudre les équations de parité de la fenêtre de décodage associées à la matrice de parité (H_p) en fonction des premières variables intermédiaires et des variables de parité (pm) afin d'obtenir des deuxièmes variables intermédiaires ($V2_{vm}^i$), et

un moyen (DC3) pour résoudre les équations de parité de la fenêtre de décodage associées à la matrice systématique pour déterminer des deuxièmes variables extrinsèques ($m2_{vmck}^i$) en fonction des deuxièmes variables intermédiaires et des premières variables extrinsèques, et

à chaque itération de décodage (i), un moyen (DC3) pour estimer d'autres variables de données (m_{ck}^i) en fonction des variables de données du signal de données codées et des deuxièmes variables extrinsèques déterminées lors du traitement de toutes les fenêtres de décodage.

15 - Programme d'ordinateur téléchargeable depuis un réseau de communication et/ou stocké sur un support lisible par ordinateur et/ou exécutable par

un processeur, caractérisé en ce qu'il comprend des instructions pour la mise en œuvre du procédé de codage d'un signal incluant des variables de données conforme à la revendication 8.

16 - Programme d'ordinateur téléchargeable depuis un réseau de communication et/ou stocké sur un support lisible par ordinateur et/ou exécutable par un processeur, caractérisé en ce qu'il comprend des instructions pour la mise en œuvre du procédé de décodage d'un signal de données codées conforme à l'une des revendications 9 à 11.

17 - Support d'enregistrement lisible par un dispositif encodeur, caractérisé en ce que sur ledit support d'enregistrement est enregistré un programme d'ordinateur comportant des instructions qui, lorsque le programme est chargé et exécuté dans ledit dispositif encodeur, réalisent le procédé de codage d'un signal incluant des variables de données conforme à la revendication 8.

18 - Support d'enregistrement lisible par un dispositif décodeur, caractérisé en ce que sur ledit support d'enregistrement est enregistré un programme d'ordinateur comportant des instructions qui, lorsque le programme est chargé et exécuté dans ledit dispositif décodeur, réalisent le procédé de décodage d'un signal de données codées conforme à l'une des revendications 9 à 11.

1/11
FIG. 1

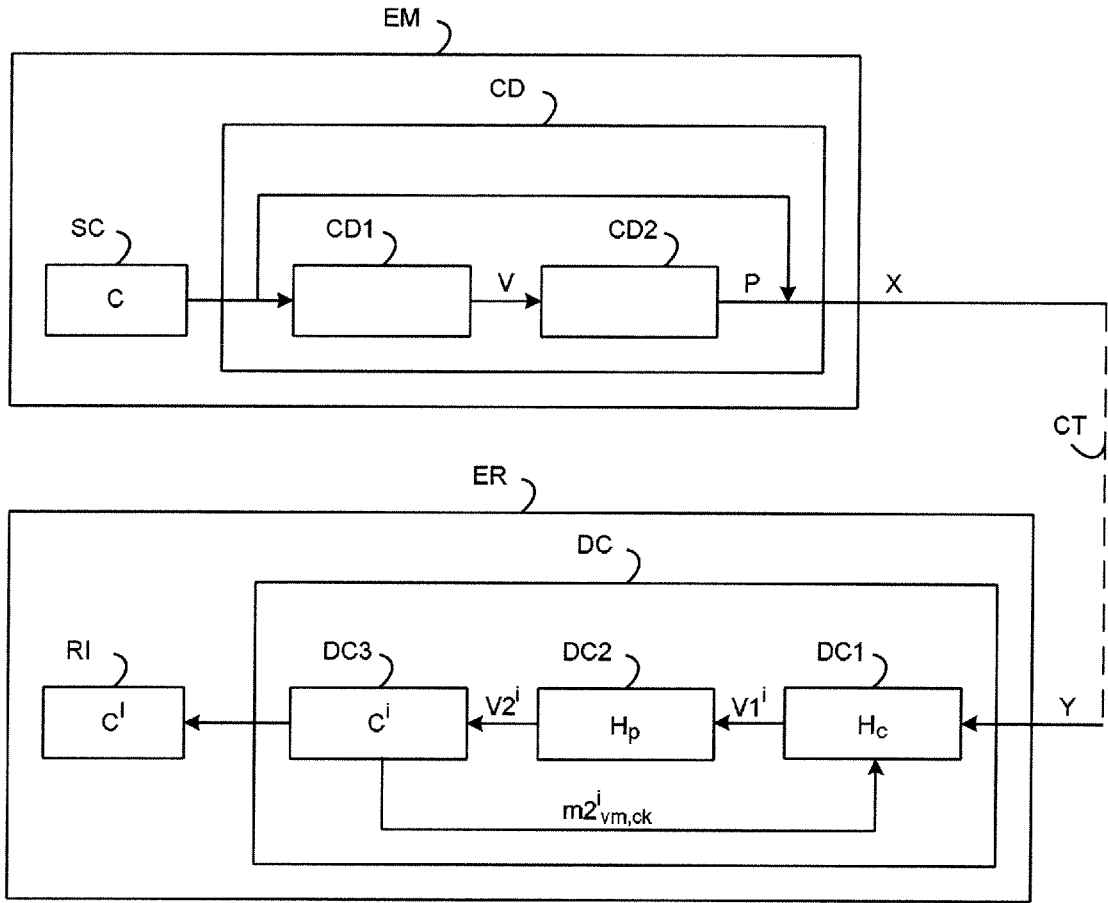


FIG. 2a

$$H = \begin{bmatrix}
 c_1 & c_2 & c_3 & \dots & c_k & c_{k+1} & \dots & c_K & p_1 & p_2 & \dots & p_m & \dots & p_M \\
 1 & 0 & 1 & \dots & 0 & 1 & \dots & 0 & 1 & 0 & \dots & 0 & \dots & 0 \\
 1 & 1 & 0 & \dots & 0 & 0 & \dots & 1 & 0 & 1 & \dots & 1 & \dots & 0 \\
 \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\
 0 & 1 & 0 & \dots & 1 & 0 & \dots & 1 & 1 & 0 & \dots & 1 & \dots & 0 \\
 \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\
 0 & 0 & 1 & \dots & 1 & 1 & \dots & 0 & 0 & 1 & \dots & 0 & \dots & 1
 \end{bmatrix} \begin{matrix} \text{eq1} \\ \text{eq2} \\ \\ \text{eqm} \\ \\ \text{eqM} \end{matrix}$$

$\underbrace{\hspace{15em}}_{H_c} \qquad \underbrace{\hspace{15em}}_{H_p}$

FIG. 2b

$$H_c = \begin{bmatrix} l(1,1) & l(1,2) & \dots & l(1,b) & \dots & l(1,B) \\ l(2,1) & l(2,2) & \dots & l(2,b) & \dots & l(2,B) \\ \vdots & \vdots & & \vdots & & \vdots \\ l(a,1) & l(a,2) & \dots & l(a,b) & \dots & l(a,B) \\ \vdots & \vdots & & \vdots & & \vdots \\ l(A,1) & l(A,2) & \dots & l(A,b) & \dots & l(A,B) \end{bmatrix}$$

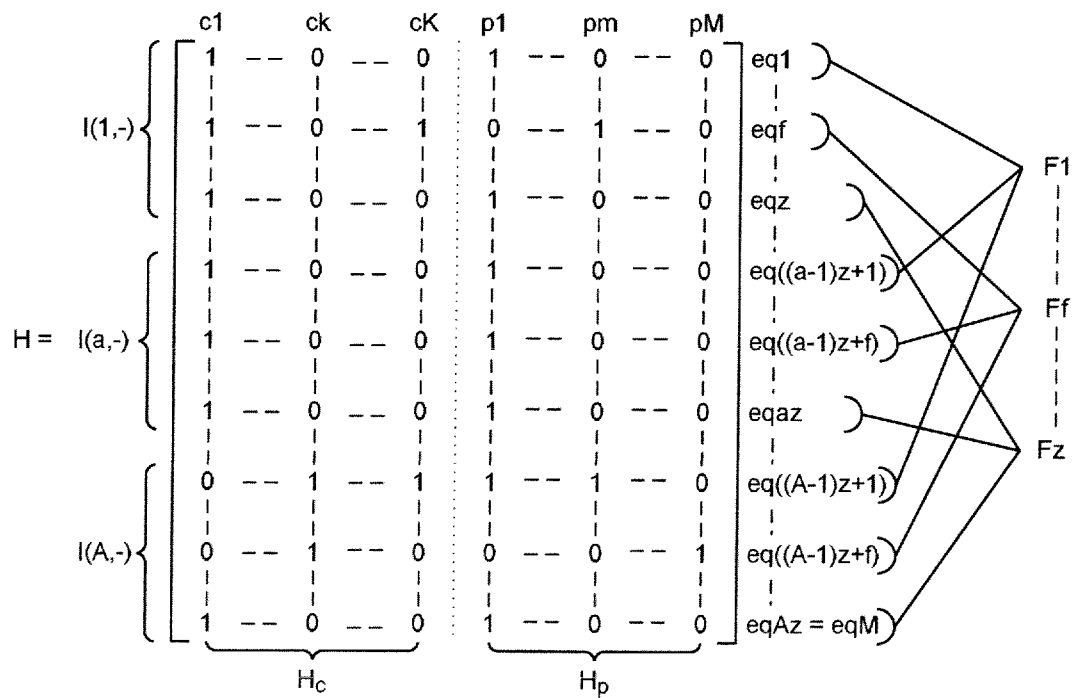
FIG. 2c

$$H_p = \begin{bmatrix} | & 0 & \dots & 0 & 0 & \dots & | p(1,B) \\ \vdots & \vdots & & \vdots & & & \vdots \\ 0 & \vdots & & 0 & & & \vdots \\ \vdots & \vdots & & \vdots & & & \vdots \\ 0 & \vdots & & 0 & & & \vdots \\ \vdots & \vdots & & \vdots & & & \vdots \\ 0 & \dots & 0 & 0 & 0 & \dots & | \end{bmatrix}$$

FIG. 2d

$$S = \begin{bmatrix} \delta(1,1) & \delta(1,2) & \dots & \delta(1,b) & \dots & \delta(1,B) \\ \delta(2,1) & \delta(2,2) & \dots & \delta(2,b) & \dots & \delta(2,B) \\ \vdots & \vdots & & \vdots & & \vdots \\ \delta(a,1) & \delta(a,2) & \dots & \delta(a,b) & \dots & \delta(a,B) \\ \vdots & \vdots & & \vdots & & \vdots \\ \delta(A,1) & \delta(A,2) & \dots & \delta(A,b) & \dots & \delta(A,B) \end{bmatrix}$$

FIG. 2e



3/11

FIG. 3

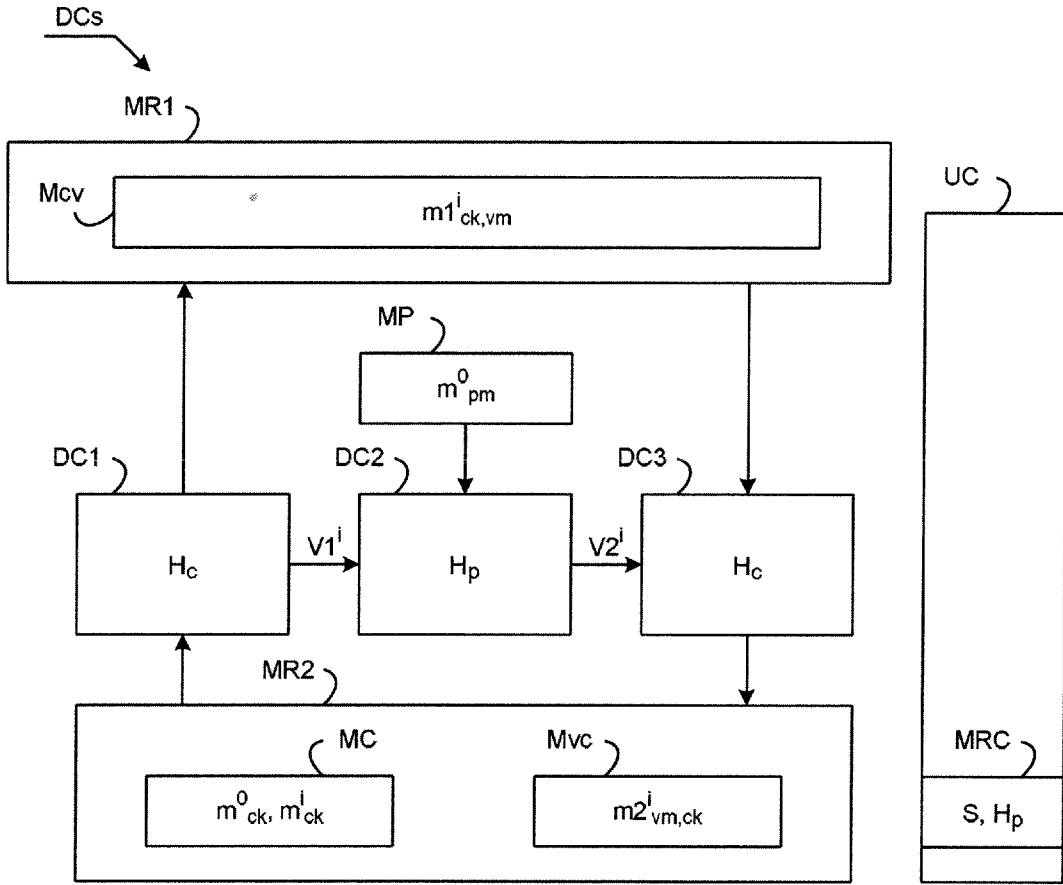
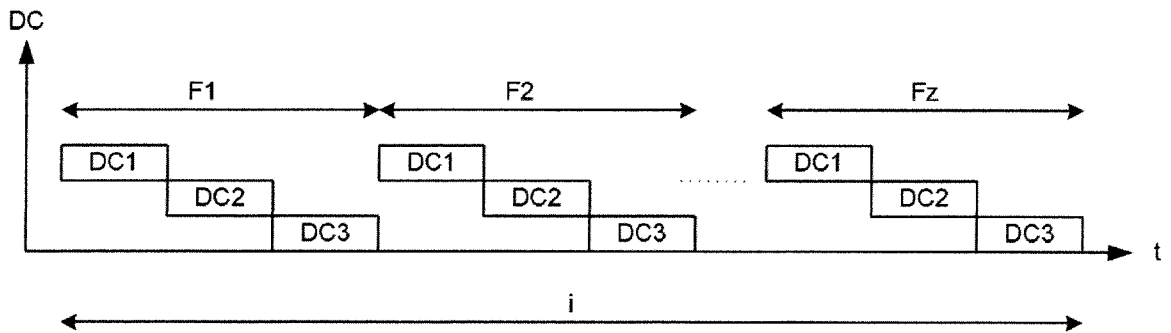


FIG. 4



4/11

FIG. 5

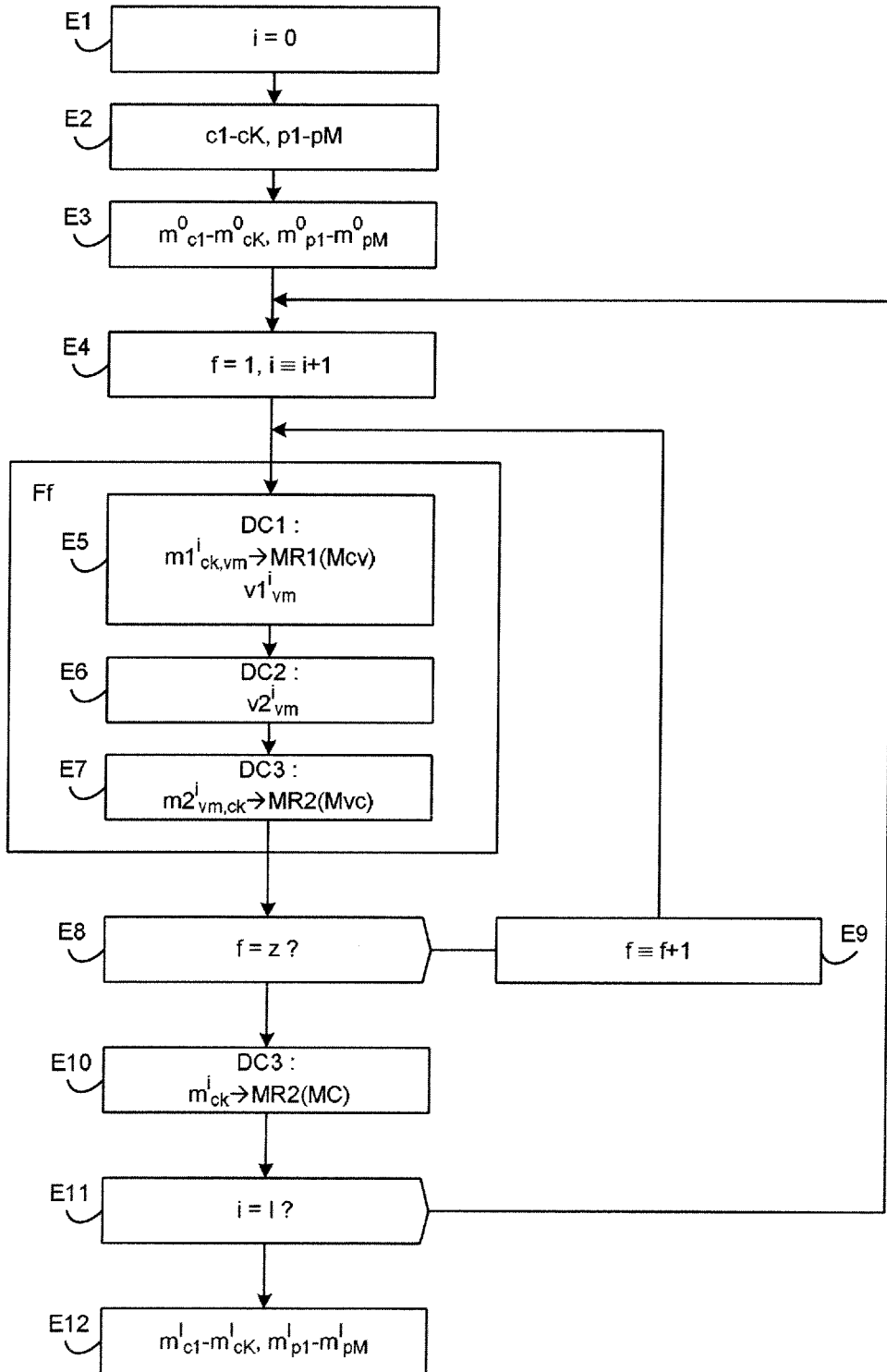


FIG. 6

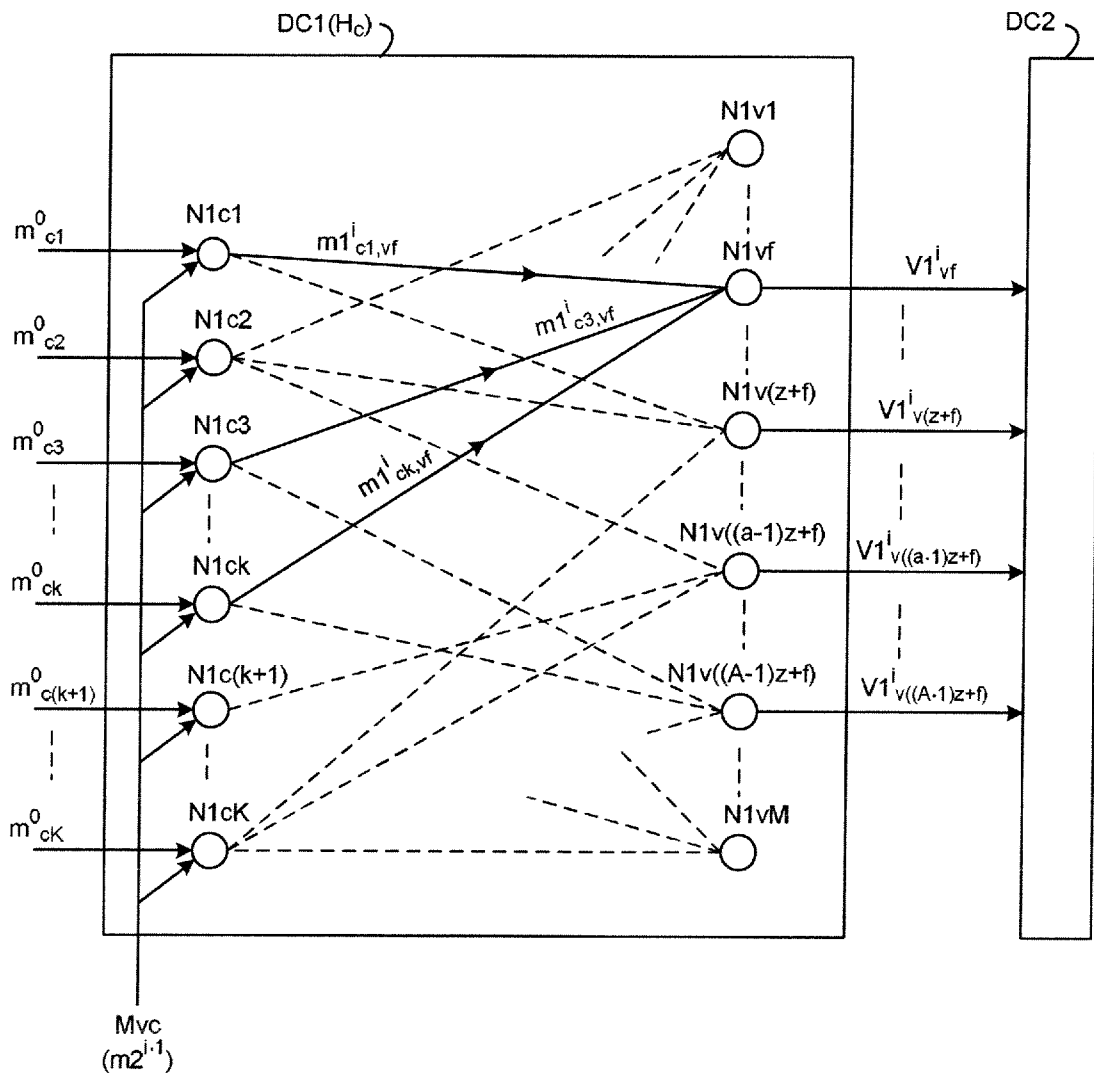


FIG. 7

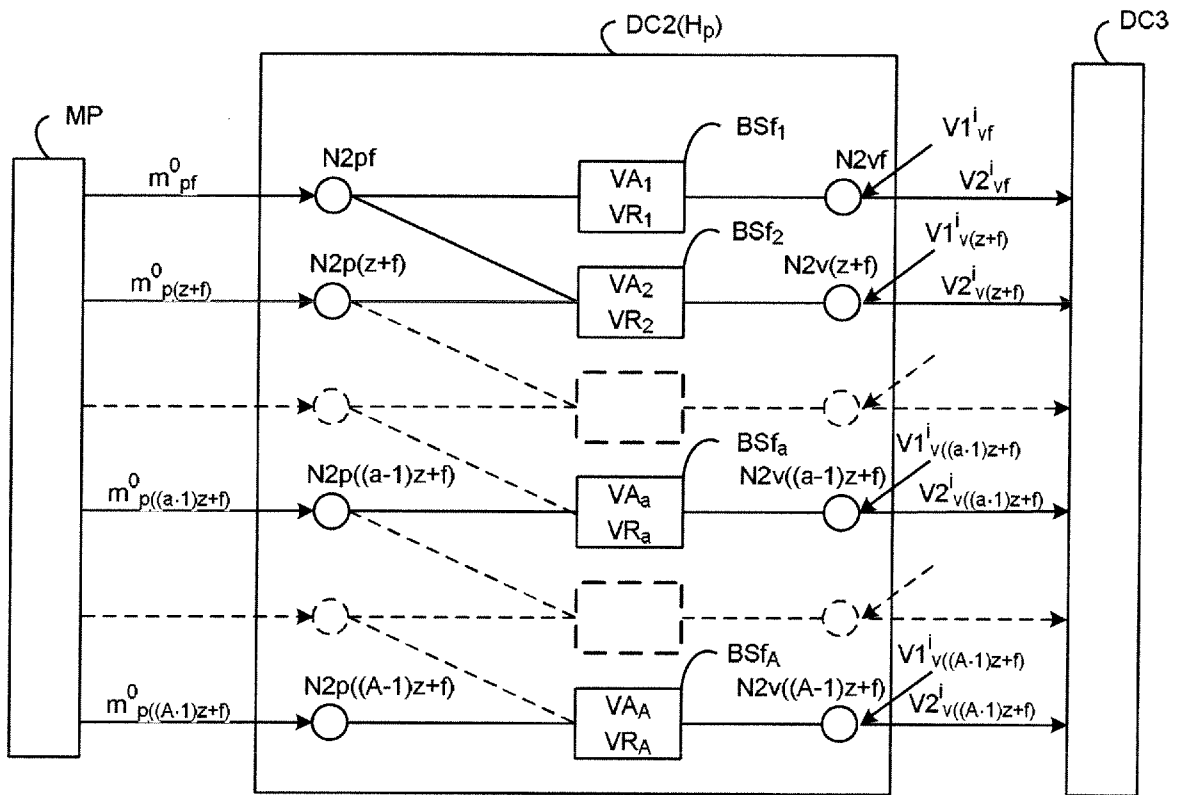
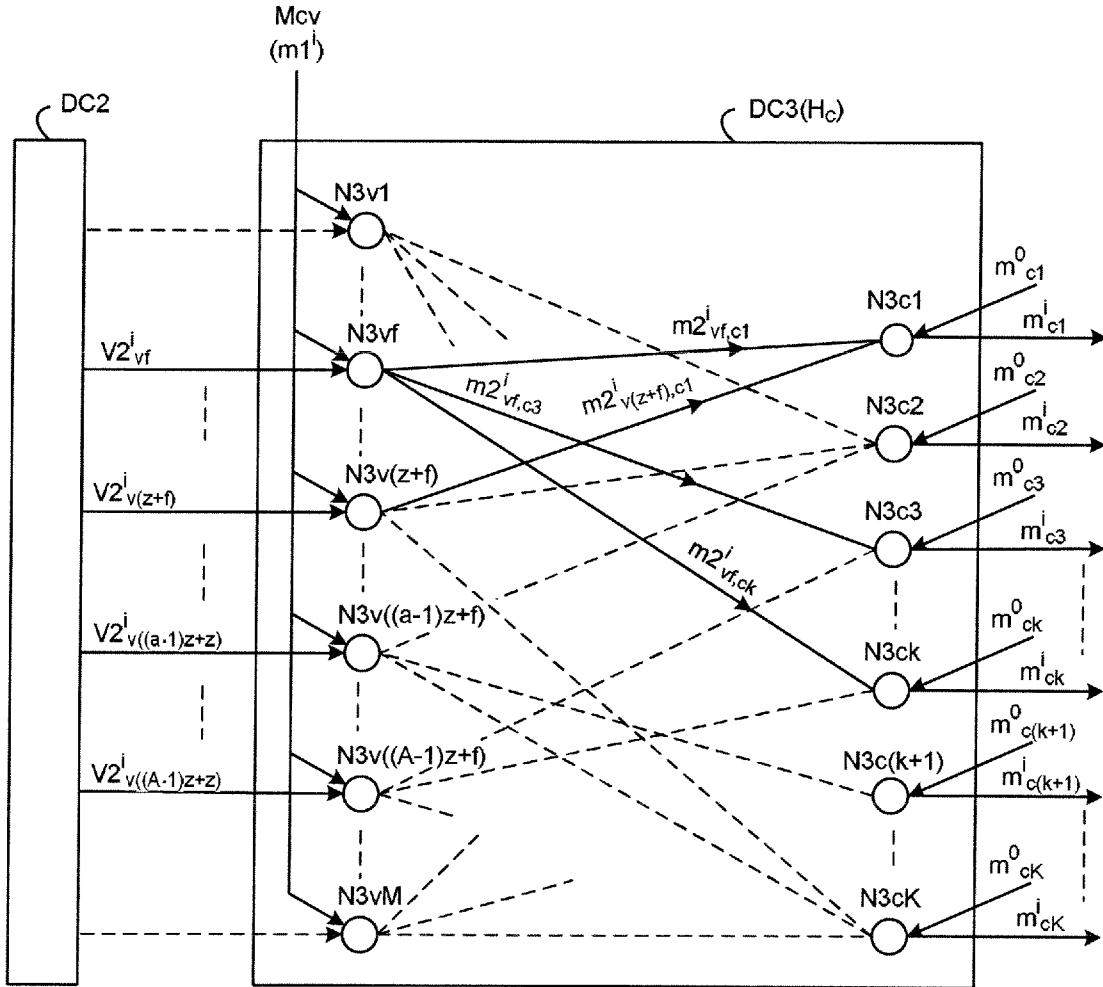


FIG. 8



8/11

FIG. 9

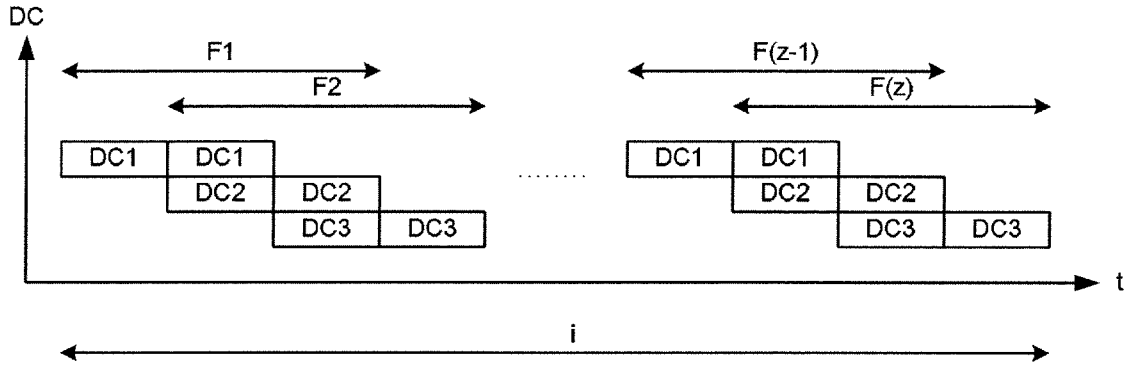
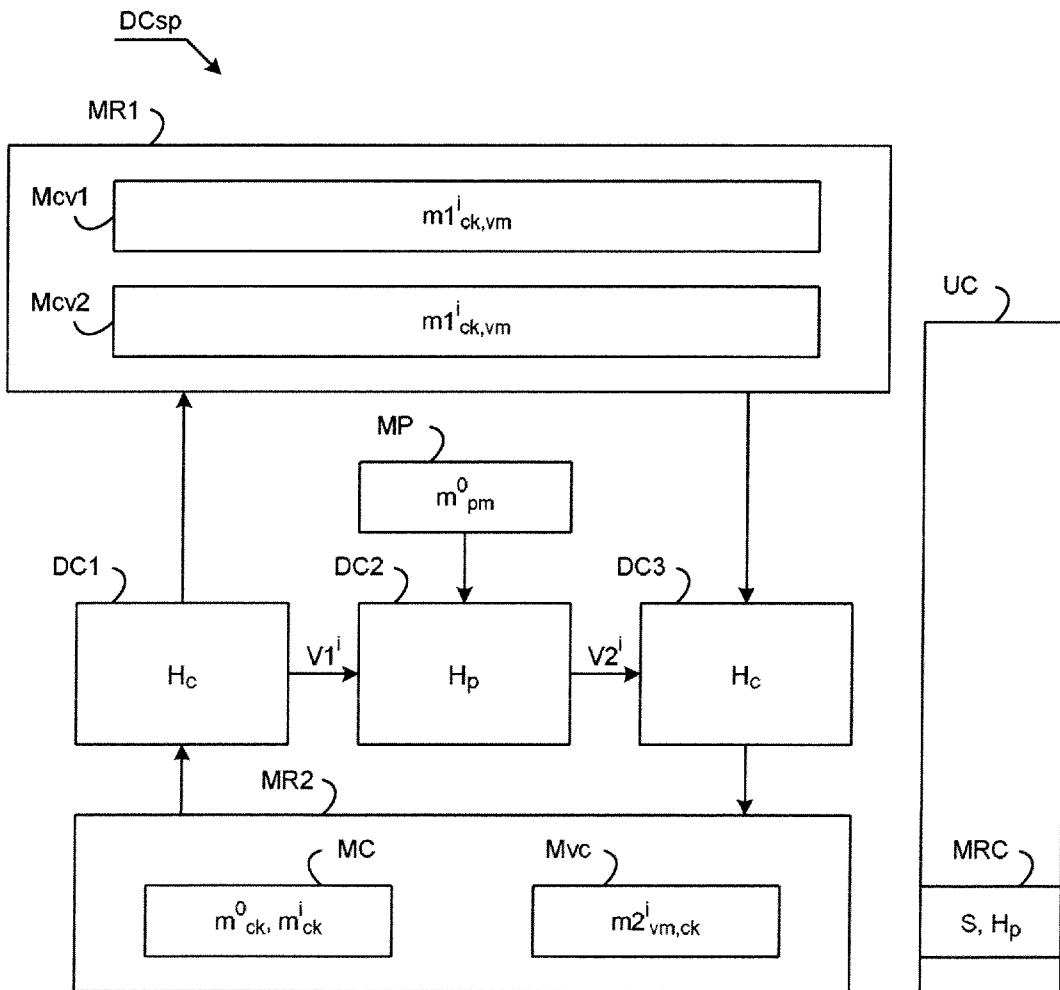


FIG. 10



9/11

FIG. 11

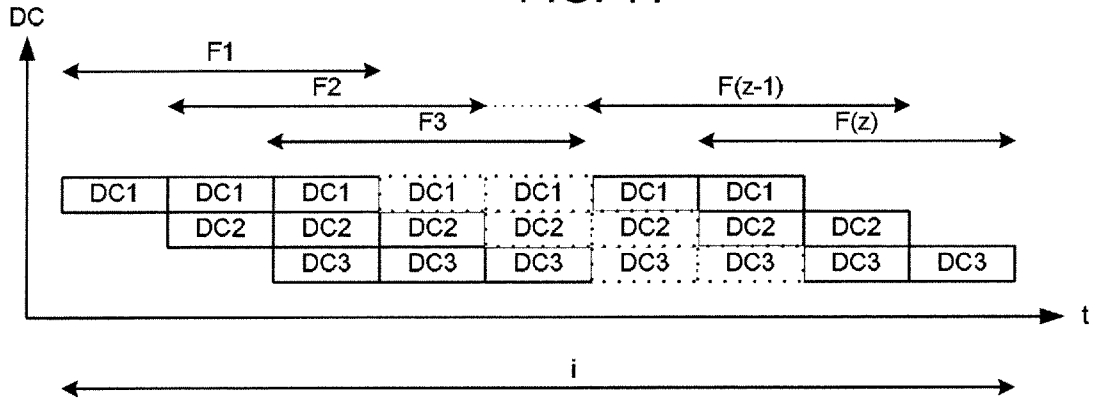


FIG. 12

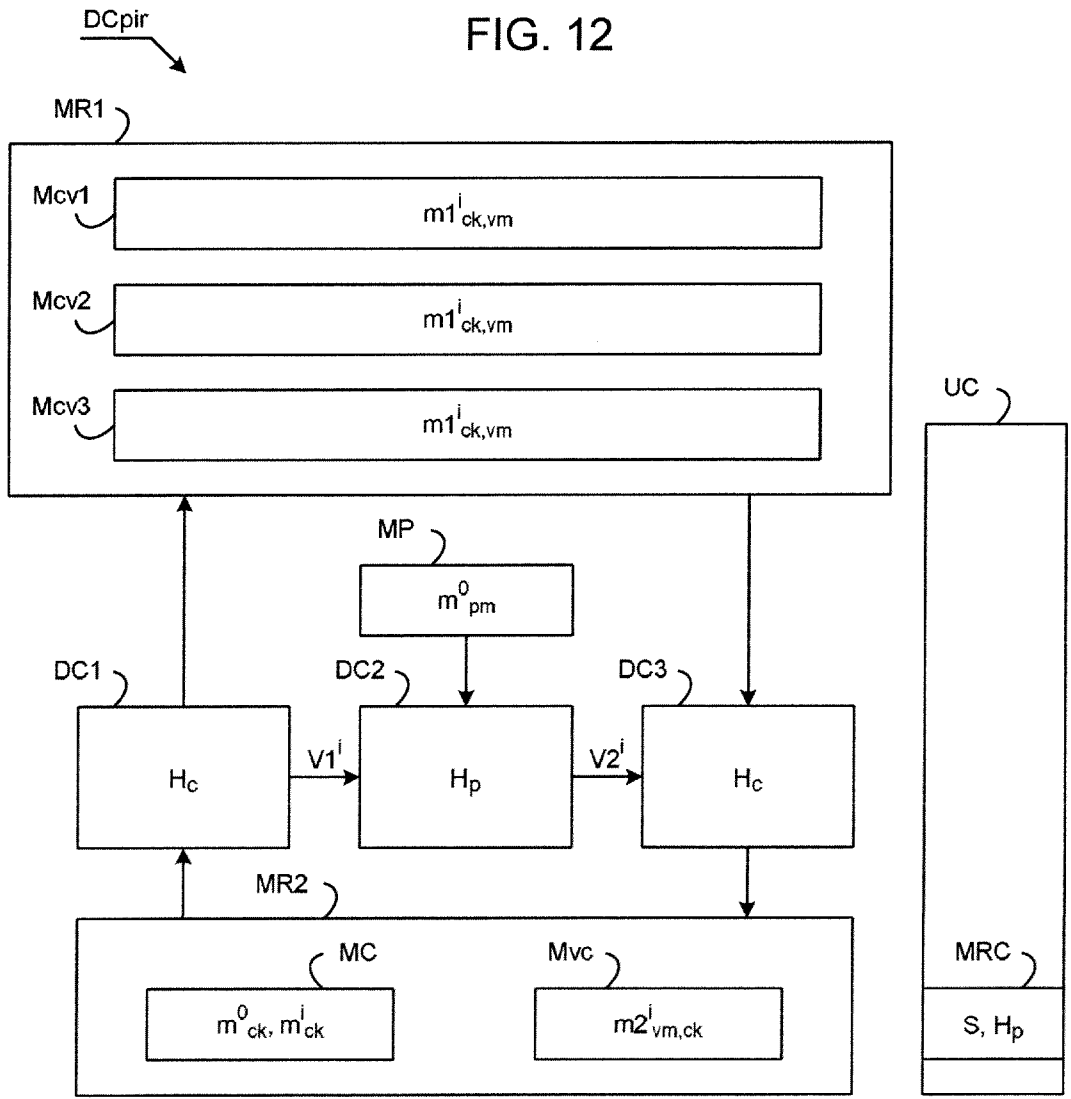
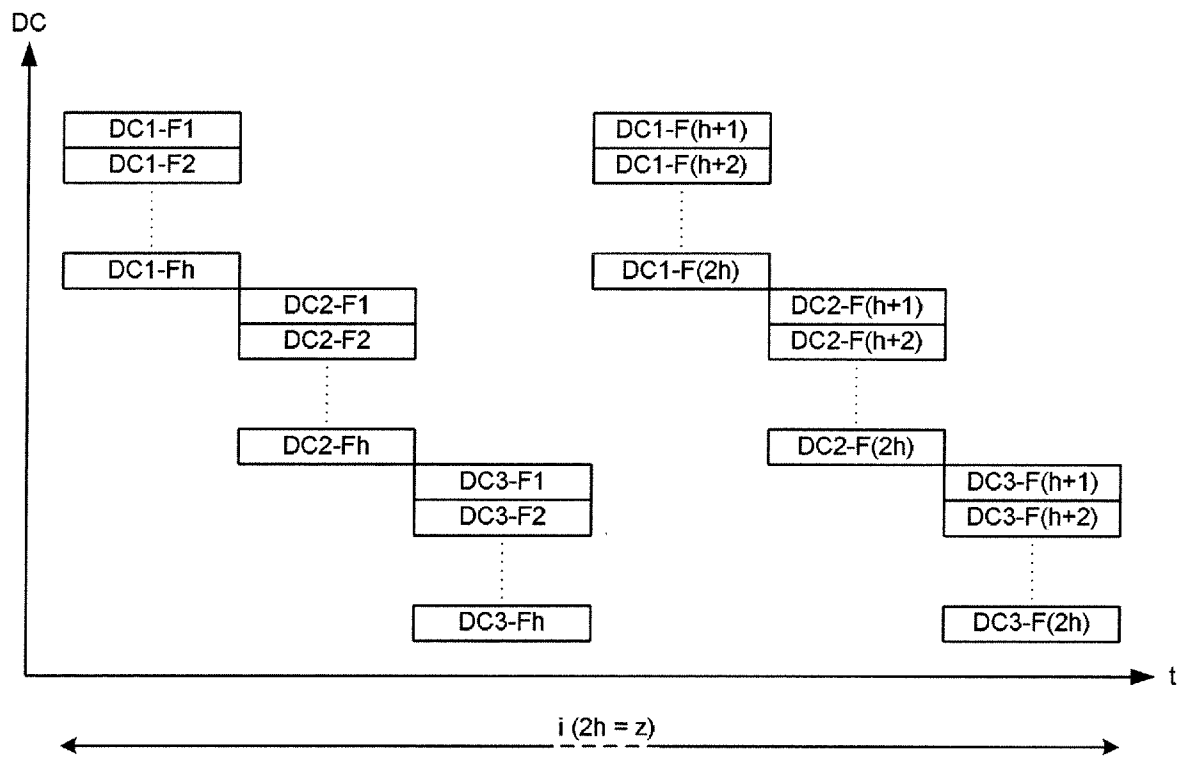


FIG. 13



11/11

FIG. 14

