

申請日期	91 年 9 月 24 日
案 號	91121903
類 別	H01L 23/60

A4
C4

(以上各欄由本局填註)

558802

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	薄膜基板，半導體裝置，薄膜基板之製造方法，半導體裝置之製造方法，及附加半導體裝置之電路基板之製造方法
	英 文	
二、發明 創作人	姓 名	(1) 橫井哲哉
	國 籍	(1) 日本國東京都豐島區巢鴨四－四〇－七
三、申請人	住、居所	
	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國東京都港區芝浦一丁目一番一號
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 岡村正

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2001 年 9 月 27 日 2001-297041 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

[發明的領域]

本發明是有關預定加載半導體裝置晶片的薄膜基板，半導體裝置，薄膜基板的製造方法，半導體裝置的製造方法，及附加半導體裝置的電路基板的製造方法。

[相關技術的說明]

茲參照圖18A與圖18B至圖22至圖22B以說明形成有導電性圖案 (pattern) 的絕緣薄膜上加載半導體裝置晶片的先前技術的一例。

圖18A為表示半導體裝置晶片1 (半導體積體電路裝置晶片等) 的外觀的斜視圖，圖18B為沿著圖18A的B-B線的剖面圖。在半導體裝置晶片1表面形成多個螺栓凸起 (stud bump) 2以做為外部端子 (external terminal) 。

圖19A為表示形成有導電性圖案 (佈線圖案 (wiring pattern) 4的帶狀絕緣薄膜3的平面圖，圖19B為沿著圖19A的B-B線的剖面圖。圖示於圖19A及圖19B的構造是將以粘著劑5粘貼於絕緣薄膜3 (厚度25至75 μm 左右) 上的導電性金屬箔 (例如，厚度為35 μm 左右的銅箔或鋁箔) 以平版印刷術 (lithography) 及蝕刻法形成圖案 (patterning) 而得。

然後，如圖20A及圖20B所示，在以上法製及的附加導電性圖案4的絕緣性薄膜3表面的晶片加載區域粘貼各向異性導電樹脂 (anisotropic conductive resin) 6。接著，如圖21A及圖21B所示，利用倒裝晶片法 (flip chip method) 在各向異性導電樹脂6上面加載半導體裝置晶片1。如此一來，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

即製及帶狀薄膜基板 (substrate) 。

然後，如圖 22A 所示，壓機裝置等由帶狀薄膜基板分離特定的形狀。藉此，如圖 22B 所示，即製及薄膜基片。

如此製成的薄膜基片是以下述方法被封裝於 PCB (印刷電路板) 或 FPC (柔性印刷電路板) 中。

首先，如圖 23A 及圖 23B 所示，在形成有被動零件 (passive element) 7 及連接端子 9 等的電路基板 8 上粘貼導電性粘著劑 10。導電性粘著劑 10 可以使用各向異性導電樹脂。

接著，如圖 24 所示，利用吸附模具 (adsorption jig) 11 在圖 22A 及圖 22B 的工程中所製及的薄膜基片載置於電路基板 8 上面，並藉由導電性粘著劑連接形成於薄膜基板片的導電性圖案 4 與形成於電路基板 8 的連接端子 9。連接時，是利用熱壓桿 (thermo-compressing bonding) 模具 12 進行熱壓桿 (200℃，20 秒左右)。

可是，上述的先前方法中，要由帶狀薄膜基片分離薄膜基片並將被分離的薄膜基片加載於電路基板時，有下面的問題。

亦即，因為必須分別處理各薄膜基片，所以薄膜基片的處理困難。因此，不易提升自動化的生產力。另外，如果縮小薄膜基片的尺寸，就無法附設吸附模具 11 與熱壓焊模具 12。因此，如圖 25A 與圖 25B 所示，必須進行兩階段的工程，連帶地增加工程。另外，如圖 2b 所示，有導電性粘著劑 10 由薄膜基片的周緣部擠出而附著於例如熱

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

壓焊模具 12 的可能。為防止此種情形，非將薄膜基片增大不可，以致違反小型化的要求。

如上所述，在先前技術中，在由帶狀薄膜基板分離薄膜基片之後必須將薄膜基片加載於電路基板上，因此，有處理困難，不易小型化及生產力不良的問題。

另一方面，在特開平 3-84955 號公報及特開平 6-53288 號公報中，揭示了加載有半導體裝置晶片的帶狀薄膜基板上事先形成切槽 (slit) 的技術。在切槽內側的區域設有半導體裝置晶片及連接到半導體裝置晶片的導電性圖案。由於事先形成切槽而使薄膜基片容易帶狀薄膜基板分離。

可是，揭示於該等先前技術的方法中，切槽內側的區域與切槽外側的區域是僅靠鄰接的切槽間的部分相連。亦即，分離前，切槽內側的領域是僅靠切槽間的部分保持。因此，有切槽內側的區域的保持強度弱，帶狀薄膜基板的處理不容易的問題。

[發明的概要]

本發明的第 1 形態為一種薄膜基板，具備：

在未來要分離的區域的外周緣上具有切槽部且加載有半導體裝置晶片的絕緣薄膜，以及形成於上述絕緣薄膜，橫貫切槽部並連接到上述半導體裝置晶片的外部端子的導電性圖案。

本發明的第 2 形態為一種半導體裝置，具備：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

在未來要分離的區域的外周緣上具有切槽的絕緣薄膜，形成於上述絕緣薄膜上並且橫貫上述切槽部的導電性圖案，以及加載於上述絕緣薄膜上而具有電性上連接到上述導電性圖案的外部端子的半導體裝置晶片。

本發明的第3形態為薄膜基板的製造方法，包括：

準備加載半導體裝置晶片的絕緣薄膜，在上述絕緣薄膜的未來被分離的區域的外周線上形成切槽的工程，以及在上述絕緣薄膜上形成橫貫上述切槽部並連接到上述半導體裝置晶片的外部端子的導電性圖案的工程。

本發明的第4形態為半導體裝置的製造方法，具備：

準備加載半導體裝置晶片的絕緣薄片的工程，在上述絕緣薄膜的未來要分離的區域的外周線上形成切槽部的工程，在上述絕緣薄片上形成橫貫上述切槽部的導電性圖案的工程，以及在上述絕緣薄膜上加載半導體裝置晶片，並在上述導電性圖案上以電性方法連接上述半導體裝置晶片的外部端子。

本發明的第5形態為附加半導體裝置的電路基板的製造方法，包括：

準備加載半導體裝置晶片的絕緣薄膜的工程，在上述絕緣薄膜的未來要分離的第1區域的外周線上形成切槽的工程，在上述絕緣薄膜上形成橫貫上述切槽的導電性圖案的工程，在上述絕緣薄膜上加載半導體裝置晶片，並將上述半導體裝置晶片的外部端子連接到上述導電性圖案的工程，至少將加載上述半導體裝置晶片的絕緣薄膜的上述第1區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

的一部分粘接於電路基板的工程，以及將上述第1區域的外側的第2區域由第1區域分離，並將上述第1區域留在上述電路基板上的工程。

[圖式之簡單說明]

圖1A及圖1B為用於說明本發明的實施形態的製造方法的圖。

圖2A至圖2C為用於說明本發明的實施形態的製造方法的圖。

圖3A及圖3B為用於說明本發明的實施形態的製造方法的圖。

圖4A及圖4B為用於說明本發明的實施形態的製造方法的圖。

圖5A及圖5B為用於說明本發明的實施形態的製造方法的圖。

圖6A及圖6B為用於說明本發明的實施形態的製造方法的圖。

圖7A及圖7B為用於說明本發明的實施形態的製造方法的圖。

圖8為用於說明本發明的實施形態的製造方法的圖。

圖9為用於說明本發明的實施形態的製造方法的圖。

圖10為用於說明本發明的實施形態的製造方法的圖。

圖11為用於說明本發明的實施形態的製造方法的圖。

圖12為用於說明本發明的實施形態的製造方法的圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

圖 13A 及圖 13B 為用於說明本發明的實施形態的製造方法的圖。

圖 14A 至圖 14D 為用於說明本發明的實施形態的變更例的圖。

圖 15A 至圖 15B 為用於說明本發明的實施形態的變更例的圖。

圖 16A 至圖 16B 為用於說明本發明的實施形態的另一變更例的圖。

圖 17A 至圖 17B 為用於說明本發明的實施形態的另一變更例的圖。

圖 18A 及圖 18B 為用於說明先前技術的製造方法的圖。

圖 19A 及圖 19B 為用於說明先前技術的製造方法的圖。

圖 20A 及圖 20B 為用於說明先前技術的製造方法的圖。

圖 21A 及圖 21B 為用於說明先前技術的製造方法的圖。

圖 22A 及圖 22B 為用於說明先前技術的製造方法的圖。

圖 23A 及圖 23B 為用於說明先前技術的製造方法的圖。

圖 24 為用於說明先前技術的製造方法的圖。

圖 25A 及圖 25B 為用於說明先前技術的問題重點的圖。

圖 26 為用於說明先前技術的問題重點的圖。

主要元件對照表

1	半導體裝置晶片
2	螺栓凸起
3	絕緣薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

- | | |
|----|----------|
| 4 | 導電圖案 |
| 5 | 粘著劑 |
| 6 | 各向異性導電樹脂 |
| 7 | 被動另件 |
| 8 | 電路基板 |
| 9 | 連接端子 |
| 10 | 導電性粘著劑 |
| 17 | 滾筒 |
| 12 | 熱壓焊模具 |
| 13 | 金屬刀 |
| 14 | 導電金屬箔 |
| 15 | 切槽部 |
| 18 | 導電圖案 |

[發明的詳細說明]

以下參照圖式說明本發明的實施形態。

首先，參照圖1A及圖1B至圖13A及圖13B說明本實施形態的製造方法的一例。

首先，如圖1A及圖1B所示，利用金屬刀（例如湯姆遜刀）13在聚酰亞胺（poly ester terephthalate）等的帶狀絕緣薄膜（相當於絕緣薄片，以下同）3形成橫貫絕緣薄膜3的切槽（olit）。

圖2A為如此形成切槽15的絕緣薄膜3的平面圖，圖2B為沿著圖2A的B-B線的剖面圖，圖C為擴充圖2A的虛線內側的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (8)

圖。如圖 2A 所示，切槽 15 是沿著將來預定分離的區域（做為最後必要的目標區域）的外周線（與外周線相應）形成一部分。亦即，切槽 15 並非形成於預定分離區域的外周線上整體，而是在與外周線相對應的部分也存在著不形成切槽 15 的部分。該切槽 15 是用於在後面的工程中分離切槽 15 的內側部分的。為使切槽 15 的內側部分在分離工程中容易分離，且在分離工程前不致脫離，切槽 15 的長度宜為對外周線整體長度 70% 以上且為 100% 以下（較佳為 90% 以下）。另外，在圖示的例子中，未形成切槽的處所有四個，惟該處理所宜為 1 處以上，較佳為二處以上。

另一方面，如圖 3A 及圖 3B 所示，準備用於在絕緣薄膜 3 上形成導電性圖案（佈線圖案）的導電金屬箔 14，並該金屬箔 14 上塗敷粘著劑 5。金屬箔 14 可以使用例如銅箔或鋁箔。另外，粘著劑 5 可以使用東麗製的 #7100 或巴川製紙製的 X 等。

然後，如圖 4A 及圖 4B 所示，利用粘著劑粘合具有切槽 15 的絕緣薄膜 3 與金屬箔 14。

接著，如圖 5A 及圖 5B 所示，利用平板 EP 刷術與蝕刻法形成金屬箔 14 圖案而形成導電性圖案（佈線圖案）4。利用銅箔或鋁箔做為金屬箔 14 時，可以用氯化鐵等藥液進行蝕刻。此時，導電性圖案 4 形成為橫貫切槽的樣子。如上所述，就製成在具有切槽 15 的絕緣薄膜上形成有導電性圖案 4 的帶狀的薄膜基板。

然後，如圖 6A 及圖 6B 所示，在形成有導電性圖案 4 的絕

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (9)

緣薄膜3表面的晶片加載區域上粘貼具有粘合性的各向異性導電樹脂 (anisotropic conductive resin) 6。再利用倒裝晶片法 (flip chip method) 將半導體裝置晶片1加載於各向異性導電樹脂6上面。半導體裝置晶片1是與例如圖18A及18B的先前技術所示的相同，而多個螺栓凸起 (stud bump) 形成於背面側做為外部端子。各螺栓凸起透過各向異性導電樹脂6在電性上連接到相對應的導電性圖案4。

如上所述，即可製及加載半導體裝置晶片1的帶狀薄膜基板。此種帶狀薄膜基板可以連續地製成捲軸狀態或輥子狀態，圖6A所示的單位構造 (以虛線圍成的部分) 為連續形成的。

然後，利用如此製及的帶狀薄膜基板以下面所述在PCB或FPC等的電路基板上封裝薄膜基板。

首先，如圖7A及圖7B所示，準備形成有被動零件7及連接端子9的電路基板8，並在形成有連接端子9的區域上粘貼導電性粘著劑10。導電性粘著劑10可以使用各向異性導電樹脂 (例如，日立化成製造的FC-262B) 等。

接著，如圖8所示，將圖6A及圖6B所示的加載有半導體裝置晶片1的帶狀薄膜基板載置於圖7A及圖7B所示的電路基板8上面。然後，利用導電性粘著劑10連接形成於帶狀薄膜基板的導電性圖案與形成於電路基板8的連接端子9。

具體地說，如圖9所示，在進行滾筒 (Roller) 16與17所保持的加載有半導體裝置晶片的帶狀薄膜基板與電路基板8的定位 (alignment) 之後，將帶狀薄膜基板連接到電路基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

板8。連接時，以熱壓焊模具12進行熱壓焊（200℃，20秒左右）。藉此，設置於半導體裝置晶片1的各螺栓凸起2（外部端子）即藉由相對應的導電性圖案4以電性與形成於電路基板8的相對應的連接端子9相連接。此外，在圖9中，由於紙面的關係，省略了粘著劑5及導電性粘著劑10，但是由圖5A及圖5B至圖7A及圖7B等可知，實際上形成有該等粘著劑（後面的圖式也同）。圖10為表示將加載有半導體裝置晶片1的帶狀薄膜基板與電路基板8如此粘接的情形。

接著，如圖11所示，將滾筒16及17向上移動以拉起帶狀薄膜基板。此時，因為帶狀薄膜基板形成有切槽5，所以只有切槽的內側部分被分離成薄膜基片而殘留於電路基板8上。其他部分成為如圖12所示的形狀而被切離。

如圖13A及圖13B所示，封裝有加載有半導體裝置晶片1的薄膜基片的電路基板就這樣製成。

然後，藉由一邊的滾筒（例如滾筒17）僅將帶狀薄膜基板的圖6A所示的1單位構造部份捲取，亦即，在圖11的工程之後，僅移動一單位構造部分的帶狀薄膜基板。然後，藉由進行與上述工程相同的工程以加載薄膜基片於另一電路基板上面。此後，藉由重複相同的工程，即可依次將各薄膜基片封裝於各電路基板上。

如上所述，利用本實施形態，因為事先在絕緣薄膜3形成切槽15，因此容易在帶狀薄膜基板連接於電路基板8的狀態下分離薄膜基片。因此可以不必分離成各別的薄

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (11)

膜基片來處理帶狀薄膜基板，而謀求藉由自動化提高生產力。另外，也可防止先前技術中所述的問題，即無法並排吸附模具與熱壓焊模具的問題（參照圖25），導電性粘著劑由薄膜基片的周緣部擠出來的問題（參照圖26）等，而小型化薄膜基片。此外，因為導電性圖案4形成為橫貫切槽15（參照圖5A及圖5B，圖6A及圖6B），因為可以確實保持薄膜基片到最後分離薄膜基片為止。因此，帶狀薄膜基板的處理變得容易。

再者，本實施形態可以進行如下所示的各種變形而實施。

圖14A至圖14D為表示切槽15的形狀的各種變形例。採用該等構造也可以確實而容易地分離薄膜基片。

圖16A及圖16B為除了導電性圖案4之外，在絕緣薄膜上形成另一附加性導電性圖案18的圖。導電性圖案18也是形成橫貫切槽15的形態。該導電性圖案18是在導電性圖案4的圖案製作工程的同時製作。但是，導電性圖案18與半導體裝置晶片的外部端子（stnd bump）在電性上是分開的。如上所述，由於形成附加性導電性圖案18，所以可以確實保持薄膜基片直到最後薄膜基片分離止。

圖17A及圖17B為表示導電性圖案4以及與其相對應的切槽的例子。圖17A為導電性圖案4被配置於3個方向的例子。圖17B為下側的導電性圖案4比上側的導電性圖案4的支數多而密度高的情形。不管那一例，與上述實施形態的情形（參照圖5A及圖5B）相比，由於導電性圖案4的配置形狀而發

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (12)

生的切槽 15 的圖案趨於複雜，惟在該種情形下，也可以發揮與上述實施形態的效果的相同效果。

額外的優點與修正容易為熟知本項技術者所發見。因此，本發明的廣義形態並不侷限於本說明書所描述的細節與代表例。因為各種修正在不跳脫附屬申請專利範圍或其等效項目所定義的概括發明概念的精神或範疇下，可以進行各種修正。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱： 薄膜基板，半導體裝置，薄膜基板之）
製造方法，半導體裝置之製造方法，
及附加半導體裝置之電路基板之製造
方法

本發明提供一種薄膜基板，其具備在未來被分離的區域的外周線上具有切槽部且加載有半導體裝置晶片（chip）的絕緣薄膜，以及形成於上述絕緣薄膜上且橫貫上述切槽部，並且連接到上述半導體裝置晶片的外部端子的導電性圖案。

英文發明摘要（發明之名稱：)

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍¹

1.一種薄膜基板，其特徵具備：

絕緣薄膜，在未來要分離的區域的外周線上具有切槽部 (slit portion)，且加載有半導體裝置晶片，以及

導電性圖案，形成於上述絕緣薄膜上，並橫貫上述切槽部，且連接到上述半導體裝置晶片的外部端子。

2.如申請專利範圍第1項的薄膜基板，其中上述導電性圖案的寬度在橫貫上述切槽部的部分變狹窄。

3.如申請專利範圍第1項的薄膜基板，其中另具備導電性圖案，是形成於上述絕緣薄膜上，並橫貫上述外周線上的切槽部，但不連接到上述半導體裝置晶片的外部端子。

4.一種半導體裝置，其特徵具備：

絕緣性薄膜，在未來要分離的區域的外周上具有切槽部，

導電性圖案，形成於上述絕緣性薄膜上，並橫貫上述切槽部，以及

半導體裝置晶片，加載於上述絕緣薄膜上，並具有電性上連接到上述導電性圖案的外部端子。

5.如申請專利範圍第4項的半導體裝置，其中上述導電性圖案的寬度在橫貫上述切槽部的部分變狹窄。

6.如申請專利範圍第4項的半導體裝置，其中另具備導電性圖案，是形成於上述絕緣薄膜上，並橫貫上述外周線上的切槽部，惟並不連接到上述半導體裝置晶片的外部端子。

7.一種薄膜基板的製造方法，其特徵包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 2

準備加載有半導體裝置晶片的絕緣薄膜的工程，

在上述絕緣薄膜的將來要分離的區域的外周線上形成切槽部的工程，以及

在上述絕緣薄膜上橫貫上述切槽部，並形成連接到上述半導體裝置晶片的外部端子的導電性圖案的工程。

8. 如申請專利範圍第7項的薄膜基板的製造方法，其中上述導電性圖案的寬度在橫貫上述切槽部的部分變狹窄。

9. 如申請專利範圍第7項的薄膜基板的製造方法，其中用於形成上述導電性圖案的工程另包含一工程，是在上述絕緣薄膜上形成橫貫上述外周線上的切槽部，但不連接到上述半導體裝置晶片的外部端子的附加性導電性圖案的工程。

10. 一種半導體裝置的製造方法，其特徵包括：

準備加載有半導體裝置的絕緣薄膜的工程，

在上述絕緣薄膜的未來要分離的區域的外周線上形成切槽部的工程，

在上述絕緣薄膜形成橫貫上述切槽部的導電性圖案的工程，以及

在上述絕緣薄膜上加載半導體裝置晶片，並將上述半導體裝置晶片的外部端子以電性方法連接到上述導電性圖案的工程。

11. 如申請專利範圍第10項的半導體裝置的製造方法，其中上述導電性圖案的寬度在橫貫上述切槽部的部分變狹

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 3

窄。

12.如申請專利範圍第10項的半導體裝置的製造方法，其中上述形成導電性圖案的工程包括在上述絕緣薄膜上形成橫貫上述外周線上的切槽部，且不連接到上述半導體裝置晶片的外部端子的附加性導電性圖案的工程。

13.一種附加半導體裝置的電路基板的製造方法，其特徵包括：

準備加載有半導體裝置晶片的絕緣薄膜的工程，

在上述絕緣薄膜的未來要分離的第1區域的外周線上形成切槽部的工程，

在上述絕緣薄膜上形成橫貫上述切槽部的導電性圖案的工程，

在上述絕緣薄膜上加載半導體晶片，並將上述半導體裝置晶片的外部端子在電性上連接到上述導電性圖案的工程，

將加載有上述半導體裝置晶片的絕緣薄膜的上述第1區域的至少一部分連接到電路基板（circuit board）的工程，以及

將上述第1區域的外側的第2區域由第1區域分離，並殘留於上述電路基板上。

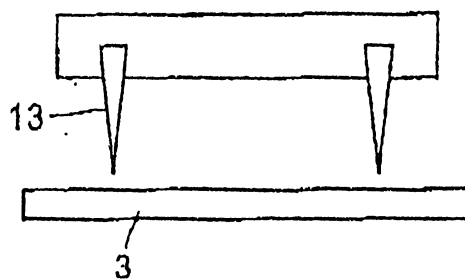
（請先閱讀背面之注意事項再填寫本頁）

裝

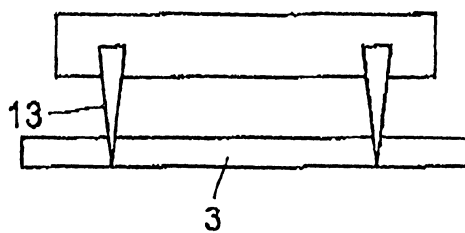
訂

線

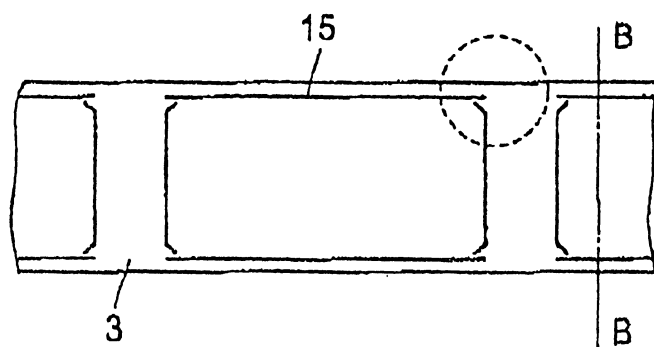
第 1 圖 A



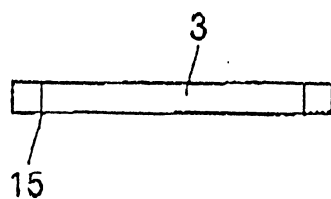
第 1 圖 B



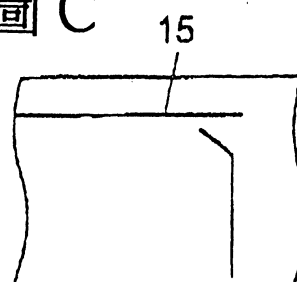
第 2 圖 A



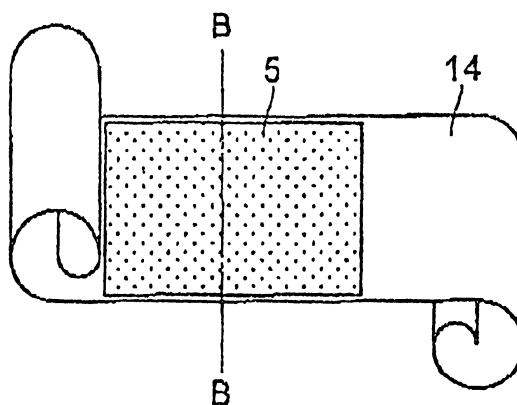
第 2 圖 B



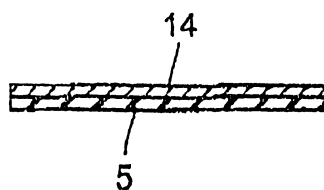
第 2 圖 C



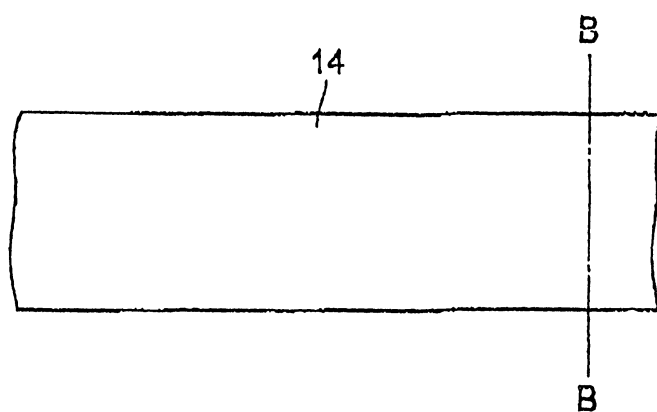
第3圖A



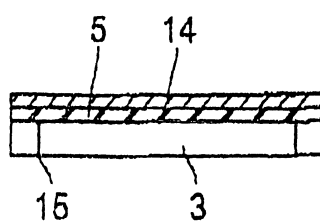
第3圖B



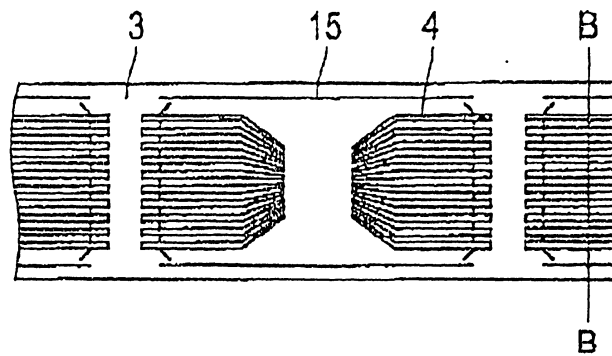
第4圖A



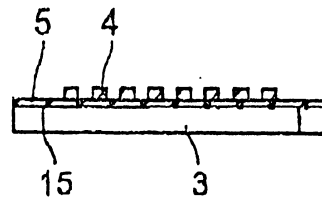
第4圖B



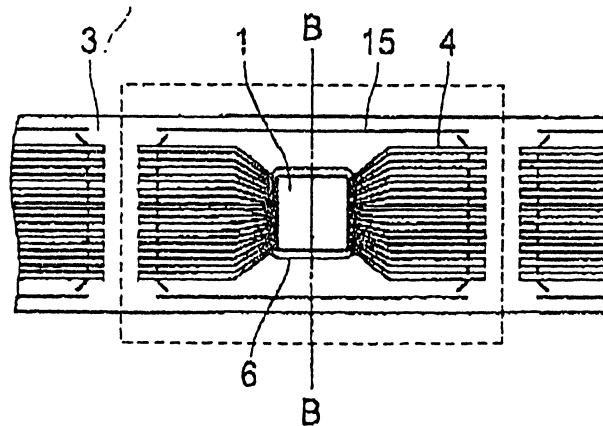
第5圖 A



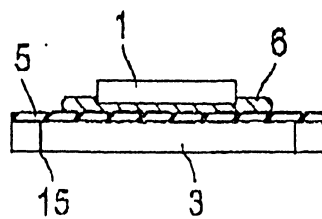
第5圖 B



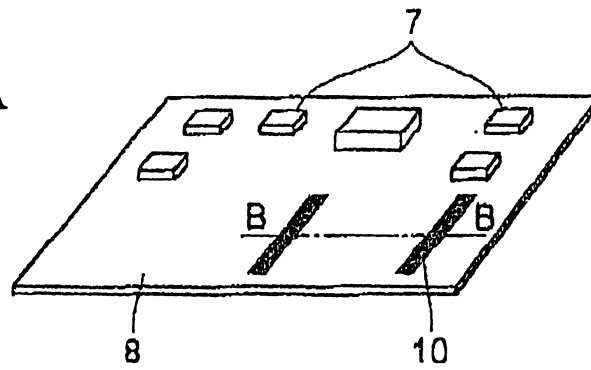
第6圖 A



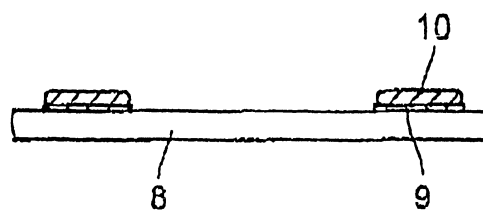
第6圖 B



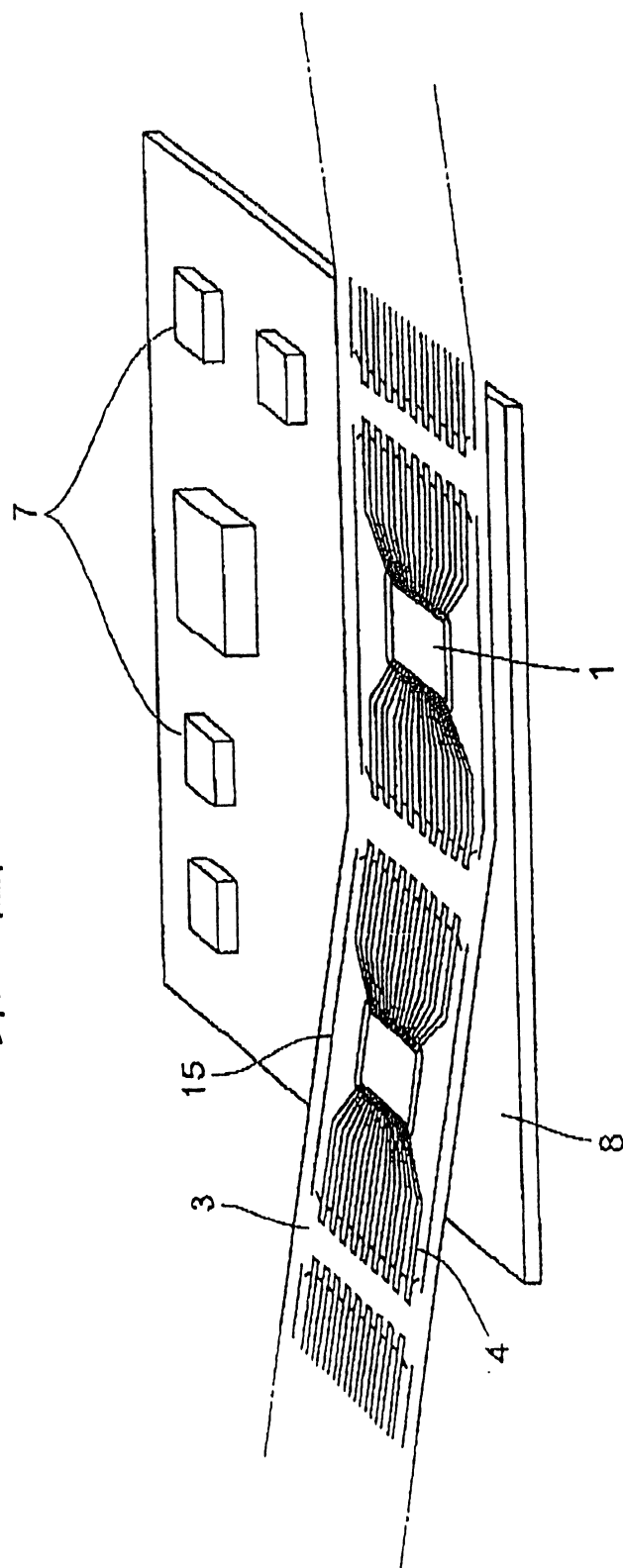
第7圖A



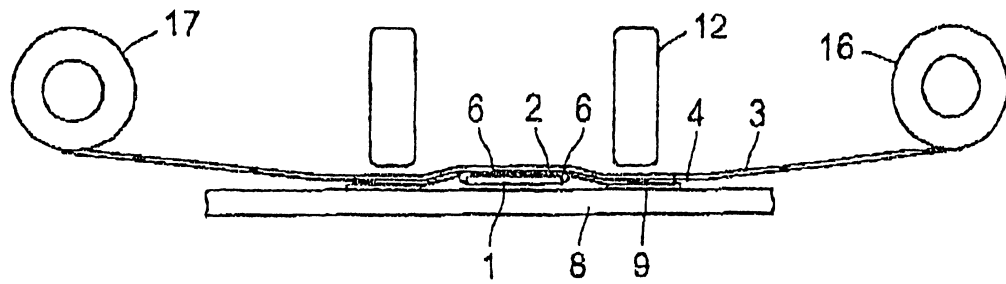
第7圖B



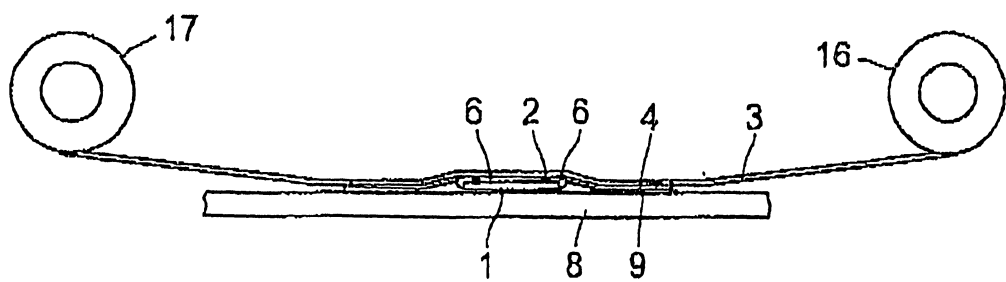
第8圖



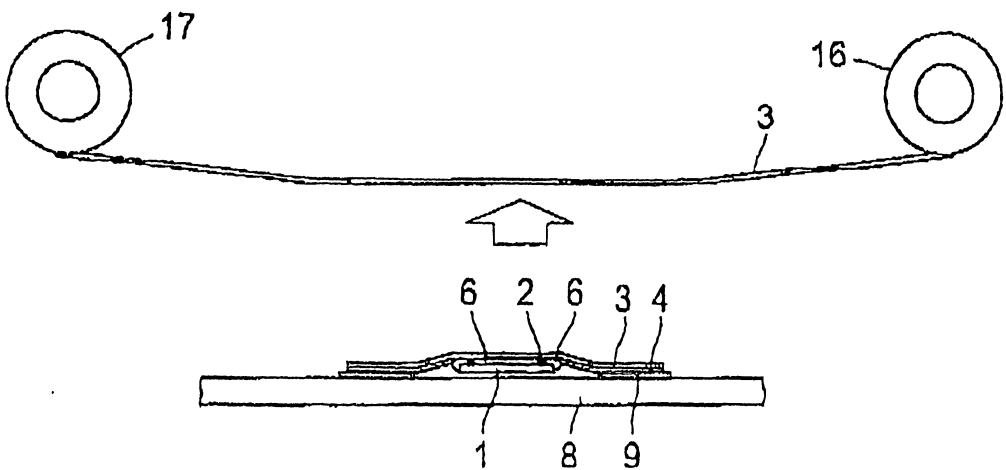
第 9 圖



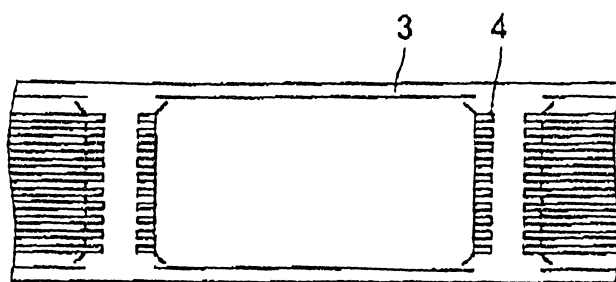
第 10 圖



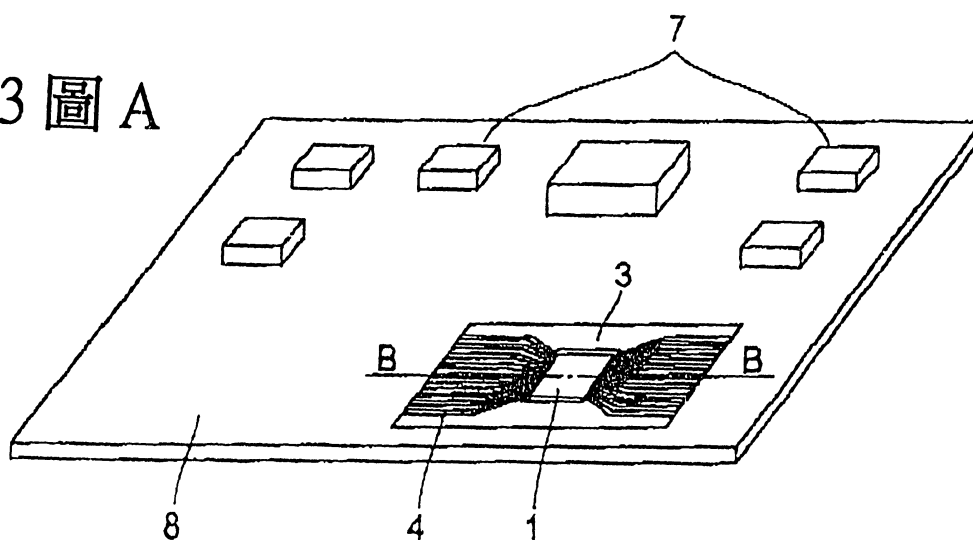
第 11 圖



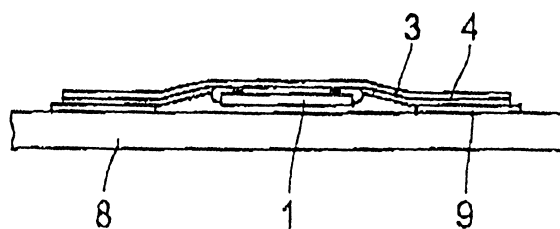
第 12 圖



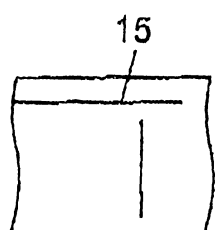
第 13 圖 A



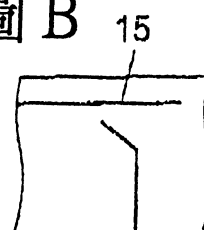
第 13 圖 B



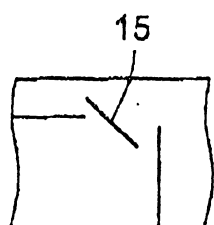
第 14 圖 A



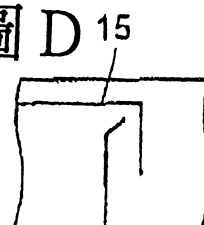
第 14 圖 B



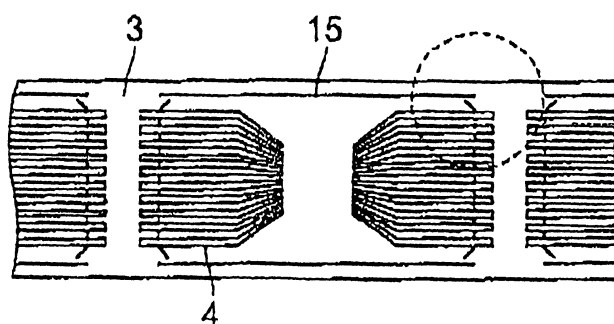
第 14 圖 C



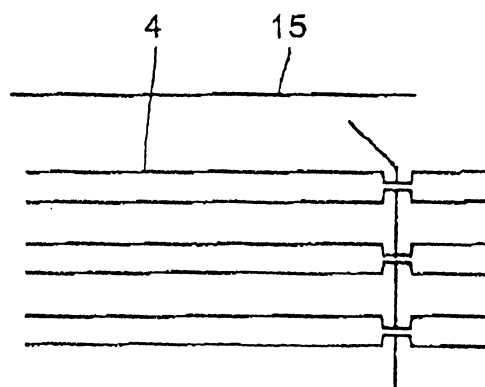
第 14 圖 D



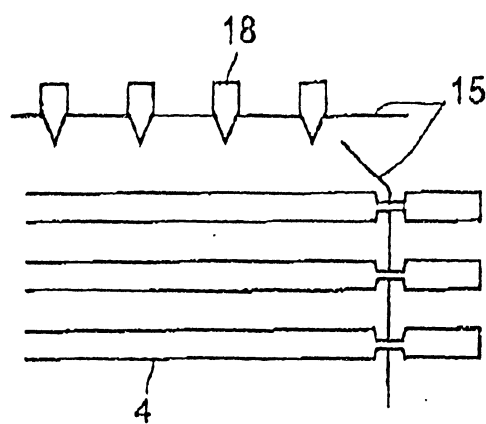
第 15 圖 A



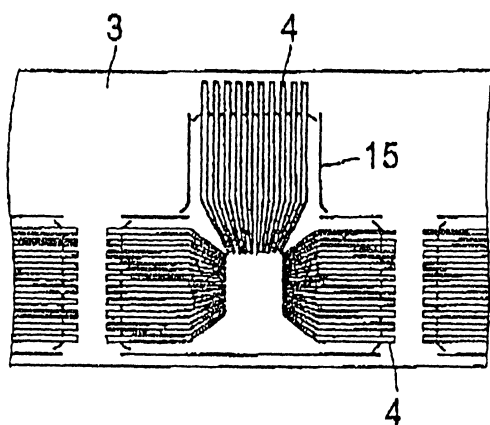
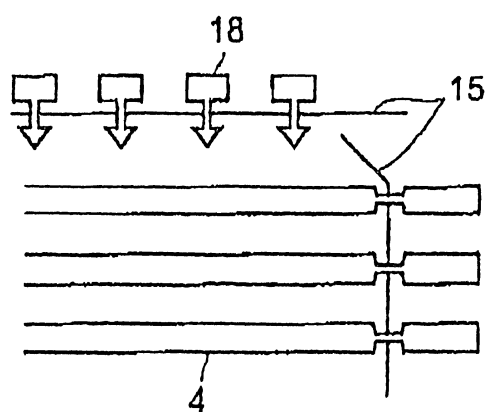
第 15 圖 B



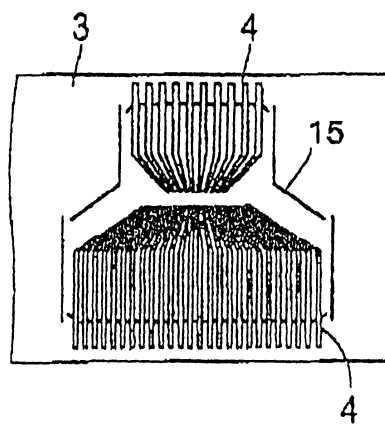
第 16 圖 A



第 16 圖 B

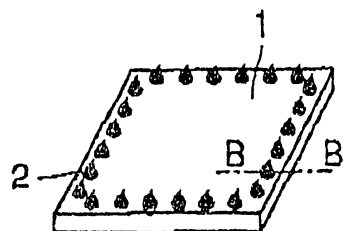


第 17 圖 A

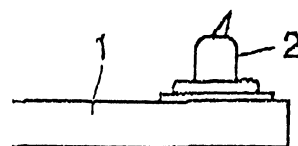


第 17 圖 B

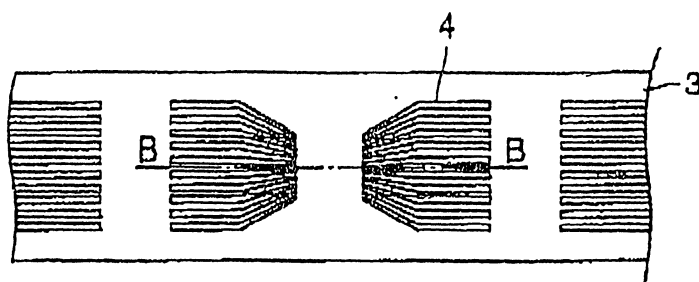
第 18 圖 A



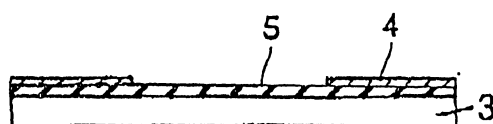
第 18 圖 B



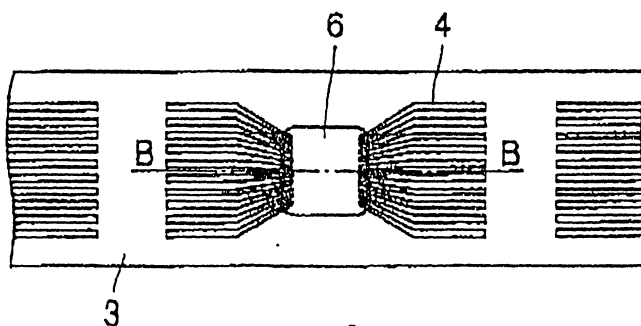
第 19 圖 A



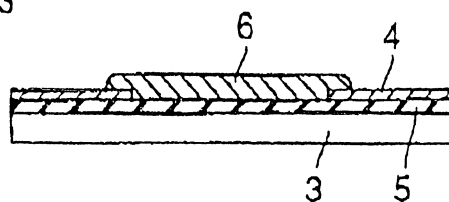
第 19 圖 B



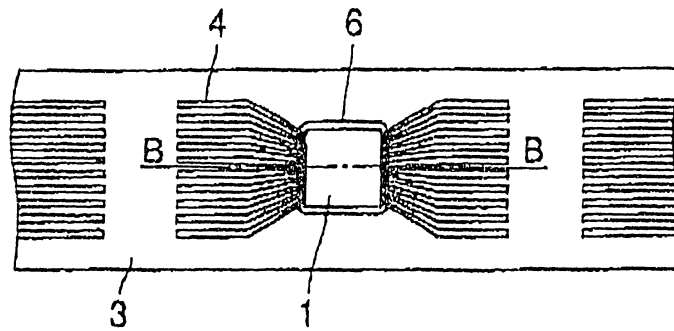
第 20 圖 A



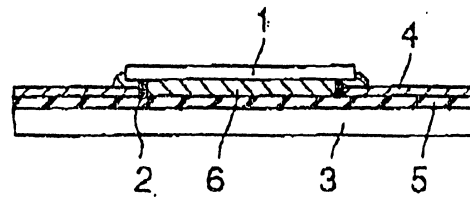
第 20 圖 B



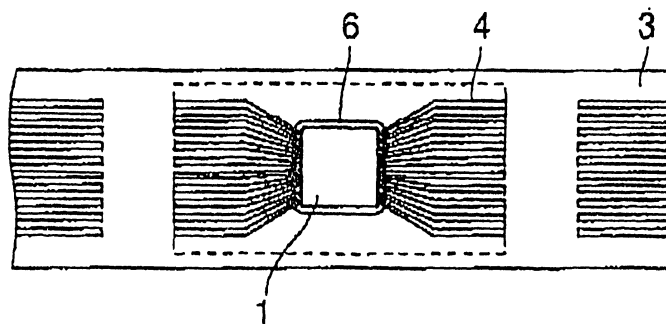
第 21 圖 A



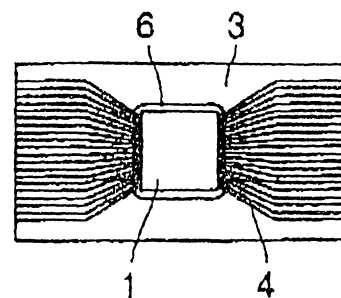
第 21 圖 B



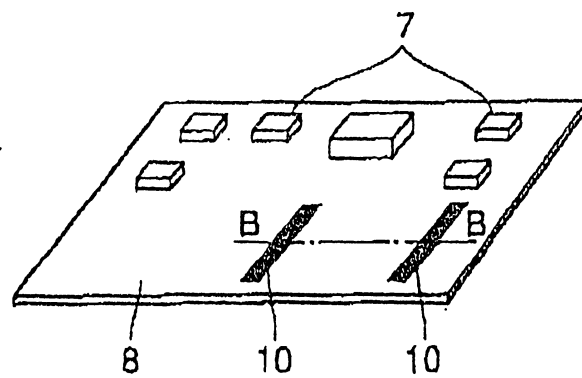
第 22 圖 A



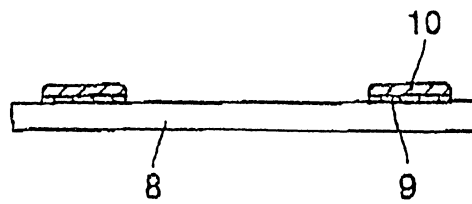
第 22 圖 B



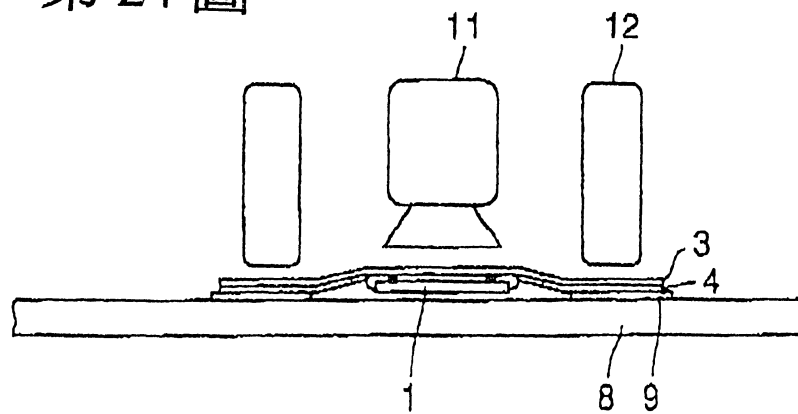
第 23 圖 A

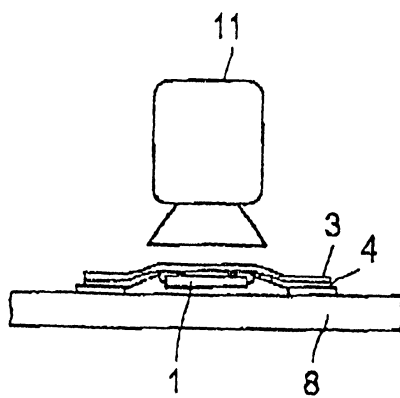


第 23 圖 B

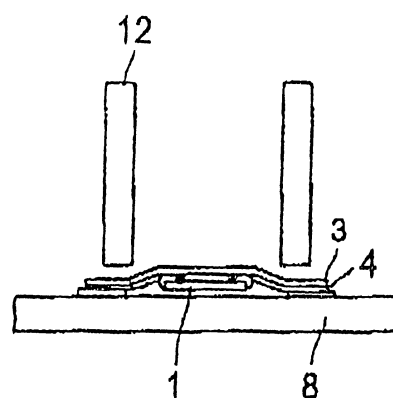


第 24 圖





第 25 圖 A



第 25 圖 B

第 26 圖

