

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4887885号
(P4887885)

(45) 発行日 平成24年2月29日 (2012. 2. 29)

(24) 登録日 平成23年12月22日 (2011. 12. 22)

(51) Int.Cl.

F I

G 0 9 G 5 / 0 0 (2006. 01)

G 0 9 G 5 / 0 0 5 3 O M

G 0 9 G 5 / 0 0 5 5 O M

G 0 9 G 5 / 0 0 5 5 O X

G 0 9 G 5 / 0 0 5 5 5 D

請求項の数 2 (全 13 頁)

(21) 出願番号 特願2006-118193 (P2006-118193)
 (22) 出願日 平成18年4月21日 (2006. 4. 21)
 (65) 公開番号 特開2007-292877 (P2007-292877A)
 (43) 公開日 平成19年11月8日 (2007. 11. 8)
 審査請求日 平成19年7月20日 (2007. 7. 20)

(73) 特許権者 000004075
 ヤマハ株式会社
 静岡県浜松市中区中沢町 1 〇 番 1 号
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (72) 発明者 本目 光弘
 静岡県浜松市中沢町 1 〇 番 1 号 ヤマハ株
 式会社社内
 審査官 居島 一仁

最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【特許請求の範囲】

【請求項 1】

先頭データが描画処理内容を表すオペコードと描画処理の実行を制御するための制御ビットにより構成され、前記先頭データに続くデータが前記描画処理に必要な属性情報を表す描画パラメータにより構成され、前記オペコード毎に、前記先頭データに続くデータ数が予め定められている描画コマンドに基づいて画像描画処理を行う画像処理装置であって

、
 前記描画コマンドを入力する入力手段と、

前記入力手段により入力された前記描画コマンドを入力された順に格納する記憶手段と

、
 前記記憶手段に格納されている順に前記描画コマンドを読み出して実行することにより、
 画像を描画する画像描画処理を行う描画処理手段とを備え、

前記描画処理手段は、読み出した描画コマンドの先頭データに続くデータ数が、読み出した先頭データのオペコードに対して予め決められているデータ数に満たないうちに、次の制御ビットが検出された場合に、前記データ数に満たなかった描画コマンドのみをリセットすることを特徴とする画像処理装置。

【請求項 2】

前記制御ビットは、前記描画コマンドの先頭データの最上位ビットに割り付けられたことを特徴とする請求項 1 に記載の画像処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ビデオディスプレイプロセッサ(VDP;Video Display Processor)等の画像処理装置に関し、特に外部CPUが発行するコマンドに基づきビデオRAM内の画像をモニタに表示させるための技術に関する。

【背景技術】

【0002】

従来、パソコンやカーナビゲーションシステム等の情報処理端末において、映像出力を担う画像処理装置としてビデオディスプレイプロセッサが用いられている。このビデオディスプレイプロセッサによれば、NTSCやPAL等の映像信号をキャプチャしてモニタ

10

に表示する機能や、映像にオーバーラップさせて各種設定値等の画像を描画するためのOSD(On Screen Display)機能を簡易に実現できる。このうち、OSD機能は、外部CPU

が発行する描画コマンドに基づきOSD画像を生成することにより実現されている。

【特許文献1】特開2005-257886号公報

【特許文献2】特開2004-147285号公報

【特許文献3】特開2005-215252号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来のビデオディスプレイプロセッサによれば、OSD機能を用いて画

20

像を表示する際に描画コマンドが不正な動作をし、モニタに表示される画像に乱れが発生するという問題がある。

この問題について、図9及び図10を参照しながら、描画コマンドとして、線を描画するためのLINEコマンドを連続して実行する場合を説明する。図9は、第1LINEコマンド、第2LINEコマンド、第3LINEコマンドが、この順に外部のCPUから画像処理装置に入力されてコマンドFIFOに格納された状態を示している。

【0004】

ここで、図9に示すように、各LINEコマンドは、0番目ないし5番目の6ワードのデータから構成され、上記コマンドFIFOには、CPUがライトアドレスとして出力するライトカウンタ値に従って第1LINEコマンドから順に格納される。通常であれば、

30

コマンドFIFOに格納された各コマンドは、格納された順にワード単位で読み出されてコマンドが実行される。

【0005】

ところが、ノイズ等の何らかの原因により、例えばコマンドFIFOからコマンドを読み出す際のリードアドレスが正しく発生されないと、コマンドFIFOから各コマンドを正しく読み出すことができず、コマンドを構成する一部のデータが欠落することや、逆に不要なデータが付け加えられることがある。

【0006】

図10に、コマンドFIFOからコマンドを読み出す際にコマンドの一部のデータが欠落した状態を示す。図10において、「リードカウンタ値」は、コマンドFIFOからコマンドを読み出す際に画像処理装置の内部で生成されるリードアドレスであり、「コマンドデータ」は、上記リードアドレスに従ってコマンドFIFOから順次読み出される各コマンドのデータである。この例では、リードカウンタ値「2」が発生されないため、図9に示す第1LINEコマンドの2番目のワードがコマンドFIFOから読み出されておらず、このワードのデータが欠落している。

40

【0007】

コマンドFIFOから読み出されたコマンドを構成するデータは描画処理で参照されるが、この描画処理では、コマンドFIFOからワードを単位として連続的に読み出されるデータのうち、予め決められた個数の連続したワードを1つの描画コマンドとして認識するため、一部のワードが読み出されずに欠落すると、その後の各データの序列が繰り上が

50

る結果、コマンドの各データが誤って認識される。図10に示す例では、第2LINEコマンドの0番目のワードデータが第1LINEコマンドの最終データとして認識され、第2LINEコマンドの1番目のワードデータは第2LINEコマンドの0番目のワードデータとして認識される。以下同様に、各ワードのデータが誤って認識される。

【0008】

このように描画処理においてコマンドの一部のデータが欠落すると、その後の全てのデータが誤って認識され、オペコードや描画パラメータが正しく参照されなくなる結果、コマンドが不正な動作をし、画像に乱れを生じる。

なお、上述の例では、読み出しの際にコマンドの一部のデータが欠落する場合を説明したが、逆に不要なデータが追加される場合や、コマンドFIFOに正しくコマンドが書き込まれなかった場合、等々、各コマンドを構成するデータの序列が本来の序列とは異なることに起因してコマンドが不正な動作をする場合は他にもある。

【0009】

本発明は、上記事情に鑑みてなされたものであり、画像表示の際に描画コマンドが不正な動作をしても、画像の乱れを低減させることができる画像処理装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明に係る画像処理装置は、先頭データが描画処理内容を表すオペコードと描画処理の実行を制御するための制御ビットにより構成され、前記先頭データに続くデータが前記描画処理に必要な属性情報を表す描画パラメータにより構成され、前記オペコード毎に、前記先頭データに続くデータ数が予め定められている描画コマンドに基づいて画像描画処理を行う画像処理装置であって、前記描画コマンドを入力する入力手段と、前記入力手段により入力された前記描画コマンドを入力された順に格納する記憶手段と、前記記憶手段に格納されている順に前記描画コマンドを読み出して実行することにより、画像を描画する画像描画処理を行う描画処理手段とを備え、前記描画処理手段は、読み出した描画コマンドの先頭データに続くデータ数が、読み出した先頭データのオペコードに対して予め決められているデータ数に満たないうちに、次の制御ビットが検出された場合に、前記データ数に満たなかった描画コマンドのみをリセットすることを特徴とする画像処理装置の構成を有する。

【0011】

上記画像処理装置において、例えば、前記制御ビットは、前記描画コマンドの先頭データの最上位ビットに割り付けられたことを特徴とする。

【発明の効果】

【0012】

本発明によれば、描画コマンドに制御ビットを設け、描画処理の際に上記制御ビットを検出した場合、それまでの描画コマンドをリセットするようにしたので、描画コマンドが不正な動作をしても、それによる表示画像の乱れが一時的となり、従って表示画像の乱れを低減させることができる。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照しながら、本発明の実施形態を説明する。

図1に、本実施形態に係る画像処理装置200の構成を示す。画像処理装置200は、NTSC等のアナログビデオ信号A INまたはデジタルビデオ信号D INの映像入力キャプチャしてモニタの表示解像度(XGA, SVGA等)に合わせて画像を表示する機能(以下、「キャプチャ機能」と称す)と、映像入力をバックドロップ面に表示する機能(以下、「バックドロップ機能」と称す)と、描画コマンドに基づいてOSD(On Screen Display)画像を描画する機能(以下、「OSD機能」と称す)を備える。これらの機能のうち、本画像処理装置200はOSD機能に特徴を有している。

【0014】

図1において、CPUインターフェイスモジュール201は、外部のCPU100との間のデータ転送を仲介するものである。ビデオメモリインターフェイスモジュール202は、外部のビデオメモリ300との間のデータ転送を仲介するものである。ビデオデコードユニット203は、アナログビデオ信号A IN（コンポジット信号）をデコードしてデジタルビデオ信号（コンポーネント信号）を生成するものであり、このデジタルビデオ信号はビデオキャプチャコントローラ204に供給される。本画像処理装置200は2組のビデオデコードユニット203を備え、これにより2系統のアナログビデオ信号入力に対応可能となっている。

【0015】

ビデオキャプチャコントローラ204は、デコードされたデジタルビデオ信号をキャプチャ(capture)して、キャプチャプレーンの画像データとしてビデオメモリ300に格納するものである。キャプチャプレーンコントローラ205は、ビデオメモリ300からキャプチャプレーンの画像データを読み出し、これをピクセルデータコントローラ208に供給するものである。

【0016】

ドロ잉プロセッサユニット206は、本画像処理装置200の特徴に係る上述のOSD機能を提供するためのものであり、CPU100から発行される描画コマンドに基づいてOSD画像データを生成し、これをOSDプレーンの画像データとしてビデオメモリ300に格納するものである。即ち、ドロ잉プロセッサユニット206は、ビデオメモリ300内にOSD画像として直線や矩形を描画したり、描画したデータに対して所定の処理を行う。ただし、CPU100は、描画コマンドを使わずに、直接的にビデオメモリ300内に描画することもできる。この描画コマンドの詳細については後述する。

OSDプレーンコントローラ207は、ビデオメモリ300からOSDプレーンの画像データを読み出して、これをピクセルデータコントローラ208に供給するものである。

【0017】

ピクセルデータコントローラ208は、上記キャプチャプレーンの画像データとOSDプレーンの画像データとバックドロップ面の画像データとを1画面の画像データに合成して、そのデジタルビデオ信号を出力するものである。この画像データの合成の際に、各プレーンの優先順位に応じてモニタ上での各プレーンの前後関係が調整され、あるいは必要に応じて各プレーンに α ブレンディング処理（半透明処理）が施される。このピクセルデータコントローラ208では、例えば、2つのキャプチャプレーンと、2つのOSDプレーンとの合計4つのプレーンと1つのバックドロップ面の合成が可能となっている。ただし、各プレーンの数はこれに限定されず、任意である。

なお、「プレーン」なる用語は、1つの矩形状画像データを外部表示装置の所定の場所に所定のサイズで表示するために必要な全ての構成を包括したものを示し、あるいは、外部表示装置に供給される画像データそのものを示す。

【0018】

DACコンバータ(DAC)209は、ピクセルデータコントローラ208から出力されたデジタルビデオ信号をアナログ信号に変換して外部のモニタ（図示なし）に供給するものである。また、モニタがデジタル入力端子を備えている場合には、ピクセルデータコントローラ208から出力されたデジタルビデオ信号DOUTはモニタのデジタル入力端子に直接供給される。CRTコントローラ210は、表示スキャンタイミングを制御するためのものであり、水平走査および垂直走査用の同期信号SOUTを生成して出力する。クロックジェネレータ211は、本画像処理装置200を構成する各ブロックの動作クロックを生成するものである。

【0019】

図1に示す例では、ビデオデコードユニット203から出力されるデジタルビデオ信号はピクセルデータコントローラ208に供給される。これにより、ビデオデコードユニット203から出力されたデジタルビデオ信号による映像をバックドロップ面でそのまま表示することも可能となっている。また、本画像処理装置200は、デジタルビデオ信号D

10

20

30

40

50

INの入力機能をも備え、このデジタルビデオ信号DINは、ピクセルデータコントローラ208及びビデオキャプチャユニット204に与えられる。これにより、上述のアナログビデオ信号AINと同様に、デジタルビデオ信号DINをそのまま使用してバックドロップ面に表示することや、これをキャプチャしてキャプチャプレーンで表示することが可能となっている。

【0020】

図2に、ドローイングプロセッサユニット206の構成を示す。

同図に示すように、ドローイングプロセッサユニット206は、コマンドポート2061、コマンドFIFO(FIFO; First-IN First-Out)2062、描画コマンド処理回路2063を含んで構成される。ここで、コマンドポート2061は、CPU100が発行した描画コマンドを入力するためのポートであり、このコマンドポート2061を介して描画コマンドがコマンドFIFO2062に与えられる。コマンドFIFO2062は、描画コマンドを格納するためのものであり、本実施形態では、32ビット幅×320ワード構成となっている。描画コマンド処理回路2063は、コマンドFIFO2062に格納された描画コマンドを読み出して実行するためのものである。

【0021】

ここで、図3、図4、図5A～5Cを参照して、上記描画コマンドについて説明する。図3に示すように、CPU100が発行する描画コマンドとしては、LINEコマンド、FILLコマンド、COPYコマンドの3種類がある。ここで、LINEコマンドは、線を描画するためのコマンドであり、FILLコマンドは、矩形境域を塗りつぶすためのコマンドであり、COPYコマンドは、ビデオメモリからビデオメモリヘデータをブロック転送するためのコマンドである。ただし、描画コマンドの種類はこれに限定されない。

【0022】

各描画コマンドは、描画処理の実行を制御するための制御ビットと、図3に示すオペコードと、図4に示す描画パラメータとを含んで構成される。ここで、制御ビットは、上述の描画コマンド処理回路2063による描画コマンドの実行を制御するために使用されるものである。この制御ビットの詳細については後述する。オペコードは、描画コマンド処理回路2063における描画処理の内容を表すものであり、図3に示す例では、LINEコマンドに対して「4'b0001」が割り付けられ、FILLコマンドに対して「4'b0010」が割り付けられ、COPYコマンドに対して「4'b0011」が割り付けられている。

【0023】

描画パラメータは、描画処理に必要な属性情報を表すものである。図4の例では、描画パラメータとして、描画データフォーマットを指定するパラメータ「SCF」、描画領域フォーマットを指定するパラメータ「DCF」、描画データを指定するパラメータ「SCD」、ライン始点のY座標を指定するパラメータ「LSY」、ライン始点のX座標を指定するパラメータ「LSX」など、合計31種類の描画パラメータが示されている。これらの描画パラメータは、図4に丸印で示すように、描画コマンドに応じて選択的に設定される。

【0024】

図5A～5Bに、各描画コマンドの構成例を示す。

図5Aは、LINEコマンドの構成例を示す。この例では、LINEコマンドは、32ビット幅×6ワード構成となっている。本実施形態では、32ビットを1ワードとし、各コマンドは、ワードを単位として上述のコマンドFIFO2062に書き込まれ、あるいはコマンドFIFO2062から読み出される。なお、以下では、1ワード分のデータ(32ビットデータ)を「ワードデータ」と称す。

【0025】

ここで、図5Aにおいて、先頭のワードデータ(先頭データ)の最上位ビット(MSB)D31には、制御ビットとして「1」が設定され、他のワードデータの最上位ビットD31には「0」が設定されている。また、先頭のワードデータのビットD30～D4は、図4に示す各種の描画パラメータの設定領域とされ、その下位ビットD3～D0はオペコ

10

20

30

40

50

ード（OPC）の設定領域とされている。この例では、LINEコマンドのオペコードとして「4'b0001」が設定されている。他のワードデータのビットD30～D0は描画パラメータの設定領域とされる。

【0026】

図5BはFILLコマンドの構成例を示し、図5CはCOPYコマンドの構成例を示す。これらの例でも、各コマンドを構成する先頭のワードデータの最上位ビット「D31」には、制御ビットとして「1」が設定され、他のワードデータの最上位ビットには「0」が設定されている。また、先頭のワードデータのビットD30～D4は描画パラメータの設定領域とされ、その下位ビットD3～D0はオペコードの設定領域とされている。図5Bに示す例では、FILLコマンドのオペコードとして「4'b0010」が設定され、図5Cに示す例では、COPYコマンドのオペコードとして「4'b0011」が設定されている。

【0027】

上述の図5A～5Cに示す例では、LINEコマンド及びFILLコマンドは、それぞれ6ワードのデータから構成され、COPYコマンドは7ワードのデータから構成される。前述のように、コマンドFIFO2062は、32ビット幅×320ワード構成となっているので、53個のLINEコマンド、53個のFILLコマンド、または45個のCOPYコマンドを格納することが可能である。従って、描画コマンド処理回路2063は、コマンドFIFO2062に格納された描画コマンドを順次読み出して連続的に実行することが可能となっている。

【0028】

次に、本画像処理装置の動作を説明する。

（1）OSD機能に関する動作

先ず、図6に示すフローに沿って、本画像処理装置200の特徴に係るOSD画像を表示する場合の動作を説明する。

CPU100は、ドローイングプロセッサユニット206内のコマンドFIFO2062の空き容量を確認して、コマンドFIFO2062をアクセスできるか否かを判断する（ステップS1）。ここで、コマンドポートのアクセスが可能であれば（ステップS1；Yes）、CPU100は、表示すべきOSD画像を描画するための描画コマンドを順次発行し、描画コマンドのオペコード及び描画パラメータを含むワードデータを、コマンドポート2061を介してコマンドFIFO2062に順次書き込む（ステップS2）。コマンドFIFO2062には、ワード（32ビット）単位でデータが格納される。

【0029】

描画コマンドの実行に必要なデータがコマンドFIFO2062に書き込まれると、描画コマンド処理回路2063は、コマンドFIFO2062に書き込まれた描画コマンドをワード単位で順次読み出して実行する（ステップS3）。即ち、描画コマンド処理回路2063は、コマンドFIFO2062から読み出した描画コマンドを解釈して描画処理を行ってOSD画像データを生成する。コマンドポートは、FIFO構成となっているため、描画コマンド処理回路2063がコマンドを実行している間、CPU100はコマンドFIFO2062に次の描画コマンドを書き込むことができる。

【0030】

ここで、描画コマンド処理回路2063は、コマンドFIFO2062から読み出したワードデータの最上位ビットD31を参照し、この最上位ビットD31に制御ビット「1」が設定されていれば、このワードデータを描画コマンドの先頭ワードデータと認識する。また、その最上位ビットD31に「0」が設定されていれば、このワードデータを先頭ワードデータとは認識せず、制御ビット「1」が設定されているワードデータを検出するまで読み出しを続ける。また、最上位ビットに「1」が設定されていても、そのワードデータに有為なオペコードが設定されていない場合にも、そのワードデータを先頭ワードデータとは認識せず、有為なオペコードが設定されているワードデータを検出するまで読み出しを続ける。これにより先頭ワードデータを的確に認識する。

【0031】

描画コマンド処理回路2063は、上述のように制御ビット「1」を参照することにより、先頭ワードデータを検出すると、それまで読み込んだ描画コマンドをリセットし、検出した先頭ワードデータの下位ビットD3～D0に設定されたデータをオペコードとして認識する。そして、描画パラメータが設定された後続のワードデータをコマンドFIFO2062から新たに読み出して、このオペコードに基づく描画処理を実行する。このようにして、描画コマンドに基づき表示すべきOSD画像データを生成してビデオメモリ300に格納する。

上述の制御ビットを利用した描画コマンド処理回路2063による一連の動作により、描画コマンドの不正な動作が抑制されるが、その仕組みについては後述する。

【0032】

説明を図1に戻す。OSDプレーンコントローラ207は、ビデオメモリ300に格納されたOSD画像データを表示スキャンタイミングに合わせて読み出し、これをOSDプレーンの画像データとしてピクセルデータコントローラ208に供給する。ピクセルデータコントローラ208は、バックドロップ面の画像データと、OSDプレーンの画像データと、後述のキャプチャプレーンの画像データとを合成して、1画面の画像データを生成する。この合成された画像データをDAコンバータ209がアナログビデオ信号に変換して外部のモニタに供給する。これにより、モニタには、キャプチャされた映像とオーバーラップされたOSD画像が表示される。CPU100から画像処理装置200に直線や矩形またはビットマップの転送が終了した時点で描画コマンドは終了する。

なお、上述の例では、バックドロップ面とキャプチャプレーンとOSDプレーンの各画像データを合成するものとしたが、任意のプレーンを組み合わせて合成してもよい。

【0033】

ここで、図7及び図8を参照して、コマンドFIFO2062から描画コマンドを読み出す場合を例として、描画コマンドの一部のワードデータが欠落したことによる描画コマンドの不正な動作を抑制する仕組みを説明する。

図7は、外部のCPU100が発行した描画コマンドがコマンドFIFO2062に格納された状態を示す。この例では、ライトアドレスに相当するライトカウンタ値に従って第1ないし第3LINEコマンドが連続して格納されている。図7に示す例では、コマンドFIFO2062に格納された描画コマンドの各ワードデータは欠落しておらず、コマンドFIFO2062に正常に書き込まれている。

【0034】

次に、コマンドFIFO2062から描画コマンドを読み出す際のリードアドレスに相当するリードカウンタ値が正常に発生されず、図8に示すように、リードカウンタ値「2」が欠落した場合を考える。この場合、描画コマンド処理回路2063に読み出される描画コマンドには第1LINEコマンドの2番目のワードデータが含まれず、このワードデータが欠落する。このため、描画コマンド処理回路2063では、その次の3番目ないし5番目のワードデータを、第1LINEコマンドの2番目ないし4番目のワードデータと誤って認識する。

【0035】

しかし、第2LINEコマンドの0番目のワードデータを読み込んだ際、描画コマンド処理回路2063は、そのワードデータの最上位ビットD31に設定された制御ビット「1」を検出すると、このワードデータを先頭ワードデータと認識し、それまでに読み込んだ描画コマンドをリセットして、この制御ビットを含むワードデータを基準として第2LINEコマンドを構成する他のワードデータを認識する。

【0036】

即ち、描画コマンド処理回路2063は、第2LINEコマンドの0番目のワードデータに設定された制御ビットを検出すると、これを第1LINEコマンドの5番目のワードデータとは認識せず、第2LINEコマンドの先頭ワードデータとして認識する。そして、この先頭ワードデータに含まれるオペコードから、この描画コマンドが全6ワードのデータから構成されるLINEコマンドであることを認識し、その後続の第1ないし第5番

10

20

30

40

50

目の5個のワードデータを第2LINEコマンドに含めて認識する。

【0037】

以上により、第2LINEコマンドが正しく認識されると共に、その後続の各描画コマンドも正しく認識され、従って描画コマンドの不正な動作が防止される。即ち、描画コマンドに設定された制御ビットを用いて描画コマンド処理回路2063が描画コマンドの実行を制御することにより、コマンドの誤った解釈を防止することができる。

なお、図8に示す例では、第1LINEコマンドの3番目ないし5番目のワードデータは誤って認識されるが、このワードデータの後の第2LINEコマンドからは、各ワードデータは正しく認識されるので、コマンドの不正な動作は最小限に抑えられ、これによる画像の乱れも最小に抑えられる。

10

【0038】

(2) キャプチャ機能に関する動作

図1において、アナログビデオ信号A INとして入力された映像入力を表示解像度に合わせて表示するには、まずビデオデコードユニット203がコンポジット信号であるアナログビデオ信号A INをデコードしてコンポーネント信号であるデジタルビデオ信号に変換する。ビデオキャプチャコントローラ204は、ビデオデコードユニット203でデコードされたデジタルビデオ信号を表示解像度に合わせてキャプチャし、このキャプチャにより得られた画像データをビデオメモリ300に格納する。

【0039】

キャプチャプレーンコントローラ205は、ビデオメモリ300に格納された画像データを表示スキャンタイミングに合わせてキャプチャプレーンの画像データとして読み出し、これをピクセルデータコントローラ208に出力する。ピクセルデータコントローラ208は、上述のように、バックドロップ面の画像データとキャプチャプレーンの画像データとOSDプレーンの画像データとを1つの画像データに合成してモニタに出力する。

20

【0040】

(3) バックドロップ機能に関する動作

図1において、ピクセルデータコントローラ208は、デジタルビデオ信号D IN、または、アナログビデオデコード203から出力されるデジタルビデオ信号の何れか一方を選択してバックドロップ面で表示する。

なお、本画像処理装置200では、2つのキャプチャプレーンと2つのOSDプレーンを処理することができるので、例えば、バックドロップ面上に2つのキャプチャプレーンの映像を並べて表示すると共に、これにオーバーラップさせて2つのOSD画像を表示することもできる。

30

【0041】

以上、本発明の実施形態を詳述してきたが、具体的な構成は本実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

例えば、上述の実施形態では、各描画コマンドの先頭ワードデータの最上位ビットに制御ビットを割り付けたが、これに限定されず、任意のビットに制御ビットを割り付けることができる。

【0042】

また、上述の実施形態では、各描画コマンドに制御ビットとして1ビットを割り付けたが、これに限定されず、複数のビットを割り付けても良い。

40

更に、上述の実施形態では、各描画コマンドに制御ビットを設定したが、これに限定されず、特定の描画コマンドのみに制御ビットを設定するものとしてもよく、複数の描画コマンドに対して1つの制御ビットを設定するようにしてもよい。

【図面の簡単な説明】

【0043】

【図1】本発明の実施形態に係る画像処理装置の構成を示すブロック図である。

【図2】本発明の実施形態に係るドロ잉プロセッサユニットの詳細な構成を示すブロック図である。

50

【図 3】本発明の実施形態に係るドローイングプロセッサユニットが入力する描画コマンドの種類を説明するための説明図である。

【図 4】本発明の実施形態に係るドローイングプロセッサユニットが入力する描画コマンドに含まれる描画パラメータの種類を説明するための説明図である。

【図 5 A】本発明の実施形態に係る描画コマンドである L I N E コマンドの構成を説明するための説明図である。

【図 5 B】本発明の実施形態に係る描画コマンドである F I L L コマンドの構成を説明するための説明図である。

【図 5 C】本発明の実施形態に係る描画コマンドである C O P Y コマンドの構成を説明するための説明図である。

10

【図 6】本発明の実施形態に係る画像処理装置の動作（O S D 機能）を説明するためのフローチャートである。

【図 7】本発明の実施形態に係る画像処理装置のコマンド F I F O に格納された各描画コマンドを構成するワードデータを示す図である。

【図 8】本発明の実施形態に係る画像処理装置のコマンド F I F O から読み出された各描画コマンドを構成するワードデータを示す図である。

【図 9】従来技術に係る画像処理装置のコマンド F I F O に格納された各描画コマンドを構成するワードデータを示す図である。

【図 1 0】従来技術に係る画像処理装置のコマンド F I F O から読み出された各描画コマンドを構成するワードデータを示す図である。

20

【符号の説明】

【 0 0 4 4 】

1 0 0 ; C P U、2 0 0 ; 画像処理装置、2 0 1 ; C P U インターフェイスモジュール、2 0 2 ; ビデオメモリインターフェイスモジュール、2 0 3 ; ビデオデコードユニット、2 0 4 ; ビデオキャプチャコントローラ、2 0 5 ; キャプチャプレーンコントローラ、2 0 6 ; ドローイングプロセッサユニット、2 0 7 ; O S D プレーンコントローラ、2 0 8 ; ピクセルデータコントローラ、2 0 9 ; D A コンバータ、2 1 0 ; C R T コントローラ、2 1 1 ; クロックジェネレータ、3 0 0 ; ビデオメモリ、2 0 6 1 ; コマンドポート、2 0 6 2 ; コマンド F I F O、2 0 6 3 ; 描画コマンド処理回路。

30

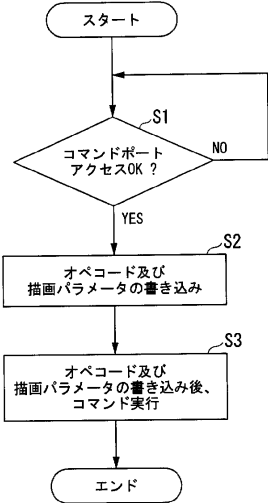
【図 5 B】

	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3-D0
0	"1"	"0"								"0"	TPE	ONE	BDS[1:0]	EFE	PTE	MMW[1:0]	"0"	"0"	"0"	"0"	"0"	"0"	DWSM[1:0]	SCF[1:0]	DOCF[1:0]	DOCF[1:0]	DOCF[1:0]	DOCF[1:0]	DOCF[1:0]
1	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"																
2	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"																
3	"0"	"0"	"0"	"0"							DX[12:0]																		
4	"0"	"0"	"0"	"0"							NW[12:0]																		
5	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"																

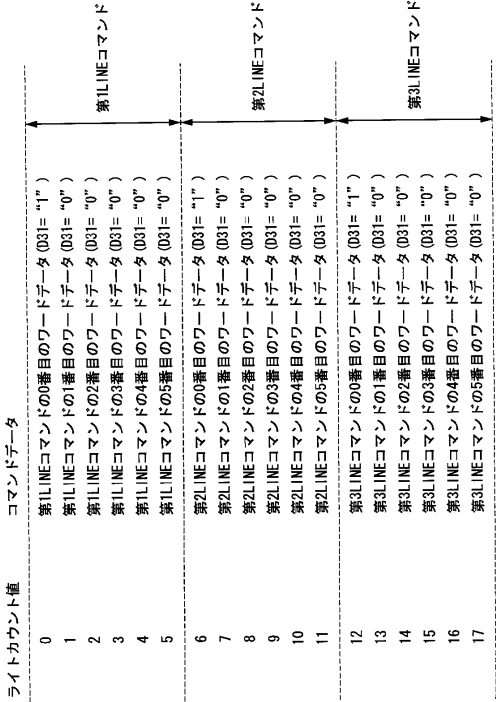
【図 5 C】

	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3-D0
0	"1"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"
1	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"																
2	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"																
3	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"																
4	"0"	"0"	"0"	"0"							DX[12:0]																		
5	"0"	"0"	"0"	"0"							NW[12:0]																		
6	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"	"0"																

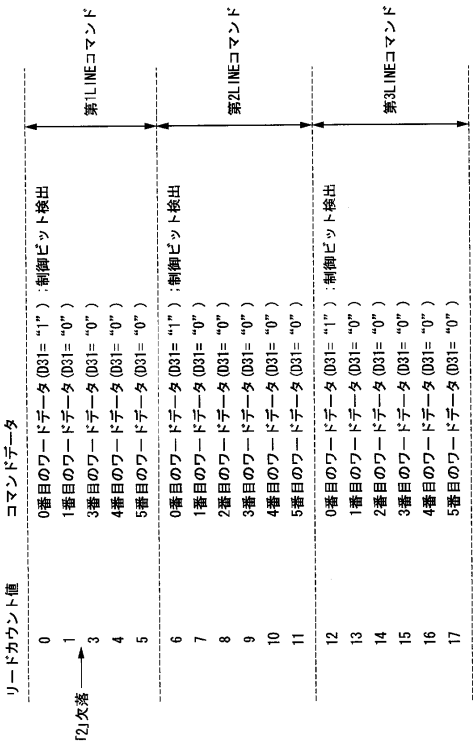
【図 6】



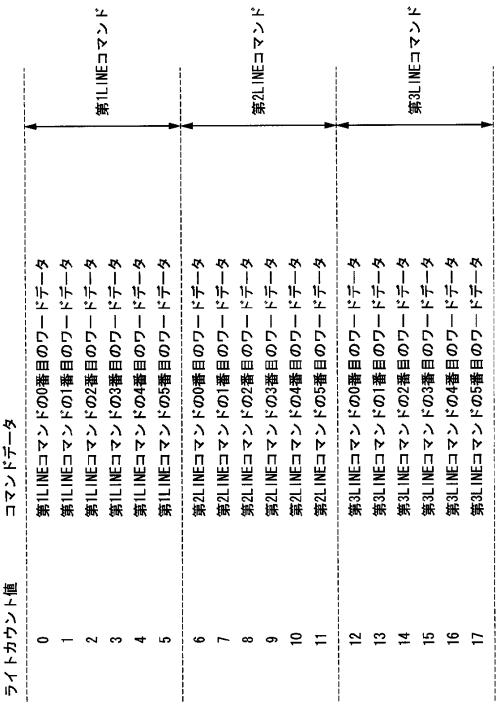
【図 7】



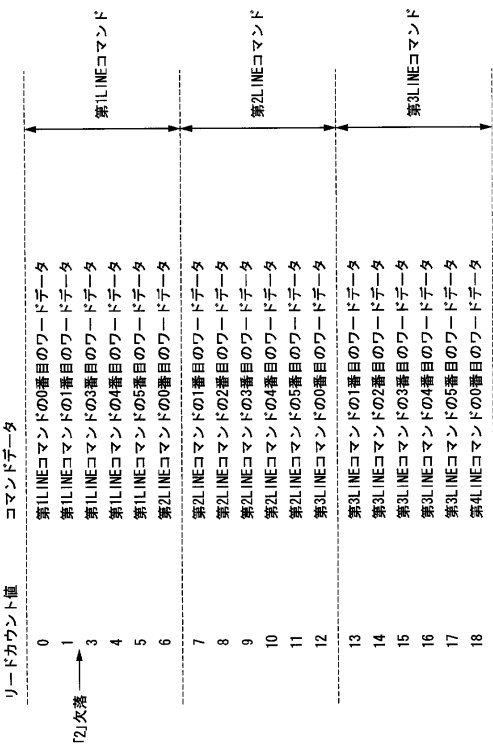
【図 8】



【図 9】



【図 10】



フロントページの続き

- (56)参考文献 特開昭61-000834(JP,A)
特開2001-282211(JP,A)
特開2005-233750(JP,A)
特開平08-123968(JP,A)
特開平09-083816(JP,A)
特開平08-235366(JP,A)
特開平06-040081(JP,A)
特開2005-257886(JP,A)
特開2005-215252(JP,A)
特開2004-147285(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G09G3/00-5/42